

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/786 (2006.01)

G02F 1/136 (2006.01)



[12] 发明专利说明书

专利号 ZL 01117390.4

[45] 授权公告日 2007 年 5 月 16 日

[11] 授权公告号 CN 1316631C

[22] 申请日 2001.2.21 [21] 申请号 01117390.4

[30] 优先权

[32] 2000. 2. 22 [33] JP [31] 44973/00

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 山崎舜平 小山润

[56] 参考文献

JP10-206893A 1998.8.7

US5917563A 1999.6.29

CN1215224A 1999.4.28

审查员 吴晓达

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 罗朋 张志醒

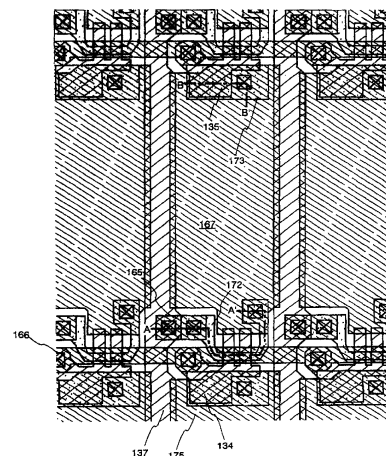
权利要求书 6 页 说明书 34 页 附图 25 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

本发明在不增加掩膜数量和不用黑掩膜的情况下,提高了反射型显示器件或透射型显示器件的像素的孔径比。设置像素电极(167)使其部分交叠源布线(137),该源布线(137)用于对像素之间的间隙屏蔽光,设置薄膜晶体管使其部分交叠栅布线(166),该栅布线(166)用于对薄膜晶体管沟道区屏蔽光,因此实现了高的像素孔径比。



1.一种半导体器件,包括:

形成在绝缘表面上的半导体层,至少具有源区、漏区和置于源区和漏区之间的沟道形成区;

在所述半导体层上形成的第一绝缘膜;

在所述第一绝缘膜上形成且与其相接触的至少一个电极,并与所述沟道形成区交叠;

在所述第一绝缘膜上形成且与其相接触的源布线;

至少覆盖所述至少一个电极和所述源布线的第二绝缘膜;

在所述第二绝缘膜上形成的栅布线,并连接到所述至少一个电极。

2.根据权利要求1的半导体器件,其特征在于,所述栅布线与所述半导体层的部分交叠,该半导体层至少包含所述沟道形成区。

3.根据权利要求1的半导体器件,其特征在于,所述至少一个电极包括栅电极。

4. 根据权利要求1的半导体器件,其特征在于,所述至少一个电极和所述源布线包括相同的材料。

5. 根据权利要求1的半导体器件,其特征在于,所述栅布线的材料包括从由多晶硅、W、 WSi_x 、Al、Cu、Ta、Cr 和 Mo 所构成的组中选出的一种或多种元素。

6. 根据权利要求1的半导体器件,其特征在于,所述第一绝缘膜包括栅绝缘膜。

7. 根据权利要求1的半导体器件,其特征在于,所述第二绝缘膜还包括包含硅作为主成分的第一绝缘层和包含有机树脂材料的第二绝缘层。

8. 根据权利要求1的半导体器件,其特征在于,所述半导体器件是从由个人计算机、摄像机、手提信息终端、数字相机、数字唱机、手提电话、电子记事簿、投影机、头戴式显示器和电子游戏机所构成的组中选出的的一种。

9.一种半导体器件,包括:

形成在绝缘表面上的半导体层,至少具有源区、漏区和置于源区和漏区之间的沟道形成区;

在所述半导体层上形成的第一绝缘膜;

在所述第一绝缘膜上形成且与其相接触的至少一个电极, 并与所述沟道形成区交叠;

在所述第一绝缘膜上形成且与其相接触的源布线;

至少覆盖所述至少一个电极和所述源布线的第二绝缘膜;

在所述第二绝缘膜上形成的栅布线, 并连接到所述至少一个电极。

在所述第二绝缘膜上形成的连接电极, 并连接到所述源布线和所述半导体层; 以及

在所述第二绝缘膜上形成的像素电极, 并电连接到所述半导体层。

10. 根据权利要求 9 的半导体器件, 其特征在于, 所述像素电极与所述源布线交叠。

11. 根据权利要求 9 的半导体器件, 其特征在于, 所述栅布线与所述半导体层的部分交叠, 该半导体层至少包含所述沟道形成区。

12. 根据权利要求 9 的半导体器件, 其特征在于, 所述至少一个电极包括栅电极。

13. 根据权利要求 9 的半导体器件, 其特征在于, 所述至少一个电极和所述源布线包括相同的材料。

14. 根据权利要求 9 的半导体器件, 其特征在于, 所述像素电极、所述连接电极和所述栅布线包括相同的材料。

15. 根据权利要求 9 的半导体器件, 其特征在于, 所述栅布线的材料包括从由多晶硅、W、 WSi_x 、Al、Cu、Ta、Cr 和 Mo 所构成的组中选出的一种或多种元素。

16. 根据权利要求 9 的半导体器件, 其特征在于, 所述第一绝缘膜包括栅绝缘膜。

17. 根据权利要求 9 的半导体器件, 其特征在于, 所述第二绝缘膜还包括包含硅作为主成分的第一绝缘层和包含有机树脂材料的第二绝缘层。

18. 根据权利要求 9 的半导体器件, 其特征在于, 在连接到所述像素电极的所述半导体层和连接到相邻像素的栅布线的所述至少一个电极之间, 用所述第一绝缘膜作为电介质, 包含所述像素电极的一个像素形成存储电容器。

19. 根据权利要求 9 的半导体器件, 其特征在于, 将提供 p 型导电率的杂

质元素添加到与所述像素电极连接的所述半导体层。

20. 根据权利要求 9 的半导体器件, 所述半导体器件是从由个人计算机、摄像机、手提信息终端、数字相机、数字唱机、手提电话、电子记事簿、投影机、头戴式显示器和电子游戏机所构成的组中选出的一种。

21. 一种半导体器件, 包括:

邻接半导体层的第一绝缘膜, 所述半导体层至少具有源区、漏区和置于源区和漏区之间的沟道形成区;

在所述第一绝缘膜上形成且与其相接触的包含栅电极的至少一个电极;

源布线, 在所述第一绝缘膜上形成且与其相接触;

第二绝缘膜, 至少覆盖所述至少一个电极和所述源布线;

栅布线, 电连接到所述至少一个电极; 和

像素电极, 电连接到所述半导体层,

其特征在于, 所述栅布线和所述像素电极形成在所述第二绝缘膜上。

22. 根据权利要求 21 的半导体器件, 其特征在于, 所述栅布线与所述半导体层的部分交叠, 该半导体层至少包含所述沟道形成区。

23. 根据权利要求 21 的半导体器件, 其特征在于, 所述至少一个电极和所述源布线包括相同的材料。

24. 根据权利要求 21 的半导体器件, 其特征在于, 所述栅布线的材料包括从由多晶硅、W、 WSi_x 、Al、Cu、Ta、Cr 和 Mo 所构成的组中选出的一种或多种元素。

25. 根据权利要求 21 的半导体器件, 其特征在于所述第一绝缘膜包括栅绝缘膜。

26. 根据权利要求 21 的半导体器件, 其特征在于, 所述第二绝缘膜还包括包含硅作为主成分的第一绝缘层和包含有机树脂材料的第二绝缘层。

27. 根据权利要求 21 的半导体器件, 其特征在于, 所述半导体器件是从由个人计算机、摄像机、手提信息终端、数字相机、数字唱机、手提电话、电子记事簿、投影机、头戴式显示器和电子游戏机所构成的组中选出的一种。

28. 一种半导体器件, 包括一对衬底和置于衬底之间的液晶, 所述一对衬底之一至少具有像素部分和驱动电路, 所述像素部分包括:

在绝缘表面上形成的半导体层, 至少具有源区、漏区和置于源区和漏区之

间的沟道形成区；

在所述半导体层上形成的第一绝缘膜；

在所述第一绝缘膜上形成且与其相接触的至少一个电极，并至少与所述沟道形成区交叠；

在所述第一绝缘膜上形成且与其相接触的源布线；

至少覆盖所述至少一个电极和所述源布线的第二绝缘膜；

在所述第二绝缘膜上形成的栅布线，并连接到所述至少一个电极；

在所述第二绝缘膜上形成的连接电极，并连接到所述源布线和所述半导体层；

在所述第二绝缘膜上形成的像素电极，并电连接到所述半导体层，以及

其特征在于，所述一对衬底中的另一个衬底包括光屏蔽膜，在该屏蔽膜中将红色滤色器和蓝色滤色器层叠，使其与所述半导体层交叠。

29. 根据权利要求 28 的半导体器件，还包括在所述第二绝缘膜上的公用布线，其特征在于，设置所述像素电极和所述公用布线，使得产生的电场基本上平行于所述衬底表面。

30. 根据权利要求 28 的半导体器件，所述半导体器件是反射型液晶显示器件，其中所述像素电极包括含 Al 或 Ag 的膜或它们的叠层膜。

31. 根据权利要求 28 的半导体器件，所述半导体器件是透射型液晶显示器件，其中所述像素电极包括透明的导电膜。

32. 根据权利要求 28 的半导体器件，所述半导体器件是从由个人计算机、摄像机、手提信息终端、数字相机、数字唱机、手提电话、电子记事簿、投影机、头戴式显示器和电子游戏机所构成的组中选出的一种。

33. 一种半导体器件，包括一对衬底和置于衬底之间的液晶，所述一对衬底之一至少具有像素部分和驱动电路，所述像素部分包括：

在绝缘表面上形成的半导体层，至少具有源区、漏区和置于源区和漏区之间的沟道形成区；

在所述半导体层上形成的第一绝缘膜；

在所述第一绝缘膜上形成且与其相接触的至少一个电极，并至少与所述沟道形成区交叠；

在所述第一绝缘膜上形成且与其相接触的源布线；

至少覆盖所述至少一个电极和所述源布线的第二绝缘膜;

在所述第二绝缘膜上形成的栅布线,并连接到所述至少一个电极。

在所述第二绝缘膜上形成的像素电极,并电连接到所述半导体层。

34. 根据权利要求 33 的半导体器件,还包括在所述第二绝缘膜上的公用布线,其特征在于,设置所述像素电极和所述公用布线,使得产生的电场基本上平行于所述衬底表面。

35. 根据权利要求 33 的半导体器件,所述半导体器件是反射型液晶显示器件,其中所述像素电极包括含 Al 或 Ag 的膜或它们的叠层膜。

36. 根据权利要求 33 的半导体器件,所述半导体器件是透射型液晶显示器件,其中所述像素电极包括透明的导电膜。

37. 根据权利要求 33 的半导体器件,所述半导体器件是从由个人计算机、摄像机、手提信息终端、数字相机、数字唱机、手提电话、电子记事簿、投影机、头戴式显示器和电子游戏机所构成的组中选出的一种。

38. 一种制造半导体器件的方法,包括步骤:

在绝缘表面上形成包括晶体半导体膜的半导体层;

在所述半导体层上形成第一绝缘膜;

在所述第一绝缘膜上且与其相接触地形成电极和源布线,所述电极与所述半导体层的部分交叠;

形成第二绝缘膜,至少覆盖所述电极和所述源布线;和

形成连接到所述电极并与所述半导体层的部分交叠的栅布线、用于将所述半导体层电连接到所述源布线的连接电极和与所述源布线交叠的像素电极。

其特征在于,所述栅布线、所述连接电极和所述像素电极都在所述第二绝缘膜上形成。

39. 根据权利要求 38 的制造半导体器件的方法,其特征在于,所述第二绝缘膜还包括由氧化硅、氮化硅或氮氧化硅制成的第一绝缘膜和由聚酰亚胺、丙烯酸、聚酰胺、氨基聚酰亚胺和苯并环丁烯制成的第二绝缘膜的叠层膜。

40. 根据权利要求 38 的制造半导体器件的方法,其特征在于,所述半导体器件是从由个人计算机、摄像机、手提信息终端、数字相机、数字唱机、手提电话、电子记事簿、投影机、头戴式显示器和电子游戏机所构成的组中选出的的一种。

41. 一种制造半导体器件的方法，包括步骤：

在绝缘表面上形成第一半导体层和第二半导体层，每种半导体层包括晶体半导体膜；

在所述第一和第二半导体层上形成第一绝缘膜；

在所述第一绝缘膜上且与其相接触地形成与所述第一半导体层交叠的第一电极、与所述第二半导体层交叠的第二电极和源布线；

形成至少覆盖所述第一电极、所述第二电极和所述源布线的第二绝缘膜；
以及

形成连接到所述第一电极并与所述第一半导体层交叠的栅布线、用于将所述第一半导体层电连接到所述源布线的连接电极和与所述源布线交叠的像素电极，

其特征在于，所述栅布线、所述连接电极和所述像素电极都在所述第二绝缘膜上形成。

42. 根据权利要求 41 的制造半导体器件的方法，其特征在于，连接到所述像素电极的所述第二半导体层与连接到相邻像素电极的栅布线的所述第二电极交叠。

43. 根据权利要求 41 的制造半导体器件的方法，其特征在于，所述第二绝缘膜还包括由氧化硅、氮化硅或氮氧化硅制成的第一绝缘膜和由聚酰亚胺、丙烯酸、聚酰胺、氨基聚酰亚胺和苯并环丁烯制成的第二绝缘膜的叠层膜。

44. 根据权利要求 41 的制造半导体器件的方法，其特征在于，所述半导体器件是从由个人计算机、摄像机、手提信息终端、数字相机、数字唱机、手提电话、电子记事簿、投影机、头戴式显示器和电子游戏机所构成的组中选出的
一种。

半导体器件及其制造方法

技术领域

本发明涉及半导体器件及其制造方法，该半导体器件具有由薄膜晶体管（下文缩写为 TFTs）构成的电路。例如，本发明涉及以液晶显示板为代表的光电器件以及包含该光电器件作为其部件的电子设备。

背景技术

在本说明书中，术语“半导体器件”通常指能够利用半导体特性工作的器件；光电器件、半导体电路和电子设备都包含在半导体器件中。

通过在具有绝缘表面的衬底上形成半导体薄膜（厚度大约几个纳米到大约几百纳米）构成 TFT 的技术近来已引起人们的关注。TFT 被广泛用于电子设备例如 IC 和光电器件。特别是迫切需要发展 TFT 作为液晶显示器件的开关元件。

在液晶显示器件中，有源矩阵液晶显示器件已特别引起关注，在该有源矩阵液晶显示器件中，为了得到高质量的图像，以矩阵的形式排列像素电极，并且用 TFTs 作为开关元件分别连接到像素电极。

有源矩阵液晶显示器件主要分为两个已知类型：透射型和反射型。

特别地，与透射型液晶显示器件相比，由于不用背景光显示，因此反射型液晶显示器件在小功率消耗方面是有利的。正是这个优点，反射型液晶显示器件越来越多地用做便携计算机或摄像机的直观式显示器。反射型液晶显示器件利用液晶的光调制效应来选择其中入射光线在像素电极被反射变为往器件外输出的状态或其中入射光线不往器件外输出状态来显示亮区或黑区。反射型液晶显示器件进一步组合亮区和黑区来显示图像。通常，反射型液晶显示器件中的像素电极由具有高的光反射能力的金属材料例如铝制成，并电连接到开关元件例如 TFT。

传统的反射型液晶显示器件中的像素结构示于图 23。在图 23 中，通过布图，将两个导线、也就是栅布线（扫描线）11 和电容器导线 12 形成为线形，源布线（信号线）14 通过布图也形成为线形。当栅布线 11 在纵向排列时，源布线 14 在横向排列，在源布线 14 和栅布线 11 之间设置有层间绝缘膜以使这些导线彼此绝缘。源布线 14 和栅布线 11 彼此部分交叉。这种传统结构的特征

在于包含作为有源层的半导体层 10 的 TFT 被设在了这些导线的交叉点附近。

通常，已知在源布线 14 之间与源布线 14 同时形成像素电极 15。当采用这样的结构时，需要用光屏蔽膜（也称为黑衬质）13 对源布线 14 和像素电极 15 之间的区来屏蔽光。

此外，在传统结构中，将由铬等制成的金属膜布图为所需要的形状，以便得到光屏蔽膜 13。采用传统方法的结果，用于形成光屏蔽膜的步骤和掩膜数量增加了。为了用光屏蔽膜 13 得到足够的光屏蔽，需要在光屏蔽膜 13 和像素电极之间设置层间绝缘膜，使它们彼此绝缘。与光屏蔽膜类似，当构成层间绝缘膜的层的数量增加时，制造步骤相应增加，导致制造费用增加。此外，层间绝缘膜的层的数量增加在层间绝缘性能的保持方面是不利的。

对于另一种传统结构，已知的是其中将层间绝缘膜设为覆盖源布线 11，在绝缘膜上再设置像素电极。然而当采用这种结构时，层的数量增加导致步骤增加，最后导致制造费用增加。

此外，在显示性能方面，希望像素有大量的存储电容器和高的孔径比。每个像素的高孔径比提高了光线的利用效率，减小了功率消耗和显示器件的尺寸。

近来，像素尺寸变得更小以得到高清晰图像。像素尺寸的减小增加了为一个像素要形成的 TFT 和导线的区域，因此反倒降低了像素孔径比。

这样，为了得到的具有确定的像素尺寸每个像素的高孔径比，有效布局对于像素的电路结构所需的电路元件是必要的。

如上所述，为了用少量的掩膜实现具有高孔径比的反射型液晶显示器件或透射型液晶显示器件，需要一种不同于任何传统结构的完全新颖的像素结构。

本发明就是要满足这样的需要，在不增加掩膜数量和制造步骤的情况下，通过本发明实现具有高像素孔径比的像素结构的液晶显示器件。

发明内容

为了解决传统技术的上述问题，设计了下面的措施。

本发明的特征是不用黑衬质而能对 TFTs 和像素之间的区屏蔽光的像素结构。本发明的特征在于，作为对 TFT 屏蔽光的方法之一是在第一绝缘膜上形成栅极和源布线，作为有源层的大部分半导体层由形成在不同于第一绝缘膜的第三绝缘膜上的栅布线覆盖。本发明的特征在于，并且作为对像素之间的区屏蔽光的方法之一是设置像素电极，使其与源布线交叠。此外，本发明的特征还在

于, 作为对 TFT 屏蔽光的方法之一是在相对衬底 (counter substrate) 上配置滤色器 (红色滤色器或红色滤色器和蓝色滤色器的叠层膜) 作为光屏蔽膜, 使其与元件衬底 (element substrate) 上的 TFTs 交叠。

本说明书中所公开的本发明的结构涉及半导体器件, 包括:

在绝缘表面上的半导体层 (第一半导体层 1 7 2), 具有源区、漏区和夹在源区和漏区之间的沟道形成区;

半导体层 (第一半导体层 1 7 2) 上的第一绝缘膜;

第一绝缘膜上的电极 (包含栅极的第一电极 1 3 4), 与沟道形成区交叠;

第一绝缘膜上的源布线;

覆盖电极 (包含栅极的第一电极 1 3 4) 和源布线的第二绝缘膜; 和

第二绝缘膜上的栅布线 1 6 6, 与电极连接 (包含栅极的第一电极 1 3 4)。

此外, 在本说明书中所公开的本发明的结构涉及半导体器件, 包括:

在绝缘表面上的半导体层 (第一半导体层 1 7 2), 具有源区、漏区和夹在源区和漏区之间的沟道形成区;

半导体层 (第一半导体层 1 7 2) 上的第一绝缘膜;

第一绝缘膜上的电极 (包含栅极 1 3 4 的第一电极), 与沟道形成区交叠;

第一绝缘膜上的源布线;

覆盖电极和源布线的第二绝缘膜;

第二绝缘膜上的与电极连接的栅布线;

第二绝缘膜上的连接电极 1 6 5, 连接到源布线和半导体层 (具体地说是源区或漏区); 和

第二绝缘膜上的像素电极 1 6 7, 连接到半导体层 (具体地说是源区或漏区)。

此外, 在上述结构中, 排列像素电极, 使其与源布线交叠, 像素电极和源布线之间夹有第二绝缘膜, 以此在像素电极和源布线之间屏蔽光 (或减少光泄露)。

此外, 在上面提到的各个结构中, 半导体器件的特征在于, 半导体层具有与栅布线交叠的区, 半导体层和栅布线之间夹有第一绝缘膜。

此外, 在上述半导体层中, 当半导体层和栅布线之间夹有第一绝缘膜时, 与栅布线交叠的半导体层的区的特征在于, 至少包含沟道形成区、位于沟道形

成区和漏区之间的区、或位于沟道形成区和源区之间的区。保护这个半导体层区不受外界光线的照射。

在多栅结构的情况下，其中在一个半导体层上存在多个栅极，当其间夹有第一绝缘膜时，在半导体层上存在多个沟道形成区。希望设置栅布线使其与存在于一个沟道形成区和另一个沟道形成区之间的区交叠。

此外，本发明的特征在于，为了不增加掩膜数量，在第一绝缘膜上用同样的材料形成电极和源布线，在第二绝缘膜上用相同的材料形成像素电极、连接电极和栅布线。

此外，在上面提到的各个结构中，半导体器件的特征在于，栅布线是由包含从已掺杂给与导电率的杂质元素的多晶硅、W、 WSi_x 、Al、Cu、Ta、Cr 和 Mo 所构成的组中选出的元素作为主成分的膜或它们的叠层膜制成。

此外，在上面提到的各个结构中，半导体器件的特征在于，第一电极和半导体层之间用于绝缘的第一绝缘膜是栅绝缘膜。

此外，在上面提到的各个结构中，半导体器件的特征在于，用于绝缘源布线和栅布线的第二绝缘膜包含含硅作为主成分的第一绝缘层和由有机树脂材料制成的第二绝缘层。

此外，在上面提到的各个结构中，半导体器件的特征在于，包含像素电极的一个像素形成存储电容器，该电容器由连接到像素电极的半导体层（第二半导体层 173）和连接到相邻像素的栅布线的电极（第二电极 135）以及利用第一绝缘膜作为电介质构成。此外，最好将提供 p 型导电率的杂质元素掺杂到这个半导体层（第二半导体层 173）。

此外，本发明的另一个结构涉及包含 TFTs 的半导体器件，每个 TFT 包括形成在绝缘表面上的半导体层、形成在半导体层上的绝缘膜和形成在绝缘膜上的栅极，其特征在于，栅极包含作为下层的具有楔形端部的第一导电层和作为上层的具有比第一导电层的宽度更窄的第二导电层，该半导体层包含与第二导电层交叠、其间夹有绝缘膜的沟道形成区、与沟道形成区接触的第三杂质区、与第三杂质区接触的第二杂质区和与第二杂质区接触的第一杂质区。

此外，在第一导电层的斜面和水平平面之间形成的角度（也称为楔形角）比第二导电层的斜面和水平平面之间形成的角度小。为了方便，在本说明书中，将具有楔形角的斜面称为楔形，具有楔形的部分称为楔形部分。

此外，在上述结构中，第三杂质区的特征为：与第一导电层交叠，其间夹有绝缘膜。第三杂质区是通过使杂质元素穿过其端部具有楔形部分的第一导电层和绝缘膜，从而将杂质元素掺杂到半导体层而形成的。在掺杂中，位于半导体层上的材料层越厚，离子注入越浅。因此，掺杂到半导体层的杂质浓度受具有楔形的导电层厚度影响，导致杂质元素浓度的变化。随着第一导电层的厚度增加，半导体层中的杂质浓度降低。同样，随着第一导电层的厚度降低，半导体层中的杂质浓度增加。

此外，在上述结构中，半导体器件的特征在于，第一杂质区是源区或漏区。

此外，在上述结构中，半导体器件的特征在于，与第二杂质区交叠的绝缘膜的区包含楔形部分。第二杂质区是通过穿过绝缘膜将杂质元素注入半导体层而形成的。因此，第二杂质区的杂质浓度受绝缘膜的楔形部分影响，使第二杂质区的杂质浓度分布变化。随着绝缘膜的厚度增加，第二杂质区中的杂质浓度降低。同样，随着绝缘膜的厚度降低，第二杂质区中的杂质浓度增大。尽管第二杂质区与第三杂质区一样是通过掺杂形成的，由于第二杂质区不与第一导电层交叠，因此第二杂质区中的杂质浓度比第三杂质区中的杂质浓度高。在沟道的纵向上，第二杂质区的宽度与第三杂质区的宽度一样，或比第三杂质区的宽度宽。

此外，上述结构的特征在于，TFT 是 n 沟道 TFT 或 p 沟道 TFT。而且，在本发明中，用 n 沟道 TFT 形成像素 TFT。另外，用这些 n 沟道 TFTs 或 p 沟道 TFTs 形成包含 CMOS 电路的驱动电路。

而且，在本说明书中所公开的本发明的结构涉及一种半导体器件，包括一对衬底和保持在这对衬底之间的液晶。

其特征是在这对衬底之一上提供像素部分和驱动电路，和
像素部分包含：

绝缘表面上的半导体层，包含源区、漏区和夹在源区和漏区之间的沟道形成区；

半导体层上的第一绝缘膜；

第一绝缘膜上的电极，与沟道形成区交叠；

在第一绝缘膜上的源布线；

第二绝缘膜，覆盖电极和源布线；

第二绝缘膜上的栅布线，连接到电极；

第二绝缘膜上的连接电极，连接到源布线和半导体层；和

第二绝缘膜上的像素电极，连接到半导体层，以及

另一个衬底具有光屏蔽膜，其中将红色滤色器和蓝色滤色器层叠使其与第一半导体层交叠。

此外，在上述结构中，该半导体器件提供了一种 IPS 型液晶显示器件，包括第二绝缘膜上的公用导线，其中配置像素电极和公用导线，使得产生平行于衬底表面的电场。

此外，在上述结构中，提供了反射型液晶显示器件，其中像素电极由包含铝或银作主成分的膜或它们的叠层膜制成。

此外，在上述结构中，该半导体器件提供了透射型液晶显示器件，其中像素电极由透明导电膜制成。

此外，作为本发明的另一特征，本发明的半导体器件的特征在于，分别在不同的绝缘膜上形成包含栅极的第一电极 134 和栅布线 166，在第一绝缘膜上形成第一电极 134 和源布线 137，在不同于第一绝缘膜的第二绝缘膜上形成栅布线 166 和像素电极 167。

此外，在实现上述结构的制造工艺中，本发明的结构涉及制造半导体器件的方法，其特征包括：

第一步，在绝缘表面上，由晶体半导体膜形成半导体层；

第二步，在半导体层上，形成第一绝缘膜；

第三步，在第一绝缘膜上，形成与半导体层和源布线交叠的电极；

第四步，形成覆盖电极和源布线的第二绝缘膜；以及

第五步，形成连接到电极并与第二绝缘膜上的半导体层交叠的栅布线、用于连接半导体层与源布线的连接电极，和与源布线交叠的像素电极。

此外，在实现上述结构的制造工艺中，本发明的另一结构涉及制造半导体器件的方法，其特征包括：

第一步，在绝缘表面上形成第一半导体层 172 和第二半导体层 173，每一层都由晶体半导体膜制成；

第二步，在第一和第二半导体层上，形成第一绝缘膜；

第三步，形成与第一半导体层交叠的第一电极 134、与第二半导体层交叠

的第二电极 135、和第一绝缘膜上的源布线 137。

第四步，形成覆盖第一电极 134、第二电极 135 和源布线 137 的第二绝缘膜；以及

第五步，在第二绝缘膜上，形成连接到第一电极 134 并与第一半导体层 172 交叠的栅布线 166、用于连接第一半导体层与源布线的连接电极 165 和与源布线交叠的像素电极 167。

此外，在上述结构中，该方法的特征在于连接到像素电极的半导体层与连接到相邻像素的栅布线的第二电极交叠。

附图说明

在附图中

图 1 是根据本发明的像素部分的顶视图（实施例 1）；

图 2A 至 2C 是表示有源矩阵衬底的制造工艺的示意图（实施例 1）；

图 3A 至 3C 是表示有源矩阵衬底的制造工艺的示意图（实施例 1）；

图 4 是表示有源矩阵衬底的制造工艺的示意图（实施例 1）；

图 5 是表示反射型液晶显示器件的截面结构示意图（实施例 2）；

图 6 是根据本发明的像素部分的顶视图（实施例 1）；

图 7A 和 7B 分别是有源矩阵衬底的顶视图和截面图（实施例 3）；

图 8A 和 8B 是端子部分的截面图（实施例 3）；

图 9A 至 9C 是显示透射型液晶显示器件的截面结构示意图（实施例 4）；

图 10 是端子部分的截面图（实施例 5）；

图 11 是根据本发明的有源矩阵衬底的截面图（实施例 6）；

图 12 是根据本发明的有源矩阵衬底的截面图（实施例 7）；

图 13 是根据本发明的像素部分的顶视图（实施例 8）；

图 14 是根据本发明的像素部分的截面视图（实施例 8）；

图 15 是根据本发明的像素部分的顶视图（实施例 10）；

图 16 是根据本发明的像素部分的截面视图（实施例 10）；

图 17 是根据本发明的像素部分的顶视图（实施例 11）；

图 18 是根据本发明的像素部分的截面视图（实施例 11）；

图 19 是根据本发明的像素部分的截面视图（实施例 12）；

图 20A 至 20F 是表示电设备实例的示意图（实施例 13）；

图 21A 至 21D 是表示电设备实例的示意图（实施例 13）；

图 22A 至 22C 是表示电设备实例的示意图（实施例 13）；

图 23 是表示传统实例的示意图；

图 24A 至 24D 是表示有源矩阵衬底制造方法的放大的截面视图；以及

图 25 是像素部分的顶视图（实施例 4）。

具体实施方式

下面将参考附图描述本发明的实施例。

作为基本结构，本发明的液晶显示器件包含元件衬底和相对衬底，在衬底之间留有预定间隙并相互粘接以及容纳在间隙中的光电材料（液晶材料或其类似物）。

图 1 示出了根据本发明的像素结构的具体实例。这里示出的是反射型液晶显示器件的一个实例。

元件衬底包含横向排列的栅布线 166、纵向排列的源布线 137、具有在栅布线 166 和源布线 137 的交点附近的具有像素 TFT 的像素部分，以及具有 n 沟道 TFT 或 p 沟道 TFT 的驱动电路。

图 1 中示出的栅布线 166 连接到在横向排列的岛状第一电极 134。栅极布线 166 设置在与之接触的第二绝缘膜上。源布线 137 与之类似，岛状第一电极 134 形成在与之接触的第一绝缘膜（也是下文的栅绝缘膜）上。

连接电极 165 就像像素电极 167、175 和栅布线 166 那样形成在第二绝缘膜（也是下文的层间绝缘膜）上。

由于本发明的像素结构，可以使 TFT 的有源层与栅布线交叠，从而使 TFT 的有源层屏蔽光。

为了达到为电极衬底上的 TFT 屏蔽光的目的，至少要将第一半导体层 172 的沟道形成区设置在能由栅布线 166 来屏蔽光线的位置。除了沟道形成区，希望存在于沟道形成区和漏区（例如 LDD 区和偏移区）之间的区以及存在于沟道形成区和源区之间的区也由栅布线 166 来屏蔽光线。由于图 1 所示的像素结构是多栅极结构，多个沟道形成区存在于一个半导体层中。因此，还希望存在于一个沟道形成区和另一个沟道形成区之间的区也由栅布线 166 屏蔽光线。

栅布线 166 以接触的方式形成在绝缘膜上，该绝缘膜不同于在其上提供作为栅电极的第一电极 134 的绝缘膜。在图 1 所示的像素结构中，第一电极 134 不仅作为穿过栅绝缘膜与第一半导体层交叠的栅电极，而且作为构成相邻像素的存储电容器的一个电极。

具有本发明的像素结构，像素之间的区主要通过将像素电极 167 的端部与源布线 137 交叠来屏蔽光线。

间隙，例如像素电极 167 和连接电极 165 之间的间隙以及像素电极 167 和栅布线 166 之间的间隙都通过设置在相对衬底上的滤色器来屏蔽光线。对于布图在预导向置（在元件衬底上 TFT 的位置）的滤色器，包括在相对衬底上提供的红色滤色器、红色滤色器和兰色滤色器的叠层膜、或红色滤色器的叠层膜、兰色滤色器以及绿色滤色器。

具有这样的结构，元件衬底上的 TFT 主要通过栅布线 166 屏蔽光线。而且，像素之间的间隙可以通过设置在相对衬底上的滤色器（红色滤色器、红色滤色器和兰色滤色器的叠层膜，或红色滤色器的叠层膜、蓝色滤色器和绿色滤色器）来屏蔽光线。

像素电极 167 的存储电容器是通过连接到像素电极 167 的第二半导体层 173 和第二电极 135 构成，利用覆盖第二半导体层 173 的绝缘膜作为电介质。将提供 p 型导电率的杂质元素掺杂到第二半导体层 173 的一部分。掺杂的结果是当电压加到第二电极 135 时，形成了沟道形成区，从而形成存储电容器。而且，在第二电极 135 与像素电极 167 交叠的区域中，形成了用层间绝缘膜 157 和 158 作为电介质的存储电容器。尽管这里的存储电容器是用第二电极 135 形成的，但并非特别限制存储电容器；可以有选择地采用其中提供了电容器导线或电容器电极的像素结构。

形成元件衬底所需的掩膜数量可设为 5，其中元件衬底包含具有图 1 所示的像素结构的像素部分和驱动电路。具体地说，第一掩膜用来布图第一半导体层 172 和第二半导体层 173；第二掩膜用来布图第一电极 134、第二电极 135 和源布线 137；当掺杂提供 p 型导电率的杂质元素以形成 p 沟道 TFT 和驱动电路的存储电容器时，第三掩膜用来覆盖 n 沟道 TFT；第四掩膜用来形成到达第一半导体层、第二半导体层、第一电极和第二电极的接触孔；第五掩膜用来布图连接电极 165 和 205、栅布线 166、像素电极 167 和 175。

就像上面所描述的，当采用图 1 所示的像素结构时，可以用少量的掩膜得到高像素孔径比（大约 78%）的反射型液晶显示器件。

如果用透明导电膜作像素电极，需要另外的掩膜以布图成所希望的形状。然而，可以用该方法制造透射型的液晶显示器件。同样，当制造透射型液晶显

示器件时,也可以用少量的掩膜得到大约56%的像素孔径比。

公用导线和像素电极的设置要使得产生平行于衬底表面的电场,由此来制造IPS系统的透射型液晶显示器件。

通过下面的实施例将进一步详细描述具有上述结构的本发明。

[实施例1]

实施例1中详细解释了同时在一个衬底上制造像素部分和驱动电路的TFTs(n沟道TFT和p沟道TFT)的方法,其中驱动电路的TFTs是形成在像素部分周围的。

首先,如图2A所示,利用如氧化硅膜、氮化硅膜或氮氧化硅膜之类的绝缘膜制成的基膜101形成在由例如硼硅酸钡玻璃或硼硅酸铝玻璃之类的玻璃制成的衬底100上,典型的玻璃如Corning公司的#7059玻璃或#1737玻璃。例如,形成用等离子CVD来由 SiH_4 、 NH_3 和 N_2O 制造的厚10到200nm(最好在50和100nm之间)的氮氧化硅膜101a的叠层膜,以及用相同的方法由 SiH_4 和 N_2O 制造厚50到200nm(最好在100和150nm之间)的氢化氮氧化硅膜101b。实施例1中示出了基膜101的两层结构,但也可以形成单层膜和两层以上的叠层膜结构。

用激光结晶法或公知的热结晶法,从具有非晶结构的半导体膜制造晶体半导体膜,通过晶体半导体膜形成岛状半导体层102至106。岛状半导体膜102至106的厚度可以从25到80nm(最好在30nm和60nm之间)。对于晶体半导体膜材料没有限制,但最好用硅或硅锗合金(SiGe)来形成晶体半导体膜。

可以用激光作为用激光结晶法制造晶体半导体膜的激光源,所述激光例如脉冲透射型或连续透射型准分子激光、YAG激光或YVO₄激光。当用这些类型的激光时,可以用通过光学系统将从激光器发射的激光会聚成线形,然后将激光照到半导体膜的方法。可以由操作者合理地选择结晶化条件,但当用准分子激光时,脉冲发射频率设到30Hz,并且激光的能量强度设为从100mJ/cm²到400mJ/cm²(典型地在200mJ/cm²和300mJ/cm²之间)。此外,当用YAG激光时,利用其第二谐波,并且脉冲发射频率设为从1Hz到10kHz,激光的能量强度可以设为从300J/cm²到600J/cm²(典型地在350mJ/cm²和500mJ/cm²之间)。然后将会聚成线形、具有100μm至1000μm例如400μm宽度的激光照到衬底的整个表面上,用80%到98%的线形激光覆盖率完成上述过程。

形成覆盖在岛状半导体层 102 至 106 上的栅绝缘膜 107。栅绝缘膜 107 是用包含硅、厚度为 40 至 150nm 的绝缘膜，通过等离子体 CVD 或溅射法形成。在实施例 1 中形成了厚 120nm 的氮氧化硅膜。栅绝缘膜并不限于这种氮氧化硅膜，当然可以用其它包含硅的绝缘膜，也可以采用单层或叠层结构。例如，当用氧化硅膜时，可以在 40Pa 的反应压力下，将衬底温度设为 300°C 至 400°C，在 0.5 至 0.8W/cm² 的电功率系数下，通过高频 (13.56MHz) 放电，用 TEOS (原硅酸四乙酯) 和 O₂ 的混合物，通过等离子 CVD 形成氧化硅膜。经过后续的对氧化硅膜进行温度在 400°C 至 500°C 之间的热退火，就得到了具有优异特性的栅绝缘膜。

然后为了形成栅极，在栅绝缘膜 107 上形成第一导电膜 108 和第二导电膜 109。在实施例 1 中，第一导电膜是用钽膜形成的，具有 50 至 100nm 的厚度，第二导电膜是用钨膜形成的，具有 100 至 300nm 的厚度。

TaN 膜是用溅射法，即在氮气氛中进行钽靶的溅射形成的。钨膜是用钨靶通过溅射形成的，也可以用六氟化钨 (WF₆) 通过热 CVD 来形成。为了用它作为栅极，无论用哪种方法，都必须使膜的电阻变低，最好使钨膜的电阻率等于或低于 20μΩ.cm。电阻率可以通过扩大钨膜的晶粒来使其降低，但在钨膜中有许多杂质元素例如氧的情况下，结晶被抑制，膜变成了高阻膜。因此，在溅射中，采用 99.9999% 或 99.99% 纯度的钨靶。此外，在钨膜的形成过程中，当充分注意了膜形成时没有从气相引入杂质时，可以得到 9 至 20μΩ.cm 的电阻率。

需要说明的是，尽管在实施例 1 中第一导电膜 108 是钽膜，第二导电膜是钨膜，但导电膜并不限于这些。这两个导电膜也可以用下列材料形成，这些材料是：从由钽、钨、钛、钼、铝和铜所组成的组中选出的元素，从由上述元素中的一个作为主成分构成的合金材料中选出的合金材料，或从上述元素的化合物中选出的化合物材料。而且，也可以用半导体膜，典型的是其中掺杂了杂质元素例如磷的多晶硅膜。除了实施例 1 所用的组合之外，其它最佳组合的例子包含：用氮化钽 (Ta₃N₅) 形成第一导电膜，将其与由钨膜形成的第二导电膜相结合；用氮化钽 (Ta₃N₅) 形成第一导电膜，将其与由钼膜形成的第二导电膜相结合；和用氮化钽 (Ta₃N₅) 形成第一导电膜，将其与由铜膜形成的第二导电膜相结合。

下一步由抗蚀剂形成掩膜 110 至 116, 为了形成电极和导线, 进行第一刻蚀工序。实施例 1 中用 ICP (电感耦合等离子体) 刻蚀法, 即用 CF_4 和 Cl_2 的混合气体作为刻蚀气体, 在 1Pa (压力下) 通过给线圈形电极施加 500W 的射频 (RF) 电功率 (13.56MHz), 产生等离子体, 又施加 100 W 的 RF 电功率到衬底的侧面 (测试片部分), 有效地施加了负的自偏压。在混合 CF_4 和 Cl_2 的情况下, 将钨膜和氮化钽膜刻蚀到接近同一水平线。

用合适的抗蚀剂掩膜图形, 在上述刻蚀条件下, 根据施加到衬底侧面的偏压的效应, 使第一导电层和第二导电层的边缘部分成为楔形, 楔形部分的角度从 15° 到 45° 。完成腐蚀后, 为了在栅绝缘膜上没有任何剩余, 可以增加大约 10% 到 20% 的刻蚀时间。氮氧化硅膜相对于钨膜的选择率从 2 到 4 (典型的是 3), 因此用这种过刻蚀工艺, 能够将氮氧化硅膜的暴露表面刻蚀大约 20 至 50nm。这样, 根据第一刻蚀工序, 就形成了由第一导电层和第二导电层形成的第一形状的导电层 118 至 124 (第一导电层 118a 至 124a 和第二导电层 118b 至 124b)。参考标号 117 代表栅绝缘膜, 通过 20 至 50nm 的刻蚀, 使栅绝缘膜 117 的没有被第一形状的导电层 118 至 124 覆盖的区域变得更薄。

此外, 实施例 1 中的第一形状导电层 118 至 124 是用一次刻蚀形成的, 但它们也可以通过多次刻蚀来形成。

然后进行第一掺杂工序, 添加提供 n 型导电率的杂质元素。(看图 2B) 掺杂的方法可以采用离子掺杂或离子注入。离子掺杂是在掺杂量从 1×10^{13} 至 5×10^{14} 原子/ cm^2 和 60 至 100keV 的加速电压条件下进行的。用周期表 15 族元素, 典型的是磷 (P) 或砷 (As), 作为提供 n 型导电率的杂质元素, 这里用的是磷 (P)。在这种情况下, 就 n 型导电率而言, 导电层 118 至 122 变为给予杂质元素的掩膜, 以自对准方式形成第一杂质区 125 至 129。将提供 n 型导电率的杂质元素掺杂到第一杂质区 125 至 129, 浓度在 1×10^{20} 至 1×10^{21} 原子/ cm^3 的范围内。

下面进行第二刻蚀工序, 如图 2C 所示。同样用 ICP 刻蚀方法, 用 CF_4 、 Cl_2 和 O_2 的混合物作为刻蚀气体, 在 1Pa 的压力下, 通过给线圈形电极施加 500W 的射频电功率 (13.56MHz), 产生等离子体, 又将 50W (13.56MHz) 的射频电功率施加到衬底的侧面 (测试片部分), 就施加了比第一刻蚀工序更低的自偏压。在上述刻蚀条件下对钨膜进行各向异性刻蚀, 对钽 (第一导电层) 以更慢的刻蚀速度进行各向异性刻蚀, 形成第二形状的导电层 131 至 137 (第一导

电层 131a 至 137a 和第二导电层 131b 至 137b)。参考标号 130 代表栅绝缘膜, 没有被第二形状的导电层 131 至 137 覆盖的区域另外再刻蚀大约 20 至 50nm, 形成更薄的区。

此外, 实施例 1 中图 2C 所示的第二形状的导电层 131 至 137 是用一次刻蚀形成的, 但它们也可以通过刻蚀两次或更多次来形成, 例如, 在用 CF_4 和 Cl_2 的气体混合物刻蚀后, 还可以用 CF_4 、 Cl_2 和 O_2 的气体混合物再进行刻蚀。

在 CF_4 和 Cl_2 混合气体作用下, W 膜或 TaN 膜的刻蚀反应可以通过产生的自由基和离子型以及反应产物的蒸汽压来评估。比较钨和钽的氟化物和氯化物的蒸汽压, 钨的氟化物 (WF_6) (的蒸汽压) 非常高, WCl_5 、 TaF_5 和 TaCl_5 的蒸汽压具有相同的量级。因此钨膜和钽膜都用 CF_4 和 Cl_2 的混合气体来刻蚀。然而, 如果往气体混合物中添加适量的 O_2 , CF_4 和 O_2 反应, 就形成 CO 和 F, 并产生大量的 F 自由基或 F 离子。结果, 提高了具有高氟化物蒸汽压的钨膜的刻蚀速度。另一方面, 即使 F 增加了, 钽的刻蚀速度不会相对提高。此外, 相对于 W, TaN 更容易氧化, 因此由于 O_2 的添加, 氧化了 TaN 的表面。由于 TaN 的氧化物不与氟和氯反应, 因此进一步降低了 TaN 膜的刻蚀速度。因此使 W 膜和 TaN 膜具有不同的刻蚀速度变为可能, 也使 W 膜的刻蚀速度比 TaN 膜的刻蚀速度大变为可能。

然后进行第二掺杂工序, 如图 3A 所示。在这种情况下, 使掺杂量比第一掺杂工序的掺杂量小, 在高加速电压的条件下来掺杂提供 n 型导电率的杂质元素。例如, 用 70 至 120keV 的加速电压和 1×10^{13} 原子/ cm^3 的掺杂量进行掺杂, 在图 2B 的岛状半导体层中的第一杂质区的内侧, 形成了新的杂质区。对于杂质元素, 用第二导电层 131b 至 135b 作掩膜进行掺杂, 使得杂质元素也掺杂到第一导电层 131a 至 135a 下面的区域中。因此就形成了与第一导电层 131a 至 135a 重叠的第三杂质区 143 至 147 以及在第一杂质区和第三杂质区之间的第二杂质区 143 至 147。提供 n 型导电率的杂质元素的掺杂量要使得在第二杂质区中的浓度从 1×10^{17} 变到 1×10^{19} 原子/ cm^3 , 第三杂质区中的浓度从 1×10^{16} 变到 1×10^{18} 原子/ cm^3 。

此外, 这里例举一个用抗蚀剂作掩膜进行第二掺杂工序的实例, 但也可以在去除抗蚀剂掩膜后进行第二掺杂工序。

然后, 用具有与上述单一导电型相反的导电型的杂质元素进行掺杂, 在形

成p沟道 TFTs 的岛状半导体层 104 中形成了第四杂质区 151 至 156, 如图 3B 所示。对于杂质元素, 用第二导电层 132 和 135 作为掩膜, 以自对准方式形成杂质区, 形成n沟道 TFTs 的岛状半导体层 103、105 和 106 的整个表面由抗蚀剂掩膜 148 至 150 覆盖。以不同的浓度将磷掺杂到杂质区 151 至 156, 并且这里用乙硼烷 (B_2H_6) 进行离子掺杂, 因而同样将硼以 2×10^{20} 到 2×10^{21} 原子/cm³ 的浓度掺杂到第四杂质区 151 至 156。实际上, 包含在第四杂质区中的硼受楔形导电层和位于半导体层上面的绝缘膜的厚度影响, 与第二掺杂工序类似, 掺杂到第四杂质区的杂质元素的浓度也是变化的。

通过上述工序在各自的岛状半导体层中形成了杂质区。与岛状半导体层交叠的第二导电层 131 至 134 起栅极的作用。此外, 参考标号 137 代表起岛状源布线作用的区, 参考标号 134 代表起栅布线作用的区, 参考标号 135 代表起电容器导线作用的区。

然后进行激活掺杂到各自岛状半导体层中的杂质元素的工序, 如图 3C 所示, 目的是控制导电类型。这个工序是用退火炉进行热退火。另外, 也可以采用激光退火和快速热退火 (RTA)。热退火是用等于或低于 1ppm 最好等于或低于 0.1ppm 的氧浓度, 在 400°C 到 700°C 温度的, 典型地在 500°C 和 550°C 之间的氮气氛中进行的。在实施例 1 中, 热处理是在 500°C 进行了 4 个小时。然而, 在用于导线 131 至 137 的导线材料对于热很脆弱的情况下, 最好在形成层间绝缘层 (用硅作主要组分) 之后再进行激活, 以保护导线等。

激活步骤后的像素部分的顶视图如图 6 所示。与图 1 至图 5 相对应的部分用相同的标号来表示。图 3 中的 C-C' 线对应于图 6 中切线 C-C' 的截面图。图 3 中的 D-D' 线对应于图 6 中切线 D-D' 的球面图。

另外, 在包含 3%和 100%之间的氢的气氛中, 在 300°C 到 450°C 进行 1 到 12 小时的热处理, 进行岛状半导体层的氢化。这个工序是一种用热激励的氢来终结在岛状半导体层中的不饱和键的工序。也可以采用等离子体氢化 (用经等离子体激励的氢) 作为另一种氢化方式。

当采用激光退火方法作为激活工艺时, 在由氮氧化硅膜形成保护膜后, 可以用激光例如 YAG 激光照射, 进行上述的氢化。

形成厚 100 到 200nm 的第一层间绝缘膜 157, 使其与氮氧化硅邻接。然后在第一层间绝缘膜 157 上形成由有机绝缘材料构成的第二层间绝缘膜 158。然

后进行刻蚀，以形成接触孔。

然后在驱动电路 406 中形成岛状半导体层的用于与源区形成接触的源布线 159 至 161 和用于与漏区形成接触的漏布线 162 至 164。此外，在像素部分 407 中，形成像素电极 167、栅布线 166 和连接电极 165。（参见图 4）用连接导线 165，在岛状源布线 137 和像素 TFT404 之间建立电连接。同样在栅布线 166 和第一电极之间建立电连接。像素电极 167 形成了与对应于像素 TFT 有源层（对应于图 1 中的第一半导体层 172）的岛状半导体层和形成存储电容器的岛状半导体层（对应于图 1 中的第二半导体层 173）的电连接。注意相邻像素之间共用像素电极 167。

这样在同一衬底上可以形成具有 n 沟道 TFT401、p 沟道 TFT402 和 n 沟道 TFT403 的驱动电路 406 以及具有像素 TFT404 和存储电容器 405 的像素部分 407。为了方便，在整个说明书中，这种衬底都指有源矩阵衬底。

驱动电路 406 的 n 沟道 TFT401 具有：沟道形成区 168；与第二导电层 131 交叠的第三杂质区 143，该杂质区 143（GOLD（栅极交叠的 LDD Gate-Overlapped-LDD）区）形成栅极；在栅极外侧形成的第二杂质区 141（LDD 轻掺杂漏极（Lightly-Doped-Drain）区）；和起源区或漏区作用的第一杂质区 125。P 沟道 TFT402 具有：沟道形成区 169；与第二导电层 132 交叠的第四杂质区 153，该杂质区形成栅极；在栅极外侧形成的第四杂质区 152；和起源区或漏区作用的第四杂质区 151。n 沟道 TFT403 具有：沟道形成区 170；与第二导电层 133 交叠的第三杂质区 145，该杂质区（GOLD 区）形成栅极；形成在栅极外侧的第二杂质区 140（LDD 区）；和起源区或漏区作用的第一杂质区 127。

像素部分的像素 TFT404 具有：沟道形成区 171；与第二导电层 139 交叠的第三杂质区 146，该杂质区（GOLD 区）形成栅极；形成在栅极外侧的第二杂质区 141（LDD 区）；和起源区或漏区作用的第一杂质区 128。此外，将提供 n 型导电率的杂质元素掺杂到起存储电容器 405 的一个电极作用的半导体层中，其浓度和第四杂质区中的浓度一样。由第二电极 135 和电极之间的绝缘层（栅绝缘膜）形成存储电容器 405。此外，因为第二电极 135 是存储电容器 405 的电极，也起相邻像素薄膜晶体管的栅极的作用，所以要将提供 p 型导电率的杂质元素掺杂到半导体膜 106 中。同样地，第一电极 134 起像素电极 167 的栅极的作用，也起像素电极 175 的存储电容器的电极的作用。对于在像对角线为

4 英寸或更小的显示面板中所需的小的存储电容器来说, 这个特征是适用的。而且, 应当注意图 13 所示的像素结构对于大尺寸显示面板也是适用的。

由实施例 1 制造的有源矩阵衬底的像素部分的顶视图如图 1 所示。其各部分对应于图 2A 至图 6。图 1 的 A-A' 线对应于图 4 所示的 A-A' 线, 图 1 的 B-B' 线对应于图 6 所示的 B-B' 线。

然后, 采用具有本发明的像素电极的有源矩阵衬底, 在不同的层中形成部分起栅极和栅布线作用的第一电极 134, 使得通过栅布线 166 来为半导体膜屏蔽光线。

此外, 采用具有本发明的像素结构, 将源布线设置成在像素电极的边缘部分与之交叠, 使得不用黑色衬质就能为像素电极之间的间隙屏蔽光线。

上面提到的像素结构使提供具有大面积的像素电极以提高孔径比成为可能。

此外, 根据实施例 1 所示的工艺, 通过用五层光掩膜 (岛状半导体层布图、第一导线布图 (包含第一电极 134、第二电极 135 和源布线 137)、p 沟道 TFT 的源区和漏区布图、接触孔布图、第二导线布图 (包含像素电极 167、连接电极 165 和栅布线 166)) 就能够制造有源矩阵衬底。结果, 减少了工序, 也有助于制造费用的降低和产量的增加。

此外, 在这个实施例中尽管给出了栅极和源布线同时形成的实例, 但也可以形成另外的掩膜, 使栅极和第一电极在不同的制造步骤中分别形成。具体地说, 首先形成与作为栅极的半导体层交叠的部分。在成功地将 n 型或 p 型杂质元素掺杂到作为栅极的部分并激活这部分后, 形成第一电极, 使得第一电极与栅极交叠。此时, 不用形成接触孔, 仅通过将第一电极重叠在栅极上, 形成栅极和第一电极之间的接触。此外, 与第一电极同时形成源布线。这里允许采用具有低阻的铝或铜作为第一电极和源布线的材料。

[实施例 2]

在下面的实施例 2 中说明了用实施例 1 中制造的有源矩阵衬底制造有源矩阵液晶显示器件的工艺。用图 5 来说明。

在首先根据实施例 1 得到图 4 的有源矩阵衬底之后, 在图 4 的有源矩阵衬底上形成导向膜 567 并进行研磨工序。

准备相对衬底 569。在相对衬底 569 上形成滤色器层 570 和 571 以及涂层

573。形成滤色器层，以致具有红色的滤色器层 570 和具有蓝色的滤色器层 571 彼此交叠，而且同样作为光屏蔽膜。当采用实施例 1 的衬底时，需要至少屏蔽 TFTs 之间的空间和连接电极以及像素电极，因此，最好将红色滤色器和蓝色滤色器安排以致相互重叠并屏蔽所需的位置。

此外，通过与连接电极 165 相结合，交叠红色滤色器层 570、蓝色滤色器层 571 和绿色滤色器层 572，形成垫片。通过将色料混入丙烯酸树脂形成厚 1 到 $3\mu\text{m}$ 的各个滤色器。用感光材料做掩膜能形成预定图形。考虑到 1 到 $4\mu\text{m}$ 的涂层厚度，垫片的高度可以从 2 到 $7\mu\text{m}$ ，最好在 4 至 $6\mu\text{m}$ 之间。当有源矩阵衬底和相对衬底粘接到一起时，通过这个高度形成间隙。通过光固化或热固化有机树脂材料形成涂层，例如用像聚酰亚胺和丙烯酸树脂之类的材料。

可以随意地确定垫片的位置，例如垫片可以设在相对的衬底上，使其与连接电极上面的位置对准，如图 5 所示。此外，垫片也可以设在相对的衬底上，使其与驱动电路的 TFTs 上面的位置对准。垫片可以设置在驱动电路部分的整个表面上，还可以设置成覆盖源布线和漏布线的位置上。

在形成涂层 573 后，通过布图形成相对电极 576，在形成导向膜 574 后进行研磨工序。

然后，将其上形成了像素部分和驱动电路的有源矩阵衬底和相对衬底用密封胶 568 粘接在一起，在密封胶 568 中混入了填料，并且通过填料和垫片保持一定的间隙，将两个衬底粘接在一起。然后在两个衬底之间注入液晶材料 575，并用密封材料（图中未示出）完全密封。所用液晶材料可以用已知的液晶材料。这样就完成了图 5 所示的有源矩阵液晶显示器件。

[实施例 3]

参考图 7A 的顶视图来说明用实施例 2 得到的有源矩阵液晶显示器件（图 5）的结构。其中与图 5 对应的部分用相同的参考标号来表示。

在图 7A 所示的顶视图中，在有源矩阵衬底 201 上形成像素部分、驱动电路、粘接有 FPC（柔性印刷电路）的外输入端子 203、用于连接外输入端子 203 和各个电路的输入区的导线 204 等。有源矩阵衬底 201 和其上形成了滤色器等

的相对衬底 569 互相粘接，中间夹有端部密封材料 568。

由红色滤色器或红色滤色器和蓝色滤色器的叠层膜构成的光屏蔽膜 207 形成在栅布线侧驱动电路 205 和源布线侧驱动电路 206 的上表面上，面对相对衬

底。设置形成在像素部分 407 表面上的、面对相对衬底的滤色器 208, 使得每个红 (R)、绿 (G)、蓝 (B) 滤色器对应于每个像素。在实际显示器中, 通过三色滤色器, 也就是红色滤色器、绿色滤色器和蓝色滤色器来实现彩色显示。这三种颜色的滤色器的排列是任意的。

图 8A 显示了图 7A 所示的外输入端子 203 沿 F-F' 线的截面图。为了减小层间电容器和导线电阻来防止出现由于导线断裂而导致的缺陷, 外端子 203 形成在有源矩阵衬底的侧边上, 通过形成在与像素电极同一层的导线 209 连接到形成在与栅布线同一层的导线 211, 中间夹有绝缘膜 158。

将包含基膜 212 和导线 213 的 FPC 用各向异性导电树脂 214 与外输入端子粘接在一起。此外, 通过加强板 215 增强了机械强度。

图 8B 是图 8A 所示的外端子区的截面图, 图中详细显示了外输入端子 203。设置在有源矩阵衬底侧边上的外输入端子 203 包含形成在与第一电极和源布线同一层的导线 211 和形成在与像素电极同一层的导线 209。很显然这里只显示了端子区结构的一个实例, 并且外端子区也可以由导线 211 或导线 209 构成。例如, 当外端子区由形成在与第一电极和源布线同一层的导线 211 构成时, 需要移去覆盖导线 211 的层间绝缘膜。由与像素电极层相同的层制成的导线 209 具有三层结构, 即钛膜 209a、铝膜 209b 和锡膜 209c。FPC 由基膜 212 和导线 213 形成。用各向异性导电粘合剂将导线 213 和形成在与像素电极同一层的导线 209 彼此粘接在一起, 其中导电粘合剂由热固性粘合剂 214 和分散在其中的导电颗粒 216 构成, 从而形成电连接结构。

另一方面, 图 7B 是图 7A 所示外输入端子 203 沿 E-E' 线的截面图。导电颗粒 216 的外径比导线 209 的间距小。据此, 假如分散在粘合剂 214 中的导电颗粒 216 的量合适的话, 可以在不引起与相邻导线短路的情况下形成与 FPC 面上的相应导线电连接。

如上所述制造的有源矩阵液晶显示器件可以用作各种电设备的显示区。

[实施例 4]

不用任何附加制造工序, 就可以将实施例 1 中制造的有源矩阵衬底应用到反射型显示器件。另一方面, 当制造透射型液晶显示器件时, 用于为像素部分的每个像素设置的像素电极用透明电极形成。在这个实施例中, 参考图 9A 至 9C 来描述用于透射型液晶显示器件的有源矩阵衬底的制造方法。

关于有源矩阵衬底的制造,接着实施例1的工序,实施直到形成到达半导体层接触孔的制造工序。接着形成用于连接源布线137和源区的连接电极165、栅布线300和用于连接漏极和像素电极的连接电极301(图9A)。这些电极和导线是通过在布图前用溅射或真空蒸发形成导电金属膜而得到的。下面参考图9B,用连接301作为例子,详细描述该结构。形成厚50至150nm的钛膜301a来形成与半导体层的接触,该半导体层形成岛状半导体层的源区或漏区。形成厚300至400nm的铝膜301b使其与钛膜301a交叠,然后在上面形成厚100至200nm的钛膜301c或氮化钛(TiN)膜,以便得到三层结构。此后,在三层结构的整个表面上形成透明导电膜,然后须用光掩膜进行布图处理和进行刻蚀处理以便形成像素电极303。该像素电极303是形成在由有机树脂材料制成的第二层间绝缘膜上的,并具有与像素TFT404的连接电极301交叠的部分,使其不穿过接触孔,由此形成电连接。

用另一种方法,可以在下列工序中形成连接部分。首先,在第二层间绝缘膜上形成透明导电膜。然后,在布图处理后进行刻蚀处理,形成像素电极,通过形成局部与像素电极接触的连接电极形成连接部分,使其不穿过接触孔。作为透明导电膜的材料,可以用氧化铟(In_2O_3)或氧化铟和氧化锡的合金($\text{In}_2\text{O}_3\text{-SnO}_2$; ITO)等通过溅射、真空蒸发等形成。用盐酸溶液进行这类材料的刻蚀处理。由于在ITO的刻蚀中可能产生残留,可以选择用氧化铟和氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$)来提高刻蚀加工性。与ITO相比,由于氧化铟和氧化锌合金具有优异的表面光滑度和热稳定性,使用氧化铟和氧化锌合金能避免铝膜301b从接触连接电极301端面上的像素电极303处引起腐蚀反应。同样地,氧化锌也是用作透明导电膜的合适材料。另外,可以将镓(Ga)掺杂到氧化锌中(ZnO:Ga)来加强可见光的透射率和导电率。

图25是像素的顶视图。图25所示的像素具有大约56%的孔径比。与图9A至9C中相对应的部件用相同的参考标号来表示。

图9C是透射型液晶显示器件端子部分的截面图。设置在有源衬底侧边上的外输入端子包含由与第一电极和源布线相同的层制成的导线311和由与像素电极相同的层制成的导线309。当然,这只是一个显示端子区结构的例子;外输入端子可以用导线133或导线309形成。例如,当用由与第一电极和源布线相同的层制成的导线311形成外输入端子时,需要移去交叠的层间绝缘膜。

由与像素电极相同的层制成的导线309具有三层结构:钛膜309a、铝膜309b和钛膜309c。在形成导线309后,在暴露铝的区域进行氧化处理,以便防止铝膜309b接触像素电极303以引起腐蚀反应。

由基膜312和导线313形成FPC。用各向异性导电粘合剂将导线313和由与像素电极相同的层制成的导线309彼此粘接在一起,其中导电粘合剂由热固性粘合剂314和分散在其中的导电颗粒316构成,因此形成电连接结构。

如上所述,在实施例1中用五个光掩膜制造用于反射型液晶显示器件的有源矩阵衬底,然而用额外的光掩膜(总共六个光掩膜)可以制造用于透射型液晶显示器件的有源矩阵衬底。这个实施例描述为实施与实施例1相同的制造工艺;这个结构是可以应用到实施例2的。

[实施例5]

在这个实施例中,图10中示出了将银和铝的叠层结构用作第二导线的例子。除了第二导线图形,实施例5的结构与实施例1的结构是一样的。下面只描述与实施例1不同的部分。

在这个实施例中,用包含高反射率的银的叠层结构作为引导电极609。引导电极609与未示出的像素电极、连接电极和栅布线同时制造。609a层是由铝制成的具有低电阻的导电层,而609b层是包含银作为主成分并具有高反射率的导电层。这样的结合能够实现具有高反射率和低导线电阻的有源矩阵衬底。

这个实施例可与实施例1到4的任意一个进行自由组合。

[实施例6]

参考图11,在实施例6中说明了一个具有不同于实施例1的有源矩阵衬底的TFT结构的例子。

如图11所示,在有源矩阵衬底上形成驱动电路857和像素部分858,驱动电路857具有逻辑电路部分855和取样电路856,逻辑电路部分855包含第一p沟道TFT850和第二n沟道TFT851,取样电路856由第二n沟道TFT852制成,像素部分858具有像素TFT853和存储电容器854。驱动电路857的逻辑电路部分855的TFT形成如移位寄存电路或缓冲电路之类的电路,取样电路856的TFT基本上形成模拟开关。

在基膜802上的岛状半导体层803到806中,通过形成沟道形成区、源区、漏区和LDD区来形成这些TFTs,其中基膜802是形成在衬底801上的。形成

基膜和岛状半导体层的方式与实施例 1 相同。在栅绝缘膜 808 上形成栅极 809 至 812, 在它们的边缘部分具有楔形形状, 用这些部分形成 LDD 区。与实施例 1 一样, 这种楔形能用 ICP 刻蚀装置, 通过钨膜的各向异性刻蚀技术形成。此外, 源布线 813 和第二电极 (电容器电极) 815 也具有楔形。

为了提高 n 沟道 TFTs 的可靠性, 利用楔形部分形成 LDD 区, 通过 LDD 区防止由于热载流子效应降低导通电流。关于 LDD 区, 用离子掺杂法来形成, 即杂质元素的离子通过电场加速, 穿过栅极的边缘部分和穿过边缘部分附近的栅绝缘膜掺杂到半导体膜。

第一 LDD 区 835、第二 LDD 区 834 和源区或漏区 833 形成在第一 n 沟道 TFT851 中的沟道形成区 832 的外侧, 形成的第一 LDD 区 835 要与栅极 810 重叠。此外, 由于上层栅绝缘膜和栅极的膜厚不同, 包含在第一 LDD 区 835 和第二 LDD 区 834 中的 n 型杂质元素比第二 LDD 区 834 的高。同样形成具有同样结构的第二 n 沟道 TFT852, 该第二 n 沟道 TFT852 由沟道形成区 836、与栅极交叠的第一 LDD 区 839、第二 LDD 区 838 和源区或漏区 837 构成。另一方面, p 沟道 TFT850 具有单漏极结构, 形成杂质区 829 至 831, 其中 p 型杂质掺杂到沟道形成区 828 的外侧。

为了减小断开电流, 用多栅结构形成像素 TFT, 其中像素 TFT 是由像素部分 858 中的 n 沟道 TFT 形成的, 在沟道形成区 840 的外侧形成与栅极重叠的第一 LDD 区 843、第二 LDD 区 842 和源区或漏区 841。此外由岛状半导体层 807、由与栅绝缘膜 808 相同的层形成的绝缘层和第二电极 815 共同形成存储电容器 854。将 p 型杂质掺杂到岛状半导体层 807, 由于低电阻率, 可以使施加到第二电极的电压更低。

用厚 50 到 500nm、并用有机材料例如氧化硅、氮化硅或氮氧化硅制成的第一层间绝缘膜 816 和用有机绝缘材料例如聚酰亚胺、丙烯酸、氨基聚酰亚胺或 BCB (苯并环丁烯) 制成的第二层间绝缘膜 817 形成层间绝缘膜。通过用有机绝缘材料形成第二层间绝缘膜, 可以得到好的水平面。此外, 有机树脂材料通常具有低的介电常数, 因此可以减小寄生容量。然而, 有机树脂材料是吸湿的, 不适合做保护膜。因此最好形成与第一层间绝缘膜 816 结合的第二层间绝缘膜。

然后形成具有预定图形的抗蚀剂掩膜, 形成用于到达各自岛状半导体层的

源区或漏区的接触孔。接触孔用干法腐蚀形成。在这种情况下，用 CF_4 、 O_2 和 He 作为刻蚀气体，首先刻蚀由有机树脂材料制成的层间绝缘膜。下一步用 CF_4 和 O_2 作为刻蚀气体，刻蚀保护绝缘膜。另外，通过开关 CHF_3 刻蚀气体来提高关于岛状半导体层的选择性，刻蚀栅绝缘膜。这样可以形成好的接触孔。

然后用溅射或真空蒸发形成导电金属膜，形成抗蚀剂掩膜图形，通过刻蚀形成源极和漏布线 818 至 823、像素电极 827、栅布线 826 和连接电极 825。这样就能形成具有图 1 所示像素结构的像素部分的有源矩阵衬底。此外，用实施例 6 的有源矩阵衬底可以制造在实施例 2 中示出的有源矩阵液晶显示器件。

此外，尽管在这个实施例中给出的是栅极和源布线同时形成的一个例子，但也可以再形成另一个掩膜，在不同的制造步骤中分别形成栅极和第一电极。具体地，首先形成与作为栅极的半导体层重叠的部分。在成功地将 n 型或 p 型杂质元素掺杂到作为栅极的部分并激活这部分后，形成第一电极，使其与栅极交叠。至此，不用形成接触孔，仅将第一电极叠置在栅极上，就形成了栅极和第一电极之间的接触。此外，源布线与第一电极同时形成。这就允许采用具有低电阻的铝或铜作为第一电极和源极的材料。

[实施例 7]

参考图 12，在实施例 7 中介绍另一个具有不同于实施例 1 的有源矩阵衬底的 TFT 结构的实例。

如图 12 所示，在有源矩阵衬底上形成驱动电路 957 和像素部分 958，驱动电路 957 具有逻辑电路部分 955 和取样电路 956，逻辑电路部分 955 包含第一 p 沟道 TFT950 和第二 n 沟道 TFT951，取样电路 956 由第二 n 沟道 TFT952 制成，像素部分 958 具有像素 TFT953 和存储电容器 954。驱动电路 957 的逻辑电路部分 955 的 TFT 形成如移位寄存电路或缓冲电路之类的电路，取样电路 956 的 TFT 基本上形成模拟开关。

关于在实施例 7 中示出的有源矩阵衬底，首先在衬底 901 上形成基膜 902，该基膜由如氧化硅膜或氮氧化硅膜之类的膜形成，具有 50 至 200nm 的厚度。然后由经激光晶化或热晶化制成的晶体半导体膜形成岛状半导体层 903 至 907。在岛状半导体层上形成栅绝缘膜 908。然后将提供 n 型导电率的杂质元素典型的是磷 (P) 有选择地掺杂到岛状半导体层 904 和 905，形成 n 沟道 TFTs，并掺杂到岛状半导体层 907 中，形成存储电容器，掺杂浓度为 1×10^{16} 到 1×10^{19}

原子/cm³。

通过用具有钨或氮化钽作为组分材料形成栅极 909 至 912、第二电极(电容器电极) 915 和源布线 913。栅极、第二电极和源布线也可以用具有低电阻率的材料例如铝分别形成。然后将提供 n 型导电率的杂质元素, 典型的是磷(P), 以 1×10^{19} 到 1×10^{21} 原子/cm³ 的浓度有选择地掺杂到岛状半导体层 903 至 907 的外侧、栅极 909 至 912 的外侧和第二电极 915 的外侧。这样就分别在第一 n 沟道 TFT951 和第二 n 沟道 TFT952 中形成了沟道形成区 931 和 934、LDD 区 933 和 936 以及源极或漏极区 932 和 935。像素电极 TFT953 的 LDD 区 939 是以自对准方式、用栅极 912 形成的, 并形成在沟道形成区 937 的外侧。与第一和第二沟道 TFTs 类似, 形成源区或漏区 938。

与实施例 3 类似, 通过用有机材料例如氧化硅、氮化硅或氮氧化硅制成第一层间绝缘膜 916 和用有机绝缘材料例如聚酰亚胺、丙烯酸、氨基聚酰亚胺或 BCB(苯并环丁烯)形成的第二层间绝缘膜 917 形成层间绝缘膜。然后形成具有预定图形的抗蚀剂掩膜, 在各自的岛状半导体层中形成用于到达源区或漏区的接触孔。然后用溅射法或真空蒸发法形成导电金属膜, 并形成源布线和漏布线 918 至 923、像素电极 927、栅布线 926 以及连接电极 925。这样就形成了图 1 所示的具有像素结构的像素部分的有源矩阵衬底。此外, 用实施例 7 的有源矩阵衬底也能够制造实施例 2 所示的有源矩阵液晶显示器件。

逻辑电路部分 955 的第一 n 沟道 TFT951 具有这样一种结构, 即在漏极侧形成与栅极交叠的 GOLD 区。通过该 GOLD 区减轻了在漏极区附近产生的高电场区, 防止了热载流子的产生, 从而能防止 TFT 的劣化。具有这种结构的 n 沟道 TFT 适合于用在缓冲电路和移位寄存电路中。另一方面, 在取样电路部分 956 中的第二 n 沟道 TFT952 的结构中, 在源极侧和漏极侧形成了 GOLD 区和 LDD 区, 从而避免了在通过极性倒置来工作的模拟开关中由于热载流子而引起的劣化。另外, 这个结构的目的在于减小关断电流。像素 TFT953 具有 LDD 结构, 并通过多栅形成, 并且这个结构的目的在于减小关断电流。另一方面, 用单漏极结构形成 p 沟道 TFT, 并且在沟道形成区 928 的外侧掺杂了 p 型杂质元素, 从而形成杂质区 929 和 930。

这样, 应随所需要的具体情况, 用像素部分和驱动电路来优化构成每个电路的 TFTs, 并且图 12 所示的有源矩阵衬底具有这样的结构, 即是在特别考虑

提高每个电路的操作特性和可靠性的情况下设计的。

此外，在这个实施例中尽管列举了栅极和源布线同时形成的例子，但也可以形成另外的掩膜，使栅极和第一电极可以在不同的制造步骤中分别形成。具体地说，首先形成与半导体层交叠的作为栅极的部分，在成功地将 n 型或 p 型杂质元素掺杂到作为栅极的部分并激活这部分后，形成第一电极使其与栅极交叠。至此，不用形成接触孔，仅在栅极上交叠第一电极就形成了栅极和第一电极之间的接触。此外，与第一电极同时形成源布线。允许用具有低电阻的铝或铜作为第一电极和源布线的材料。

[实施例 8]

在这个实施例中，图 13 示出了具有不同于图 1 所示的像素结构。图 14 中示出了它的截面结构，说明沿 A-A' 线和 G-G' 线得到的横截面。只有存储电容器的结构不同于实施例 1，本实施例中的其它结构与实施例 1 中的结构都相同。

在这个实施例中，用第二半导体层 1002 和电容器电极 1005、用第二半导体层 1002 上的绝缘膜作为电介质形成存储电容器。第一半导体层用参考标号 1001 表示，电容器电极 1005 连接到存储导线 1009，电容器电极 1005 与第一电极 1004 和源布线 1006 在同一个绝缘膜上同时形成。此外，电容器导线与像素电极 1011、连接电极 1010 和栅布线 1007 在同一个绝缘膜上同时形成。

在这个实施例中，就像在像素 TFT 中那样，将提供 n 型导电率的杂质元素通过 1014 掺杂到杂质区 1012。这个结构甚至可以用于大尺寸显示板例如对角线为 10 英寸或更大的显示板。

此外，在这个实施例中尽管给出了栅极和源布线同时形成的例子，但可以形成另外的掩膜，在不同的制造步骤中分别形成栅极、第一电极和电容器导线。具体地说，首先形成与半导体层交叠的作为栅极的部分。在成功地将 n 型或 p 型杂质元素掺杂到作为栅极的部分并激活这部分后，形成第一电极使其与栅极交叠。至此，不用形成接触孔，仅在栅极上交叠第一电极就形成了栅极和第一电极之间的接触。此外，源布线和电容器导线与第一电极同时形成。这就允许用具有低电阻的铝或铜作为第一电极和源布线的材料。此外，将 n 型或 p 性杂质元素掺杂到与电容器导线交叠的半导体层部分，以便增加存储电容器。

根据本实施例，可以在不增加掩膜数量的情况下，通过改变实施例 1 的掩

膜设计来制造有源矩阵衬底。

本实施例可以和实施例 1 至 5 中的任一个自由地组合。

[实施例 9]

实施例 9 描述了制造晶体半导体层的另一种方法,, 该晶体半导体层用于形成实施例 1 描述的有源矩阵衬底的 TFT 的半导体层。在这个实施例中, 可以采用日本专利 No.7-130652 中公开的用催化元素的晶化方法, 下面将列举一个实例。

用实施例中描述的方法在玻璃衬底上形成厚 25 至 80nm 的基膜和非晶半导体层。例如, 形成厚 55nm 的非晶硅膜。通过旋涂法用包含 10ppm (以重量计) 催化元素的水溶液形成包含催化元素的层。催化元素包含镍 (Ni)、锗 (Ge)、铁 (Fe)、钯 (Pd)、锡 (Sn)、铅 (Pb)、钴 (Co)、铂 (Pt)、铜 (Cu) 和金 (Au)。除了旋涂, 还可以用溅射或真空蒸发形成包含催化元素的层 170, 使得催化元素层的厚度为 1 至 5nm。

在晶化步骤中, 首先在 400°C 至 500°C 热处理 1 小时, 降低非晶硅膜的氢含量, 使其不高于 5 原子%(原子百分数), 然后在退火炉中, 氮环境下进行 550°C 至 600°C 的热退火, 退火时间为 1 至 8 小时。依照上面提到的工艺, 就能得到包括晶体硅膜的晶体半导体层。

与实施例 1 类似, 通过用上述的晶体半导体层形成岛状半导体层, 就能形成有源矩阵衬底。然而, 在晶化过程中, 如果使用了促进硅晶化的催化元素, 就有少量 (大约为 1×10^{17} 到 1×10^{19} 原子/cm³) 的催化元素保留在了岛状半导体层中。在这种状态下完成 TFT 当然是可能的, 但最好至少从沟道形成区除去遗留的催化元素, 除去的方法之一是用磷的吸收效应。

为了这个目的, 可以将用磷进行吸收处理的步骤和图 3C 所说的激活步骤同时进行。吸收用的磷 (P) 的浓度可以接近高浓度 n 杂质区的杂质浓度。激活步骤的热退火允许催化元素从 n 沟道 TFT 和 p 沟道 TFT 分离到包含磷 (P) 的杂质区。结果, 催化元素以 1×10^{17} 至 1×10^{19} 原子/CM³ 的浓度分离在杂质区中。这样制造的 TFT 具有降低的关断电流值和高的结晶度。因此可以得到高的场效应渗透率和优异的特性。

这个实施例可以和实施例 1 至 8 中的任一结构自由结合。

[实施例 10]

在这个实施例中，不同于实施例 1 的像素结构（IPS 系统）如图 15 所示，它的截面结构如图 16 所示，截面是沿 A-A' 线和 H-H' 线得到的截面。

这个实施例显示了 IPS（In-Plane Switching）（平面开关）系统（也指水平电场系统）的有源矩阵液晶显示器件的一个实例。IPS 系统的特征在于像素电极和共用导线都形成在一对衬底上，在水平方向施加电场。结果，控制液晶分子的纵轴，使其导向在完全平行于衬底表面的方向上。IPS 系统的应用允许增大视角。

在图 15 中，第一半导体层用参考标号 1101 表示，第二半导体层用 1102，第一电极用 1104，第二电极用 1105，源布线用 1106，栅布线用 1107，公用导线用 1108 和 1109，连接电极用 1110，像素电极用 1111。设置像素电极 1111 和公用导线 1108 及 1109，要使得产生的电场平行于衬底的表面。设置的公用导线 1108 和 1109 要与源布线 1106 交叠，结果是提高了像素部分的孔径比。

如图 16 所示，在覆盖第一半导体层 1101 和第二半导体层 1102 的绝缘膜上同时形成第一电极 1104、第二电极 1105 和源布线 1106。在覆盖源布线 1106 的层间绝缘膜上同时形成像素电极 1111、连接电极 1110、栅布线 1107 和公用导线 1109。

第一电极 1104 电连接到栅布线 1107。与第一半导体层 1101 重叠的第一电极 1104 起栅极的作用。

尽管在这个实施例中示出了长方形的像素电极，但像素电极和公用电极可以具有 V 形电极结构，以便进一步增加视角。由第二半导体层 1102、覆盖半导体层 1102 的绝缘膜和第二电极 1105 形成存储电容器。第二电极 1105 电连接到相邻像素的栅布线。此外，将提供 p 型导电率的杂质元素掺杂到第二半导体层 1102。

通过改变实施例 1 的掩膜图形，用实施例 1 的制造工艺可以得到本实施例的像素结构。

在用实施例 1 得到图 15 和 16 所示的状态后，用实施例 2 描述的方法得到液晶显示器件。用与实施例 2 类似的方式，用设置在相对衬底上的滤色器对像素之间的间隙屏蔽光。然而，由于采用 IPS 系统，需要改变导向处理等。

[实施例 11]

在这个实施例中，不同于实施例 10 的 IPS 系统的像素结构示于图 17 中。

它的截面结构示于图 18 中,说明沿 J-J' 线和沿 K-K' 线得到的截面。只有这个实施例的像素电极结构不同于实施例 10,除了像素电极之外的其它结构基本上与实施例 10 相同。

在图 17 中,第一半导体层用参考标号 1201 表示,第二半导体层用 1202,第一电极用 1204,第二电极用 1205,源布线用 1206,栅布线用 1207,公用导线用 1208 和 1209,第一连接电极用 1210,像素电极用 1211,第二连接电极用 1212 和 1213。设置像素电极 1211 和公用导线 1208 及 1209,以使得产生平行于衬底的表面的电场。作为像素电极 1211,采用具有透光性的导电膜(ITO 膜等)。设置用于布图具有透光性的导电膜的另外的掩膜,使得第二电极与像素电极重叠以形成电连接。采用具有透光性的导电膜作为像素电极以提高孔径比。此外,设置的公用导线 1208 和 1209 要与源布线 1206 交叠,以便提高像素部分的孔径比。

如图 18 所示,在覆盖第一半导体层 1201 和第二半导体层 1202 的绝缘膜上同时形成第一电极 1204、第二电极 1205 和源布线 1206。此外,在覆盖源布线 1206 的层间绝缘膜上同时形成第一连接电极 1210、栅布线 1207、公用导线 1209 和第二连接电极 1213 和 1212。

第一电极 1204 电连接到栅布线 1207,与第一半导体层 1201 重叠的第一电极 1204 的一部分起栅极的作用。

尽管在本实施例中示出了长方形的像素电极,像素电极 1211 和公用电极也可以具有 V 形电极结构,以进一步增大视角。

由第二半导体层 1202、覆盖第二半导体层 1202 的绝缘膜和第二电极 1205 形成存储电容器。第二电极 1205 电连接到相邻像素的栅布线。此外,将提供 p 型导电率的杂质元素掺杂到第二半导体层 1202。

如果改变实施例 1 的掩膜图形,用与实施例 1 相同的制造工艺,可以得到本实施例的像素结构。

在用实施例 1 得到图 15 和 16 所示的状态后,用实施例 2 中描述的方法可以得到液晶显示器件。与实施例 2 类似,用设置在相对衬底上的滤色器对像素之间的间隙屏蔽光线。然而,由于在本实施例中采用 IPS 系统,必须改变导向处理等。

[实施例 12]

在本实施例中，不同于实施例 1 的存储电容器的截面结构示于图 19。只有本实施例的存储电容器的结构不同于实施例 1，除了存储电容器之外的其它结构基本上与实施例 1 相同。用与实施例 1 相同的参考标号表示的部分对应于实施例 1 的部分。

首先，在继续实施实施例 1 的制造工序，形成了层间绝缘膜 157 之后，提供用于选择刻蚀以便部分移去层间绝缘膜 157 的另外的掩膜。选择刻蚀的结果是，选择性地留下了由有机树脂制成的层间绝缘膜 1300 和层间绝缘膜 157。然后，紧接着形成像素电极 1302。

在这个例子中，与实施例 1 一样，存储电容器是由包含杂质区 154 至 156 的半导体膜和电容器电极、用第一绝缘膜作为电介质形成的。另外，由电容器电极 1301 和像素电极 1302、用层间绝缘膜 157 作为电介质形成另一个存储电容器。与在像素 TFT 中一样，将提供 n 型或 p 型导电率的杂质元素掺杂到杂质区 154 至 156。

具有这样的结构，存储电容器的数量可以进一步增加。

这个实施例可以和实施例 1 到 9 中的任意一个进行自由组合。

[实施例 13]

根据本发明的 CMOS 电路和像素部分可用于各种光电器件（有源矩阵型液晶显示器件和有源矩阵型 EC 显示器件）。因此本发明可以应用到所有在显示部分包含这种光电器件的电设备。

下面给出了这些电设备的实例：摄像机、数码相机、投影机（背投式或前投式）、头戴式显示（护目型显示）、汽车导航系统、汽车立体声系统、个人计算机和手提信息终端（例如便携计算机、手提电话或电子记事簿）。这些例子示于图 20、21 和 22。

图 20A 是个人计算机，它包含主体 2001、图象输入部分 2002、显示部分 2003 和键盘 2004 等。本发明可以应用到图象输入部分 2002、显示部分 2003 或其它驱动电路。

图 20B 是摄像机，它包含主体 2101、显示部分 2102、声频输入部分 2103、控制开关 2104、电池 2105 和图象接收部分 2106 等。本发明可以应用到显示部分 2102 或其它驱动电路。

图 20C 是便携计算机，它包含主体 2201、相机部分 2202、图象接收部分

2203、控制开关 2204 和显示部分 2205。本发明可以应用到显示部分 2205 或其它信号控制电路。

图 20D 是头戴型显示的一部分（右手型），它包含主体 2301、信号线 2302、头固定带 2303、显示部分 2304、光学系统 2305 和显示部件 2306 等。本发明可以应用到显示部件 2306。

图 20E 是用记录媒体的唱机，在记录媒体上记录节目（下文称记录媒体），该唱机包含主体 2401、显示部分 2402、扬声器部分 2403、记录媒体 2404 和控制开关 2405 等。须说明的是这个唱机用记录媒体例如 DVD（数字通用盘）或 CD，可以进行欣赏音乐、欣赏电影、玩游戏或上网。本发明可以应用到显示部分 2402 或其它驱动电路。

图 20F 是数字相机，它包含主体 2501、显示部分 2502、目镜部分 2503、控制开关 2504 和图象接收部分（图中未示出）等。本发明可以应用到显示部分 2502 或其他驱动电路。

图 21A 是前投式投影机，包括：显示部件 2601；和屏幕 2602。本发明可以应用到由一部分显示部件 2601 或其它驱动电路构成的液晶显示器件 2808。

图 21B 是背投式投影机，包括：主体 2701；显示部件 2702；反光镜 2703 和屏幕 2704。本发明可以应用到包括一部分显示部件 2702 或其它驱动电路的液晶显示器件 2808。

图 21C 是一个示意图，显示了一个图 21A 和图 21B 的显示部件 2601 和 2702 的结构实例。每个显示部件 2601 或 2702 包括：光源系统 2801；反光镜 2802 和 2804 至 2806；分色镜 2803；棱镜 2807；液晶显示器件 2808；分相板 2809 和投射光系统 2810。投射光系统 2810 包括多个具有投射镜头的光学透镜，尽管本实施例显示的是 3 片式的例子，但本发明并不限于这个例子，例如可以用单片式。此外，如图 21C 中的箭头所示，工作人员可以在光路中合理地配置光学透镜、能使光偏振的膜、调整相差的膜和 IR 膜等。

图 21D 是显示图 21C 中光源系统 2801 的一个结构实例示意图。在本实施例中，光源系统 2801 包括：反射器 2811；光源 2812；透镜阵列 2813 和 2814；偏振转化元件 2815 和聚光镜 2816。注意图 21D 中示出的光源系统只是一个实例，其结构并不限于这个实例，例如，工作人员可以合理地配置光学透镜、能使光偏振的膜、调整相差的膜和 IR 膜等。

图 21 所示的投影机用的是透射型光电器件，没有说明反射型光电器件的应用实例。

图 22A 是手提电话，包括：主体 2901、音频输出部分 2902、音频输入部分 2903、显示部分 2904、操作开关 2905 和天线 2906 等。本发明可以应用到音频输出部分 2902、音频输入部分 2903、显示部分 2904 或其它驱动电路。

图 22B 是便携记事本（电子记事簿），包括：主体 3001、显示部分 3002 和 3003、记录媒介 3004、操作开关 3005 和天线 3006 等。本发明可以应用到显示部分 3002 和 3003 或其它驱动电路。

图 22C 是显示器，包括：主体 3101、支撑座 3102 和显示部分 3103 等。本发明可以应用到显示部分 3103。本发明的显示器对于大尺寸（对角线等于或大于 10 英寸，尤其等于或大于 30 英寸）屏幕特别有利。

这样，本发明的应用范围是非常广的，将本发明应用到所有领域中的电设备是可能的。此外，用实施例 1 至 12 的任意组合构成的产品可以实现本发明的电设备。

[实施例 14]

在实施例 1 中进行一次刻蚀的条件下，尽管进行了用于形成第一形状的导电层的第一刻蚀处理，但也可以进行多次刻蚀处理以防止绝缘膜的厚度减小和提高外形的一致性。在本实施例中，列举了一个进行两次第一刻蚀处理来形成第一形状导电层的实例。

在本实施例中，虽然在栅极的两侧形成了楔形以及在沟道形成区的两侧形成了 LDD 区，但下面参考图 24A 至 24D 将详细描述本实施例，其中图 24A 至 24D 是说明在制造工序中，仅表示栅极周围一侧的扩大的截面图。为了简单。基膜和衬底在图 24A 至 24D 中未示出。

首先，接着实施例 1 的制造工序，得到图 24A 所示的状态。设定第一导电膜的厚度为 20 至 100nm 以及第二导电膜的厚度为 100 至 400nm 就足够了。在本实施例中，由厚 30nm 的 TaN 制成的第一导电膜和由厚 370nm 的 W 制成的第二导电膜互相交叠。为了得到非常高的热阻，最好用 TaN 作为第一导电膜的材料。

下一步，用抗蚀剂形成第一形状掩膜 1405a。然后，用 ICP 方法进行刻蚀以形成第一形状的第二导电膜 1404a。用 CF_4 、 Cl_2 和 O_2 的混合气体作为相对于

TaN 具有高选择率的刻蚀气体，其结果就得到图 24A 所示的状态。表 1 示出了各种刻蚀条件和第二导电膜（W）的刻蚀率、第一导电膜（Ta₂N₅）的刻蚀率或第二导电膜（W）的楔形角之间的关系。

表 1: W 和 N 的刻蚀率 (ER) 和 W 的楔形角

	ICP	偏压	压力	CF ₄	Cl ₂	O ₂	W ER (1)	TaN ER (2)	W/TaN 选择率 (1)/(2)	W 楔形角
No.	[W]	[W]	[Pa]	[SCCM]			[nm/分钟]	[nm/分钟]		度
1	500	20	1.0	30	30	0	58.97	66.43	0.889	80
2	500	60	1.0	30	30	0	88.71	118.46	0.750	25
3	500	100	1.0	30	30	0	111.66	168.03	0.667	18
4	500	20	1.0	25	25	10	124.62	20.67	6.049	70
5	500	60	1.0	25	25	10	161.72	35.81	4.528	35
6	500	100	1.0	25	25	10	176.90	56.32	3.008	32
7	500	150	1.0	25	25	10	200.39	80.32	2.495	26
8	500	200	1.0	25	25	10	218.20	102.87	2.124	22
9	500	250	1.0	25	25	10	232.12	124.97	1.860	19
10	500	20	1.0	20	20	20	— (*)	14.83	—	—
11	500	60	1.0	20	20	20	193.02	14.23	13.695	37
12	500	100	1.0	20	20	20	235.27	21.81	10.856	29
13	500	150	1.0	20	20	20	276.74	38.61	7.219	26
14	500	200	1.0	20	20	20	290.10	45.30	6.422	24
15	500	250	1.0	20	20	20	300.34	50.25	6.091	22

表格中的 (*) 符号表示由于在刻蚀过程中表面性质的改变, 无法测量该参数。

说明书中的术语“楔形角”表示在水平平面和材料层的侧面之间形成的夹角, 如图 24A 的右上方所示。

通过设定第一刻蚀条件, 例如表 1 中 4 到 15 的条件之一, 就可以自由设定水平平面和第二导电层 (W) 之间形成的角度 (楔形角 $\alpha 1$) 在 19 度和 70 度之间, 刻蚀时间可以有操作者合理地设定。

在图 24A 中, 半导体层用参考标号 1401 表示, 绝缘膜用 1402 表示, 第一导电膜用 1403 表示。

下一步, 在第二刻蚀条件下, 用剩下的掩膜进行刻蚀, 以便形成第一形状

的第一导电膜 1403。在第二刻蚀条件下进行刻蚀过程中，绝缘膜 1402 也被刻蚀到一定的深度，生成第一形状的绝缘膜 1402a。在这个实施例中，将 CF_4 和 Cl_2 的混合气体用作第二刻蚀条件的刻蚀气体。对于第二刻蚀条件，例如可以采用表 1 中条件 1 至 3 中的任一个。如上所述，在进行两次刻蚀的条件下，通过第一刻蚀处理，能防止绝缘膜 1402 的厚度减小。

下一步，进行第一掺杂处理。通过离子掺杂法，用第一形状的第一导电层 1403a 和第一形状的第二导电层 1404a 作为掩膜，将给予一种导电率的杂质元素掺杂到半导体层 1410 中，在本实施例中是掺杂提供 n 型导电率的磷(图 24B)。在图 24B 中，在第二刻蚀条件下，尽管在刻蚀过程中第二导电层 1404a 也被刻蚀到一定深度，但图 24B 所示的第二导电层 1404a 具有与图 24A 所示的第二导电层 1404a 相同的形状，因为刻蚀量是很小的。

下一步，用留下的掩膜 1405a 进行第二刻蚀，以便得到图 24C 所示的状态。在本实施例中，在用 CF_4 和 Cl_2 的混合气体作为刻蚀气体，在第一刻蚀条件下，作为第二刻蚀处理进行刻蚀之后，再用 CF_4 、 Cl_2 和 O_2 的混合气体作为刻蚀气体，在第二刻蚀条件下进行刻蚀。对于这些刻蚀条件，可以采用表 1 中的任一个条件，刻蚀时间可以合理地设定。通过选择刻蚀条件，可以自由设定在沟道的纵向上每个导电层的宽度。第二刻蚀处理允许第二形状的掩膜 1405b、第二形状的第一导电膜 1403b 和第二形状的绝缘膜 1402b 的形成。

第二形状的第二导电层 1404b 形成了比楔形角 $\alpha 1$ 更大的楔形角 $\alpha 2$ ，然而，第二形状的第一导电层 1403b 形成了非常小的楔形角 β 。而且在第二形状的绝缘膜 1402b 中，部分地形成了楔形角 γ 。

下一步，在移去掩膜 1405b 之后，进行第二掺杂处理(图 24D)。第二掺杂处理以比第一掺杂处理低的浓度进行掺杂。在本实施例中，用第二形状的第二导电层 1404b 作为掩膜，通过离子掺杂方法，将提供 n 型导电率的磷掺杂到半导体层 1401 中。

第二掺杂处理的结果，形成了杂质区 1401a 至 1401c。与夹在绝缘膜和第一导电层之间的第二导电层交叠的部分半导体层作为沟道形成区。尽管未示出，但是在沟道形成区的两侧以对称的方式形成了杂质区 1401a 至 1401c。

在掺杂中，位于半导体上的材料层变得越厚，离子的注入越浅。据此，与夹在绝缘膜之间的第一导电层交叠的杂质区 1401c，也就是说，第三杂质区

(GOLD 区)受具有楔形角 β 侧面的楔形部分的影响,使掺杂到半导体层的杂质元素的浓度产生变化。当材料层的厚度增加时,杂质浓度减小,当材料层的厚度减小时,杂质浓度增加。

类似地,杂质区 1401b,也就是说,第二杂质区(LDD 区)受第二形状的绝缘膜 1402b 的厚度影响,使掺杂到半导体层的杂质浓度产生变化。具体地说,杂质区 1401b 受具有楔形角 γ 侧面的楔形部分或其它楔形部分的影响,使掺杂到半导体层的杂质元素的浓度产生变化。没有与第一导电层交叠的杂质区 1401b 具有比杂质区 1401c 更高的浓度。此外,在沟道的纵向上,杂质区 1401b 的宽度与杂质区 1401c 的宽度一样,或比杂质区 1401c 的宽度更大。

杂质区 1401a,也就是说,第一杂质区包含除了用第一掺杂处理掺杂的杂质元素之外,还包含用第二掺杂处理掺杂的杂质元素。结果,杂质区 1401a 变为高浓度杂质区,起源区或漏区的作用。

作为后续的步骤,可以按图 3B 所示的实施例 1 的制造工序来进行制造有源矩阵衬底。

通过上面的方法,形成了像素 TFTs 和驱动电路的 TFTs。

本实施例可以和实施例 1 至 4 和实施例 7 至 13 中的任一个进行自由组合。

当用 SF_6 和 Cl_2 的混合气体代替本实施例的刻蚀气体(CF_4 和 Cl_2 的混合气体),或用 SF_4 、 Cl_2 和 O_2 的混合气体代替 SF_4 、 Cl_2 和 O_2 的混合气体的情况下,由于这些气体的选择率对于绝缘膜 1402 非常高,从而防止了厚度的进一步减小。

根据本发明,在不增加掩膜数量和制造步骤的情况下,通过本发明可以实现具有高孔径比的像素结构,从而能获得具有该像素结构的液晶显示器件。

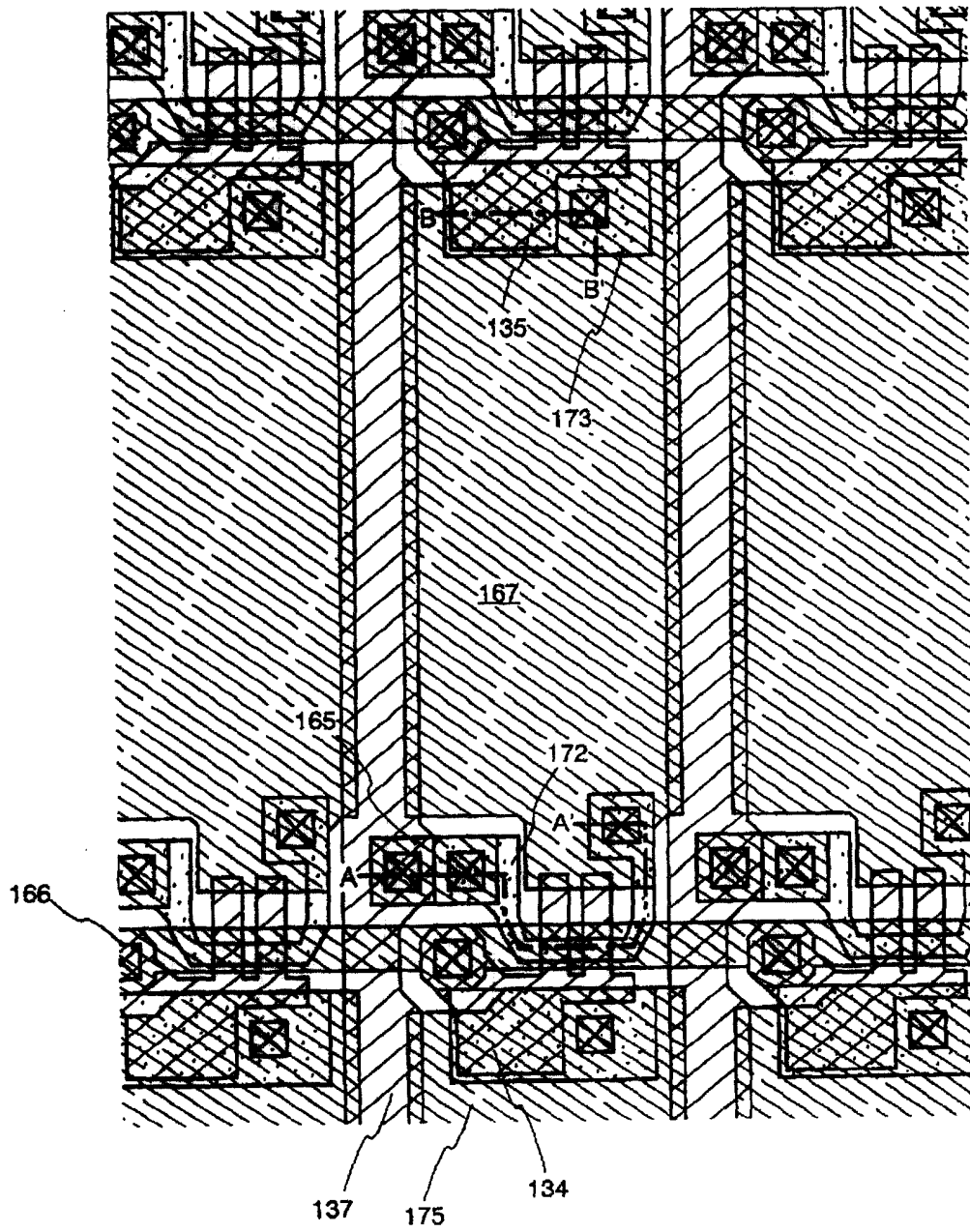
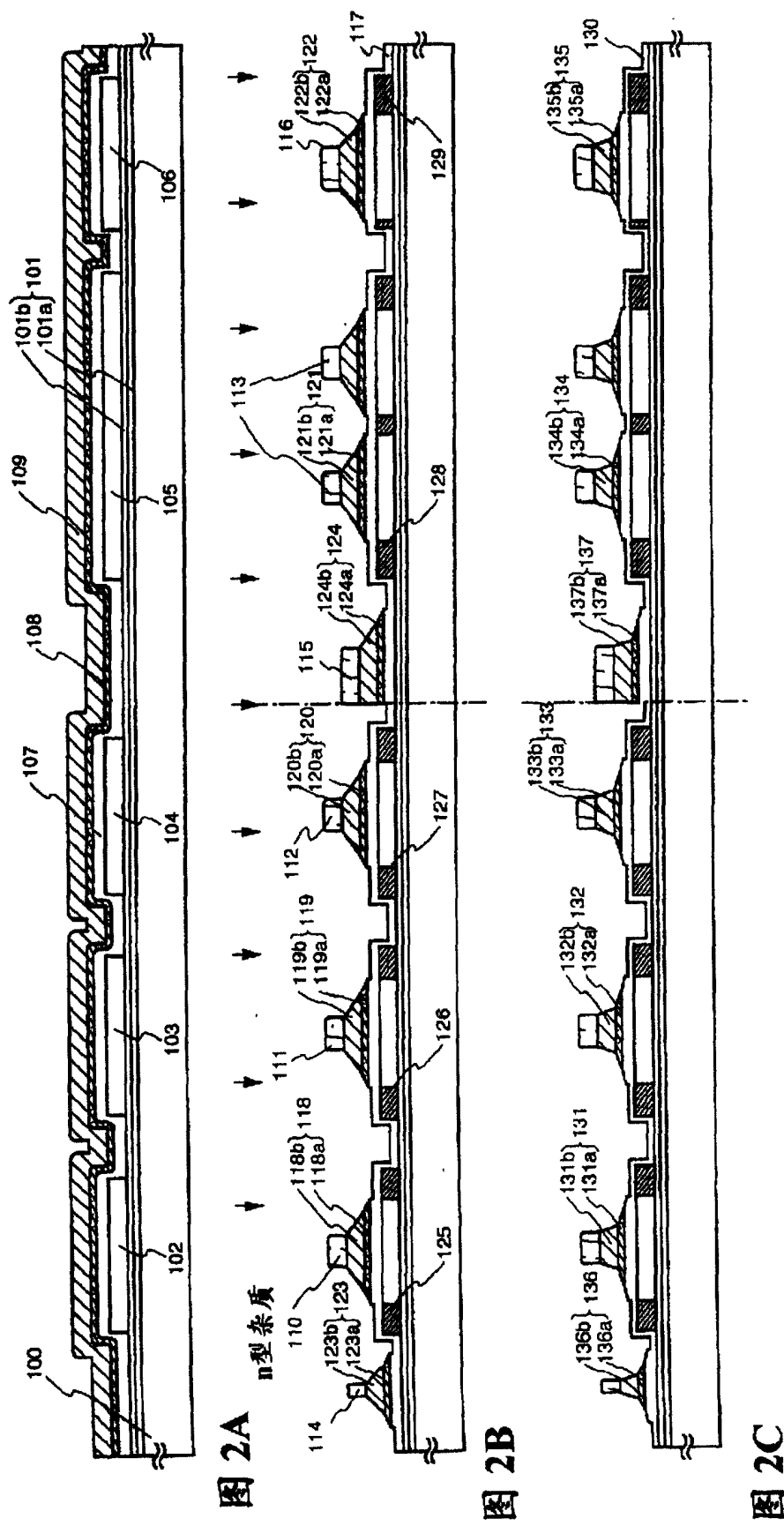


图 1



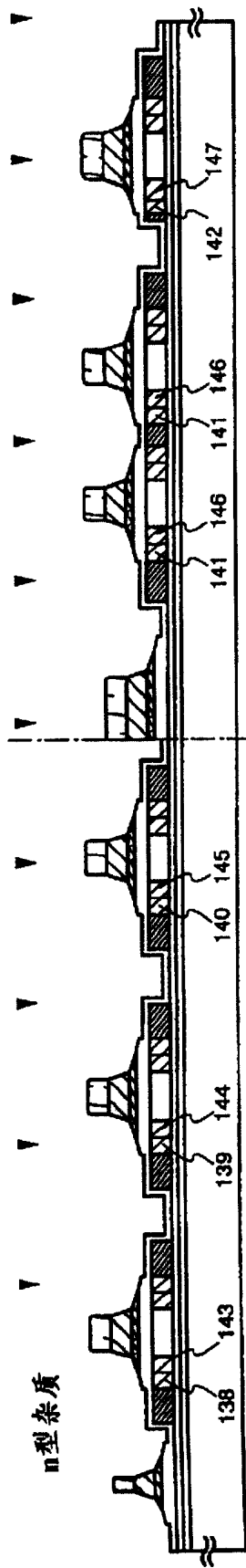


图 3A

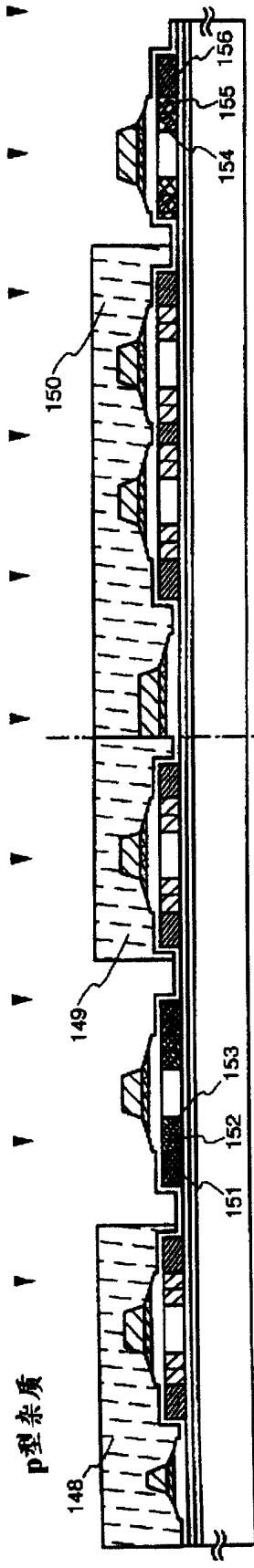


图 3B

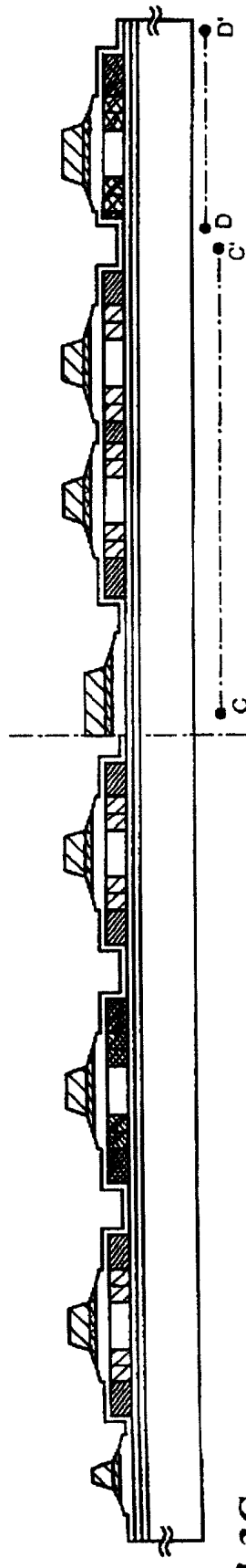


图 3C

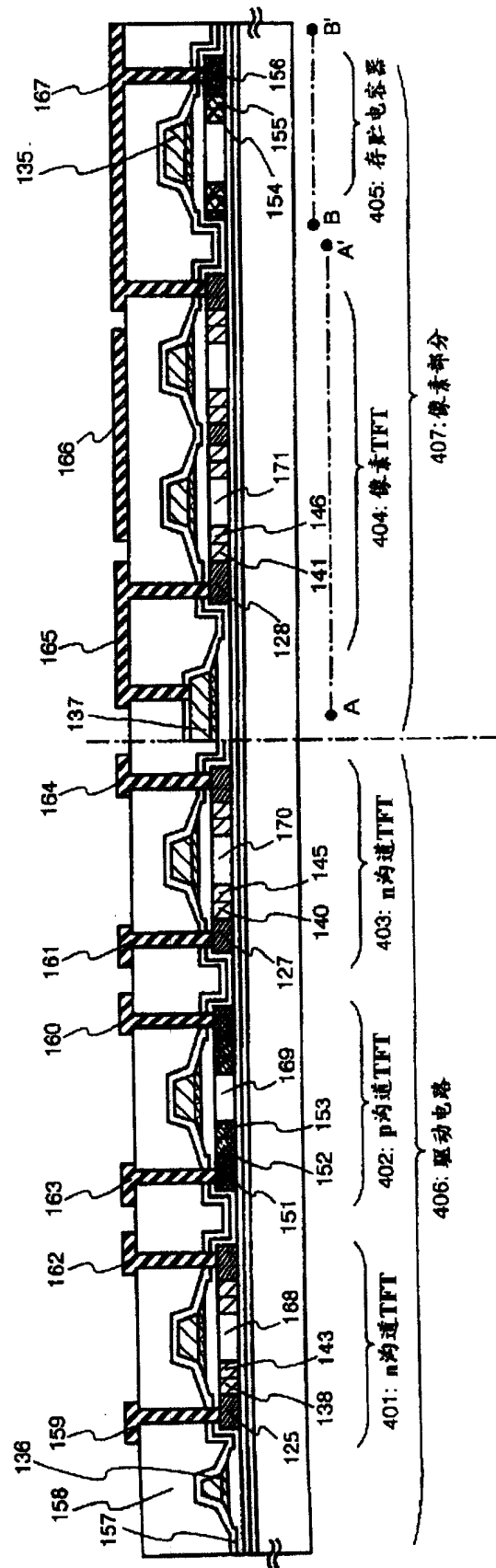


图 4

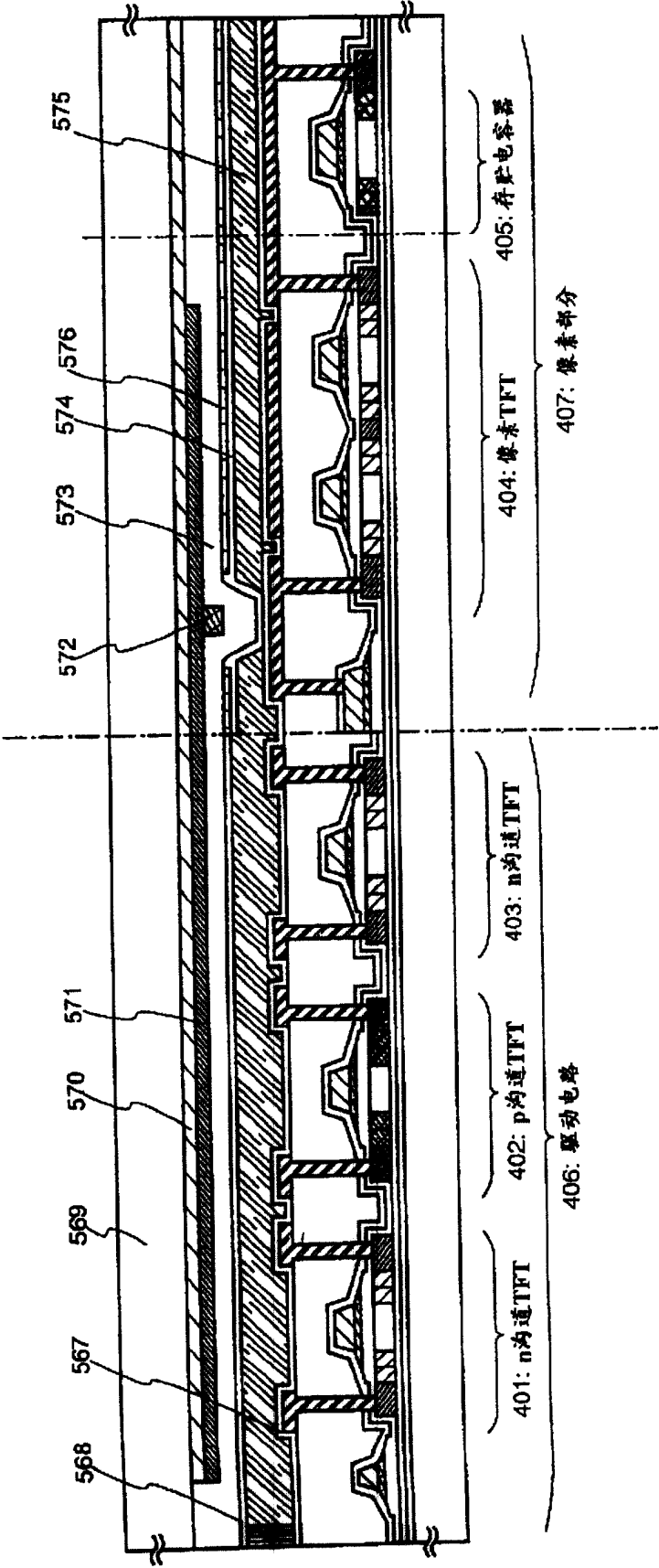


图 5

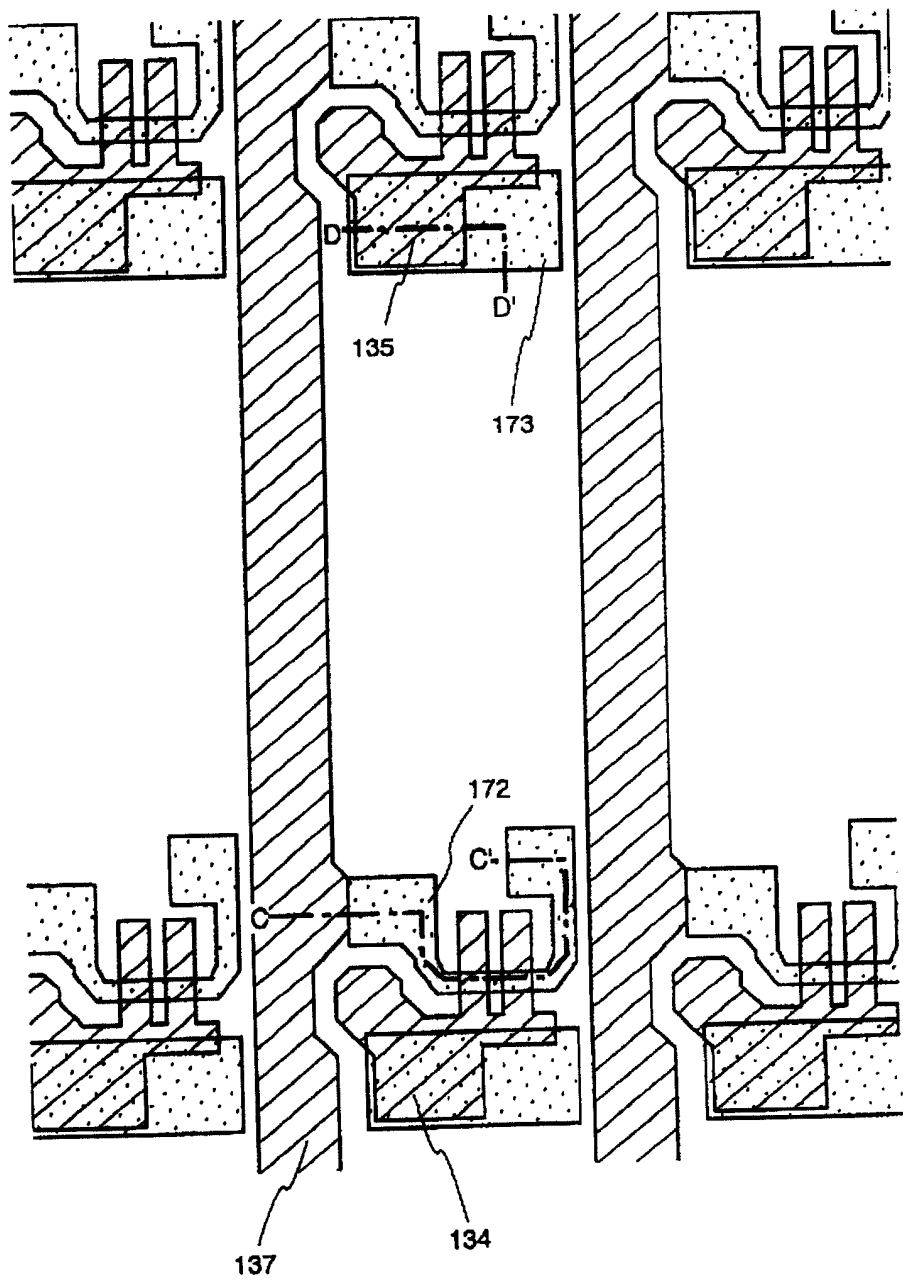


图 6

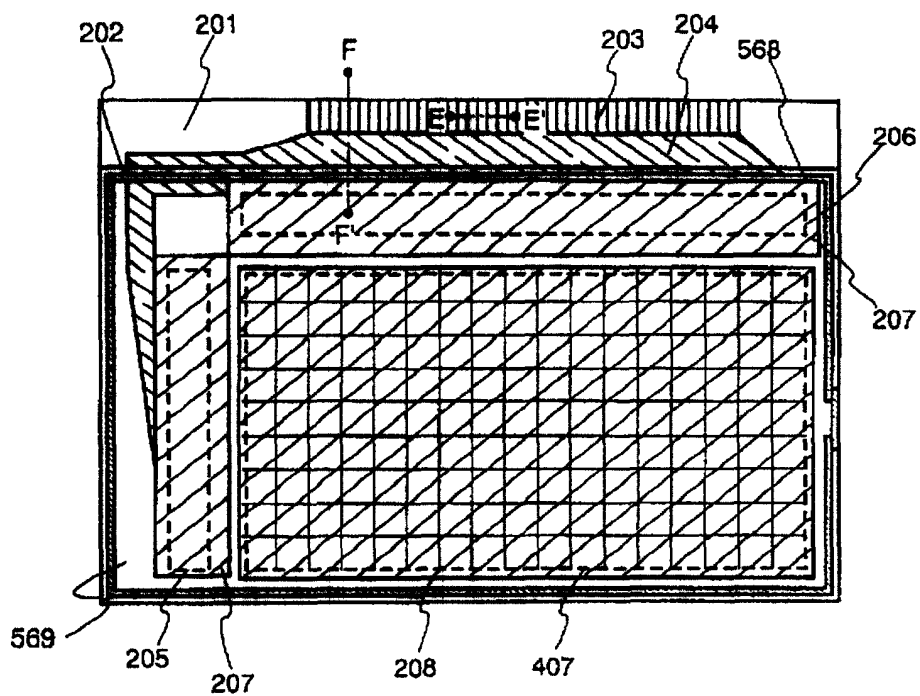


图 7A 顶视图

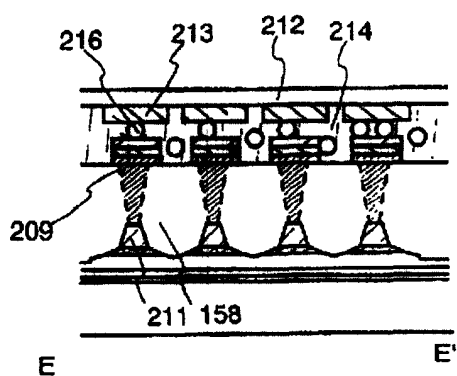


图 7B E-E'方向的截面图

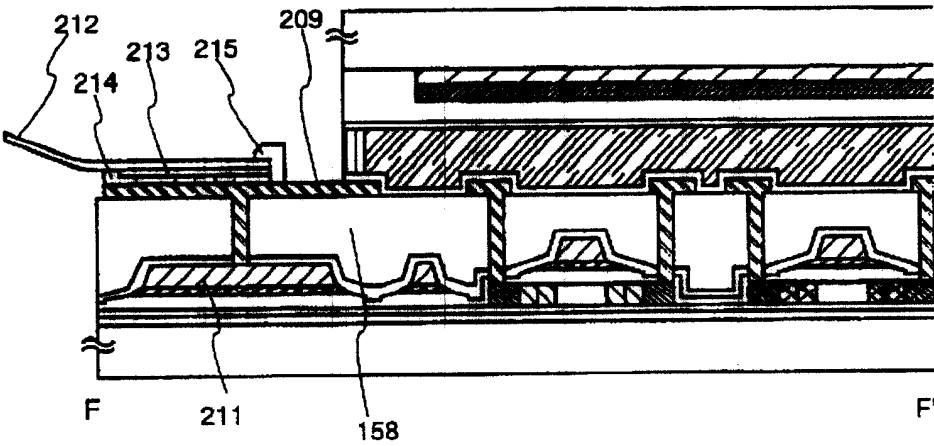


图 8A F-F'方向的截面图

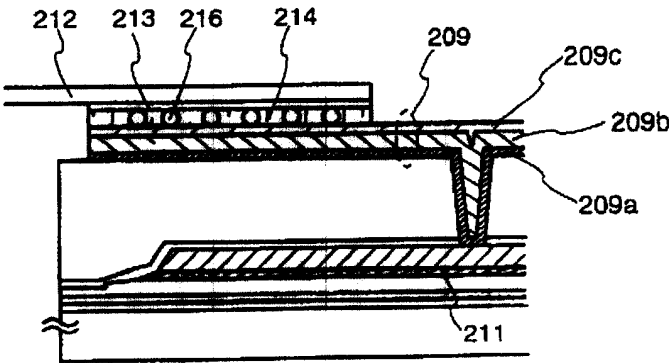


图 8B

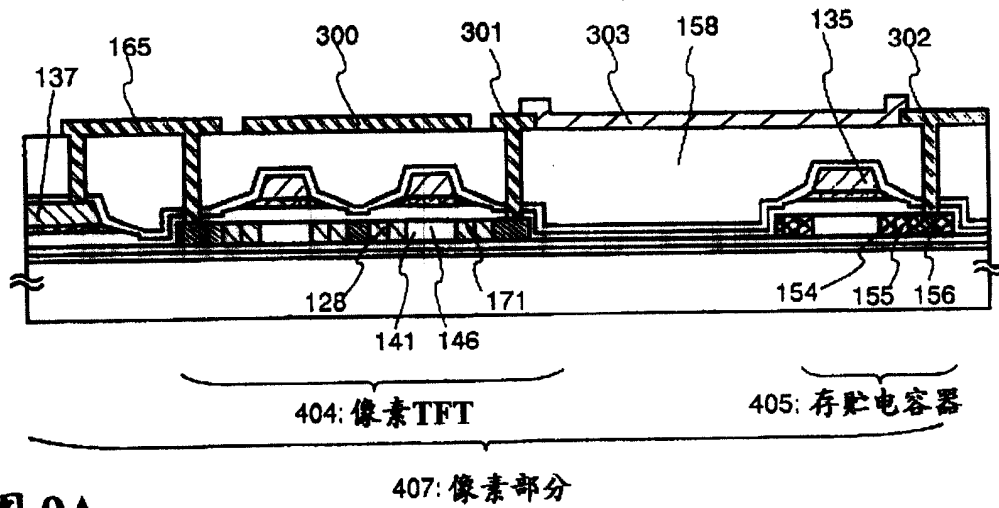


图 9A

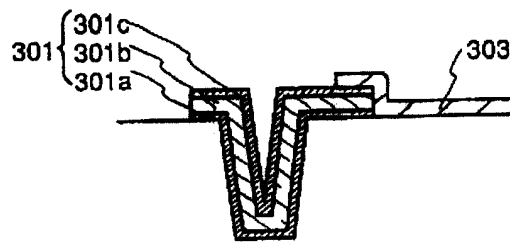


图 9B

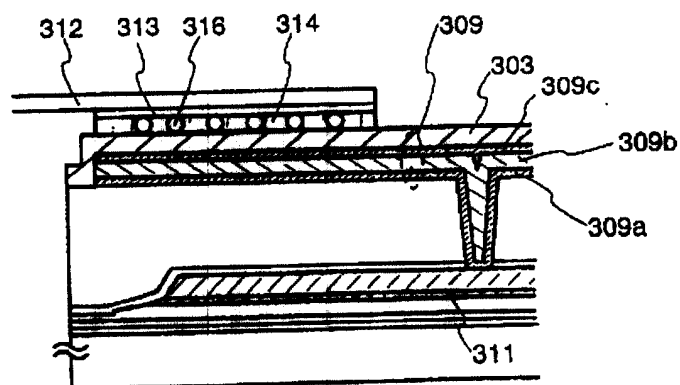


图 9C

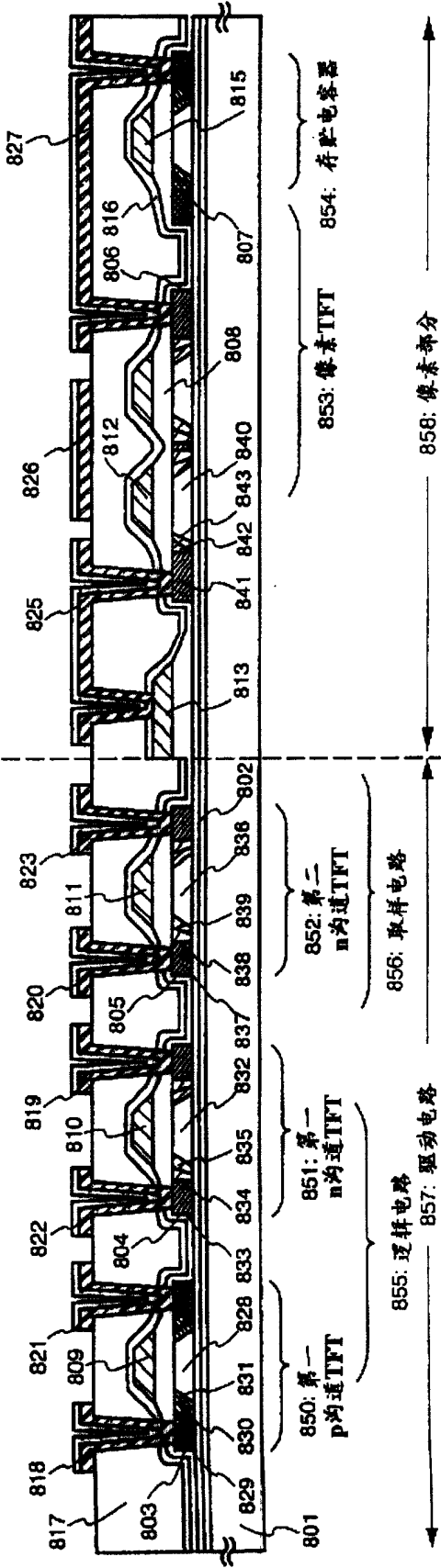


图 11

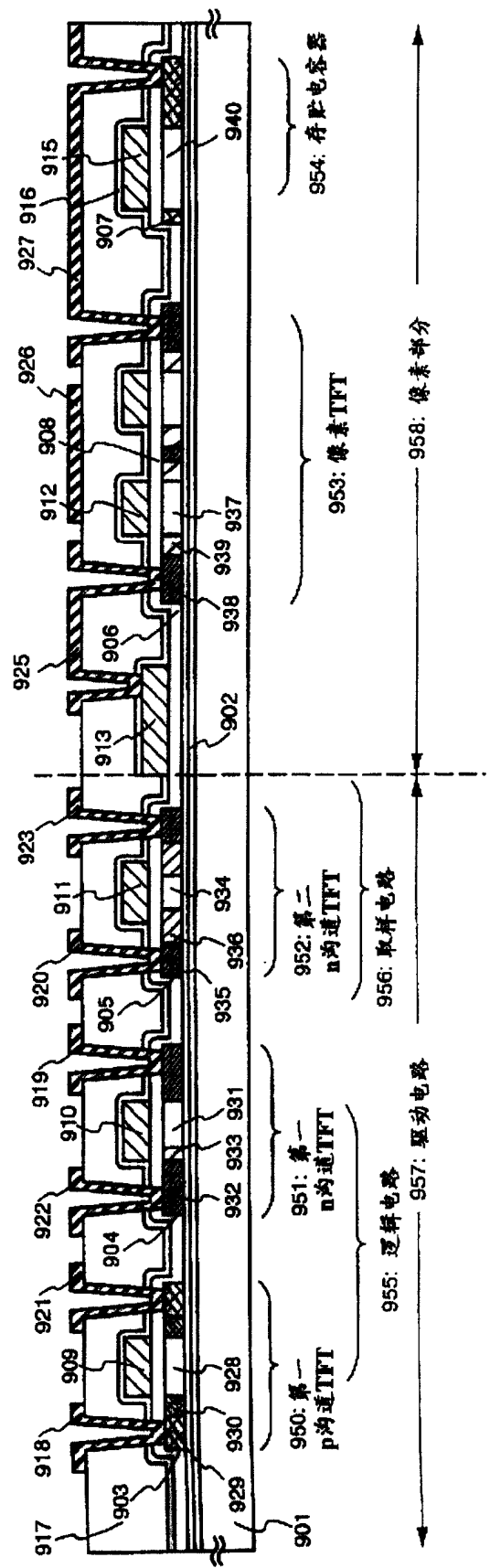
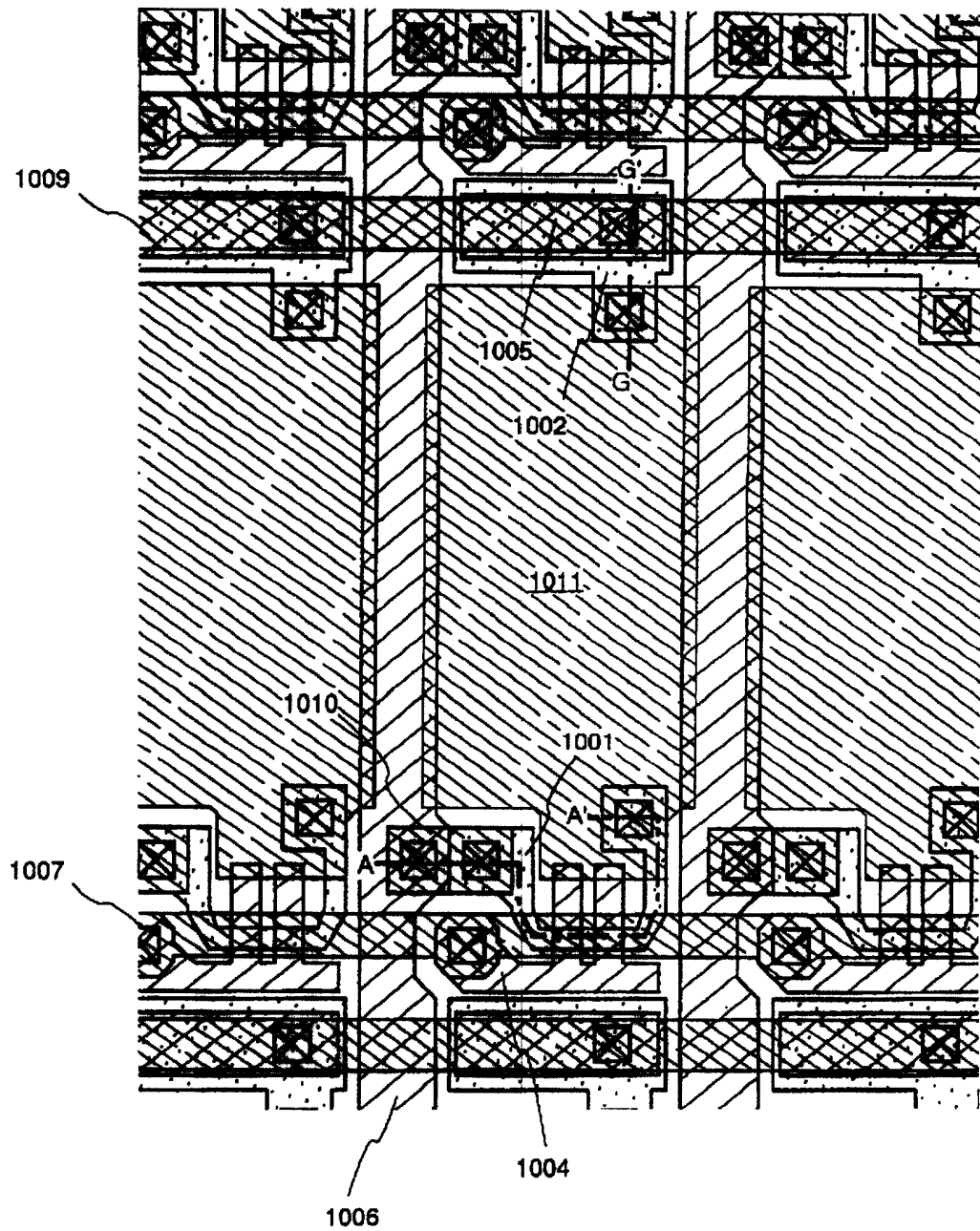


图 12

**图 13**

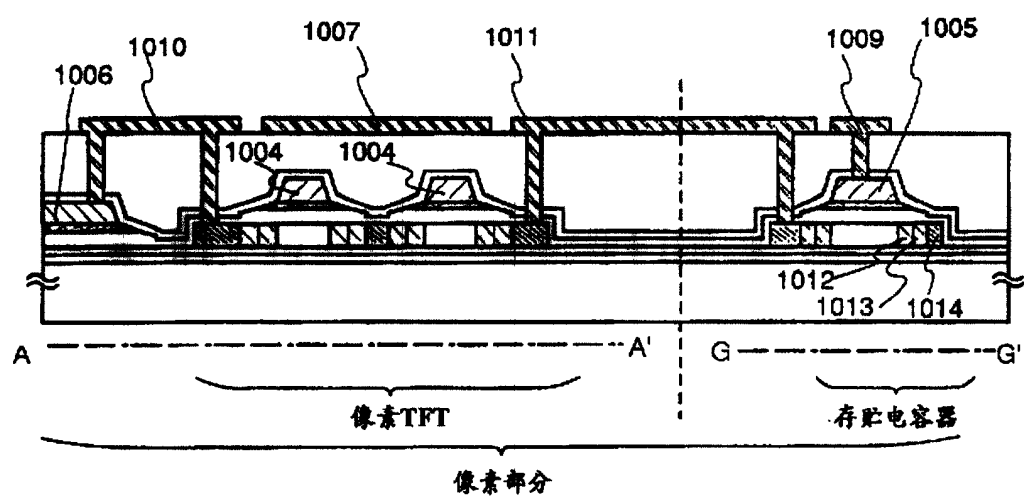


图 14

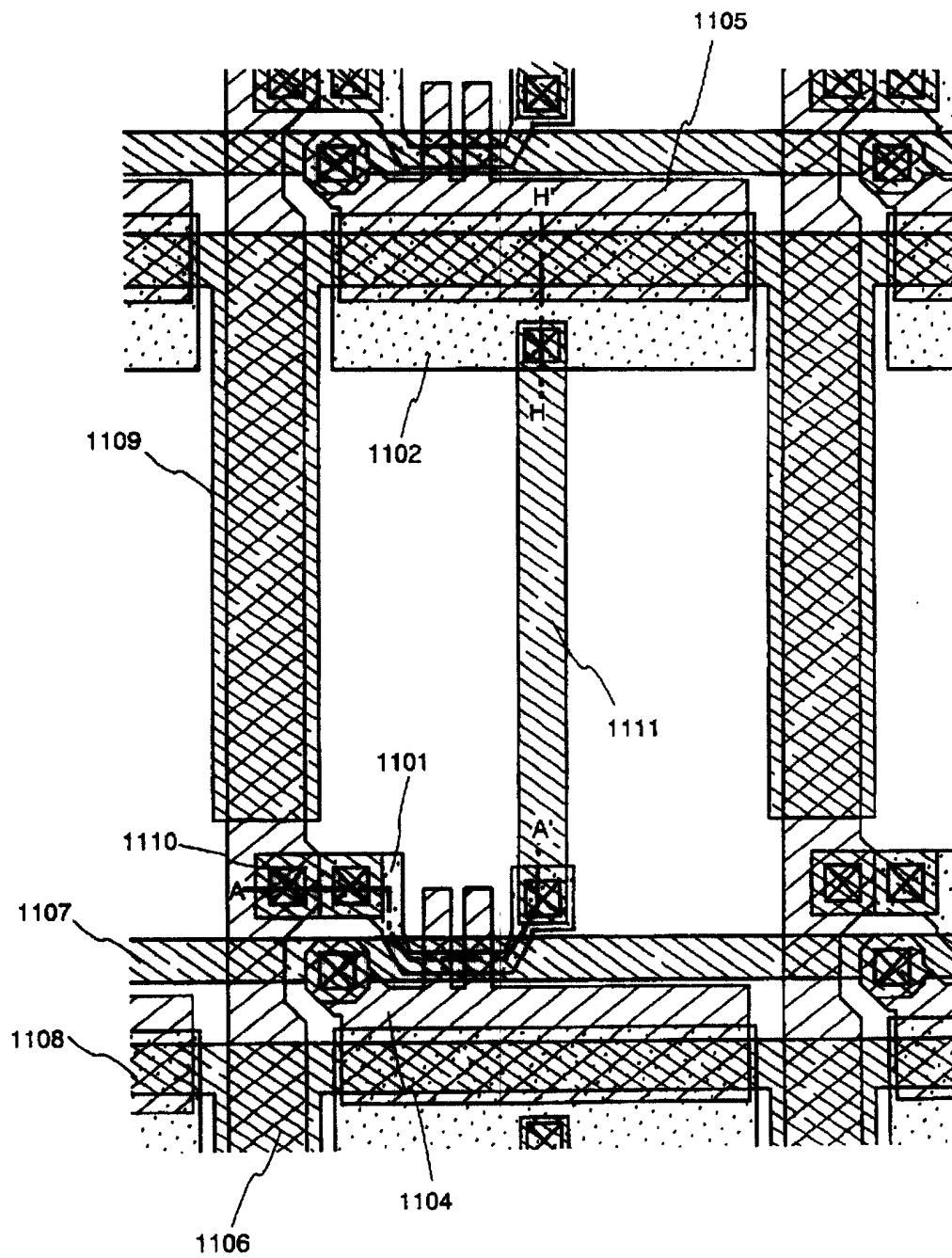


图 15

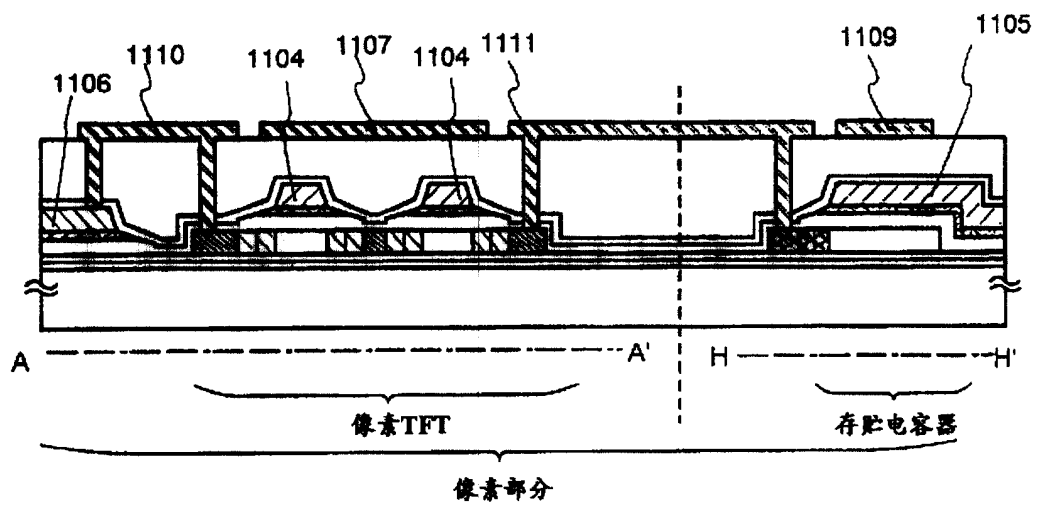


图 16

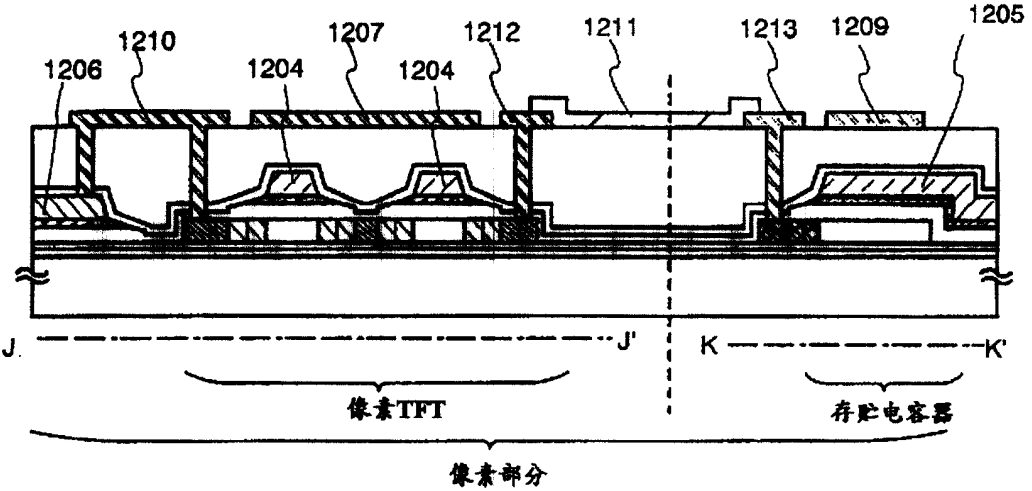


图 18

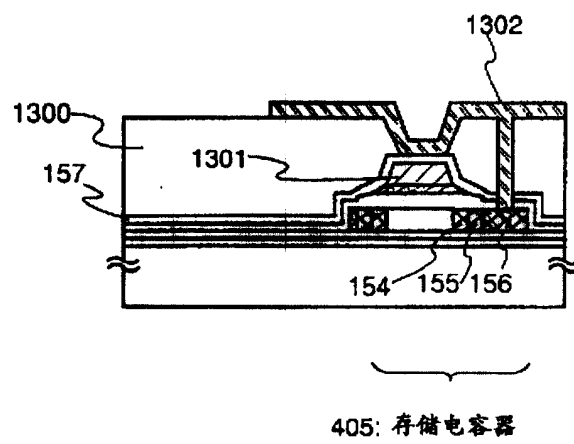


图 19

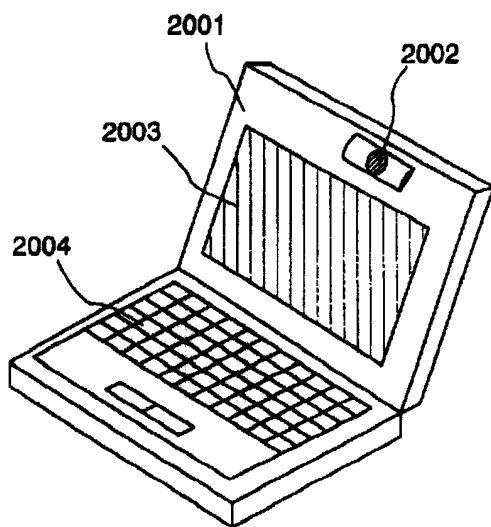


图 20A

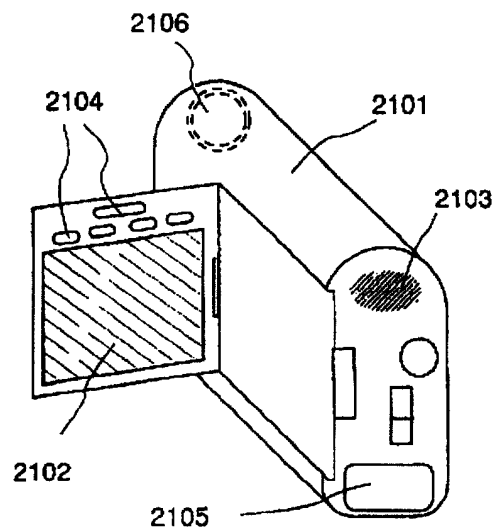


图 20B

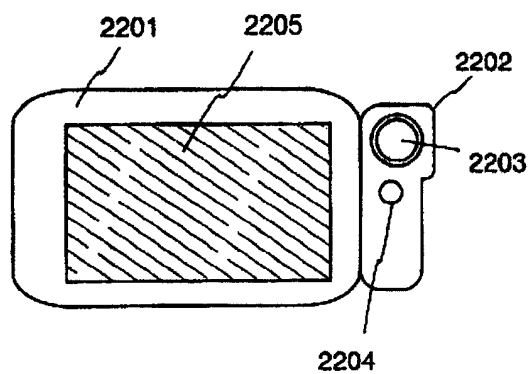


图 20C

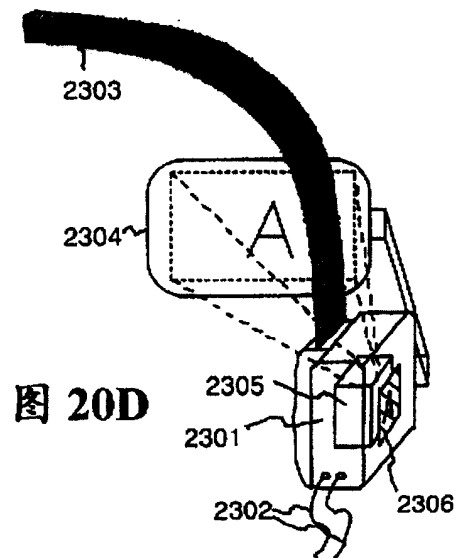


图 20D

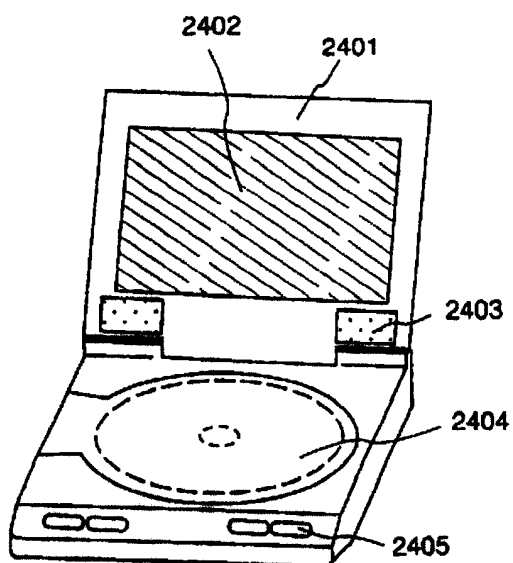


图 20E

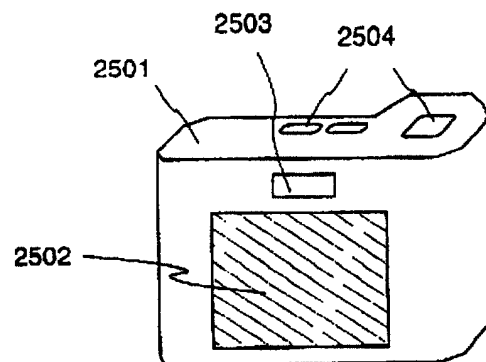


图 20F

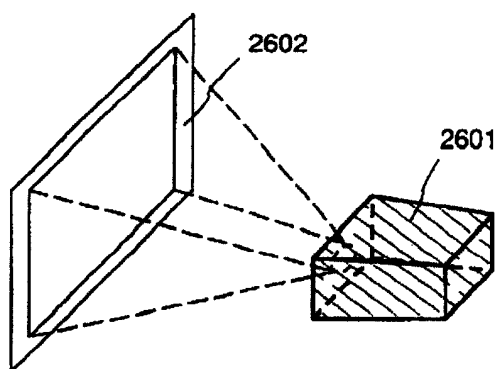


图 21A

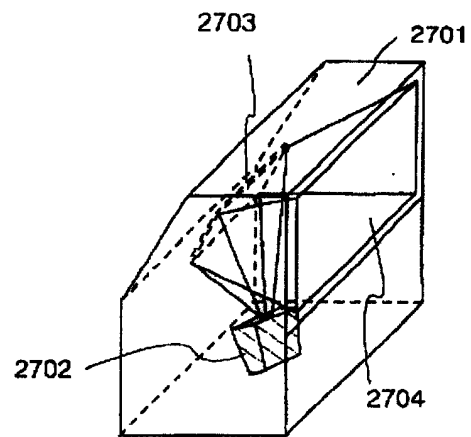


图 21B

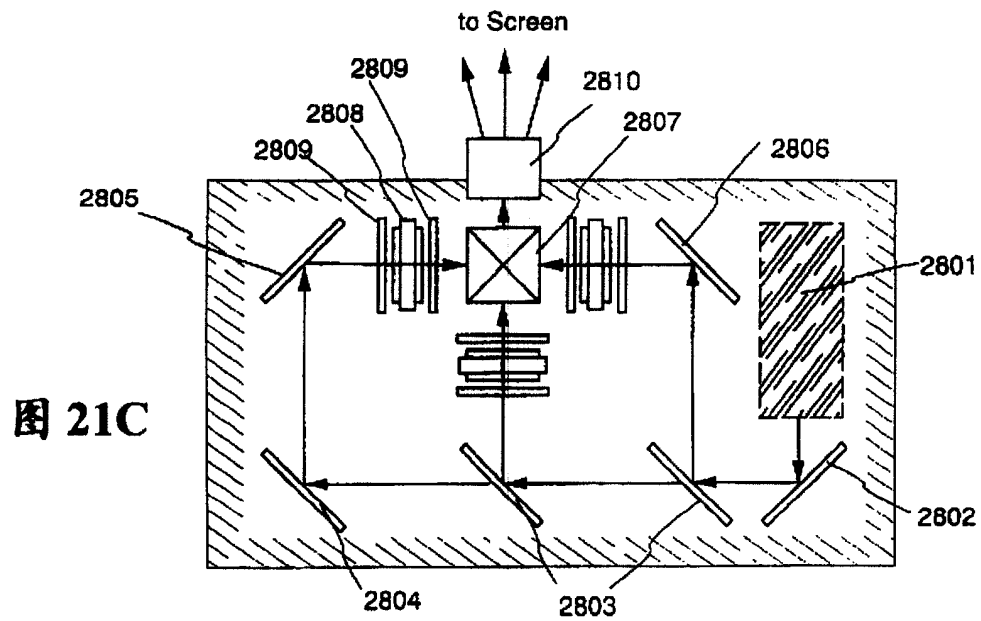


图 21C

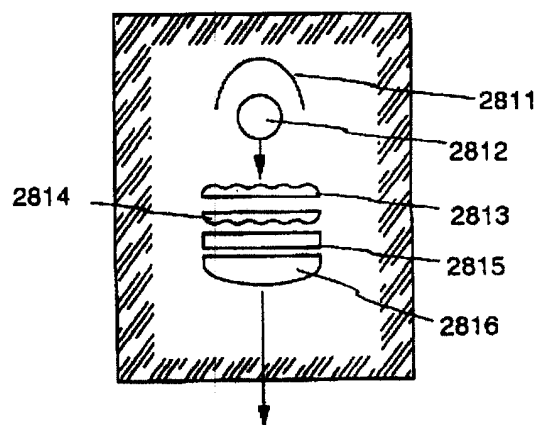


图 21D

图 22A

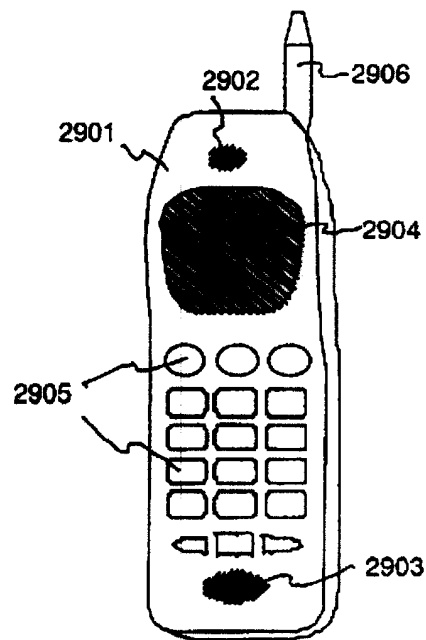


图 22B

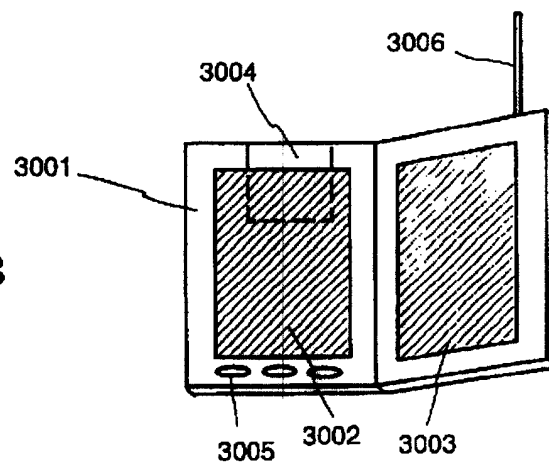
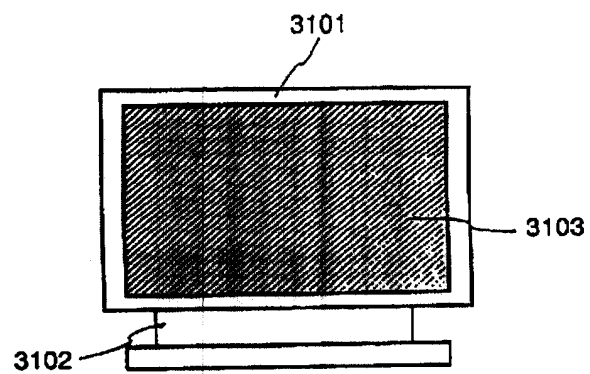


图 22C



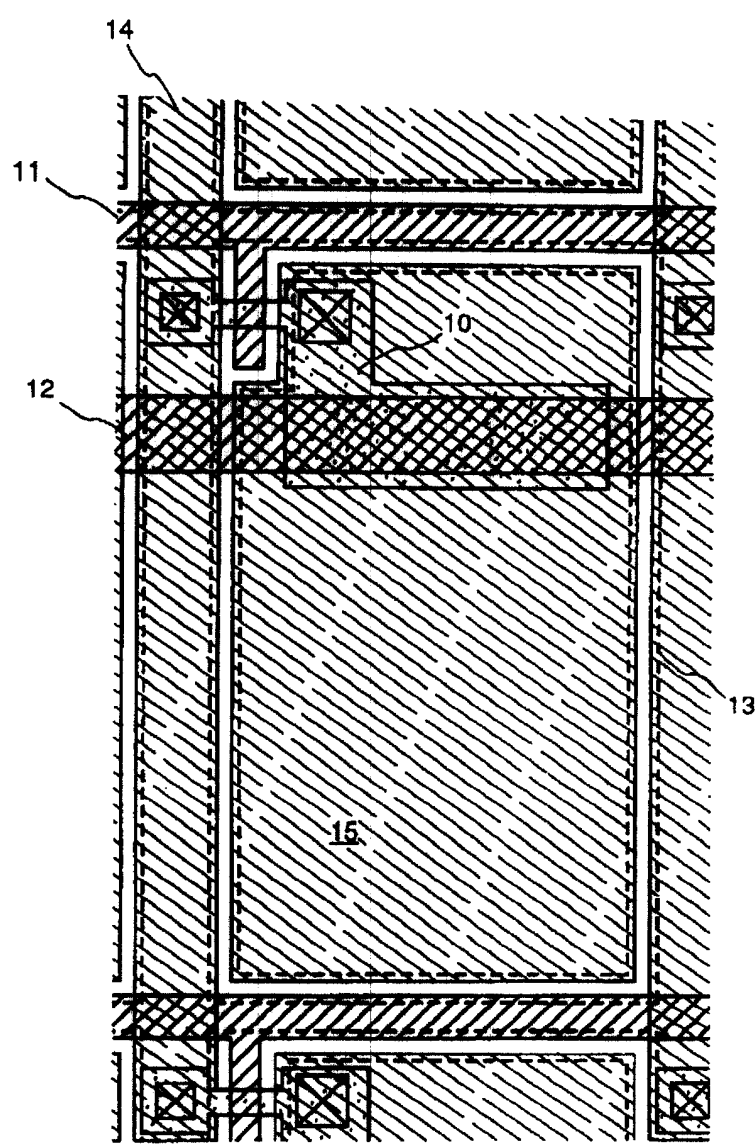


图 23
现有技术

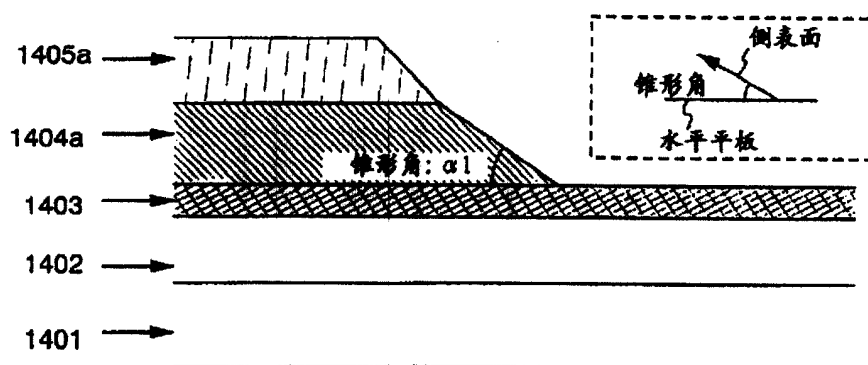


图 24A

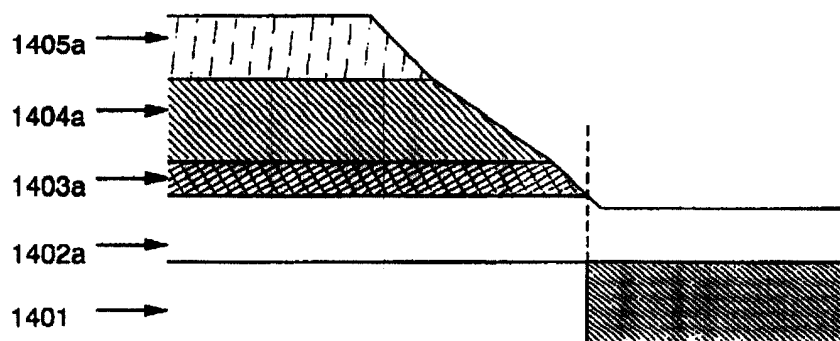


图 24B

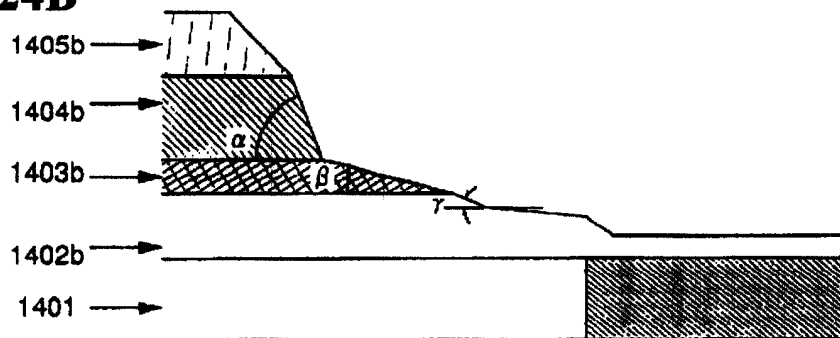


图 24C

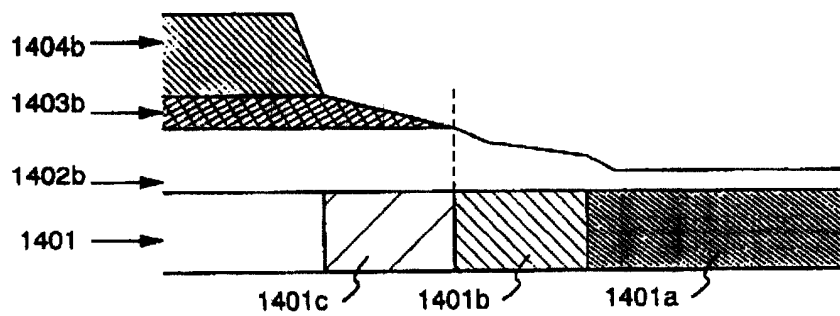


图 24D

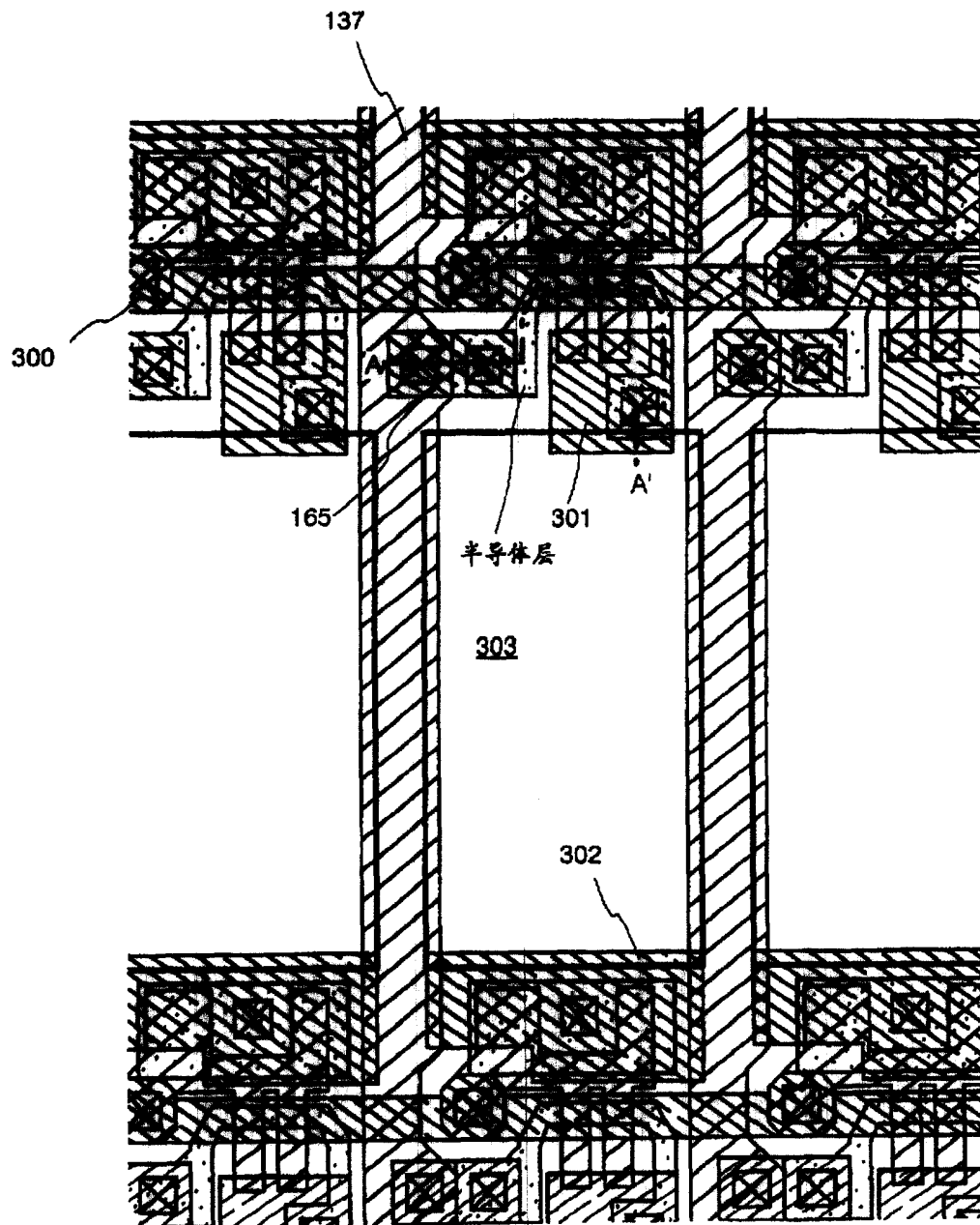


图 25