

申請日期	87. 8. 14
案 號	87113375
類 別	H01L 21/306

公告本

A4
C4

(以上各欄由本局填註)

發明專利說明書 480620

一、發明 名稱	中 文	金屬氧化物半導體電晶體快閃電可規劃唯讀記憶體元件製程之矽 氧化物各向異性化學蝕刻方法
	英 文	IMPROVEMENT TO THE ANISOTROPIC CHEMICAL ETCHING PROCESS OF SILICON OXIDE IN THE MANUFACTURE OF MOS TRANSISTOR FLASH EPROM DEVICES
二、發明 人	姓 名	1. 羅菲利 (Felice Russo) 2. 金塔利 (Koteswara Rao Chintapalli) 3. 米克里 (Giuseppe Miccoli) 4. 杜亞歷 (Alessandro Torsi) 5. 卡提諾 (Giuseppe Cautiero)
	國 籍	1, 3-5 皆義大利籍 2 為印度籍
住、居所	1. 義大利阿法諾市伊芬提路7號 Via Infante 7, Avezzano, Italy 67051	
	2. 美國德州布雷諾市亞伯大道868號 868 Arbor Downs Drive, Plano, Texas 75023, USA	
三、申請人	姓 名 (名稱)	1. 美商德州儀器公司 Texas Instruments Incorporated 2. 義大利商康薩羅鷹公司 CONSORZIO Eagle
	國 籍	1. 美國籍 2. 義大利籍
住、居所 (事務所)	1. 美國德克薩斯州達拉斯市丘爾奇路7839號 7839 Churchill Way, Mail Station 3999, Dallas, TX 75251, U.S.A.	
	2. 義大利阿法諾市諾貝路13號 Via Nobel, 13, 67051 Avezzano, L'Aquila Italy	
代 表 人 姓 名	1. 康威廉 (William B. Kempler)	
	2. 史賓塞 (SPENCER Ian)	

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐ 有 ☒ 無主張優先權
義大利 西元 1997 年 7 月 14 日 RM97A000430

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

說明書

廣義來說，本發明與增進矽氧化物的各向異性化學蝕刻製程有關。

更詳細說，與本發明有關的上述製程為氮化矽層各向同性地沈積於矽氧化物上，沈積後被氧化以增加後續之矽氧化物各向異性化學蝕刻步驟的各向異性。

製造快速存取、可電氣規劃、非揮發性記憶體(也稱之為“快閃EPROM”記憶體)期間，利用上述增進製程製造浮閘雪崩注入MOS電晶體，(也稱之為“FAMOS”)非常有利。

眾所熟知，製造半導體元件包括各階段的化學-物理過程，對於製造特定元件的各種成分漸漸了解。主要使用的半導體材料是矽。

矽元件經常會發生的問題是在該化學-物理製程期間，必須進行一或多個處理步驟，例如先前瞭解的二氧化矽接受電漿輔助各向異性化學蝕刻處理，目的是保存非斜長結構之垂直側壁上的二氧化物，並水平面上的二氧化物移走。

在製造快閃EPROM記憶體元件的FAMOS電晶體時對此特別需要，因為該FAMOS電晶體實質上是由MOS電晶體所構成，它們的閘區必須與它的外圍絕緣。

FAMOS電晶體的製程以採下述步驟為佳。

二氧化矽薄膜，稱之為“隧道氧化物”(Tunnel Oxide)或“閘氧化物”生長於整個基材表面，之前基材上已生長有

五、發明說明 (2)

直平行區段的二氧化矽厚層，稱之為“場氧化物”。

複晶矽(polysilicon)，稱其為“複-1”沈積於該隧道氧化物上，接著進行摻雜，例如磷，以增加它的導電性，該複-1構成浮閘區。

接著在該複-1層上繼續沈積電氣絕緣的三層矽結構(氧化物-氮化物-氧化物： $\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$)，稱之為“ONO”。

稱之為“複-2”的複晶矽層沈積於該ONO層上，接著進行摻雜，例如還是磷，最後，金屬層矽化鎢(WSi)沈積於該複-2層上。複-2層與矽化物層構成控制閘。

接下來進行光學製版製程，定義FAMOS電晶體格的長度，適用的電漿輔助化學蝕刻步驟，也稱為“堆疊蝕刻”步驟蝕刻堆疊的矽化物、複-2層、ONO層及複-1層，將需要去除的部分去除，蝕刻作業直到隧道氧化物層停止，按此方法，它定義了相關FAMOS電晶體的閘堆疊尺寸以及記憶體格的尺寸。

在閘堆疊成形結束後，在氧的大氣中進行熱“退火”處理，俾在閘堆疊的整個暴露於外的表面上生長二氧化物薄層，藉以在複-1層的側壁上產生氧化物的阻擋層，它防止儲存在浮閘區的任何電荷朝複-2的汲與源區洩漏。

在該退火步驟後的製程是在該隧道氧化物薄層與該場氧化物厚層上定義構成源區連接線的區域，它是以光學製版處理。接著，這些區域接受氧化物的各向異性電漿輔助化學蝕刻作業，稱之為“自對齊源區(SAS)蝕刻”(Self

五、發明說明 (3)

Aligned Source etch)，目的是暴露出下層的基材，以進行後續的雜質植入作業。

元件後續的化學處理步驟是藉著植入作業，以閘氧化物做為遮蔽提供汲區的摻雜，接下來是金屬化與鈍化，至此元件製造完成。

評估快閃EPROM記憶體品質的重要參數是所謂的“資料儲存損失”(Data Retention Loss)，也就是熟知的DRL數字。該DRL數字是檢查有關的記憶體元件受到高應力處理後保持測試資料的能力，以量化表示。

意欲減小快閃EPROM記憶體元件的DRL數字，它需要在複-1層的側壁提供氧化物層，以及保存閘堆疊底部的閘氧化物層。特別是保存在閘堆疊底部的閘氧化物層也可使連續記憶體格間對任何有關的電氣雜訊高度免疫，藉以避免假的刪除或/及寫入影響。

由於設備性能的限制，該SAS蝕刻作業以及化學蝕刻的化學品本身，使得該理論上的各向異性SAS蝕刻作業事實上也去除了生長於複-1側壁及閘堆疊底部的氧化物。

關於此，此正是SAS蝕刻作業並非理想的各向異性所造成的結果，在複-1的側壁上留下足夠厚度氧化物層的基本因數是以閘堆疊的側形為代表，是由該堆疊蝕刻作業所決定。不過，高性能的堆疊蝕刻程序會致使得到的閘堆疊側形與閘氧化物不正交。此使得SAS蝕刻處理更容易將複-1側壁的氧化物以及閘堆疊底部的閘氧化物去除，且在某些情況甚至堆疊下方的材料亦被去除。

五、發明說明(4)

因此，這使得DRL數字大幅劣化，結果是，DRL對堆疊蝕刻及SAS蝕刻處理的性能十分敏感，處理的強固性也瀕危機。

在習知技術中，補償複-1四周氧化物的任何損失同時使DRL數字最小化的方法是在摻雜植入源區後的退火步驟後進行額外的熱氧化。

無論如何，進行新熱氧化有某些缺點。

首先，發生於閘堆疊各層中的該氧化作業並不均勻，因此會危及它的品質。

除此之外，在基材的晶格中，矽原子的空隙會非常快速的擴散延伸，以致於已存在的瑕疵聚集，因此導致缺位(dislocation)的形成，也稱之為“堆疊斷層”，必然構成源與汲區間的短路。

由上可知，執行新的熱氧化作業將使製程效率降低，並造成重大的經濟損失。

因此，本發明的目的是強化矽氧化物之化學蝕刻製程的各向異性，可能是電漿輔助製程，以簡單可靠的方法，在製造快閃EPROM記憶體元件的FAMOS電晶體的過程中，使氧化層保持在複-1層的側壁，以及隧道氧化物保持在閘堆疊的底部，以使DRL數字最小化，並增進各記憶體格間對電雜訊的不敏感性，且不需修改FAMOS電晶體的特性。

本發明進一步的目的是藉降低DRL數字對堆疊蝕刻與SAS蝕刻製程性能任何變異的敏感度以強固製程。

五、發明說明 (5)

本發明的特定主題是增進矽氧化物之各向異性化學蝕刻製程，它具有蝕刻方向性，於下列各步驟中描述：

- 在矽氧化物(SiO_2)上預先沈積氮化矽(Si_3N_4)層；
- 沿著該蝕刻方向的第一各向異性化學蝕刻或貫穿階段，目的是去除矽氧化物表面上正交於該蝕刻方向的氮化物層；
- 沿著該蝕刻方向的第二階段各向異性化學蝕刻，目的是去除正交於該蝕刻方向的矽氧化物表面。

進一步根據本發明，在該預先沈積氮化矽的步驟後，該製程也提供氧化該氮化矽層表面的步驟，在水蒸汽中，最好以比執行矽的熱氧化與雜質擴散之溫度低的溫度中進行。

根據本發明，該預先沈積作業最好是以電漿輔助化學氣相沈積法(PCVD)或低壓化學氣相沈積法(LPCVD)或能量增強化學氣相沈積法，在比執行矽的熱氧化與雜質擴散之溫度低的溫度中進行。

本發明進一步的主題是快閃EPROM記憶體元件矽FAMOS電晶體的製程，包括：

- 第一組化學-物理處理步驟，以成形該FAMOS電晶體的閘堆疊，以各向異性化學蝕刻步驟為結束，可以是電漿輔助或堆疊蝕刻步驟，目的是定義該閘堆疊的尺寸，以及在氧的大氣中退火的步驟，目的是在該閘堆疊的整個暴露表面生長矽氧化物的薄層，以及

五、發明說明(6)

- 第二組化學-物理處理的步驟，以在該FAMOS電晶體對應於源與汲區之位置的矽基材上摻雜，開始以雜質植入源線，

以下描述的步驟在該第一與第二組化學-物理處理步驟間執行：

- 在該薄矽氧化物層上預先沈積氮化矽層，
- 光學製版製程，目的是定義形成源線的區域，
- 第一各向異性化學蝕刻作業，可能是電漿輔助或貫穿步驟，具有的蝕刻方向可從成形該源線的區域去除氮化物層，
- 根據該蝕刻方向的第二各向異性化學蝕刻作業，目的是從成形該源線的區域去除該矽氧化物層。

現將根據它的較佳實施例並參考所附圖式描述本發明，意在說明而非意在限制本發明，其中

圖1是FAMOS電晶體記憶體元件在製程中SAS蝕刻步驟前的片斷設計圖；

圖2是根據圖1之元件在傳統製程中SAS蝕刻步驟前的前視截面圖；

圖3是根據圖1之元件在傳統製程中SAS蝕刻步驟後的前視截面圖；

圖4是根據圖1之元件在本發明的製程中SAS蝕刻步驟前的前視截面圖；

圖5是根據圖1之元件在本發明的製程中SAS蝕刻步驟後的前視截面圖。

五、發明說明 (7)

所有附圖都是按實際比例繪製，但僅是用來說明。

現請參閱圖1，從圖中可看出，在製程中的SAS蝕刻步驟前，快閃EPROM記憶體元件的FAMOS電晶體包括水平平行段1，厚氧化層或稱為場氧化層生長於其上，安排的方法使得水平段2相互隔離，FAMOS電晶體格製造於其上。該FAMOS電晶體格的中央是覆於基材通道上的閘堆疊3，隔開汲區4與源區5。垂直段6構成源線。每一條源線的設計是使屬於它短路內的許多源區5連接，以構成記憶體元件之字元的共用源線。意欲構成此連接，如前所述，局部的氧化物必須從每一個該垂直段6以該SAS蝕刻步驟除去，且必須在此處植入雜質。

圖2顯示沿著圖1A-A'線的截面圖，是關於元件按照傳統製程在SAS蝕刻步驟前的水平段2。從圖中可看出，複-1層7、ONO層8、複-2層9與矽化物層10在閘堆疊3中。可看出，在堆疊蝕刻步驟後進行的退火步驟使得閘堆疊3四周生長出一層薄的二氧化矽層，“光阻”(resist)保護層12在圖中以虛線表示，該保護層是以光製版技術製作的圖案，因受其解析度極限的限制，無法做到與閘堆疊3的邊緣完美對齊。它也可看到隧道氧化物層13。

圖3顯示圖2按照傳統製程在SAS蝕刻步驟後的截面圖。從圖中可看出，隧道氧化物層13(以及場氧化物層)被去除後暴露出對應於源區(及線)的矽基材區14。無論如何，由於SAS蝕刻作業是非理想的各向異性，原本存在於閘堆疊側壁的氧化層11，在源區5側出現至少部分被蝕去的現

五、發明說明(8)

象，特別是在頂部15完全被蝕去，與汲區4側相較，在壁的底部16明顯變薄。複-1層7側壁的氧化層薄化甚至被完全除去使得儲存於浮閘內的電荷有可能經由隧道效應流失，使得有關元件的DRL數字降低。如前所述，蝕刻對沿著閘堆疊側壁之氧化層11的影響愈嚴重，閘堆疊3之側形愈傾斜與愈模糊。

現請參閱圖4，從圖中可看出，按照本發明建議的方法，在製造元件時對整個元件沈積一層氮化矽(Si_3N_4)薄層17，該沈積是在堆疊蝕刻步驟的該退火步驟之後，在定義源線之光學製版步驟前實施。

接下來，氮化矽層17的表面會被氧化以便形成氧化氮矽。由後續的化學蝕刻處理以及導磁係數來看，此氧化作用增進了氮化物的特性。

該氮化矽或氧化氮矽薄層17的出現(在本文後稱為“nitox”)，並不會致使後續定義源線圖案的光學製版步驟有任何改變。

在以電漿輔助各向異性化學蝕刻法進行SAS蝕刻步驟蝕刻源線的氧化物前的很短一段時間，從水平表面去除nitox層，以便暴露出源線進行後續的SAS蝕刻步驟。施加於nitox層的化學蝕刻作業也稱之為“貫穿”(break-through)作業，它持續的時間極短，它的各向異性特性對實質蝕刻垂直壁上的nitox層並不足夠。

因此，在SAS蝕刻步驟期間，存在於閘堆疊3位於源區5側之側壁上的nitox層17，其作用是屏蔽下方的氧化層

五、發明說明 (9)

11。事實上，該SAS蝕刻作業經過設計，以便對nitox層17極具選擇性，並能快速的蝕刻矽氧化物。因此，對氧化物的蝕刻速率遠高於對nitox的蝕刻速率。

現請參閱圖5，從圖中可看出，由於該nitox層17的出現，使氧化層11的厚度幾乎保持不變，特別是對應於複-1層7處。此外，必須瞭解的是，圖5顯示的結果是性能較差的設備所進行的SAS蝕刻作業，因此，它是說明最負面的例子。當使用高性能的設備時，閘堆疊3的整個側壁及頂部15都可得到氧化層11的保護。

即使堆疊蝕刻作業使該閘堆疊3產生不陡峭且傾斜的側形，從以上的說明可知，採用nitox層17即可保護閘堆疊3側壁上的氧化層11，藉以降低這些元件對製程中堆疊蝕刻步驟變異的敏感性，亦即製程中此類變異的容差數字，以及增加製程的穩固。

很明顯，以上該nitox層17也能保護閘堆疊3的底部16並因此而防止堆疊下方的隧道氧化物13被蝕離。藉保持此部分隧道氧化物13的完整，可增加毗鄰記憶體格在寫入或刪除作業時引起之電氣雜訊的免疫力。

加入與沈積該氮化矽層17有關的處理步驟以及後續的表面氧化作用，並不需要修改生產線，因為此類處理步驟已在製程中使用，例如在該ONO層8的構造中就使用這類處理步驟，且比ONO層更簡單。特別是以上解釋的貫穿步驟，可將其視為屬於SAS蝕刻步驟，只是將它的持續時間延長數秒而已。

五、發明說明 (10)

對FAMOS電晶體格之特性的衝擊也很容易控制。事實上，電晶體通道的長度增加，如由該nitox層17的厚度所造成，可以延長植入雜質的擴散時間，或減少堆疊蝕刻步驟後進行之退火作業期間所生長的氧化物厚度，就可以很容易地將其平衡。

在水蒸氣中沈積氮化物及它的氧化作用，可以在較低的溫度中進行，其溫度遠低於執行熱氧化作用與雜質擴散作業時的溫度。由於此，該溫度對製造之元件的實質衝擊可略之不計，因為在SAS蝕刻步驟前所存在的唯一摻雜區被幾何延伸，且雜質的濃度低。

結論是，該nitox層17的製造，可以很容易地插入生產線中，保存閘堆疊3對應於複-1層7之位置的氧化層11，因此，它可以大幅降低DRL數字，藉以增加元件的品質以及製程的產出量。此外，它可保持閘堆疊3下方隧道氧化物13的完整性，以提高記憶體格對電氣雜訊的堅強性。

本發明所建議的方法與製造快閃EPROM記憶體元件之FAMOS電晶體的製程中的SAS蝕刻步驟有關。

不過，必須瞭解的是，為增加化學蝕刻二氧化矽之各向異性行為所建議的解決方案，可以很方便地應用到其它製程，都不會偏離本發明的範圍。

本發明的較佳實施例已在前文中解釋，但必須瞭解的是，這些技藝可做各種衍生與變化，都不會偏離本發明的範圍，如所附申請專利範圍中所定義。

五、發明說明 ()

專利申請案第87113375號
ROC Patent Appln. No.87113375
中文說明書修正頁 - 附件三
Amended page of Specification in Chinese - Encl. III
(民國90年11月19日送呈)
(Submitted on November 19, 2001)

元件符號說明：

- 1 水平平行段
- 2 水平段
- 3 閘堆疊
- 4 汲區
- 5 源區
- 6 垂直段
- 7 複-1層
- 8 ONO層
- 9 複-2層
- 10 矽化物層
- 11 氧化層
- 12 光阻保護層
- 13 隧道氧化物層
- 14 矽基材區
- 15 頂部
- 16 底部
- 17 氮化矽層

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要 (發明之名稱：金屬氧化物半導體電晶體快閃電可規劃唯讀記憶體元件製程之矽氧化物各向異性化學蝕刻方法)

本發明與增進矽氧化物的各向異性化學蝕刻製程有關，以及與矽FAMOS電晶體快閃EPROM記憶體元件有關，包括該增進、具有蝕刻方向的該矽氧化物化學蝕刻製程，並描述於下列各步驟：

- 在矽氧化物上預先沈積氮化矽層；
- 沿著該蝕刻方向的第一各向異性化學蝕刻或貫穿階段，目的是去除矽氧化物表面上正交於該蝕刻方向的氮化物層；
- 沿著該蝕刻方向的第二階段各向異性化學蝕刻，目的是去除正交於該蝕刻方向的矽氧化物表面。

英文發明摘要 (發明之名稱 Improvement To The Anisotropic Chemical Etching Process Of Silicon Oxide In The Manufacture Of MOS Transistor Flash EPROM Devices)

This invention relates to an improvement to an anisotropic chemical etching process for silicon oxide and to a manufacturing process for silicon FAMOS transistor Flash EPROM memory devices including said improvement, said silicon oxide chemical etching process having an etching direction and being characterized in that the following step are performed :

- a preliminary deposition of a layer of silicon nitride on the silicon oxide ;
- a first anisotropic chemical etching or break-through stage, along said etching direction, aimed at removing the nitride layer from the silicon oxide surface orthogonal to said etching direction ;
- a second anisotropic chemical etching stage along said etching direction, aimed at removing the silicon oxide surface orthogonal to said etching direction.

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

專利申請案第87113375號
ROC Patent Appln. No.87113375
中文申請專利範圍修正本 - 附件一
Amended Claims in Chinese - Encl.I
(民國90年11月19日送呈)
(Submitted on November 19, 2001)

1. 一種增進的矽氧化物各向異性化學蝕刻製程，具有蝕刻的方向性，包括以下步驟：
在矽氧化物(SiO_2)上提供預先沈積的氮化矽(Si_3N_4)層(17)；
提供沿著蝕刻方向的第一各向異性化學蝕刻或貫穿階段，目的是去除矽氧化物表面上正交於該蝕刻方向的氮化物層(17)；
提供沿著該蝕刻方向的第二階段各向異性化學蝕刻，目的是去除正交於該蝕刻方向的矽氧化物表面。
2. 根據申請專利範圍第1項的製程，其中在該預先沈積氮化矽層(17)的步驟後，在水蒸氣中進行該氮化矽層表面氧化步驟。
3. 根據申請專利範圍第1項的製程，其中的該預先沈積作業是電漿輔助化學氣相沈積(PCVD)或低壓化學氣相沈積(LPCVP)或能量增強化學氣相沈積。
4. 根據申請專利範圍第1項的製程，其中的預先沈積作業是在比進行矽的熱氧化與雜質擴散之溫度低的溫度中進行。
5. 根據申請專利範圍第2項的製程，其中該氮化矽層在水蒸氣中的該表面氧化作用是在比進行矽的熱氧化與雜

六、申請專利範圍

質擴散之溫度低的溫度中進行。

6. 一種製造以浮閘雪崩-注入MOS或“FAMOS”電晶體為基礎的快速存取電氣可規劃非揮發性矽記憶體元件或“快閃EPROM”記憶體元件的製程，包括的步驟有：

執行第一組化學-物理處理步驟，以成形FAMOS電晶體的閘堆疊(3)，以各向異性化學蝕刻步驟或堆疊蝕刻步驟為結束，目的是定義該閘堆疊(3)的尺寸，以及在氧的大氣中退火的步驟，目的是在該閘堆疊(3)的整個暴露表面生長矽氧化物的薄層(11)；

在該薄矽氧化物層(11)上執行預先沈積氮化矽層(17)；

執行光學製版製程，目的是定義形成源線的區域(6)；

執行第一各向異性化學蝕刻作業或貫穿步驟，具有的蝕刻方向可從成形該源線的區域(6)去除氮化物層(17)；

根據該蝕刻方向執行第二各向異性化學蝕刻作業，目的是從成形該源線的區域(6)去除該矽氧化物層(11)以及；

執行第二組化學-物理處理的步驟，以在對應於該FAMOS電晶體之源與汲區位置的矽基材上摻雜，開始以雜質植入源線。

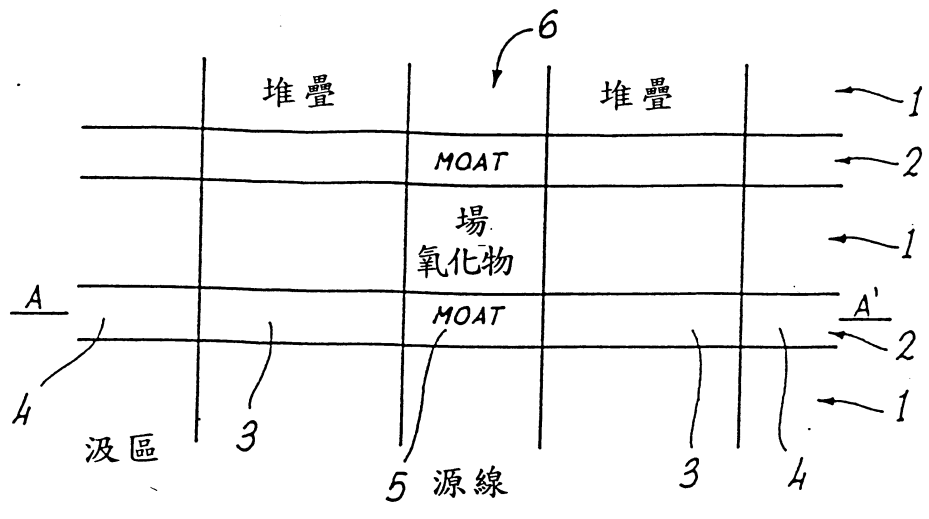


圖 1

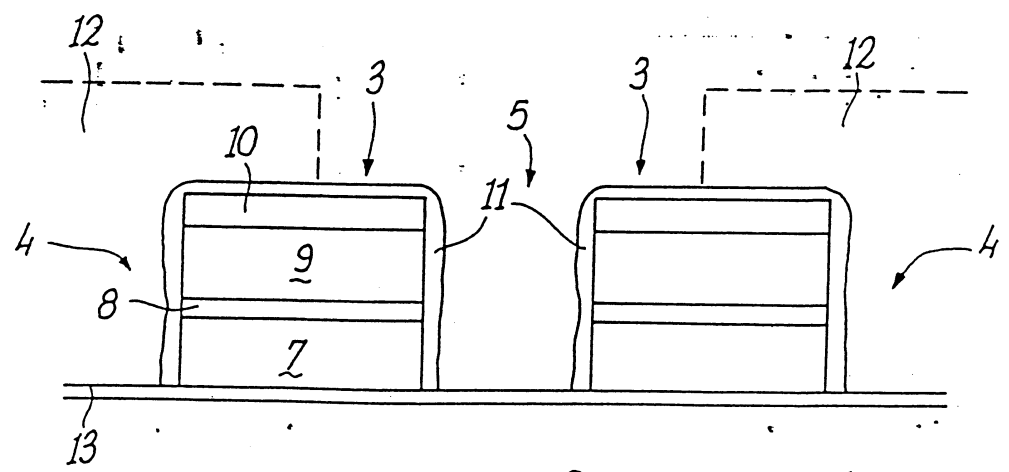
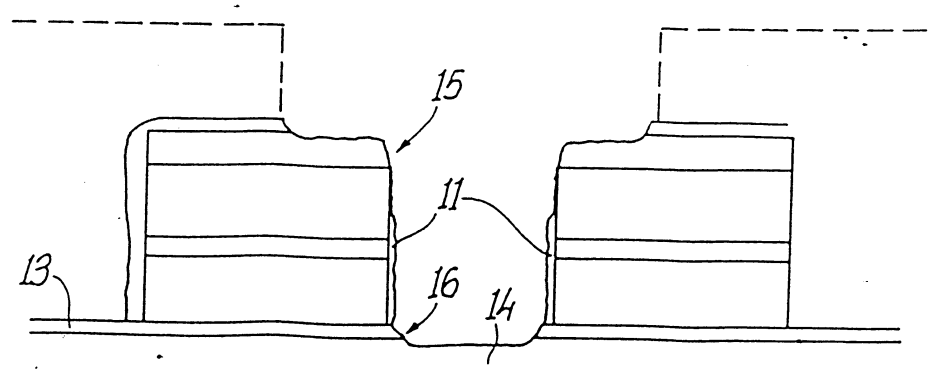


圖 2

圖 3



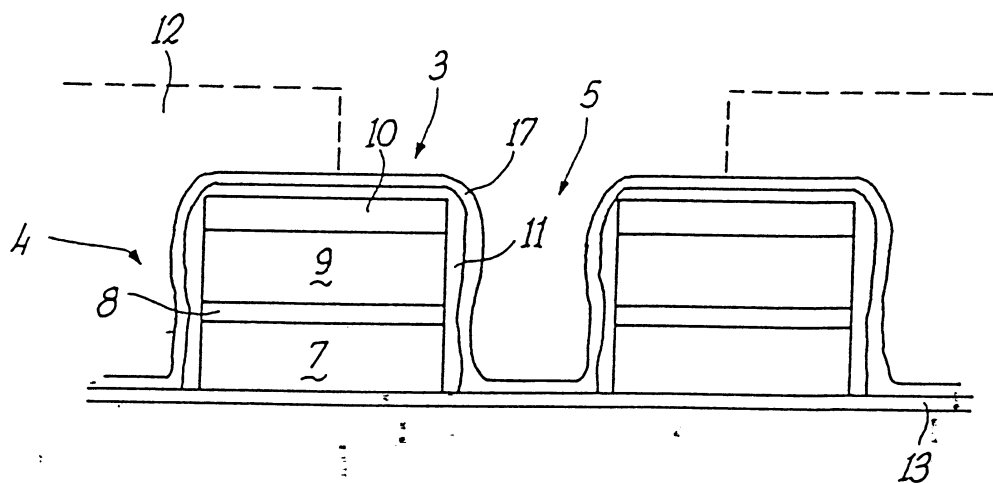


圖 4

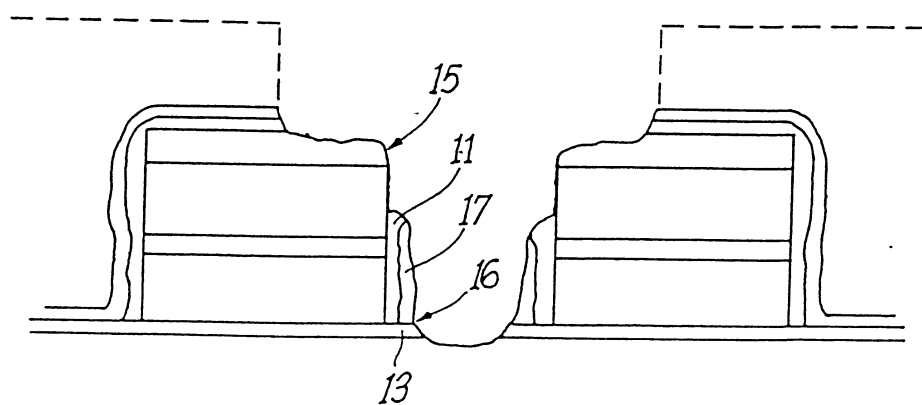


圖 5