

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5061010号
(P5061010)

(45) 発行日 平成24年10月31日(2012.10.31)

(24) 登録日 平成24年8月10日(2012.8.10)

(51) Int.CI.

H01L 23/12 (2006.01)

F 1

H01L 23/12 501C

請求項の数 1 (全 14 頁)

(21) 出願番号 特願2008-91664 (P2008-91664)
 (22) 出願日 平成20年3月31日 (2008.3.31)
 (65) 公開番号 特開2009-246175 (P2009-246175A)
 (43) 公開日 平成21年10月22日 (2009.10.22)
 審査請求日 平成23年3月28日 (2011.3.28)

(73) 特許権者 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100105924
 弁理士 森下 賢樹
 (74) 代理人 100123102
 弁理士 宗田 悟志
 (72) 発明者 斎藤 浩一
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内
 (72) 発明者 中里 真弓
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内

審査官 坂本 薫昭

最終頁に続く

(54) 【発明の名称】半導体モジュール

(57) 【特許請求の範囲】

【請求項 1】

絶縁樹脂層と、前記絶縁樹脂層の一方の主表面に設けられた配線層と、前記配線層と電
 気的に接続され、前記配線層から前記絶縁樹脂層側に突出している複数の突起電極と、前
 記絶縁樹脂層を裏打ちするための裏打ち部材と、を有する素子搭載用基板と、
 前記突起電極に対向する素子電極が設けられた半導体素子と、

を備え、

前記裏打ち部材は、前記突起電極と同一材料からなり、前記絶縁樹脂層の前記一方の主
 表面に設けられた平面部と、当該平面部から前記絶縁樹脂層側に突出している突起部とを
 有し、

前記平面部と前記突起部とは一体的に形成された単一の部材であり、

前記突起部は、平面部表面からの高さが前記突起電極の配線層表面からの高さよりも小
 さく、単一層の絶縁樹脂層における他方の主表面と頂部面が平行な状態で、当該単一層の
 絶縁樹脂層の一方の主表面から当該絶縁樹脂層に埋め込まれており、前記頂部面が当該單
 一層の絶縁樹脂層の内部に位置し、

前記突起電極は、前記絶縁樹脂層の平面視周縁に設けられ、

前記裏打ち部材は、前記絶縁樹脂層の平面視中央で一対の突起電極間に設けられ、

前記突起電極が前記絶縁樹脂層を貫通し、前記突起電極と前記素子電極とが電気的に接
 続され、

前記裏打ち部材と前記半導体素子との間に前記絶縁樹脂層が介在していることを特徴と

する半導体モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、素子搭載用基板を有する半導体モジュールに関する。

【背景技術】

【0002】

近年、電子機器の小型化、高機能化に伴い、電子機器に使用される半導体素子の、さらなる小型化が求められている。半導体素子の小型化に伴い、プリント配線基板に実装するための電極間の狭ピッチ化が不可欠となっている。半導体素子の表面実装方法として、半導体素子の電極にはんだバンプを形成し、はんだバンプとプリント配線基板の電極パッドとをはんだ付けするフリップチップ実装方法が知られている。フリップチップ実装方法では、はんだバンプ自体の大きさや、はんだ付け時のブリッジ発生などが制約となり、電極の狭ピッチ化に限界があった。このような限界を克服するための構造として、基材に形成した突起構造を電極またはビアとし、基材にエポキシ樹脂などの絶縁樹脂を介して半導体素子を実装し、突起構造に半導体素子の電極を接続する構造が知られている（特許文献1参照）。

【特許文献1】特開2004-193297号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

素子搭載用基板の配線層と半導体素子とを絶縁樹脂を介して一体とし、配線層に設けられた突起構造と半導体素子の電極とを接続する構造においては、絶縁樹脂と半導体素子との密着性が高くない。そのため、たとえば使用環境下での温度変化などによって発生する熱応力によって、絶縁樹脂が半導体素子から剥離するおそれがあった。特に上述の特許文献に開示された構造のように、絶縁樹脂を貫通する突起構造の間隔が広い場合には、突起構造間において絶縁樹脂が半導体素子から剥離しやすい。そして、半導体素子からの絶縁樹脂の剥離が生じた場合には、突起構造と半導体素子の電極との密着性が低下してしまい、その結果、突起構造と半導体素子の電極との接続信頼性が低下してしまうおそれがあった。

【0004】

本発明はこうした状況に鑑みてなされたものであり、その目的は、突起構造と半導体素子の電極とを接続する構造において、突起構造と半導体素子の電極との接続信頼性を向上させる技術の提供にある。

【課題を解決するための手段】

【0005】

上記課題を解決するために、本発明のある態様は素子搭載用基板である。この素子搭載用基板は、絶縁樹脂層と、絶縁樹脂層の一方の主表面に設けられた配線層と、配線層と電気的に接続され、配線層から絶縁樹脂層側に突出している突起電極と、絶縁樹脂層に少なくとも一部が埋め込まれ、絶縁樹脂層を裏打ちするための裏打ち部材と、を備えたことを特徴とする。

【0006】

この態様によれば、突起構造と半導体素子の電極とを接続する構造において、突起構造と半導体素子の電極との接続信頼性が向上する。

【0007】

上記態様において、裏打ち部材は、頂部面を有し、頂部面が絶縁樹脂層の他方の主表面と平行な状態で、絶縁樹脂層の一方の主表面から絶縁樹脂層に埋め込まれていてよい。

【0008】

また、上記態様において、頂部面は、絶縁樹脂層の内部に位置してもよい。

【0009】

10

20

30

40

50

また、上記態様において、突起電極は、複数設けられ、裏打ち部材は、一対の突起電極間に設けられていてもよい。あるいは、突起電極は、絶縁樹脂層の平面視周縁に設けられ、裏打ち部材は、絶縁樹脂層の平面視中央に設けられていてもよい。

【0010】

また、上記態様において、裏打ち部材は、突起電極と同一材料からなっていてもよい。

【0011】

本発明の他の態様は半導体モジュールである。この半導体モジュールは、上述したいずれかの態様の素子搭載用基板と、突起電極に対向する素子電極が設けられた半導体素子と、を備え、突起電極が絶縁樹脂層を貫通し、突起電極と素子電極とが電気的に接続されていることを特徴とする。

10

【0012】

上記態様において、裏打ち部材と半導体素子との間に絶縁樹脂層が介在していてもよい。

【0013】

本発明のさらに他の態様は、携帯機器である。この携帯機器は、上述したいずれかの態様の半導体モジュールを搭載している。

【発明の効果】

【0014】

本発明によれば、突起構造と半導体素子の電極とを接続する構造において、突起構造と半導体素子の電極との接続信頼性を向上させることができる。

20

【発明を実施するための最良の形態】

【0015】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【0016】

(実施形態1)

図1は、実施形態1に係る半導体モジュール30の概略平面図である。図2は、図1におけるA-A線に沿った概略断面図であり、素子搭載用基板10およびこれを用いた半導体モジュール30の構成を示している。半導体モジュール30は、素子搭載用基板10と、素子搭載用基板10に搭載された半導体素子50とを備える。

30

素子搭載用基板10は、絶縁樹脂層12と、絶縁樹脂層12の一方の主表面S1に設けられた配線層14と、配線層14と電気的に接続され、配線層14から絶縁樹脂層12側に突出している突起電極16とを備える。また、素子搭載用基板10は、絶縁樹脂層12に少なくとも一部が埋め込まれ、絶縁樹脂層12を裏打ちするための裏打ち部材18を備える。

【0017】

絶縁樹脂層12は、絶縁性の樹脂からなり、たとえば加圧したときに塑性流動を引き起こす材料で形成されている。加圧したときに塑性流動を引き起こす材料としては、エポキシ系熱硬化型樹脂が挙げられる。絶縁樹脂層12に用いられるエポキシ系熱硬化型樹脂は、たとえば、温度160℃、圧力8Mpaの条件下で、粘度が1kPa·sの特性を有する材料であればよい。また、このエポキシ系熱硬化型樹脂は、たとえば温度160℃の条件下で、5~15Mpaで加圧した場合に、加圧しない場合と比較して、樹脂の粘度が約1/8に低下する。これに対して、熱硬化前のBステージのエポキシ樹脂は、ガラス転移温度Tg以下の条件下では、樹脂を加圧しない場合と同程度に、粘性がなく、加圧しても粘性は生じない。

40

【0018】

配線層14は、絶縁樹脂層12の一方の主表面S1に設けられており、導電材料、好ま

50

しくは圧延金属、さらには圧延銅により形成される。あるいは電解銅などで形成してもよい。配線層14の絶縁樹脂層12側には、配線層14と電気的に接続された状態で、突起電極16が突設されている。配線層14と突起電極16とは一体成型されていることが好み。これによれば、熱応力による配線層14と突起電極16との界面における亀裂(クラック)の発生などを防止でき、また配線層14と突起電極16とが別体であるときに比べて両者の接続が確実である。さらに、後述する素子電極52と配線層14との電気的な接続を、突起電極16と素子電極52との圧着と同時にできることから、工程数が増大しないという効果を奏する。配線層14の突起電極16と反対側の端部領域には、突起電極16が形成される側と反対側の表面に後述するはんだバンプ22が配置される、配線を兼ねたランド領域が形成されている。

10

【0019】

配線層14の絶縁樹脂層12と反対側の主表面には、配線層14の酸化などを防ぐための保護層20が設けられている。保護層20としては、ソルダーレジスト層などが挙げられる。配線層14のランド領域に対応する保護層20の所定の領域には開口部20aが形成されており、開口部20aによって配線層14のランド領域が露出している。開口部20a内には外部接続電極としてのはんだバンプ22が形成され、はんだバンプ22と配線層14とが電気的に接続されている。はんだバンプ22を形成する位置、すなわち開口部20aの形成領域は、たとえば再配線で引き回した先の端部領域である。

【0020】

突起電極16は、たとえば平面視で丸型であり、頂部に近づくにつれて径が細くなるように形成された側面を備えている。なお、突起電極16の形状は特に限定されず、たとえば、所定の径を有する円柱状であってもよい。また、平面視で四角形などの多角形であってもよい。突起電極16の頂部面には、たとえば電解めっき法あるいは無電解めっき法により形成された、ニッケル(Ni)／金(Au)めっき層などの金属層17が被覆されている。金属層17は、導電ペーストを用いて形成された導電ペースト層であってもよい。本実施形態では、金属層17はNi/Auめっき層で構成されている。

20

【0021】

裏打ち部材18は、絶縁樹脂層12の一方の主表面S1に積層された平面視略十字形状の平面部18aと、平面部18aから絶縁樹脂層12側に突出している複数の突起部18bとを有する。突起部18bは平面視丸形であり、頂部面を有するとともに、頂部に近づくにつれて径が細くなるように形成された側面を備え、頂部面が絶縁樹脂層12の他方の主表面と平行な状態で、絶縁樹脂層12の主表面S1から絶縁樹脂層12に埋め込まれている。裏打ち部材18の突起部18bが絶縁樹脂層12中に陷入して絶縁樹脂層12を裏打ちすることで、半導体素子50からの絶縁樹脂層12の剥離を防止している。

30

【0022】

裏打ち部材18は、突起部18bの頂部面が絶縁樹脂層12の内部に位置している構成、すなわち、突起部18bの頂部面が絶縁樹脂層12の他方の主表面に到達していない構成であることが好み。この場合には、裏打ち部材18の突起部18bの頂部面と半導体素子50との間に、絶縁樹脂層12が介在することとなる。これにより、突起部18bの頂部面と半導体素子50との間に介在する絶縁樹脂層12が、突起部18bと半導体素子50とによって挟持された状態となるため、より効果的に絶縁樹脂層12の半導体素子50からの剥離を防止することができる。本実施形態では、突起電極16の頂部面に金属層17が設けられたことによって、突起部18bの高さが金属層17を含む突起電極16の高さよりも低くなっている。そのため、金属層17の厚さ分だけ突起部18bと半導体素子50との間に絶縁樹脂層12が介在している。なお、突起部18bの頂部面が半導体素子50に接する構成であってもよい。

40

【0023】

また、裏打ち部材18は一対の突起電極16間に設けられている。ここで、絶縁樹脂層12は、突起電極16によって半導体素子50側に圧接されているため、突起電極16の近傍では絶縁樹脂層12と半導体素子50との密着性が比較的高いが、突起電極16から

50

離れるほど密着性が低くなる。したがって、絶縁樹脂層 12 を貫通する突起電極 16 の間隔が広い場合には、突起電極 16 間において絶縁樹脂層 12 が半導体素子 50 から剥離しやすい。

【0024】

また、半導体素子 50 が平面視略四角形形状であって、後述する素子電極 52 が半導体素子 50 の平面視周縁に配置されている場合には、図 1 に示すように、突起電極 16 は素子電極 52 に対応して素子搭載用基板 10 の平面視周縁に配置される。この場合、絶縁樹脂層 12 の平面視中央の領域が平面視周縁に配置された突起電極 16 から離間しており、この領域において半導体素子 50 から絶縁樹脂層 12 が剥離しやすい。そのため、好ましくは、裏打ち部材 18 は絶縁樹脂層 12 の平面視中央に設けられる。

10

【0025】

なお、裏打ち部材 18 の形状は特に限定されず、たとえば平面部 18a が平面視略四角形形状などであってもよい。また、突起部 18b が所定の径を有する円柱状や四角柱状などであってもよく、突起部 18b の数も限定されない。さらに、裏打ち部材 18 は、突起部 18b を有さずに平面部 18a が絶縁樹脂層 12 に陷入した構造であってもよく、あるいは平面部 18a を有さずに突起部 18b のみの形状であってもよい。

【0026】

上述の構成を備えた素子搭載用基板 10 に半導体素子 50 が搭載されて半導体モジュール 30 が形成される。本実施形態の半導体モジュール 30 は、素子搭載用基板 10 の突起電極 16 と、半導体素子 50 の素子電極 52 とが絶縁樹脂層 12 を介して電気的に接続された構造である。

20

【0027】

半導体素子 50 は、突起電極 16 のそれぞれに対向する素子電極 52 を有する。素子電極 52 の表面には、Ni / Auめっき層などの金属層 53 が被覆されている。なお、金属層 53 は設けなくてもよい。また、素子電極 52 が設けられた側の半導体素子 50 の主表面には、シリコン酸化膜などの絶縁膜 54 が設けられている。さらに、絶縁膜 54 上であって、絶縁樹脂層 12 に接する側の半導体素子 50 の主表面には、素子電極 52 が露出するように開口が設けられたポリイミド層などの素子保護層 56 が積層されている。半導体素子 50 の具体例としては、集積回路 (IC)、大規模集積回路 (LSI) などの半導体チップが挙げられる。また、素子電極 52 には、たとえばアルミニウム (Al) が用いられる。

30

【0028】

本実施形態においては、絶縁樹脂層 12 が、素子搭載用基板 10 と半導体素子 50 との間に設けられ、突起電極 16 が絶縁樹脂層 12 を貫通して半導体素子 50 に設けられた素子電極 52 と電気的に接続されている。突起電極 16 および素子電極 52 の表面には、Ni / Auめっき層が被覆されているため、突起電極 16 と素子電極 52 とは、互いの最表面に配置された金同士の接合 (金 - 金接合) を介して接続される。そのため、突起電極 16 と素子電極 52 との接続信頼性がさらに向上する。

【0029】

(素子搭載用基板および半導体モジュールの製造方法)

40

図 3 (A) ~ (E) および図 4 (A)、(B) は、突起電極 16 および突起部 18b の形成方法を示す工程断面図である。

まず、図 3 (A) に示すように、少なくとも、突起電極 16 の高さと配線層 14 の厚さとの和より大きい厚さを有する金属板としての銅板 13 を用意する。

【0030】

次に、図 3 (B) に示すように、フォトリソグラフィ法により、突起電極 16 のパターンに合わせてレジスト 71 を選択的に形成し、また裏打ち部材 18 の突起部 18b のパターンに合わせてレジスト 72 を選択的に形成する。具体的には、ラミネーター装置を用いて銅板 13 に所定膜厚のレジスト膜を貼り付け、突起電極 16 および突起部 18b のパターンを有するフォトマスクを用いて露光した後、現像することによって、銅板 13 の上に

50

レジスト 7 1、7 2 が選択的に形成される。なお、レジストとの密着性向上のために、レジスト膜のラミネート前に、銅板 1 3 の表面に研磨、洗浄等の前処理を必要に応じて施すことが望ましい。

【 0 0 3 1 】

次に、図 3 (C) に示すように、レジスト 7 1、7 2 をマスクとして、銅板 1 3 に所定のパターンの突起電極 1 6 および突起部 1 8 b を形成する。具体的には、レジスト 7 1、7 2 をマスクとして銅板 1 3 をエッチングすることにより、所定のパターンを有する突起電極 1 6 および突起部 1 8 b を形成する。突起電極 1 6 および突起部 1 8 b を形成した後、レジスト 7 1、7 2 を剥離剤を用いて剥離する。

【 0 0 3 2 】

次に、図 3 (D) に示すように、突起電極 1 6 および突起部 1 8 b が形成された側の銅板 1 3 の主表面に、フォトリソグラフィ法により、耐めっき性を有するレジスト 7 3 を積層して突起電極 1 6 の頂部面に対応する位置に開口部 7 3 a を形成する。

【 0 0 3 3 】

次に、図 3 (E) に示すように、開口部 7 3 a から露出している突起電極 1 6 の頂部面に金属層 1 7 を形成する。金属層 1 7 は、たとえば電解めっき法または無電解めっき法により Ni / Au の金属層として形成する。電解めっき法または無電解めっき法により金属層 1 7 を形成した場合には、金属層 1 7 を形成する金属の結晶粒の向きが、素子電極 5 2 の接触面に対して垂直方向に並ぶ。このため、素子電極 5 2 と圧着した際に素子電極 5 2 にかかる圧力を金属層 1 7 が吸収することができ、これにより素子電極 5 2 にダメージを与えるおそれを低減することができる。

【 0 0 3 4 】

また、金属層 1 7 を構成する金属層は、Ni 層が突起電極 1 6 と接する側に、Au 層が素子電極 5 2 と接する側となるように形成される。なお、金属層 1 7 の形成方法としては、特にこれに限定されず、たとえば銅ペースト、銀ペースト、金ペーストなどの導電性ペーストを用いて形成してもよい。突起電極 1 6 の頂部面への金属層 1 7 の形成により、金属層 1 7 を含む突起電極 1 6 の高さを、裏打ち部材 1 8 の突起部 1 8 b の高さよりも高くしている。金属層 1 7 を形成した後、レジスト 7 3 を剥離剤を用いて剥離する。

【 0 0 3 5 】

次に、図 4 (A) に示すように、突起電極 1 6 および突起部 1 8 b が形成された側の銅板 1 3 の主表面に、絶縁樹脂層 1 2 を積層する。

次に、図 4 (B) に示すように、絶縁樹脂層 1 2 の主表面に、たとえば O₂ プラズマなどによるエッチング処理を施し、絶縁樹脂層 1 2 を所定量だけ除去して突起電極 1 6 の頂部面を被覆する金属層 1 7 を露出させ、金属層 1 7 を含む突起電極 1 6 を絶縁樹脂層 1 2 に貫通させる。金属層 1 7 を露出させるための絶縁樹脂層 1 2 の除去は、絶縁樹脂層 1 2 を機械的に研磨することで行ってもよい。

【 0 0 3 6 】

以上説明した工程により、銅板 1 3 に突起電極 1 6 および裏打ち部材 1 8 の突起部 1 8 b が形成される。本実施形態の突起電極 1 6 および突起部 1 8 b における基底部の径、頂部の径、高さは、たとえばそれぞれ、約 60 μm 、約 40 μm 、約 20 μm である。また、金属層 1 7 の厚さは、Ni 層の厚さが約 3 ~ 4 μm 、Au 層の厚さが約 0.3 ~ 0.4 μm である。

【 0 0 3 7 】

図 5 (A) ~ (E) は、配線層 1 4 および平面部 1 8 a の形成方法、突起電極 1 6 と素子電極 5 2 との接続方法を示す工程断面図である。

図 5 (A) に示すように、絶縁樹脂層 1 2 の積層された銅板 1 3 と半導体素子 5 0 とを、突起電極 1 6 と素子電極 5 2 とが対向するように配置する。そして、プレス装置を用いて、銅板 1 3 と半導体素子 5 0 とを圧着する。プレス加工時の圧力および温度は、それぞれ約 5 MPa および 200 °C である。これにより、図 5 (B) に示すように、銅板 1 3 、絶縁樹脂層 1 2 および半導体素子 5 0 が一体化され、突起電極 1 6 と素子電極 5 2 とが圧

10

20

30

40

50

着して電気的に接続される。突起部 18 b の頂部面と半導体素子 50 の素子保護層 56 との間には、金属層 17 の厚さ分だけ絶縁樹脂層 12 が介在している。

【 0 0 3 8 】

次に、フォトリソグラフィ法により、絶縁樹脂層 12 と反対側の銅板 13 の主表面に配線層 14 および裏打ち部材 18 の平面部 18 a のパターンに合わせて図示しないレジストを選択的に形成する。そして、図 5 (C) に示すように、このレジストをマスクとして銅板 13 の主表面をエッチングして、銅板 13 に所定のパターンの配線層 14 および平面部 18 a を形成し、レジストを剥離する。平面部 18 a の形成位置は突起部 18 b の存在する領域であり、平面部 18 a が形成されて裏打ち部材 18 が完成される。本実施形態における配線層 14 および平面部 18 a の厚さは約 15 ~ 20 μm である。なお、平面部 18 a の形成箇所にレジストを形成せずに銅板 13 をエッチングして、裏打ち部材 18 を突起部 18 b のみからなる構成としてもよい。

【 0 0 3 9 】

ここで、突起電極 16 、突起部 18 b および平面部 18 a は、同一の銅板 13 から形成されるため、裏打ち部材 18 と突起電極 16 とは同一材料からなる。また、突起部 18 b および平面部 18 a は、それぞれ突起電極 16 および配線層 14 と併せて形成されるため、裏打ち部材 18 を形成するために工程数を増やす必要がなく、製造コストの増加を抑えることができる。

【 0 0 4 0 】

次に、図 5 (D) に示すように、フォトリソグラフィー法により、はんだバンプ 22 の形成位置に対応する領域に開口部 20 a を有する保護層 20 を、絶縁樹脂層 12 と反対側の配線層 14 および平面部 18 a の主表面に形成する。そして、図 5 (E) に示すように、開口部 20 a 内にはんだバンプ 22 を形成する。

以上説明した製造工程により、半導体モジュール 30 が形成される。また、半導体素子 50 を搭載しなかった場合には、素子搭載用基板 10 が得られる。

【 0 0 4 1 】

以上説明した構成による作用効果を総括すると、本実施形態の素子搭載用基板 10 および半導体モジュール 30 は、絶縁樹脂層 12 に絶縁樹脂層 12 を裏打ちするための裏打ち部材 18 が設けられている。特に、裏打ち部材 18 は、一対の突起電極 16 間、さらには絶縁樹脂層 12 の平面視中央に設けられている。そして、裏打ち部材 18 の突起部 18 b が絶縁樹脂層 12 中に埋め込まれて絶縁樹脂層 12 を裏打ちしている。これにより、半導体素子 50 からの絶縁樹脂層 12 の剥離を防止することができ、突起電極 16 と素子電極 52 との接続信頼性が向上する。その結果、半導体モジュール 30 をプリント配線基板に実装した場合に、半導体素子 50 とプリント配線基板との接続信頼性が向上する。

【 0 0 4 2 】

また、突起部 18 b の頂部面と半導体素子 50 との間に絶縁樹脂層 12 が介在するため、両者の間に介在する絶縁樹脂層 12 が突起部 18 b と半導体素子 50 とによって挟持された状態となる。そのため、より効果的に絶縁樹脂層 12 の半導体素子 50 からの剥離を防止することができる。また、絶縁樹脂層 12 が半導体素子 50 から剥離した場合、その結果生じた空隙に、外気に含まれる水分等が浸入し、半導体モジュール 30 の腐食の原因となりうるが、本実施形態によれば空隙の発生が抑えられるため、半導体モジュール 30 の信頼性が向上する。

【 0 0 4 3 】

さらに、保護層 20 は裏打ち部材 18 の平面部 18 a を被覆しているため被覆面積が大きくなり、保護層 20 の密着性が向上する。また、本実施形態においては、裏打ち部材 18 が保護層 20 と絶縁樹脂層 12 にまたがって介在しているため、保護層 20 と絶縁樹脂層 12 との密着性、特に水平方向の応力に対しての密着性が向上する。そのため、突起電極 16 と素子電極 52 との接続信頼性がさらに向上し、ひいては素子搭載用基板 10 と半導体素子 50 との接続信頼性がさらに向上する。

【 0 0 4 4 】

10

20

30

40

50

(実施形態 2)

上述した実施形態 1 では、突起電極 1 6 の頂部面に金属層 1 7 を設けることで、金属層 1 7 を含む突起電極 1 6 の高さを裏打ち部材 1 8 の突起部 1 8 b の高さよりも高くし、突起部 1 8 b と半導体素子 5 0 との間に絶縁樹脂層 1 2 を介在させた。実施形態 2 では、突起部 1 8 b 自体の高さを突起電極 1 6 の高さよりも低くすることで、突起部 1 8 b と半導体素子 5 0 との間に絶縁樹脂層 1 2 を介在させる点が実施形態 1 と異なる。以下、本実施形態について説明する。なお、素子搭載用基板 1 0 および半導体モジュール 3 0 のその他の構成、配線層 1 4 および平面部 1 8 a の形成方法、突起電極 1 6 と素子電極 5 2 との接続方法については実施形態 1 と基本的に同一である。実施形態 1 と同一の構成については同一の符号を付し、その説明は適宜省略する。

10

【 0 0 4 5 】

図 6 および図 7 は、実施形態 2 に係る素子搭載用基板 1 0 およびこれを用いた半導体モジュール 3 0 の構成を示す概略断面図である。

図 6 に示すように、本実施形態の素子搭載用基板 1 0 は、突起電極 1 6 よりも高さの小さい突起部 1 8 c を有する裏打ち部材 1 8 を備えている。実施形態 1 と異なり、突起部 1 8 c 自体の高さが突起電極 1 6 の高さよりも小さいため、突起電極 1 6 の頂部面に金属層 1 7 を設けることなく、突起部 1 8 c と半導体素子 5 0 の素子保護層 5 6 との間に絶縁樹脂層 1 2 を介在させることができる。なお、図 7 に示すように、突起電極 1 6 と素子電極 5 2 とを金 - 金接合させることで突起電極 1 6 と素子電極 5 2 との接続信頼性を高めるために、突起電極 1 6 の頂部面に金属層 1 7 を設けてもよい。

20

【 0 0 4 6 】

図 8 (A) ~ (E) および図 9 (A) 、 (B) は、突起電極 1 6 および突起部 1 8 c の形成方法を示す工程断面図である。なお、ここでは金属層 1 7 を設ける場合を例に説明する。

【 0 0 4 7 】

まず、図 8 (A) に示すように、少なくとも、突起電極 1 6 の高さと配線層 1 4 の厚さとの和より大きい厚さを有する金属板としての銅板 1 3 を用意する。

次に、図 8 (B) に示すように、フォトリソグラフィ法により、突起電極 1 6 のパターンに合わせてレジスト 7 1 を選択的に形成し、また裏打ち部材 1 8 の突起部 1 8 c のパターンに合わせてレジスト 7 4 を選択的に形成する。レジスト 7 4 は、後述する銅板 1 3 のエッチングにおける解像限界以下の大きさとする。

30

【 0 0 4 8 】

次に、図 8 (C) に示すように、レジスト 7 1 、 7 4 をマスクとして、銅板 1 3 に所定のパターンの突起電極 1 6 および突起部 1 8 c を形成する。ここで、突起部 1 8 c のパターンに合わせて形成したレジスト 7 4 は、エッチングの解像限界以下の大きさである。そのため、たとえば等方性で進行するウェットエッチングを銅板 1 3 に対して行った場合には、エッチングの進行によってレジスト 7 4 の直下の銅板 1 3 が側方から徐々にエッチングされていく。そのため、レジスト 7 4 によって形成される突起部 1 8 c は、その高さが突起電極 1 6 の高さよりも低くなる。あるいは、突起電極 1 6 と同じ高さの突起部 1 8 c を形成した後、突起部 1 8 c の頂部をエッチングなどによって除去することで、突起部 1 8 c の高さを突起電極 1 6 の高さよりも低くしてもよい。突起電極 1 6 および突起部 1 8 c を形成した後、レジスト 7 1 、 7 4 を剥離剤を用いて剥離する。

40

【 0 0 4 9 】

次に、図 8 (D) に示すように、突起電極 1 6 および突起部 1 8 c が形成された側の銅板 1 3 の主表面に、フォトリソグラフィ法により、耐めつき性を有するレジスト 7 3 を積層して突起電極 1 6 の頂部面に対応する位置に開口部 7 3 a を形成する。そして、図 8 (E) に示すように、開口部 7 3 a から露出している突起電極 1 6 の頂部面に金属層 1 7 を形成し、その後、レジスト 7 3 を剥離剤を用いて剥離する。

【 0 0 5 0 】

次に、図 9 (A) に示すように、突起電極 1 6 および突起部 1 8 c が形成された側の銅

50

板13の主表面に絶縁樹脂層12を積層する。続いて、図9(B)に示すように、絶縁樹脂層12を所定量だけ除去して金属層17を露出させ、金属層17を含む突起電極16を絶縁樹脂層12に貫通させる。

【0051】

以上説明した工程により、銅板13に突起電極16および裏打ち部材18の突起部18cが形成される。本実施形態の突起部18cにおける基底部の径、頂部の径、高さは、たとえばそれぞれ、約40μm、約20μm、約15μmである。

【0052】

上述の方法により突起電極16および突起部18cが形成され、絶縁樹脂層12が積層された銅板13は、実施形態1と同様の方法によって半導体素子50と圧着され、突起電極16と素子電極52とが電気的に接続され、半導体モジュール30が形成される。

10

【0053】

以上、実施形態2によれば、実施形態1の上述の効果に加えて、さらに次のような効果が得られる。すなわち、本実施形態においては、裏打ち部材18の突起部18c自体の大きさを突起電極16よりも小さくすることで、突起部18cと半導体素子50の素子保護層56との間に絶縁樹脂層12を介在させている。そのため、突起部18cと素子保護層56との間に介在させる絶縁樹脂層12の厚さをより自由に設定することが可能となり、より効果的に半導体素子50からの絶縁樹脂層12の剥離を防止することができる。その結果、突起電極16と素子電極52との接続信頼性がさらに向上する。

【0054】

20

(実施形態3)

次に、本発明の半導体モジュールを備えた携帯機器について説明する。なお、携帯機器として携帯電話に搭載する例を示すが、たとえば、個人用携帯情報端末(PDA)、デジタルビデオカメラ(DVC)、及びデジタルスチルカメラ(DSC)といった電子機器であってもよい。

【0055】

図10は本発明の実施形態に係る半導体モジュール30を備えた携帯電話の構成を示す図である。携帯電話111は、第1の筐体112と第2の筐体114が可動部120によって連結される構造になっている。第1の筐体112と第2の筐体114は可動部120を軸として回動可能である。第1の筐体112には文字や画像等の情報を表示する表示部118やスピーカ部124が設けられている。第2の筐体114には操作用ボタンなどの操作部122やマイク部126が設けられている。なお、本発明の各実施形態に係る半導体モジュール30はこうした携帯電話111の内部に搭載されている。

30

【0056】

図11は図10に示した携帯電話の部分断面図(第1の筐体112の断面図)である。本発明の各実施形態に係る半導体モジュール30は、はんだバンプ22を介してプリント基板128に搭載され、こうしたプリント基板128を介して表示部118などと電気的に接続されている。また、半導体モジュール30の裏面側(はんだバンプ22とは反対側の面)には金属基板などの放熱基板116が設けられ、たとえば、半導体モジュール30から発生する熱を第1の筐体112内部に籠もらすことなく、効率的に第1の筐体112の外部に放熱することができるようになっている。

40

【0057】

本発明の各実施形態に係る素子搭載用基板10および半導体モジュール30によれば、突起電極16と素子電極52との接続信頼性が向上するため、半導体モジュール30のプリント配線基板への実装信頼性が向上する。そのため、こうした半導体モジュール30を搭載した本実施形態に係る携帯機器については、その信頼性が向上する。

【0058】

本発明は、上述の各実施形態に限定されるものではなく、当業者の知識に基づいて各種の設計変更等の変形を加えることも可能であり、そのような変形が加えられた実施形態も本発明の範囲に含まれうるものである。

50

たとえば、上述の各実施形態では、素子搭載用基板の配線層は単層であったが、これに限定されず、配線層はさらに多層化したものであってもよい。

また、本発明の構成は、ウエハレベルCSP (Chip Size Package) プロセスと呼ばれる半導体パッケージの製造プロセスに適用することができる。これによれば、半導体モジュールの薄型化・小型化を図ることができる。

【図面の簡単な説明】

【0059】

【図1】実施形態1に係る半導体モジュールの概略平面図である。

【図2】図1におけるA-A線に沿った概略断面図である。

【図3】図3(A)～(E)は、突起電極および突起部の形成方法を示す工程断面図である。 10

【図4】図4(A)、(B)は、突起電極および突起部の形成方法を示す工程断面図である。

【図5】図5(A)～(E)は、配線層および平面部の形成方法、突起電極と素子電極との接続方法を示す工程断面図である。

【図6】実施形態2に係る素子搭載用基板およびこれを用いた半導体モジュールの構成を示す概略断面図である。

【図7】素子搭載用基板およびこれを用いた半導体モジュールの構成を示す概略断面図である。

【図8】図8(A)～(E)は、突起電極および突起部の形成方法を示す工程断面図である。 20

【図9】図9(A)、(B)は、突起電極および突起部の形成方法を示す工程断面図である。

【図10】実施形態3に係る携帯電話の構成を示す図である。

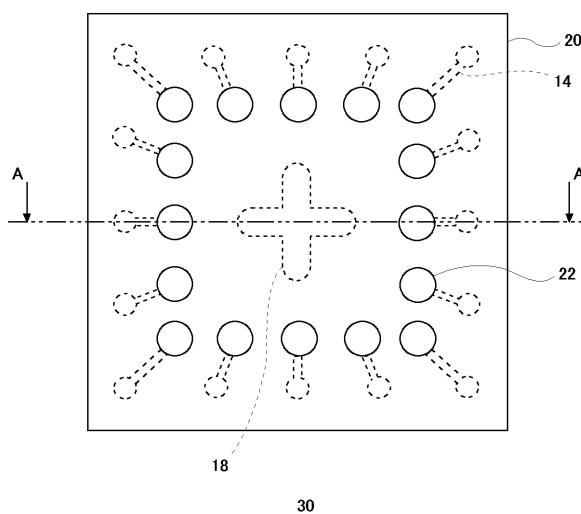
【図11】携帯電話の部分断面図である。

【符号の説明】

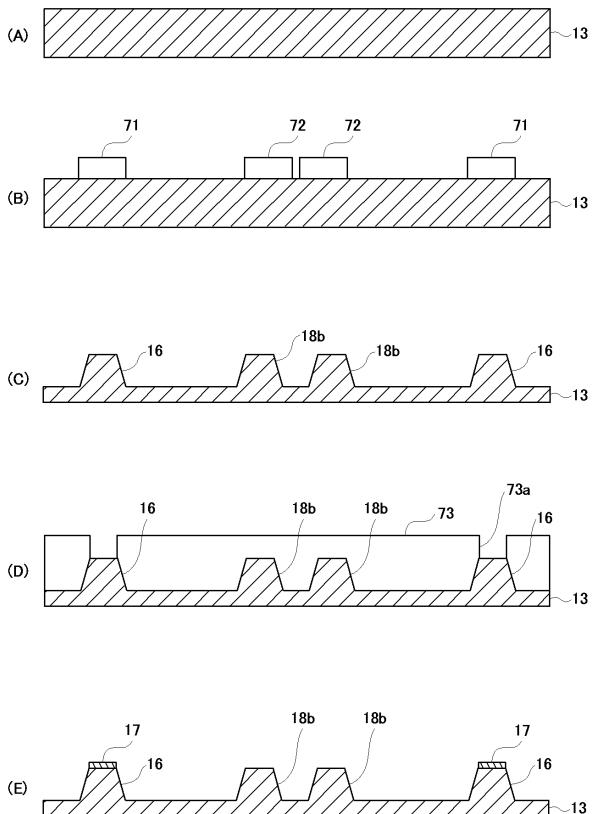
【0060】

10 素子搭載用基板、 12 絶縁樹脂層、 14 配線層、 16 突起電極、
17、53 金属層、 18 裏打ち部材、 18a 平面部、 18b、18c 突起部、 20 保護層、 20a 開口部、 22 はんだバンプ、 30 半導体モジュール、 50 半導体素子、 52 素子電極、 54 絶縁膜、 56 素子保護層。 30

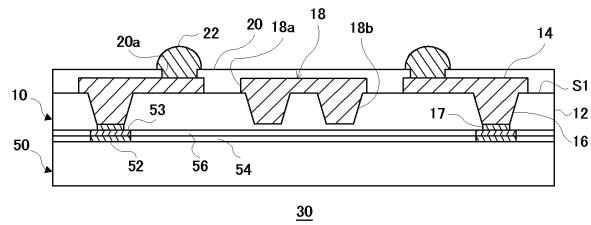
【図1】



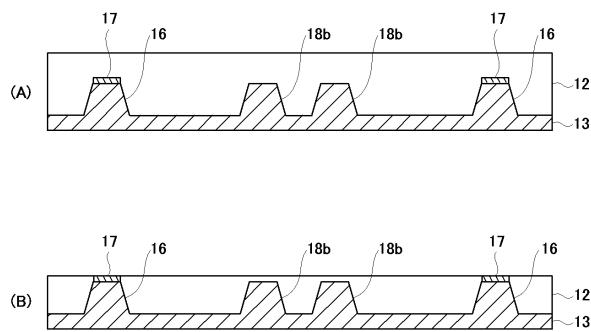
【図3】



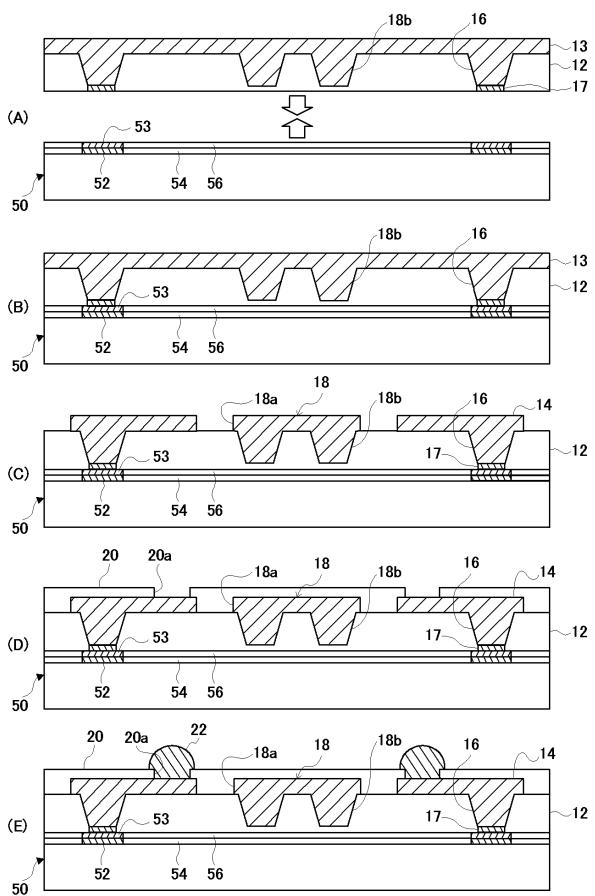
【図2】



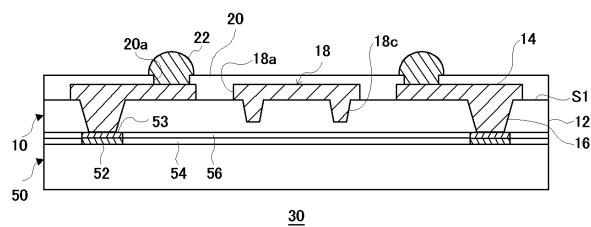
【図4】



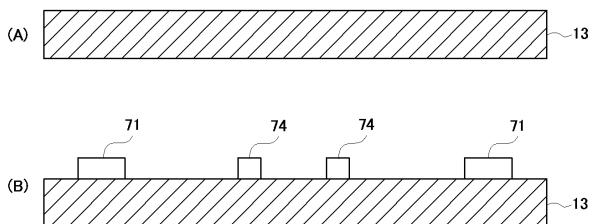
【図5】



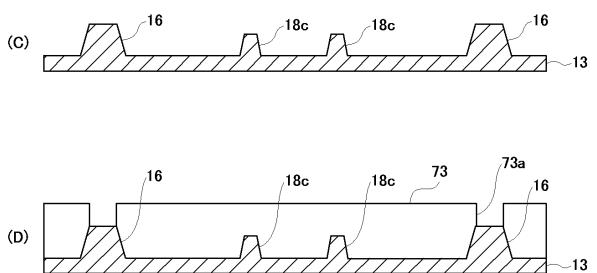
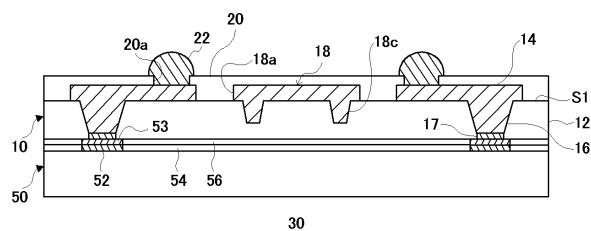
【図6】



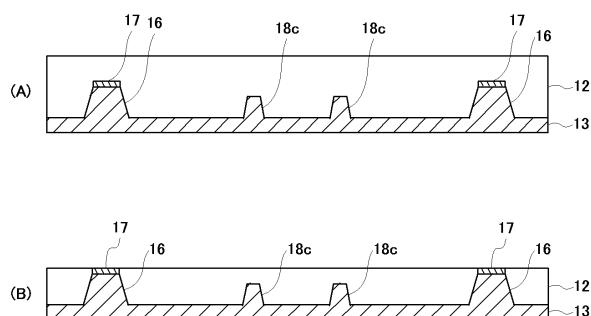
【図8】



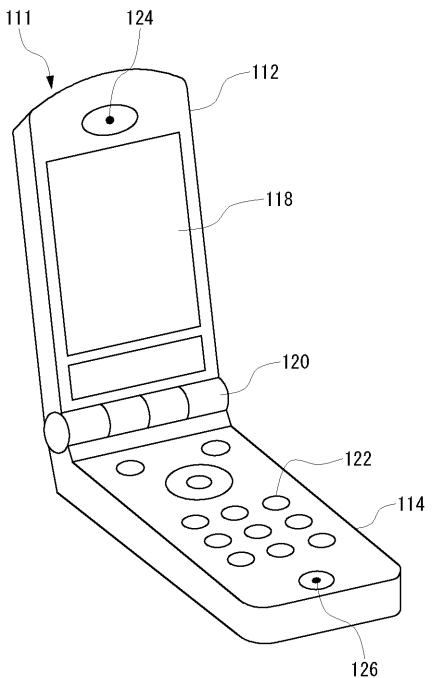
【図7】



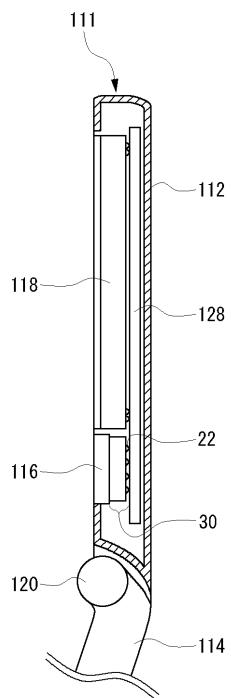
【図9】



【図10】



【図 1 1】



フロントページの続き

(56)参考文献 特開2002-118210(JP,A)
特開2007-173749(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12