(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0174161
(43) 공개일자 2023년12월27일

(51) 국제특허분류(Int. Cl.)
H03K 19/0185 (2006.01) *H03K 17/10* (2006.01)
H03K 19/003 (2006.01)
(52) CPC특허분류
H03K 19/018521 (2013.01)
H03K 17/102 (2013.01)
(21) 출원번호 10-2023-0073972
(22) 출원일자 2023년06월09일
심사청구일자 없음
(30) 우선권주장
JP-P-2022-098712 2022년06월20일 일본(JP)

(71) 출원인
르네사스 일렉트로닉스 가부시키가이샤
일본 도쿄토 고토쿠 도요스 3쵸메 2방 24고
(72) 발명자
다까야나기 고지
일본 도꾜도 고우또우꾸 도요스 3쪼메 2-24 르네사스 일렉트로닉스 가부시키가이샤 내
(74) 대리인
양영준, 이중희

전체 청구항 수 : 총 14 항

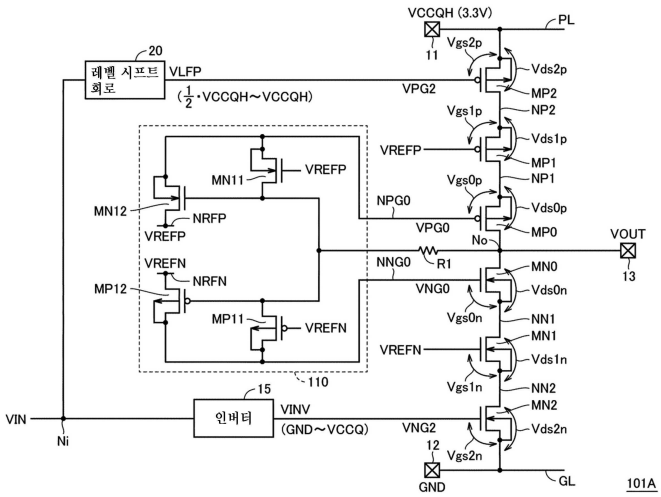
(54) 발명의 명칭 **반도체 장치**

(57) 요 약

트랜지스터의 내압보다도 높은 전압 진폭의 출력 전압을 생성하는 반도체 장치에 있어서, 동작 속도를 저하시키지 않고 핫 캐리어 열화를 억제한다.

P형 트랜지스터 MP0 및 P형 트랜지스터 MP2는, 전원 단자(11) 및 출력 단자(13) 사이에 직렬 접속된다. N형 트랜지스터 MN0 및 N형 트랜지스터 MN2는, 접지 단자(12) 및 전원 단자(13) 사이에 접속된다. N형 트랜지스터 MN2 및 P형 트랜지스터 MP2는, 입력 신호 VIN에 따라 상보적으로 온/오프된다. 게이트 전압 제어 회로(110)는, 드레인이 출력 단자(13)와 전기적으로 접속된 P형 트랜지스터 MP0의 게이트 전압 및 N형 트랜지스터 MN0의 게이트 전압 중 적어도 한쪽을, P형 트랜지스터 MP0 또는 N형 트랜지스터 MN0의 온을 유지한 후에, 출력 단자(13)의 출력 전압 VOUT에 추종시켜 변화시킨다.

대 표 도



(52) CPC특허분류
H03K 19/00315 (2013.01)

명 세 서

청구범위

청구항 1

입력 신호보다도 전압 진폭이 큰 출력 신호를 출력 단자에 생성하는 반도체 장치이며,

제1 전원 전위를 공급하는 전원 라인과 상기 출력 단자 사이에 직렬 접속된 제1 및 제2 P형 트랜지스터와,

기준 전위를 공급하는 기준 전위 라인과 상기 출력 단자 사이에 직렬 접속된 제1 및 제2 N형 트랜지스터를 구비하고,

상기 제1 N형 및 P형 트랜지스터는, 상기 출력 단자에 대해 전기적으로 접속된 드레인을 갖고,

상기 제2 N형 및 P형 트랜지스터의 게이트에는, 상기 입력 신호에 따라, 상기 제2 N형 및 P형 트랜지스터를 상보적으로 온/오프하기 위한 신호가 각각 입력되고,

상기 반도체 장치는,

상기 출력 단자의 전압에 따라 상기 제1 P형 및 N형 트랜지스터의 게이트 전압을 변화시키기 위한 게이트 전압 제어 회로를 더 구비하고,

상기 게이트 전압 제어 회로는, 상기 입력 신호의 논리 레벨의 변화에 따라 상기 출력 신호의 전압이 변화할 때에, 상기 제1 P형 또는 N형 트랜지스터를 온으로 유지한 후에, 상기 출력 단자의 전압의 변화에 추종시켜, 상기 제1 N형 및 P형 트랜지스터 중 적어도 한쪽의 게이트 전압을 변화시키도록 구성되는, 반도체 장치.

청구항 2

제1항에 있어서, 상기 게이트 전압 제어 회로는, 상기 출력 단자의 전압이 미리 정해진 제1 바이어스 전압보다도 높을 때에는 상기 제1 P형 트랜지스터의 게이트에 상기 제1 바이어스 전압을 입력하는 한편, 상기 출력 단자의 전압이 상기 제1 바이어스 전압보다도 낮을 때에는 상기 출력 단자의 전압에 따르는 전압을 상기 제1 P형 트랜지스터의 게이트에 입력하도록 구성되고,

상기 제1 바이어스 전압은, 상기 제1 및 제2 P형 트랜지스터, 그리고, 상기 제1 및 제2 P형 트랜지스터의 각각의 내압 이하인, 반도체 장치.

청구항 3

제2항에 있어서, 상기 반도체 장치는,

상기 제1 P형 트랜지스터 및 상기 전원 라인 사이에 상기 제2 P형 트랜지스터와 직렬로 접속되는 제3 P형 트랜지스터를 더 구비하고,

상기 제3 P형 트랜지스터의 게이트에는, 상기 제1 바이어스 전압이 입력되는, 반도체 장치.

청구항 4

제1항에 있어서, 상기 게이트 전압 제어 회로는, 상기 출력 단자의 전압이 미리 정해진 제2 바이어스 전압보다도 낮을 때에는 상기 제1 N형 트랜지스터의 게이트에 상기 제2 바이어스 전압을 입력하는 한편, 상기 출력 단자의 전압이 상기 제2 바이어스 전압보다도 높을 때에는 상기 출력 단자의 전압에 따르는 전압을 상기 제1 N형 트랜지스터의 게이트에 입력하도록 구성되고,

상기 제2 바이어스 전압은, 상기 제1 및 제2 P형 트랜지스터, 그리고, 상기 제1 및 제2 P형 트랜지스터의 각각의 내압 이하인, 반도체 장치.

청구항 5

제4항에 있어서, 상기 반도체 장치는,

상기 제1 N형 트랜지스터 및 상기 기준 전위 라인 사이에 상기 제2 N형 트랜지스터와 직렬로 접속되는 제3 N형

트랜지스터를 더 구비하고,

상기 제3 N형 트랜지스터의 게이트에는, 상기 제2 바이어스 전압이 입력되는, 반도체 장치.

청구항 6

제2항에 있어서, 상기 게이트 전압 제어 회로는,

상기 제1 P형 트랜지스터의 게이트와 접속된 소스와, 상기 출력 단자에 대해 전기적으로 접속된 드레인을 갖는 제4 N형 트랜지스터와,

상기 제1 P형 트랜지스터의 게이트와 접속된 소스와, 상기 제1 바이어스 전압을 공급하는 노드에 대해 전기적으로 접속된 드레인을 갖는 제5 N형 트랜지스터를 포함하고,

상기 제4 N형 트랜지스터의 게이트에는, 상기 제1 바이어스 전압이 입력되고,

상기 제5 N형 트랜지스터의 게이트는, 상기 출력 단자에 대해 전기적으로 접속되는, 반도체 장치.

청구항 7

제6항에 있어서, 상기 반도체 장치는, 상기 제1 전원 전위가 제1 전위로 설정되는 제1 동작 모드와, 상기 제1 전원 전위가 상기 제1 전위보다도 낮은 제2 전위로 설정되는 제2 동작 모드를 선택적으로 적용받아 동작하고,

상기 게이트 전압 제어 회로는, 상기 제2 동작 모드에 있어서, 상기 제1 P형 트랜지스터의 게이트를 상기 기준 전위 라인과 전기적으로 접속하는 한편, 상기 제1 동작 모드에 있어서, 상기 제1 P형 트랜지스터의 게이트를 상기 기준 전위 라인으로부터 전기적으로 분리하도록 구성된 제1 접속 선택 회로를 더 포함하는, 반도체 장치.

청구항 8

제2항에 있어서, 상기 게이트 전압 제어 회로는,

상기 제1 P형 트랜지스터의 게이트와 접속된 소스와, 상기 출력 단자에 대해 전기적으로 접속된 드레인을 갖는 제4 N형 트랜지스터와,

상기 제1 P형 트랜지스터의 게이트와 접속된 소스와, 상기 제1 바이어스 전압을 공급하는 노드에 대해 전기적으로 접속된 드레인을 갖는 제5 N형 트랜지스터를 포함하고,

상기 제4 N형 트랜지스터의 게이트에는, 상기 제1 바이어스 전압이 입력되고,

상기 제5 N형 트랜지스터의 게이트는, 상기 제1 P형 트랜지스터의 소스에 대해 전기적으로 접속되는, 반도체 장치.

청구항 9

제4항에 있어서, 상기 게이트 전압 제어 회로는,

상기 제1 N형 트랜지스터의 게이트와 접속된 소스와, 상기 출력 단자에 대해 전기적으로 접속된 드레인을 갖는 제4 P형 트랜지스터와,

상기 제1 N형 트랜지스터의 게이트와 접속된 소스와, 상기 제2 바이어스 전압을 공급하는 노드에 대해 전기적으로 접속된 드레인을 갖는 제5 P형 트랜지스터를 포함하고,

상기 제4 P형 트랜지스터의 게이트에는, 상기 제2 바이어스 전압이 입력되고,

상기 제5 P형 트랜지스터의 게이트는, 상기 출력 단자에 대해 전기적으로 접속되는, 반도체 장치.

청구항 10

제9항에 있어서, 상기 반도체 장치는, 상기 제1 전원 전위가 제1 전위로 설정되는 제1 동작 모드와, 상기 제1 전원 전위가 상기 제1 전위보다도 낮은 제2 전위로 설정되는 제2 동작 모드를 선택적으로 적용받아 동작하고,

상기 게이트 전압 제어 회로는, 상기 제2 동작 모드에 있어서, 상기 제1 N형 트랜지스터의 게이트를, 상기 제2 바이어스 전압을 공급하는 노드와 전기적으로 접속하는 한편, 상기 제1 동작 모드에 있어서, 상기 제1 N형 트랜지스터의 게이트를 당해 노드로부터 전기적으로 분리하도록 구성된 제2 접속 선택 회로를 더 포함하는, 반도체

장치.

청구항 11

제4항에 있어서, 상기 게이트 전압 제어 회로는,

상기 제1 N형 트랜지스터의 게이트와 접속된 소스와, 상기 출력 단자에 대해 전기적으로 접속된 드레인을 갖는 제4 P형 트랜지스터와,

상기 제1 N형 트랜지스터의 게이트와 접속된 소스와, 상기 제2 바이어스 전압을 공급하는 노드에 대해 전기적으로 접속된 드레인을 갖는 제5 P형 트랜지스터를 포함하고,

상기 제4 P형 트랜지스터의 게이트에는, 상기 제2 바이어스 전압이 입력되고,

상기 제5 P형 트랜지스터의 게이트는, 상기 제1 N형 트랜지스터의 소스에 대해 전기적으로 접속되는, 상기 출력 단자에 대해 전기적으로 접속되는, 반도체 장치.

청구항 12

제1항에 있어서, 상기 반도체 장치는, 상기 제1 전원 전위가 제1 전위로 설정되는 제1 동작 모드와, 상기 제1 전원 전위가 상기 제1 전위보다도 낮은 제2 전위로 설정되는 제2 동작 모드를 선택적으로 적용받아 동작하고,

상기 게이트 전압 제어 회로는, 상기 입력 신호의 논리 레벨의 변화에 따라 상기 출력 신호의 전압이 변화할 때에, 상기 제1 동작 모드에서는, 상기 출력 단자의 전압의 변화에 추종시켜 상기 제1 N형 트랜지스터의 게이트 전압 및 상기 제1 P형 트랜지스터의 게이트 전압 중 적어도 한쪽을 변화시키는 한편, 상기 제2 동작 모드에서는, 상기 출력 단자의 전압에 관계없이 상기 제1 N형 트랜지스터 및 상기 제1 P형 트랜지스터의 게이트 전압을 고정하도록 동작하는, 반도체 장치.

청구항 13

제1항에 있어서, 상기 반도체 장치는,

상기 제1 P형 트랜지스터 및 상기 전원 라인 사이에 상기 제2 P형 트랜지스터와 직렬로 접속되는 제3 P형 트랜지스터와,

상기 제1 N형 트랜지스터 및 상기 기준 전위 라인 사이에 상기 제2 N형 트랜지스터와 직렬로 접속되는 제3 N형 트랜지스터를 더 구비하고,

상기 제3 P형 트랜지스터 및 상기 제3 N형 트랜지스터의 게이트에는, 상기 제3 P형 트랜지스터 및 상기 제3 N형 트랜지스터를 온하기 위한 상기 기준 전위 및 상기 제1 전원 전위의 전위차보다도 낮은 바이어스 전압이 입력되는, 반도체 장치.

청구항 14

제1항에 있어서, 상기 입력 신호는, 상기 기준 전위, 또는, 상기 제1 전원 전위보다도 낮은 제2 전원 전위로 설정되고,

상기 제1 및 제2 P형 트랜지스터, 그리고, 상기 제1 및 제2 P형 트랜지스터의 각각의 내압은, 상기 제2 전원 전위 및 상기 기준 전위의 전위차 이상인, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 개시는, 반도체 장치에 관한 것이고, 특히 트랜지스터의 내압보다도 높은 전압 진폭을 갖는 신호를 출력하기 위한 반도체 장치에 관한 것이다.

배 경 기 술

[0002] 레벨 시프트 회로를 구비하는 반도체 장치에서는, 저진폭의 논리 신호를 입력으로 하여, 고진폭의 논리 신호를 출력하는 회로가, 저진폭에 대응하는 내압을 갖는 트랜지스터를 사용하여 구성되는 예가 알려져 있다. 예를 들

어, 0[V](GND) 또는 1.8[V]로 설정되는 입력 신호에 응답하여, 0[V](GND) 또는 3.3[V]으로 설정되는 출력 신호가 생성되는 반도체 장치가, 1.8[V] 내압의 트랜지스터에 의해 구성되는 예가 알려져 있다.

[0003] 일본 특허 공개 제2017-175288호 공보(특허문헌 1)에서는, 출력단에 있어서, 고전압의 전원 단자와, 출력 신호가 생성되는 출력 단자 사이, 및 당해 출력 단자와 접지 단자 사이의 각각에, 저내압의 트랜지스터를 2개 직렬 접속함으로써 내압을 확보하는 회로 구성이 제시된다. 또한, 특허문헌 1에서는, 출력단을 구성하는 저내압의 트랜지스터의 게이트에 대해, 전위 변환 회로를 경유하여 턴 온 시의 전압이 공급된다. 이것에 의해, 저내압 트랜지스터의 턴 온 시에 인가되는 게이트 소스 간 전압이 낮게 억제된다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특허 공개 제2017-175288호 공보

발명의 내용

해결하려는 과제

[0005] 특허문헌 1의 반도체 장치에서는, 저내압의 트랜지스터 턴 온 시에 과도적인 드레인 소스 간 전압을 억제함으로써, 핫 캐리어 열화를 억제할 수 있다.

[0006] 그러나, 특허문헌 1의 기술에서는, 게이트 소스 간 전압을 낮게 억제함으로써, 트랜지스터의 턴 온 시의 동작 속도가 저하된다. 즉, 핫 캐리어 열화 억제와, 동작 속도 향상이 트레이드 오프의 관계에 있음이 이해된다.

[0007] 이 때문에, 핫 캐리어 열화가 큰 첨단 프로세스로 제작된 반도체 장치에 특허문헌 1의 기술을 적용한 경우에는, 핫 캐리어 열화를 억제할 수 있도록 게이트 전압을 조정하면, 트랜지스터의 동작 속도의 저하가 현저해져, 고속 응답성이 요구되는 회로에 대한 적용에 문제가 생길 것이 우려된다.

[0008] 본 개시는, 상기 과제를 해결하기 위한 것이며, 트랜지스터의 내압보다도 높은 전압 진폭의 출력 전압을 생성할 때에, 동작 속도를 저하시키지 않고 핫 캐리어 열화를 억제하는 것이 가능한 반도체 기억 장치를 제공한다.

[0009] 그 밖의 과제와 신규의 특징은, 본 명세서의 기술 및 첨부 도면으로부터 밝혀질 것이다.

과제의 해결 수단

[0010] 일 실시 형태에 의한 반도체 장치는, 입력 신호보다도 전압 진폭이 큰 출력 신호를 생성하는 반도체 장치이며, 제1 P형 트랜지스터, 제2 P형 트랜지스터, 제1 N형 트랜지스터, 제2 N형 트랜지스터, 및 게이트 전압 제어 회로를 구비한다. 제1 P형 트랜지스터 및 제2 P형 트랜지스터는, 제1 전원 전위를 공급하는 전원 라인과 출력 신호가 생성되는 출력 단자 사이에 직렬 접속된다. 제1 N형 트랜지스터 및 제2 N형 트랜지스터는, 기준 전위를 공급하는 기준 전위 라인과 출력 단자 사이에 직렬 접속된다. 제1 N형 트랜지스터 및 제1 P형 트랜지스터는, 출력 단자에 대해 전기적으로 접속된 드레인을 갖는다. 제2 N형 트랜지스터 및 제2 P형 트랜지스터의 게이트에는, 입력 신호에 따라, 제2 N형 트랜지스터 및 제2 P형 트랜지스터를 상보적으로 온/오프하기 위한 신호가 각각 입력된다. 게이트 전압 제어 회로는, 출력 단자의 전압에 따라 제1 P형 트랜지스터 및 제1 N형 트랜지스터의 게이트 전압을 변화시킨다. 게이트 전압 제어 회로는, 입력 신호의 논리 레벨의 변화에 따라 출력 신호의 전압이 변화할 때에, 제1 P형 트랜지스터 또는 제1 N형 트랜지스터의 온을 유지한 후에, 출력 단자의 전압의 변화에 추종시켜, 제1 N형 트랜지스터의 게이트 전압 및 제1 P형 트랜지스터의 게이트 전압 중 적어도 한쪽을 변화시키도록 구성된다.

발명의 효과

[0011] 상기 실시 형태에 따르면, 트랜지스터의 내압보다도 높은 전압 진폭의 출력 전압을 생성하는 반도체 장치에 있어서, 동작 속도를 저하시키지 않고 핫 캐리어 열화를 억제할 수 있다.

도면의 간단한 설명

[0012] 도 1은, 제1 비교예에 관한 반도체 장치의 구성을 설명하는 회로도이다.

도 2는, 도 1에 도시된 반도체 장치의 과도 동작 파형도이다.

도 3은, 도 1에 도시된 반도체 장치의 변형예의 과도 동작 파형도이다.

도 4는, 제2 비교예에 관한 반도체 장치의 구성을 설명하는 회로도이다.

도 5는, 실시 형태 1에 관한 반도체 장치의 구성을 설명하는 회로도이다.

도 6은, 중간 전위 발생 회로의 구성예를 설명하는 회로도이다.

도 7은, 실시 형태 1에 관한 반도체 장치의 과도 동작 파형도이다.

도 8은, 실시 형태 2에 관한 반도체 장치의 구성을 설명하는 회로도이다.

도 9는, 실시 형태 3에 관한 반도체 장치의 구성을 설명하는 회로도이다.

도 10은, 본 실시 형태에 관한 반도체 장치의 변형예의 구성을 설명하는 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 각 실시 형태에 대해 도면을 참조하여 상세히 설명한다. 또한, 동일 또는 상당하는 부분에는 동일한 참조 부호를 붙여, 그 설명을 거듭하지 않는다.

[0014] <비교예의 설명>

[0015] 도 1은, 제1 비교예에 관한 반도체 장치(100A)의 구성을 설명하는 회로도이다.

[0016] 도 1을 참조하여, 제1 비교예에 관한 반도체 장치(100A)는, 입력 노드 Ni의 입력 신호 VIN에 따른 논리 레벨을 갖는 출력 신호를, 출력 단자(13)에 출력한다. 입력 신호 VIN은, 논리 로우 레벨(이하, 「L 레벨」)에서는 기준 전위인 접지 전위 GND로 설정되는 한편, 논리 하이 레벨(이하, 「H 레벨」)에서는 저전원 전위 VCCQ로 설정되는 2치 신호이다.

[0017] 한편, 출력 신호는, L 레벨에서는 접지 전위 GND로 설정됨과 함께, H 레벨에서는, 저전원 전위 VCCQ보다도 높은 고전원 전위 VCCQH로 설정된다. 즉, 출력 신호의 진폭은, 입력 신호 VIN의 진폭보다도 크다. 일례로서, 저전원 전위 VCCQ은 1.8[V]이고, 고전원 전위 VCCQH는 3.3[V]이다.

[0018] 또한, 이하에서는, 출력 단자(13)의 전압값을 출력 전압 VOUT라 칭한다. 따라서, 출력 신호가 H 레벨일 때, VOUT=VCCQH(3.3[V])이고, 출력 신호가 L 레벨일 때, VOUT=GND(0[V])이다. 또한, 출력 신호가 H 레벨에서 L 레벨, 또는, L 레벨에서 H 레벨로 변화할 때에는, 출력 전압 VOUT는, 과도적으로, 접지 전위 GND(0[V]) 및 고전원 전위 VCCQH(3.3[V]) 사이에서 변화한다.

[0019] 반도체 장치(100A)는, 특허문헌 1과 마찬가지로 구성되어 있고, 인버터(15)와, 레벨 시프트 회로(20)와, 전위 변환 회로(21, 22)와, 출력단을 구성하는 P형의 트랜지스터 MP1, MP2 및 N형의 트랜지스터 MN1, MN2를 포함한다. 트랜지스터 MP1, MP2, MN1, MN2는, 저전원 전위 VCCQ 상당(여기서는, 1.8[V])의 내압을 갖는다. 즉, 트랜지스터 MP1, MP2, MN1, MN2의 내압은, 고전원 전위 VCCQH 및 접지 전위 GND의 전위차보다 낮다.

[0020] 인버터(15)는, 저전원 전위 VCCQ을 받아 동작하여, 입력 신호 VIN을 반전한 인버터 출력 신호 VINV를 출력한다. 입력 신호 VIN이 논리 로우 레벨(이하, 「L 레벨」)일 때 VINV=VCCQ이고, 입력 신호 VIN이 논리 하이 레벨(이하, 「H 레벨」)일 때 VINV=GND이다.

[0021] 레벨 시프트 회로(20)는, 입력 신호 VIN을 반전한 레벨 시프트 신호 VLFP을 출력한다. 레벨 시프트 회로(20)는, 입력 신호 VIN이 L 레벨일 때 VLFP=VCCQH로 설정하는 한편, 입력 신호 VIN이 H 레벨일 때 VLFP=(1/2)·VCCQH로 설정한다.

[0022] 전위 변환 회로(21)는, 인버터(15)로부터의 인버터 출력 신호 VINV의 전위를 변환한 게이트 전압 신호 VNG2를, 트랜지스터 MN2의 게이트에 출력한다. 전위 변환 회로(21)는, 게이트에 저전원 전위 VCCQ가 입력되어, NMOS 트랜스퍼 게이트로서 기능하는 N형의 트랜지스터 MN5를 갖는다. 인버터 출력 신호 VINV의 진폭이 GND 내지 VCCQ인 한편, 전위 변환 회로(21)로부터 출력되는 게이트 전압 신호 VNG2의 진폭은, GVD 내지 VCCQ-Vtn으로 된다. 여기서, Vtn은, 트랜지스터 MN5의 역치 전압이다.

[0023] 마찬가지로, 전위 변환 회로(22)는, 레벨 시프트 회로(20)로부터의 레벨 시프트 신호 VLFP의 전위를 변환한 게이트 전압 신호 VPG2를, 트랜지스터 MP2의 게이트에 출력한다. 전위 변환 회로(22)는, 게이트에 저전원 전위 VCCQ가 입력되어, PMOS 트랜스퍼 게이트로서 기능하는 P형의 트랜지스터 MP5를 갖는다. 레벨 시프트 신호 VLFP의 과도 상태의 진폭이 (1/2)·VCCQH 내지 VCCQH인 한편, 전위 변환 회로(22)로부터 출력되는 게이트 전압 신호 VPG2의 진폭은, (1/2)·VCCQH+Vtp 내지 VCCQH로 된다. 여기서, Vtp는, 트랜지스터 MP5의 역치 전압이다.

[0024] 출력단에 있어서, P형의 트랜지스터 MP1 및 MP2는, 출력 단자(13)와 접속된 출력 노드 No와, 전원 단자(11)와 접속된 전원 라인 PL 사이에, 노드 NP1을 통해 직렬 접속된다. 즉, 트랜지스터 MP2의 소스는 전원 라인 PL과 접속되고, 드레인은 노드 NP1과 접속된다. 트랜지스터 MP1의 소스는, 노드 NP1과 접속되고, 드레인은 출력 노드 No와 접속된다.

[0025] 마찬가지로, N형의 트랜지스터 MN1 및 MN2는, 출력 노드 No와, 접지 단자(12)와 접속된 접지 라인 GL 사이에, 노드 NN1을 통해 직렬 접속된다. 즉, 트랜지스터 MN2의 소스는 접지 라인 GL과 접속되고, 드레인은 노드 NN1과 접속된다. 트랜지스터 MN1의 소스는, 노드 NN1과 접속되고, 드레인은 출력 노드 No와 접속된다.

[0026] 트랜지스터 MP1의 게이트에는, 바이어스 전압 VREFP이 입력되고, 트랜지스터 MN1의 게이트에는, 바이어스 전압 VREFN이 입력된다. 바이어스 전압 VREFP, VREFN은, 트랜지스터 MP1, MN1을 온 가능한, 접지 전위 GND 및 고전원 전위 VCCQH의 중간 전위로 설정된다. 예를 들어, VREFN=VCCQ, VREFP=(1/2)·VCCQH로 설정된다.

[0027] 트랜지스터 MP2의 게이트에는, 전위 변환 회로(21)로부터의 게이트 전압 신호 VPG2가 입력된다. 트랜지스터 MN2의 게이트에는, 전위 변환 회로(22)로부터의 게이트 전압 신호 VNG2가 입력된다.

[0028] 입력 신호 VIN이 L 레벨(GND)일 때에는, 인버터(15)가 H 레벨을 출력함(VINV=VCCVQ)과 함께, 레벨 시프트 회로(20)가 H 레벨(VLFP=VCCQH)을 출력한다. 이 때문에, VPG2=VCCQH가 트랜지스터 MP2의 게이트에 입력됨과 함께, VNG2=VCCQ-Vtn이 트랜지스터 MN2의 게이트에 입력된다. 이 결과, 트랜지스터 MP2가 오프되는 한편, 트랜지스터 MN2가 온되기 때문에, 출력 노드 No에는 접지 전위 GND가 전달되어, 출력 신호는 L 레벨로 된다(VOUT=GND).

[0029] 반대로, 입력 신호 VIN이 H 레벨(VCCQ)일 때에는, 인버터(15)가 L 레벨을 출력함(VINV=GND)과 함께, 레벨 시프트 회로(20)가 L 레벨(VLFP=(1/2)·VCCQH를 출력한다. 이 때문에, VPG2=(1/2)·VCCQH+Vtp가 트랜지스터 MP2의 게이트에 입력됨과 함께, VNG2=GND가 트랜지스터 MN2의 게이트에 입력된다. 이 결과, 트랜지스터 MN2가 오프되는 한편, 트랜지스터 MP2가 온되기 때문에, 출력 노드 No에는 고전원 전위 VCCQH가 전달되어서, 출력 신호는 H 레벨로 된다(VOUT=VCCQH).

[0030] 이와 같이, 반도체 장치(100A)는, 저진폭(GND 내지 VCCQ)의 논리 신호(입력 신호 VIN)를 입력으로 하여, 고진폭(GND 내지 VCCQH)의 논리 신호(출력 전압 VOUT)를 출력할 수 있다.

[0031] 도 2에는, 도 1에 도시된 반도체 장치(100A)의 과도 동작 파형도, 구체적으로는, 입력 신호 VIN이 H 레벨에서 L 레벨로 변화할 때의 과도적인 동작 파형도가 도시된다.

[0032] 도 2를 참조하여, 입력 신호 VIN이 H 레벨(VCCQ=1.8[V])에서 L 레벨(GND=0[V])로 변화하면, 상술한 바와 같이, 게이트 전압 신호 VPG2는, L 레벨((1/2)·VCCQH+Vtp≒2.0[V])에서 H 레벨(VCCQH=3.3[V])로 변화한다. 또한, 게이트 전압 신호 VNG2는, L 레벨(GND=0[V])에서 H 레벨(VCCQ-Vtn≒1.0[V])로 상승한다.

[0033] 게이트 전압 신호 VNG2, VPG2의 변화에 따라, 출력단에서는, 트랜지스터 MP2가 턴 오프되는 한편, 트랜지스터 MN2가 턴 온된다. 이에 따라, 출력 단자(13)의 출력 전압 VOUT는, H 레벨(VCCQH=3.3[V])에서 L 레벨(GND=0[V])로 변화한다.

[0034] 출력 전압 VOUT가 저하될 때에는, 턴 온되는 트랜지스터 MN1, MN2의 드레인 소스 간 전압 Vds1n, Vds2n이 과도적으로 커질 것이 우려된다. 트랜지스터 MN1 및 MN2의 접속 노드에 대응하는 노드 NN1의 전위 VNN1은, 출력 신호가 H 레벨(VOUT=VCCQH)인 기간에서는, 트랜지스터 MN1의 게이트에 입력되는 바이어스 전압 VREFN과 동등하다. VREFN=VCCQ=1.8[V]로 하면, 트랜지스터 MN1에서는, Vds1n=VCCQH-VCCQ=1.5[V] 정도이고, 트랜지스터 MN1에서는, Vds1n=VREFN=1.8[V] 정도이다. 이때, Vds1n, Vds2n 모두, 트랜지스터 MN1, MN2의 내압 레벨(1.8[V]) 이하이다.

[0035] 이에 비해, 도 2에 나타낸 바와 같이, 게이트 전압 신호 VNG2가 상승하는 과정에서는, 노드 NN1의 전위 VNN1이, 출력 전압 VOUT보다도 먼저 저하되기 때문에, 트랜지스터 MN1의 Vds1n이 과도적으로 커진다. 반도체 장치(100A)에서는, 전위 변환 회로(21)에 의해 트랜지스터 MN2의 게이트 전압 신호 VNG2를 생성함으로써, 트랜지스

터 MN1의 Vds1n의 과도적인 상승량을 억제하고 있다.

[0036] 도 3에는, 반도체 장치(100A)로부터 전위 변환 회로(21, 22)의 배치를 생략한 경우에 있어서의, 도 2와 마찬가지의 동작 파형도가 도시된다.

[0037] 도 3에 나타난 바와 같이, 전위 변환 회로(21, 22)가 배치되지 않는 경우에는, 게이트 전압 신호 VPG2는, 1.8[V](L 레벨: (1/2)·VCCQH)에서 3.3[V](H 레벨: VCCQH)까지, 도 2보다도 고속으로 상승한다. 마찬가지로, 게이트 전압 신호 VNG2는, 0[V](L 레벨: GND)에서 1.8[V](H 레벨: VCCQ)까지, 도 2보다도 고속으로 상승한다.

[0038] 이에 따라, 도 3에서는, 트랜지스터 MN2의 턴 온 동작이 빨라지므로, 노드 NN1의 전위 VNN1의 저하량이 도 2와 비교하여 커진다. 이 결과, 도 3에서는, 도 2와 비교하여, 과도적으로 트랜지스터 MN1의 Vds1n이 과대해져, 내압 레벨(1.8[V])을 초과하여 2.5[V] 정도까지 상승하고 있다. 이 결과, 트랜지스터 MN1에서의 핫 캐리어 열화가 우려된다.

[0039] 달리 말하면, 제1 비교예에 관한 반도체 장치(100A)에서는, 전위 변환 회로(21, 22)를 마련함으로써, 턴 온 시에 있어서의 트랜지스터 MN1의 게이트 소스 간 전압(도 1 중의 Vga2n)을 낮게 함으로써, 노드 NN1의 전위 VNN1의 변화를 완만히 할 수 있다. 이것에 의해, 트랜지스터 MN1의 과도적인 Vds1n을, 도 3과 비교하여 저하시킴으로써, 이 결과, 핫 캐리어 열화를 억제하는 것이 가능하게 되어 있다.

[0040] 한편, 도 3과 도 2의 비교로부터 이해되는 바와 같이, 게이트 소스 간 전압을 억제한 결과, 트랜지스터의 턴 온 속도가 저하되므로, 출력 전압 VOUT의 레벨 천이(도 2 및 도 3에서는, H 레벨에서 L 레벨)에 요하는 시간은, 도 2에서는 증대되어 있다. 즉, 핫 캐리어 열화의 억제를 대가로 하여, 반도체 장치(100A)의 동작 속도가 저하되어 있음이 이해된다.

[0041] 도 4에는, 제2 비교예에 관한 반도체 장치의 구성을 설명하는 회로도가 도시된다. 도 2에서는, 동작 속도의 저하를 회피하기 위해, 도 2에서의 전위 변환 회로(21, 22)는 배치되지 않고, 출력단에서의 직렬 접속되는 트랜지스터 개수를 증가시킴으로써, 트랜지스터 1개당 드레인 소스 간 전압의 저하를 도모하는 것이다.

[0042] 도 4를 참조하여, 제2 비교예에 관한 반도체 장치(100B)는, 출력단을 구성하는 P형의 MP0 내지 MP2와, N형의 트랜지스터 MN0 내지 MN2를 포함한다. 도 4에 있어서도, 저전원 전위 VCCQ 및 고전원 전위 VCCQH는, 도 2와 공통의 레벨로 한다. 출력단을 구성하는 트랜지스터 MN0 내지 MN2 및 MP0 내지 MP2의 각각의 내압은, 상술한 바와 같이, 저전원 전위 VCCQ 상당(1.8[V])이고, 고전원 전위 VCCQH 및 접지 전위 GND의 전위차보다 낮다.

[0043] P형의 트랜지스터 MP0 내지 MP2는, 출력 노드 No 및 전원 라인 PL 사이에, 노드 NP1, NP2를 통해 직렬 접속된다. 구체적으로는, 트랜지스터 MP0의 드레인은 출력 노드 No(출력 단자(13))와 접속되고, 소스는 노드 NP1과 접속된다. 트랜지스터 MP1의 소스는 노드 NP2와 접속되고, 드레인은 노드 NP1과 접속된다. 또한, 트랜지스터 MP2의 소스는 전원 라인 PL과 접속되고, 드레인은 노드 NP2와 접속된다.

[0044] N형의 트랜지스터 MN0 내지 MN2는, 출력 노드 No 및 접지 라인 GL 사이에, 노드 NN1, NN2를 통해 직렬 접속된다. 구체적으로는, 트랜지스터 MN0의 드레인은 출력 노드 No와 접속되고, 소스는 노드 NN1과 접속된다. 트랜지스터 MN1의 드레인은 노드 NN1과 접속되고, 소스는 노드 NN2와 접속된다. 또한, 트랜지스터 MP2의 소스는 접지 라인 GL과 접속되고, 드레인은 노드 NN2와 접속된다.

[0045] 트랜지스터 MP0의 게이트에는, 고정된 바이어스 전압 VREFP0이 입력되고, 트랜지스터 MP1의 게이트에는, 고정된 바이어스 전압 VREFP1이 입력된다. 예를 들어, VREFP0=VREFP1=0.5·VCCQH로 설정된다. 트랜지스터 MP2의 게이트에는, 전위 변환 회로(22)(도 1)를 경유하지 않고, 도 1의 레벨 시프트 회로(20)의 출력 신호(VLFP)가 입력된다. 즉, 트랜지스터 MP2의 게이트 전압 신호 VPG2는, (1/2)·VCCQH 내지 VCCQH의 진폭, 즉, (1/2)·3.3[V] 내지 3.3[V]의 진폭을 갖는다.

[0046] 트랜지스터 MN0의 게이트에는, 고정된 바이어스 전압 VREFN0이 입력되고, 트랜지스터 MN1의 게이트에는, 고정된 바이어스 전압 VREFN1이 입력된다. 예를 들어, VREFN0=VREFN1=VCCQ로 설정된다. 트랜지스터 MN2의 게이트에는, 전위 변환 회로(21)(도 1)를 경유하지 않고, 도 1의 인버터(15)의 출력 신호(VINV)가 입력된다. 즉, 트랜지스터 MN2의 게이트 전압 신호 VNG2는, GND 내지 VCCQ의 진폭, 즉, 0[V] 내지 1.8[V]의 진폭을 갖는다.

[0047] 반도체 장치(100B)에 있어서, 입력 신호 VIN의 논리 레벨 변화에 따라, 게이트 전압 신호 VNG2이 0[V]에서 1.8[V](저전원 전위 VCCQ)로 변화하여, 출력 전압 VOUT가 3.3[V]에서 0[V](VCCQH)으로 저하될 때의 트랜지스터

MN0 내지 MN2의 동작에 대해 고찰한다.

[0048] 먼저, VREFN0=VREFN1, 예를 들어, 양자를 1.8[V]로 한 제1 케이스를 생각하자. 제1 케이스에서는, 인버터(15)의 출력 전압(VNG2)의 상승에 따라 출력 전압 VOUT가 H 레벨에서 L 레벨로 변화할 때에는, 트랜지스터 MN2, 트랜지스터 MN1이 순으로 턴 온된다. 이 때문에, 노드 NN1의 전위 저하에 의해, 출력 단자(13) 측의 트랜지스터 MN0의 드레인 소스 간 전압 Vds0n이 커지기 때문에, 당해 트랜지스터 MN0의 핫 캐리어 열화가 커진다.

[0049] 다음으로, VREFN0>VREFN1, 예를 들어, VREFN0=2.2[V], VREFN1=1.8[V]로 한 제2 케이스를 생각하자. 제2 케이스에서는, VREFN0이 게이트에 입력되는 트랜지스터 MN0의 게이트 소스 간 전압 Vgs0n을 크게 함으로써, 노드 NN1의 전위가, 상술한 제1 케이스보다도 높아진다. 이것에 의해, 트랜지스터 MN0의 드레인 소스 간 전압 Vds0n, 즉, 핫 캐리어 열화는, 제1 케이스보다도 억제된다. 그러나, 제2 케이스에서는, 출력 단자(13)의 출력 전압 VOUT가 0[V]까지 저하될 때에, 1.8[V] 내압의 트랜지스터 MN0의 드레인 게이트 간에, 2.2[V]의 과전압이 인가될 것이 우려된다. 거꾸로 말하면, 제1 케이스에서는, 출력 전압 VOUT가 0[V]까지 저하되더라도 트랜지스터 MN0의 드레인 게이트 간에 과전압이 인가되어 않도록, 트랜지스터 MN0의 게이트 전압(VREFN0)이 설정되어 있다.

[0050] 상술한 바와 같이, 제2 비교예에 관한 반도체 장치(100B)에서는, 드레인이 출력 단자(13)와 접속된 트랜지스터 MN0, NP0에 대해, 내압을 초과하지 않고, 또한 핫 캐리어 열화를 억제하기 위한 게이트 전압의 설정이 새로운 과제가 됨을, 발명자들은 알아낸 것이다.

[0051] <제1 실시 형태>

[0052] 도 5는, 실시 형태 1에 관한 반도체 장치(101A)의 구성을 설명하는 회로도이다.

[0053] 도 5에 도시된 바와 같이, 반도체 장치(101A)는, 레벨 시프트 회로(20)와, 게이트 전압 제어 회로(110)와, N형의 트랜지스터 MN0 내지 MN2 및 P형의 트랜지스터 MP0 내지 MP0을 포함한다.

[0054] 트랜지스터 MN0 내지 MN2, MP0 내지 MP0은, 제2 비교예에 관한 반도체 장치(100B)와 마찬가지의 출력단을 구성한다. 즉, 출력 단자(13) 및 접지 라인 GL 사이에 직렬 접속된 N형의 트랜지스터 MN0 내지 MN2 중, 트랜지스터 MN0이, 가장 출력 단자(13) 측에 배치되어, 출력 단자(13)와 전기적으로 접속된 드레인을 갖는다. 트랜지스터 MN0 내지 MN2 및 MP0 내지 MP2의 각각의 내압에 대해서도, 도 4에서 설명한 것과 마찬가지이다.

[0055] 마찬가지로, 출력 단자(13) 및 전원 라인 PL 사이에 직렬 접속된 P형의 트랜지스터 MP0 내지 MP2 중, 트랜지스터 MP0이, 가장 출력 단자(13) 측에 배치되어, 출력 단자(13)와 전기적으로 접속된 드레인을 갖는다.

[0056] 트랜지스터 MP2의 게이트에는, 도 1과 마찬가지의 레벨 시프트 회로(20)의 출력 전압이, 게이트 전압 신호 VPG2로서 입력된다. 따라서, 트랜지스터 MP2의 게이트에는, 입력 신호 VIN이 L 레벨(GND=0[V])일 때에는, VCCQH(3.3[V])가 입력되고, 입력 신호 VIN이 H 레벨(VCCQ=1.8[V])일 때에는, (1/2)·VCCQH(1.65[V])가 입력된다.

[0057] 트랜지스터 MN2의 게이트에는, 도 1과 마찬가지의 인버터(15)의 출력 신호(VINV)가 게이트 전압 신호 VGN0으로서 입력된다. 즉, 트랜지스터 MN2의 게이트에는, 입력 신호 VIN이 L 레벨일 때에는 저전원 전위 VCCQ가 입력되고, 입력 신호 VIN이 H 레벨일 때에는 접지 전위 GND가 입력된다. 이와 같이, 트랜지스터 MN2 및 MP2의 게이트에는, 입력 신호 VIN에 따라 당해 트랜지스터 MN2 및 MP2를 상보적으로 온/오프하기 위한 신호가 각각 입력된다.

[0058] 도 5에 있어서, 트랜지스터 MP0은 「제1 P형 트랜지스터」, 트랜지스터 MP2는 「제2 P형 트랜지스터」, 트랜지스터 MP1은 「제3 P형 트랜지스터」의 일 실시예에 각각 대응한다. 마찬가지로, 트랜지스터 MN0은 「제1 N형 트랜지스터」, 트랜지스터 MN2는 「제2 N형 트랜지스터」, 트랜지스터 MN1은 「제3 N형 트랜지스터」의 일 실시예에 각각 대응한다. 또한, 접지 전위 GND는 「기준 전위」, 고전원 전위 VCCQH는 「제1 전원 전위」, 저전원 전위 VCCQ은 「제2 전원 전위」의 일 실시예에 각각 대응하고, 접지 라인 GL은 「기준 전위 라인」의 일 실시예에 대응한다.

[0059] 반도체 장치(101A)에 있어서도, 입력 신호 VIN이 H 레벨(VCCQ=1.8[V])일 때에는, 트랜지스터 MP0 내지 MP2의 온에 의해, 출력 단자(13)는 전원 단자(11)와 전기적으로 접속되어, 출력 전압 VOUT=VCCQH(3.3[V])로 설정된다. 한편, 입력 신호 VIN이 L 레벨(GND=0[V])일 때에는, 트랜지스터 MN0 내지 MN2의 온에 의해, 출력 단자(13)는 접지 단자(12)와 전기적으로 접속되어, 출력 전압 VOUT=GND(0[V])로 설정된다.

[0060] 트랜지스터 MP1의 게이트에는, 트랜지스터 MP1을 온하기 위한 바이어스 전압 VREFP이 입력되고, 트랜지스터 MN1의 게이트에는, 트랜지스터 MN1을 온하기 위한 바이어스 전압 VREFN이 입력된다. 예를 들어, 바이어스 전압 VREFP, VREFN은, 고전원 전위 VCCQH 및 접지 전위 GND의 중간 전위에 대응하여 설정된다. 예를 들어, 바이어스 전압 VREFP, VREFN은, 도 6에 도시되는 중간 전위 발생 회로(120)에 의해 생성할 수 있다. 바이어스 전압 VREFP은 「제1 바이어스 전압」, 바이어스 전압 VREFN은 「제2 바이어스 전압」의 일 실시예에 각각 대응한다.

[0061] 도 6을 참조하여, 중간 전위 발생 회로(120)는, 전원 라인 PL 및 접지 라인 GL 사이에, 중간 전위 노드 NRFP, NRFN을 통해 직렬 접속된 저항 소자 R2, R3을 갖는다. 이 결과, 중간 전위 노드 NRFP, NRFN에는, 고전원 전위 VCCQH를, 저항 소자 R2 및 R3에 의해 분압한 중간 전위가 생성된다.

[0062] 중간 전위 노드 NRFP의 전위는, 바이어스 전압 VREFP로서, 트랜지스터 MP1의 게이트, 및 게이트 전압 제어 회로(110)에 입력된다. 마찬가지로, 중간 전위 노드 NRFN의 전위는, 바이어스 전압 VREFN으로서, 트랜지스터 MN1의 게이트, 및 게이트 전압 제어 회로(110)에 입력된다. 따라서, 0<VREFN, VREFP<VCCQH(3.3[V])이고, 저항 소자 R2, R3에 의한 분압비에 의해, VREFN, VREFP이 결정된다.

[0063] 또한, 바이어스 전압 VREFN, VREFP은, 공통의 중간 전위 발생 회로(120)에 의해 동일한 전위로 설정되어도 되고, 분압비가 다른 개별의 중간 전위 발생 회로(120)에 의해 다른 전위로 설정되어도 된다.

[0064] 다시 도 5를 참조하여, 게이트 전압 제어 회로(110)는, N형의 트랜지스터 MN11, MN12와, P형의 트랜지스터 MP11, MP12를 갖는다. 게이트 전압 제어 회로(110)는, 출력 단자(13)의 출력 전압 VOUT에 따라, 트랜지스터 MP0의 게이트 전압 신호 VPG0 및 트랜지스터 MN0의 게이트 전압 신호 VNG0을 제어한다.

[0065] 트랜지스터 MN11 및 MN12의 소스는, 트랜지스터 MP0에 게이트 전압 신호 VPG0을 전달하는 노드 NPG0과 전기적으로 접속된다. 트랜지스터 MN11의 드레인은, 저항 소자 R1을 통해 출력 단자(13)에 전기적으로 접속되고, 트랜지스터 MN12의 드레인은, 중간 전위 발생 회로(120)의 중간 전위 노드 NRFP와 전기적으로 접속된다.

[0066] 트랜지스터 MN11의 게이트에는, 중간 전위 발생 회로(120)로부터의 바이어스 전압 VREFP이 입력되고, 트랜지스터 MN12의 게이트는, 저항 소자 R1을 통해 출력 단자(13)에 전기적으로 접속된다. 트랜지스터 MN11은 「제4 N형 트랜지스터」, 트랜지스터 MN12는 「제5 N형 트랜지스터」의 일 실시예에 각각 대응한다.

[0067] 트랜지스터 MP11 및 MP12의 소스는, 트랜지스터 MN0에 게이트 전압 신호 VNG0을 전달하는 노드 NNG0과 전기적으로 접속된다. 트랜지스터 MP11의 드레인은, 저항 소자 R1을 통해 출력 단자(13)에 전기적으로 접속되고, 트랜지스터 MP12의 드레인은, 중간 전위 발생 회로(120)의 중간 전위 노드 NRFN과 전기적으로 접속된다.

[0068] 트랜지스터 MP11의 게이트에는, 중간 전위 발생 회로(120)로부터의 바이어스 전압 VREFN이 입력되고, 트랜지스터 MP12의 게이트는, 저항 소자 R1을 통해 출력 단자(13)에 전기적으로 접속된다. 즉, 트랜지스터 MP11은 「제4 P형 트랜지스터」, 트랜지스터 MP12는 「제5 P형 트랜지스터」의 일 실시예에 각각 대응한다.

[0069] 이것에 의해, 트랜지스터 MN0의 게이트 전압 신호 VNG0은, 트랜지스터 MP11, MP12의 온/오프에 따라, 출력 단자(13)의 출력 전압 VOUT와 바이어스 전압 VREFN의 고저 관계에 따라 제어된다. 구체적으로는, VOUT<VREFN일 때에는, 트랜지스터 MP12의 온에 의해, 게이트 전압 신호 VNG0은, 바이어스 전압 VREFN로 설정된다. 한편, VOUT>VREFN일 때에는, 트랜지스터 MP11의 온에 의해, 게이트 전압 신호 VNG0은, 출력 전압 VOUT에 추종하여 변화하도록 설정된다.

[0070] 마찬가지로, 트랜지스터 MP0의 게이트 전압 신호 VPG0은 트랜지스터 MN11, MN12의 온/오프에 따라, 출력 단자(13)의 출력 전압 VOUT와 바이어스 전압 VREFP의 고저 관계에 따라 제어된다. 구체적으로는, VOUT>VREFP일 때에는, 트랜지스터 MN12의 온에 의해, 게이트 전압 신호 VPG0은, 바이어스 전압 VREFP에 고정된다. 한편, VOUT<VREFP일 때에는, 트랜지스터 MN11의 온에 의해, 게이트 전압 신호 VPG0은, 출력 전압 VOUT에 추종하여 변화하도록 설정된다.

[0071] 이와 같이, 게이트 전압 제어 회로(110)는, 트랜지스터 MP0 또는 MN0을 온 상태로 유지한 후에, 출력 전압 VOUT가 GND 및 VCCQH 사이에서 변화하는 과도 상태에 있어서, 게이트 전압 신호 VNG0 및 VPG0 중 적어도 한쪽이 출력 전압 VOUT에 추종하여 변화하도록 동작한다.

[0072] 다음으로, 반도체 장치(101A)에 있어서, 출력 전압 VOUT=VCCQH(H 레벨)의 상태로부터, 트랜지스터 MN0 내지 MN2의 턴 온에 의해, VOUT=GND(L 레벨)로 변화하는 과도 동작을 설명한다.

[0073] 이 과도 동작에서는, 트랜지스터 MN0의 게이트 전압 신호 VNG0은, 출력 전압 VOUT에 추종하여, 바이어스 전압

VREFN보다도 높은 전압(VOUT=VCCGH)으로부터의 스타트 후에 저하된다. 이것에 의해, 제2 비교예에 관한 반도체 장치(100B)에서 설명한 제2 케이스와 마찬가지로, 트랜지스터 MN2, MN1의 턴 온에 따라 발생하는, 트랜지스터 MN0의 드레인 소스 간 전압 VdsOn을 억제할 수 있다.

[0074] 트랜지스터 MN0 내지 MN2의 턴 온에 따라 출력 전압 VOUT가 더 저하되는 과정에 있어서, VOUT<VREFN으로 되면, 게이트 전압 신호 VNG0은 바이어스 전압 VREFN과 동등하게 설정된다. 따라서, 바이어스 전압 VREFN을 트랜지스터 MN0의 내압 이하로 설정함으로써, 트랜지스터 MN0은, 온 상태를 유지하면서, 제2 비교예에 관한 반도체 장치(100B)에서 설명한 제1 케이스와 마찬가지로 드레인 게이트 간에 과전압이 인가되는 것을 방지할 수 있다.

[0075] 다음으로, 반도체 장치(101A)에 있어서, 출력 전압 VOUT=GND(L 레벨)의 상태로부터, 트랜지스터 MP0 내지 MP2의 턴 온에 의해, VOUT=VCCQH(H 레벨)로 변화하는 과도 동작을 설명한다.

[0076] 이 과도 동작에서는, 트랜지스터 MP0의 게이트 전압 신호 VPG0은, 출력 전압 VOUT에 추종하여, 바이어스 전압 VREFP보다도 낮은 전압(VOUT=GND)으로부터의 스타트 후에 상승한다. 이것에 의해, 트랜지스터 MP2, MP1의 턴 온에 따라 발생하는, 트랜지스터 MP0의 드레인 소스 간 전압 VdsOp를 억제할 수 있다.

[0077] 트랜지스터 MP0 내지 MP2의 턴 온에 따라 출력 전압 VOUT가 더 상승하는 과정에 있어서, VOUT>VREFP로 되면, 게이트 전압 신호 VNG0은 바이어스 전압 VREFP에 고정된다. 따라서, 바이어스 전압 VREFP을 트랜지스터 MP0의 내압 이하로 설정함으로써, 트랜지스터 MN0은, 온 상태를 유지하면서, 드레인 게이트 간에 과전압이 인가되는 경우가 없다.

[0078] 이와 같이, 게이트 전압 제어 회로(110)의 배치에 의해, 드레인이 출력 단자(13)와 전기적으로 접속된 트랜지스터 MN0, NP0에 대해, 제2 비교예에 관한 반도체 장치(100B)에서의 제1 및 제2 케이스의 이점의 양쪽을 향수하는 양태에서, 내압을 초과하지 않고, 핫 캐리어 열화를 억제하도록, 게이트 전압을 제어할 수 있다.

[0079] 실시 형태 1에 관한 반도체 장치(101A)에서는, 트랜지스터 MN2, MP2의 게이트 전압 신호 VPG2, VNG2는, 제1 비교예에 관한 반도체 장치(100A)에서의 전위 변환 회로(21, 22)를 배치하지 않고 생성된다. 즉, 턴 온 시에 있어서의 트랜지스터 MN2, MP2의 게이트 소스 간 전압을 억제함으로써, 동작 속도를 저하하지 않고, 핫 캐리어 열화 억제의 양쪽이 가능해진다.

[0080] 도 7에는, 도 5에 도시된 반도체 장치(101A)의 과도 동작 파형도, 구체적으로는, 입력 신호 VIN이 H 레벨에서 L 레벨로 변화할 때의 과도적인 동작 파형도가 도시된다. 또한, 도 7의 (a)에는, 반도체 장치(101A)의 과도 동작 파형이 도시되는 한편, 도 7의 (b)에는, 반도체 장치(100A)(제1 비교예)의 과도 동작 파형도가 도시된다. 도 7의 (b)는, 도 2의 파형도를, 도 7의 (a)와 동일 시간축 상에서 다시 게재한 것이다.

[0081] 도 7의 (a)에 나타난 바와 같이, 게이트 전압 신호 VPG2는, 도 3과 마찬가지로, 1.8[V](L 레벨: (1/2)·VCCQH)에서 3.3[V](H 레벨: VCCQH)까지, 도 2보다도 고속으로 상승하고 있다. 마찬가지로, 게이트 전압 신호 VNG2는, 0[V](L 레벨: GND)에서 1.8[V](H 레벨: VCCQ)까지, 도 7의 (b)보다도 고속으로 상승하고 있다. 따라서, 도 7의 (a)에서는, 도 7의 (b)와 비교하여, 트랜지스터 MN2의 턴 온 동작이 빠르고, 출력 전압 VOUT의 변화 속도도 높은 것이 이해된다.

[0082] 또한, 도 7의 (a)에서는, 게이트 전압 신호 VNG2가 상승할 때에, 게이트 전압 제어 회로(110)에 의해, 게이트 전압 신호 VNG0은, 출력 전압 VOUT에 추종하여 VREFN(1.8[V])보다도 높게 설정되어 있다. 이 결과, 트랜지스터 MN0의 온 저항을 감소시킴으로써, 노드 NN1의 전위(VNN1)의 저하량을 억제하여, 트랜지스터 MN0의 과도적인 드레인 소스 간 전압 VdsOn을, 도 7의 (b)에서의 Vds1n과 동등 이하로 저감할 수 있다. 이것에 의해, 제1 비교예와 마찬가지로 핫 캐리어 열화를 억제할 수 있다.

[0083] 이와 같이, 실시 형태 1에 관한 반도체 장치(101A)에 의하면, 트랜지스터의 내압(여기서는 1.8[V])보다도 높은 전압 진폭(여기서는, 3.3[V])의 출력 전압을 생성할 때에, 제1 비교예(반도체 장치(100A))와 같이 동작 속도를 저하시키지 않고, 제1 비교예(반도체 장치(100A))와 마찬가지로 핫 캐리어 열화를 억제할 수 있다.

[0084] <제2 실시 형태>

[0085] 도 8은, 실시 형태 2에 관한 반도체 장치(101B)의 구성을 설명하는 회로도이다.

[0086] 도 8 및 도 5를 참조하여, 반도체 장치(101B)는, 실시 형태 1에 관한 반도체 장치(100A)(도 5)와 비교하여, 게이트 전압 제어 회로(110)에 있어서의, 트랜지스터 MN12 및 MP12의 게이트의 접속처가 다르다. 구체적으로는, 트랜지스터 MN12의 게이트는, 출력 단자(13)가 아니라, 트랜지스터 MP0의 소스에 상당하는 노드 NP1에 대해 전

기적으로 접속된다. 마찬가지로, 트랜지스터 MP12의 게이트는, 출력 단자(13)가 아니라, 트랜지스터 MN0의 소스에 상당하는 노드 NN1에 대해 전기적으로 접속된다. 반도체 장치(101B)의 그 밖의 구성은 반도체 장치(101A)와 마찬가지이므로, 상세한 설명은 거듭하지 않는다.

[0087] 반도체 장치(101B)에서는, 트랜지스터 MN0 내지 MN2의 턴 온에 따라, 출력 전압 VOUT가 H 레벨에서 L 레벨로 변화하는 과도 동작에 있어서, 출력 단자(13)의 전위보다도, 접지 단자(12)에 가까운 노드 NN1의 전위 쪽이 먼저 저하된다. 이것에 의해, 게이트 전압 제어 회로(110)에서는, 트랜지스터 MP11이 턴 오프하는 것보다 먼저, 트랜지스터 MP12를 턴 온할 수 있다.

[0088] 마찬가지로, 트랜지스터 MN0 내지 MN2의 턴 온에 따라, 출력 전압 VOUT가 L 레벨로부터 H 레벨로 변화하는 과도 동작에 있어서, 출력 단자(13)의 전위보다도, 전원 단자(11)에 가까운 노드 NP1의 전위 쪽이 먼저 상승한다. 이것에 의해, 게이트 전압 제어 회로(110)에서는, 트랜지스터 MN11이 턴 오프하는 것보다 먼저, 트랜지스터 MN12를 턴 온할 수 있다.

[0089] 이에 비해, 도 5에 도시된 반도체 장치(101A)에서는, 트랜지스터 MN12, MP12의 게이트는 출력 단자(13)에 대해 전기적으로 접속되어 있다. 이 때문에, 출력 전압 VOUT가 과도적으로 바이어스 전압 VREFN, VREFP와 동등해지는 기간에, 트랜지스터 MP11, MP12의 양쪽, 또는, 트랜지스터 MN11, MN12의 양쪽이 오프될 가능성이 있다. 구체적으로는, 바이어스 전압 VREFN 또는 VREFP와, 출력 전압 VOUT와의 전압차가, 트랜지스터 MN11, MN12의 역치 전압 또는 트랜지스터 MP111, MP12의 역치 전압보다도 작은 기간에 있어서, 트랜지스터 MP11, MP12의 양쪽, 또는, 트랜지스터 MN11, MN12의 양쪽이 오프된다.

[0090] 이와 같이, 트랜지스터 MP11, MP12의 양쪽, 또는, 트랜지스터 MN11, MN12의 양쪽이 오프되면, 노드 NNG0 또는 NPG0이 플로팅으로 됨으로써, 게이트 전압 신호 VNG0, VPG0이 과도적으로 불안정해질 것이 우려된다. 예를 들어, 노드 NNG0 또는 NPG0이 플로팅인 기간에 있어서, 게이트 전압 신호 VNG0, VPG0이, 용량 결합을 통해, 출력 단자(13)의 전압 변화의 영향을 받아 변화함으로써, 트랜지스터 MN0, MP0의 온 전류가 저하될 것이 우려된다. 특히, 고속 동작 하에서는, 온 전류의 저하에 의한 동작 속도의 저하가, 반도체 장치(101A)의 동작을 불안정화시킬 우려가 있다.

[0091] 실시 형태 2에 관한 반도체 장치(101B)에서는, 게이트 전압 제어 회로(110)에 있어서의 트랜지스터 MN12, MP12의 게이트 접속처를 실시 형태 1로부터 변경함으로써, 게이트 전압 신호 VNG0, VPG0을 안정화할 수 있다. 이것에 의해, 고속 동작 하에서도 반도체 장치(101B)를 안정적으로 동작시킬 수 있다.

[0092] <제3 실시 형태>

[0093] 제3 실시 형태에서는, 실시 형태 1 또는 2에 관한 반도체 장치를, 출력 신호의 진폭이 저전원 전위 VCCQ 상당인 저전압 동작 모드, 및 고전원 전위 VCCQH 상당인 고전압 동작 모드 사이에서 전환 가능하게 하기 위한 구성에 대해 설명한다.

[0094] 도 9는, 실시 형태 3에 관한 반도체 장치(101C)의 구성을 설명하는 회로도이다. 반도체 장치(101C)는, 전원 모드 신호 POC＊에 따라, 전원 단자(11) 및 전원 라인 PL에 공급되는 VCCQH=3.3[V]인 고전압 동작 모드와, VCCQH=1.8[V]인 저전압 동작 모드를 선택하여 동작 가능하게 구성된다. 여기서는, 전원 모드 신호 POC＊는, 고전압 동작 모드에서는 L 레벨로 설정되는 한편, 저전압 동작 모드에서는 H 레벨로 설정된다. 고전압 동작 모드는 「제1 동작 모드」, 저전압 동작 모드는 「제2 동작 모드」의 일 실시예에 각각 대응한다.

[0095] 도 9 및 도 5를 참조하여, 반도체 장치(101C)는, 실시 형태 1에 관한 반도체 장치(100A)(도 5)와 비교하여, 게이트 전압 제어 회로(110) 대신, 게이트 전압 제어 회로(111)를 포함하는 점에서 다르다. 게이트 전압 제어 회로(111)는, 도 8에 도시된 게이트 전압 제어 회로(110)의 구성에 더해, 접속 선택 회로(115, 116)를 더 포함한다. 반도체 장치(101C)의 그 밖의 구성은 반도체 장치(101A)와 마찬가지이므로, 상세한 설명은 거듭하지 않는다.

[0096] 접속 선택 회로(115)는, N형의 트랜지스터 MN13 및 NM14를 갖는다. 트랜지스터 MN13 및 MN14는, 노드 NPG0(트랜지스터 MP0의 게이트) 및 접지 라인 GL 사이에 직렬 접속된다. 트랜지스터 MN13의 게이트에는, 바이어스 전압 VREFN이 입력되고, 트랜지스터 MN14의 게이트에는, 전원 모드 신호 POC＊가 입력된다. 접속 선택 회로(115)는, 트랜지스터 MP0의 게이트에 대해 마련된 「제1 접속 선택 회로」에 대응한다.

[0097] 접속 선택 회로(116)는, N형의 트랜지스터 MN15, MN16 및 P형의 트랜지스터 MP13, MP14를 갖는다. 트랜지스터 MP14는, 노드 NNG0(트랜지스터 MN0의 게이트) 및 중간 전위 노드 NRFN 사이에 접속된다. 트랜지스터 MP14의 게

이트는, 노드 Nx와 접속된다. 트랜지스터 MP13은, 전원 라인 PL 및 노드 Nx 사이에 접속된다. 트랜지스터 MP13의 게이트에는, 바이어스 전압 VREFN이 입력된다.

[0098] 트랜지스터 MN15 및 MN16은, 노드 Nx 및 접지 라인 GL 사이에 직렬 접속된다. 트랜지스터 MN15의 게이트에는, 바이어스 전압 VREFN이 입력된다. 트랜지스터 MN16의 게이트에는, 전원 모드 신호 POC＊가 입력된다. 접속 선택 회로(116)는, 트랜지스터 MN0의 게이트에 대해 마련된 「제2 접속 선택 회로」에 대응한다.

[0099] 저전압 동작 모드에서는, 전원 모드 신호 POC＊가 H 레벨로 설정됨과 함께, VCCQH=1.8[V]이고, 바이어스 전압 VREFN, VREFP은, 0.8[V] 내지 1.0[V] 정도로 설정된다.

[0100] POC＊=H에 따라 트랜지스터 MN14가 온됨으로써, 게이트에 바이어스 전압 VREFN을 받는 트랜지스터 MN13의 소스가 접지 전위 GND로 되므로, 트랜지스터 MN13도 온된다. 접속 선택 회로(115)는, 트랜지스터 MN13 및 MN14가 온됨으로써, 게이트 전압 신호 VPG0을 전달하는 노드 NPG0을, 접지 라인 GL과 전기적으로 접속한다.

[0101] 마찬가지로, 저전압 동작 모드에서는, 전원 모드 신호 POC＊를 게이트로 받는 트랜지스터 MN16의 온에 연동하여, 게이트로 바이어스 전압 VREFN을 받는 트랜지스터 MN15도 온된다. 트랜지스터 MN15 및 MN16의 온에 따라, 노드 Nx가 접지 전위 GND로 됨으로써, 게이트로 바이어스 전압 VREFN을 받는 트랜지스터 MP13이 오프되는 한편, 노드 Nx와 접속된 게이트를 갖는 트랜지스터 MP14는 온된다. 이것에 의해, 접속 선택 회로(116)는, 게이트 전압 신호 VNG0을 전달하는 노드 NNG0을, 바이어스 전압 VREFN을 공급하는 중간 전위 노드 NRFN과 전기적으로 접속한다.

[0102] 이 결과, 게이트 전압 제어 회로(111)는, 저전압 동작 모드(POC＊=H 레벨)에서는, 게이트 전압 제어 회로(110)의 동작에 의하지 않고, 즉, 출력 전압 VOUT에 관계없이, 게이트 전압 신호 VPG0을 접지 전위 GND에 고정함과 함께, 게이트 전압 신호 VNG0을 바이어스 전압 VREFN에 고정한다.

[0103] 따라서, 저전압 동작 모드에서는, 반도체 장치(101C)에 있어서, 트랜지스터 MN0 및 MP0은, 출력 전압 VOUT에 관계없이 온 상태로 유지된다. 또한, 저전압 동작 모드에서는, 레벨 시프트 회로(20)에 의한 전압 변환 기능은 정지되어, 트랜지스터 MP2의 게이트에 대해서도, 인버터(15)로부터의 인버터 출력 신호 VINV(0 내지 1.8[V]) 상당의 신호가 입력된다. 이 결과, 반도체 장치(101C)는, 입력 신호 VIN(0 내지 1.8[V])에 따른 출력 전압 VOUT를 0[V](GND) 내지 1.8[V](VCCQH)의 진폭으로 출력하도록 동작한다.

[0104] 이에 비해, 전원 모드 신호 POC＊가 L 레벨로 설정되는 고전압 동작 모드에서는, 게이트 전압 제어 회로(111)에 있어서, 추가 배치된 트랜지스터 MN13 내지 MN16은 오프된다. 또한, VCCQH=3.3[V], VREFN=1.8[V]로 됨으로써, 트랜지스터 MP13이 온되기 때문에, 노드 Nx에는 고전원 전위 VCCQH(3.3[V])가 전달된다. 이것에 의해, 트랜지스터 MP14는 오프로 유지된다.

[0105] 이 결과, 접속 선택 회로(115)는, 노드 NPG0을 접지 라인 GL로부터 전기적으로 분리한다. 마찬가지로, 접속 선택 회로(116)는, 노드 NNG0을 중간 전위 노드 NRFN으로부터 전기적으로 분리한다. 따라서, 게이트 전압 제어 회로(111)는, 고전압 동작 모드(POC＊=L 레벨)에서는, 게이트 전압 신호 VNG0, VPG0의 전위를, 도 5와 마찬가지의 게이트 전압 제어 회로(110)에 의해 제어한다. 즉, 게이트 전압 신호 VNG0, VPG0은, 실시 형태 1과 마찬가지로 제어된다. 이 결과, 반도체 장치(101C)는, 반도체 장치(101A)와 마찬가지로 동작하여, 입력 신호 VIN(0 내지 1.8[V])에 따른 출력 전압 VOUT를 0[V](GND) 내지 3.3[V](VCCQH)의 진폭으로 출력한다.

[0106] 상술한 바와 같이, 실시 형태 1에 관한 반도체 장치(101A)에서는, 출력 전압 VOUT와 바이어스 전압 VREFN, VREFP의 차가 트랜지스터의 역치 전압보다도 작을 때에, 게이트 전압 제어 회로(110)에 있어서, 트랜지스터 MN11 및 MN12의 양쪽이 오프, 또는, 트랜지스터 MP11 및 MP12의 양쪽이 오프되는 기간이 생긴다. 이것에 의해, 게이트 전압 신호 VNG0, VPG0의 전위가 불안정화될 것이 우려된다. 이 때문에, 반도체 장치(101A)를 저전압 동작 모드(VCCQH=1.8[V])에서 동작시키면, 출력 전압 VOUT가, GND(0[V]) 및 VCCQH(1.8[V]) 사이에서 변화하는 과도 상태의 전체 기간에 대한, 상술한 게이트 전압 신호 VNG0, VPG0의 전위가 불안정화되는 기간의 비율이 증가할 것이 우려된다.

[0107] 이에 비해, 실시 형태 3에 관한 반도체 장치(101C)에 의하면, 저전압 동작 모드에서는, 트랜지스터 MN0, MP0을 온으로 고정하도록 게이트 전압 신호 VNG0 및 VPG0을 제어할 수 있다. 이 결과, 저전압 동작 모드에 있어서, 트랜지스터 MN0, MP0의 온 전류가 변화하는 것에 의한 동작의 불안정화를 방지할 수 있다.

[0108] 또한, 실시 형태 3에 관한 반도체 장치(101C)에 있어서, 게이트 전압 제어 회로(110)에 포함되는 트랜지스터 MN12 및 MP12의 게이트의 접속처를, 도 7과 마찬가지로, 노드 NN1 및 NP1로 각각 변경하는 것도 가능하다. 즉,

실시 형태 2에 관한 반도체 장치(101B)(도 8)와 실시 형태 3을 조합함으로써, 고전압 동작 모드에 있어서, 반도체 장치(101C)를 반도체 장치(101B)와 마찬가지로 동작시키는 것도 가능하다.

[0109] 또한, 실시 형태 1 내지 3에 있어서, 트랜지스터 MN1 및 MN2의 배치를 교체하여, 트랜지스터 MN2를 접지 단자(12)측에 배치하는 것도 가능하다. 마찬가지로, 트랜지스터 MP1 및 MP2의 배치를 교체하여, 트랜지스터 MP2를 전원 단자(11)측에 배치하는 것도 가능하다.

[0110] 또한, 실시 형태 1 내지 3에서는, 1.8[V] 내압의 트랜지스터를 직렬 접속하여, 출력 전압 VOUT의 진폭을 3.3[V]으로 하는 예를 상정하였다. 이 때문에, 전원 라인 PL 및 접지 라인 GL과 출력 노드 No(출력 단자(13)) 사이에 3개의 트랜지스터를 직렬 접속하는 구성예를 설명하였는데, 출력단을 구성하는 직렬 접속되는 트랜지스터의 개수는, 이때까지의 예시에 한정되는 것은 아닌 점에 대해, 확인적으로 기재한다.

[0111] 실시 형태 1 내지 3에서는, 입력 신호 VIN에 따른 전압이 게이트에 입력되는 MN2, MP2(제1 트랜지스터), 게이트 전압 제어 회로(110, 111)에 의해 게이트 전압이 제어되는 MN0, MP0(제2 트랜지스터), 및 바이어스 전압 VREFP, VREFN이 게이트에 입력되는 MN1, MP1(제3 트랜지스터)이 1개씩 배치되는 구성예를 설명하였다. 단, 드레인 소스 간의 내압을 확보하기 위해, 트랜지스터 MN2, MP2와 트랜지스터 MN1, MP1 사이, 및/또는, 트랜지스터 MN0, MP0과 트랜지스터 MN1, MP1 사이에, 동일 도전형의 트랜지스터를 임의의 개수 추가 배치하는 것도 가능하다. 이때에, 추가 배치된 트랜지스터의 게이트 전압에 대해서는, 트랜지스터 MN2, MP2(제1 트랜지스터), 트랜지스터 MN0, MP0(제2 트랜지스터), 또는, 트랜지스터 MN1, MP1(제3 트랜지스터) 중 어느 것과 마찬가지로 제어할 수 있다.

[0112] 또는, 바이어스 전압 VREFP, VREFN이 게이트에 입력되는 트랜지스터 MN1, MP1의 배치를 생략하여, 본 실시 형태에 관한 반도체 장치를 구성하는 것도 가능하다.

[0113] 도 10에는, 본 실시 형태에 관한 반도체 장치의 변형예의 구성을 설명하는 회로도가 도시된다.

[0114] 도 10 및 도 5를 참조하여, 변형예에 관한 반도체 장치(101D)는, 실시 형태 1에 관한 반도체 장치(100A)(도 5)와 비교하여, 바이어스 전압 VREFP이 게이트에 입력되는 트랜지스터 MN1, 및 바이어스 전압 VREFP이 게이트에 입력되는 트랜지스터 MP1의 배치가 생략되는 점이 다르다. 따라서, 출력단은, 전원 라인 PL 및 출력 노드 No 사이에 노드 NP1을 통해 직렬 접속된 P형의 트랜지스터 MP0 및 MP2와, 접지 라인 GL 및 출력 노드 No 사이에 노드 NN1을 통해 직렬 접속된 N형의 트랜지스터 MN0 및 MN2에 의해 구성된다.

[0115] 트랜지스터 MN2 및 MP2의 게이트 전압은, 실시 형태 1과 마찬가지로, 입력 신호 VIN에 따라 트랜지스터 MN2 및 MP2를 상보적으로 온/오프하도록 제어된다. 트랜지스터 MN0, MP0의 게이트에는, 도 5 또는 도 8과 마찬가지의 게이트 전압 제어 회로(110)에 의해 생성된 게이트 전압 신호 VNG0, VPG0이 입력된다. 또는, 트랜지스터 MN0, MP0의 게이트에는, 도 9에 도시된 게이트 전압 제어 회로(111)에 의해 생성된 게이트 전압 신호 VNG0, VPG0이 입력되어도 된다.

[0116] 또한, 도 10의 반도체 장치(101D)에 있어서, 트랜지스터 MN0, MP0과, 트랜지스터 MP2, MN2 사이에, 동일 도전형의 트랜지스터를 임의의 개수 추가 배치하는 것도 가능하다. 이때에, 추가 배치된 트랜지스터의 게이트 전압에 대해서는, 트랜지스터 MN2, MP2(제1 트랜지스터), 또는, 트랜지스터 MN0, MP0(제2 트랜지스터) 중 어느 것과 마찬가지로 제어할 수 있다.

[0117] 이상에서 설명한 복수의 실시 형태에 대해, 명세서 내에서 언급되지 않은 조합을 포함하여, 부정합이나 모순이 생기지 않는 범위 내에서, 각 실시 형태에서 설명된 구성을 적절히 조합하는 것은 출원 당초부터 예정되어 있는 점에 대해서도, 확인적으로 기재한다.

[0118] 이상, 본 개시를 실시 형태에 기초하여 구체적으로 설명하였는데, 본 개시는, 실시 형태에 한정되는 것은 아니고, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능함은 물론이다.

부호의 설명

[0119] 11: 전원 단자

12: 접지 단자

13: 출력 단자

15: 인버터

20: 레벨 시프트 회로

21, 22: 전위 변환 회로

100A, 100B, 101A 내지 101D: 반도체 장치

110, 111: 게이트 전압 제어 회로

115, 116: 접속 선택 회로

120: 중간 전위 발생 회로

GL: 접지 라인

GND: 접지 전위

NRFN, NRFP: 중간 전위 노드

Ni: 입력 노드

No: 출력 노드

PL: 전원 라인

POC＊: 전원 모드 신호

R1 내지 R3: 저항 소자

VCCQ: 저전원 전위

VCCQH: 고전원 전위

VIN: 입력 신호

VINV: 인버터 출력 신호

VLFP: 레벨 시프트 신호

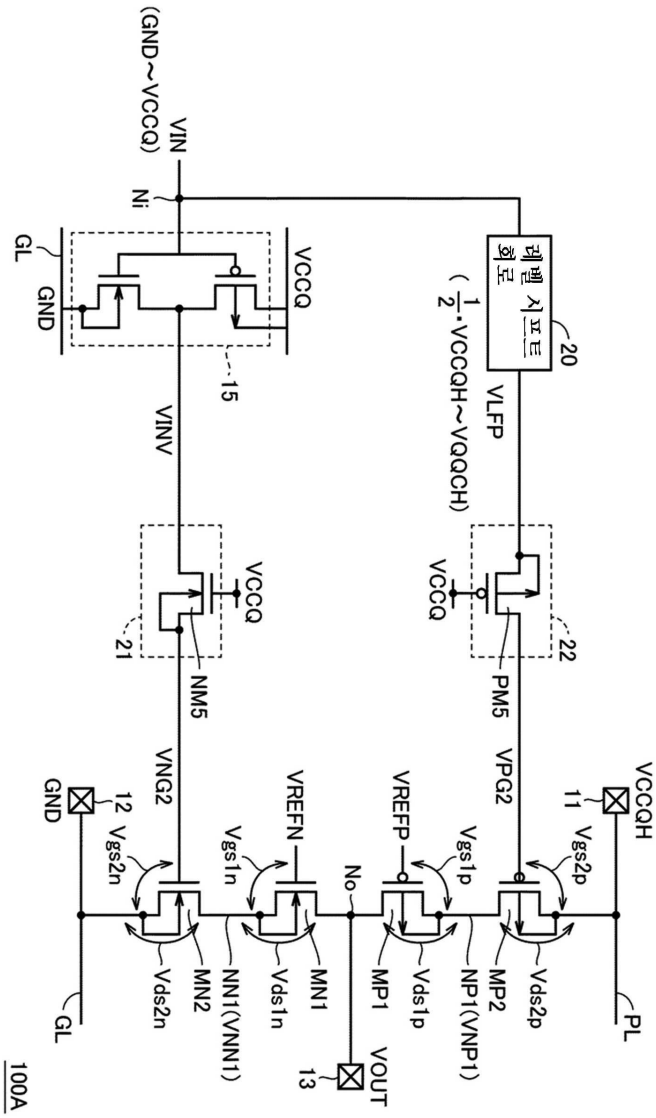
VNG0, VNG2, VPG0, VPG2: 게이트 전압 신호

VOUT: 출력 전압

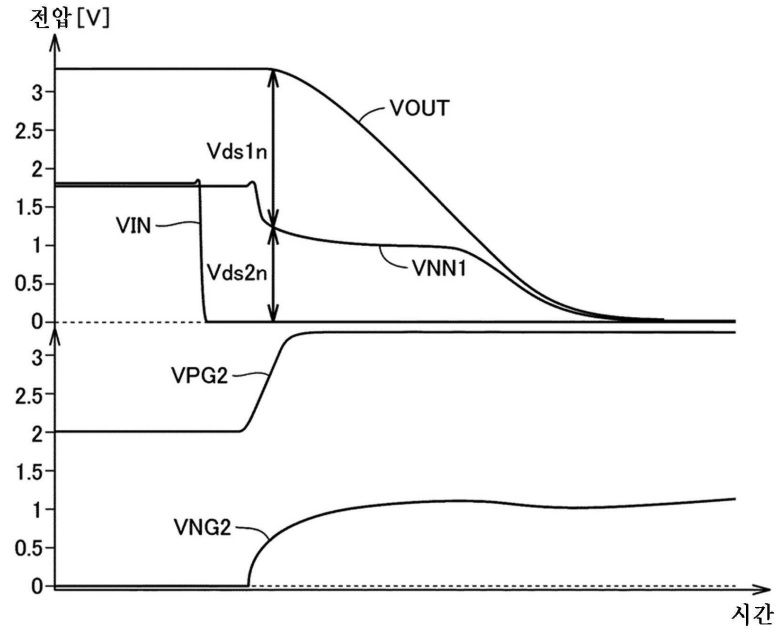
VREFN, VREFN0, VREFN1, VREFP, VREFP0, VREFP1: 바이어스 전압

도면

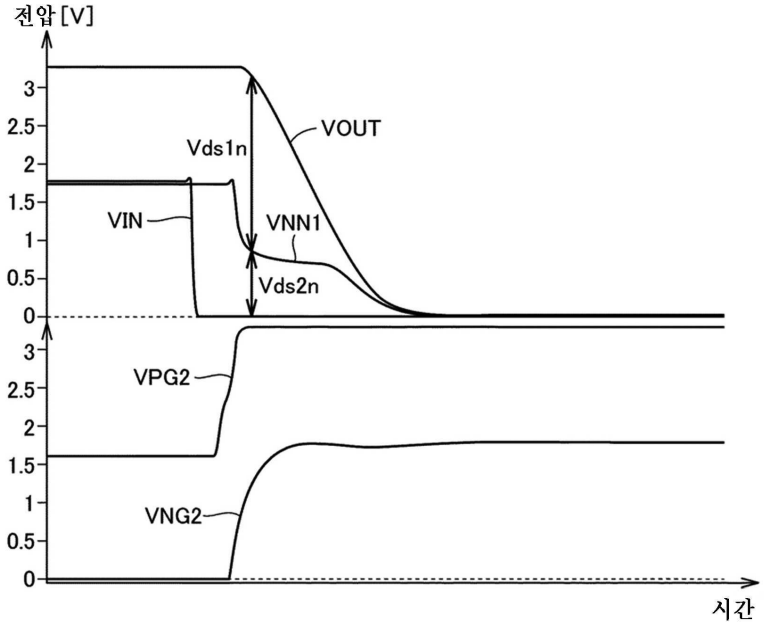
도면1


VIN
(GND~VCCQ)
Ni
GL
GND
VCCQ
15
VINV
레벨 시프트 회로
(1/2·VCCQH~VQQCH)
20
VLFP
VCCQ
21
NM5
VCCQ
22
PM5
VNG2
VPG2
GND
12
Vgs2n
VREFN
Vgs1n
VREFP
Vgs1p
VCCQH
11
Vgs2p
No
Vds2n
MN2
NN1(VNN1)
Vds1n
MN1
MP1
Vds1p
NP1(VNP1)
MP2
Vds2p
GL
VOUT
13
PL
100A

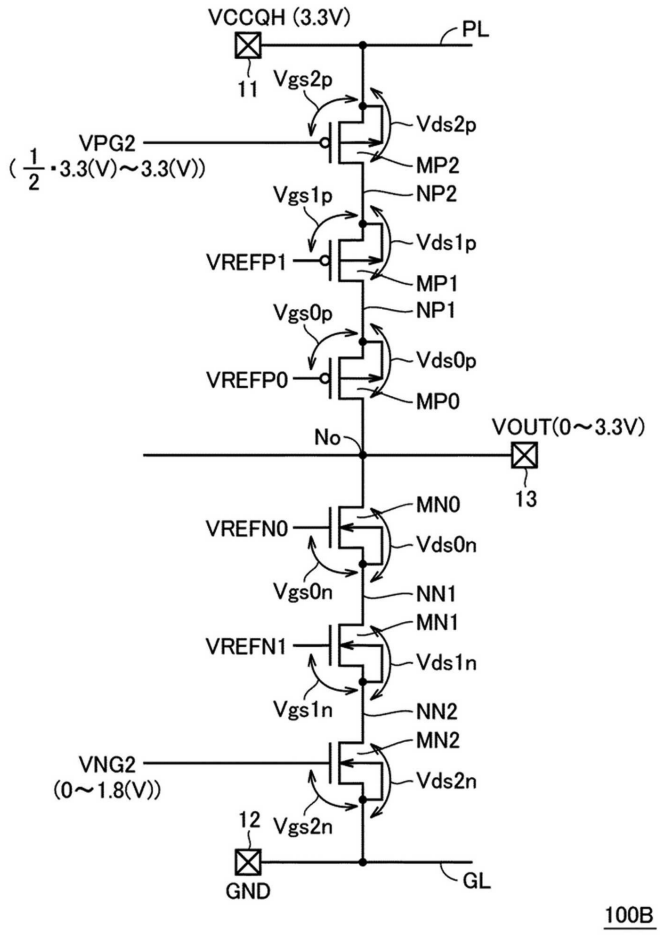
도면2


전압[V]
3
2.5
2
1.5
1
0.5
0
VOUT
Vds1n
VIN
Vds2n
VNN1
VPG2
VNG2
시간

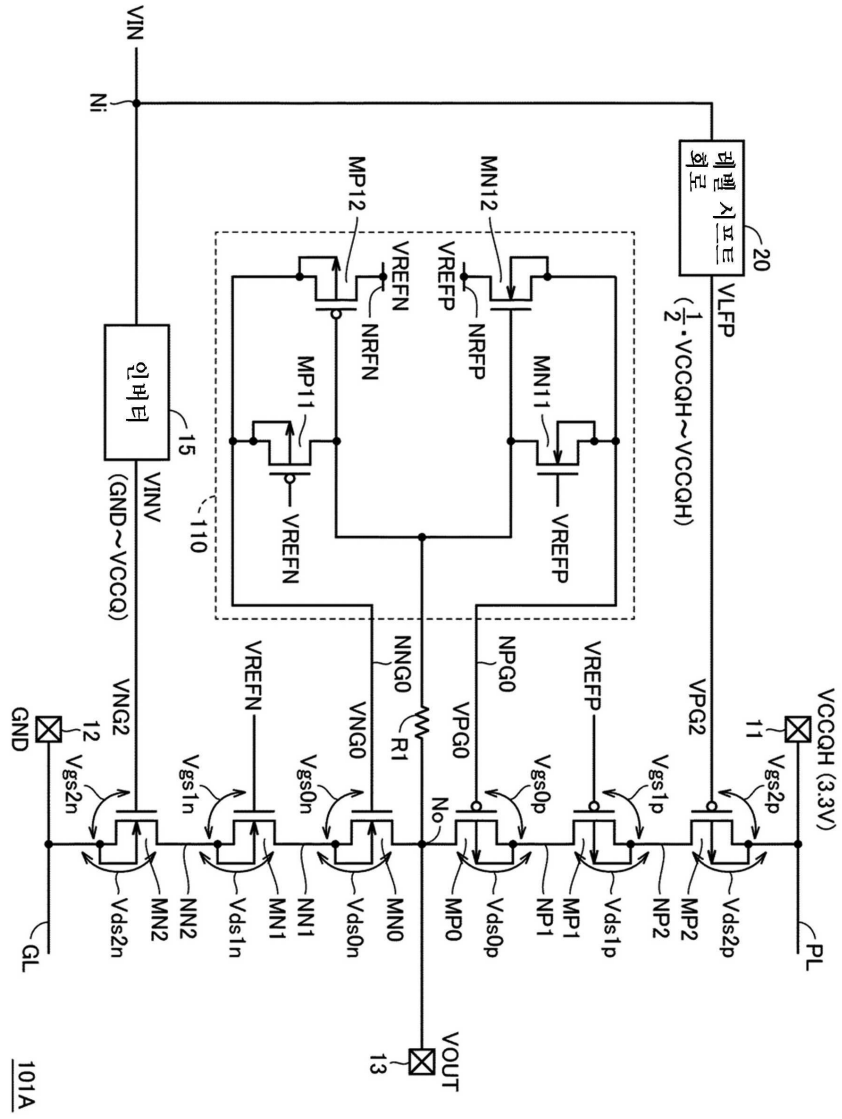
도면3


전압[V]
3
2.5
2
1.5
1
0.5
0
VOUT
Vds1n
VIN
VNN1
Vds2n
VPG2
VNG2
시간

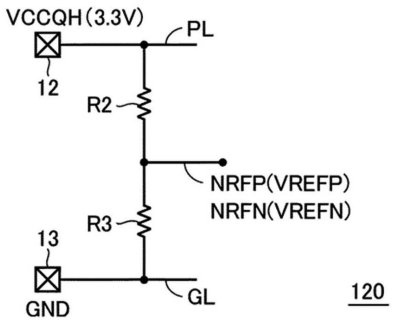
도면4


VCCQH (3.3V)
PL
11
Vgs2p
Vds2p
VPG2
(1/2 ·3.3(V)～3.3(V))
MP2
Vgs1p
NP2
Vds1p
VREFP1
MP1
Vgs0p
NP1
Vds0p
VREFP0
MP0
No
VOUT(0～3.3V)
13
MN0
VREFN0
Vds0n
Vgs0n
NN1
MN1
VREFN1
Vds1n
Vgs1n
NN2
MN2
VNG2
(0～1.8(V))
Vds2n
12
Vgs2n
GND
GL
100B

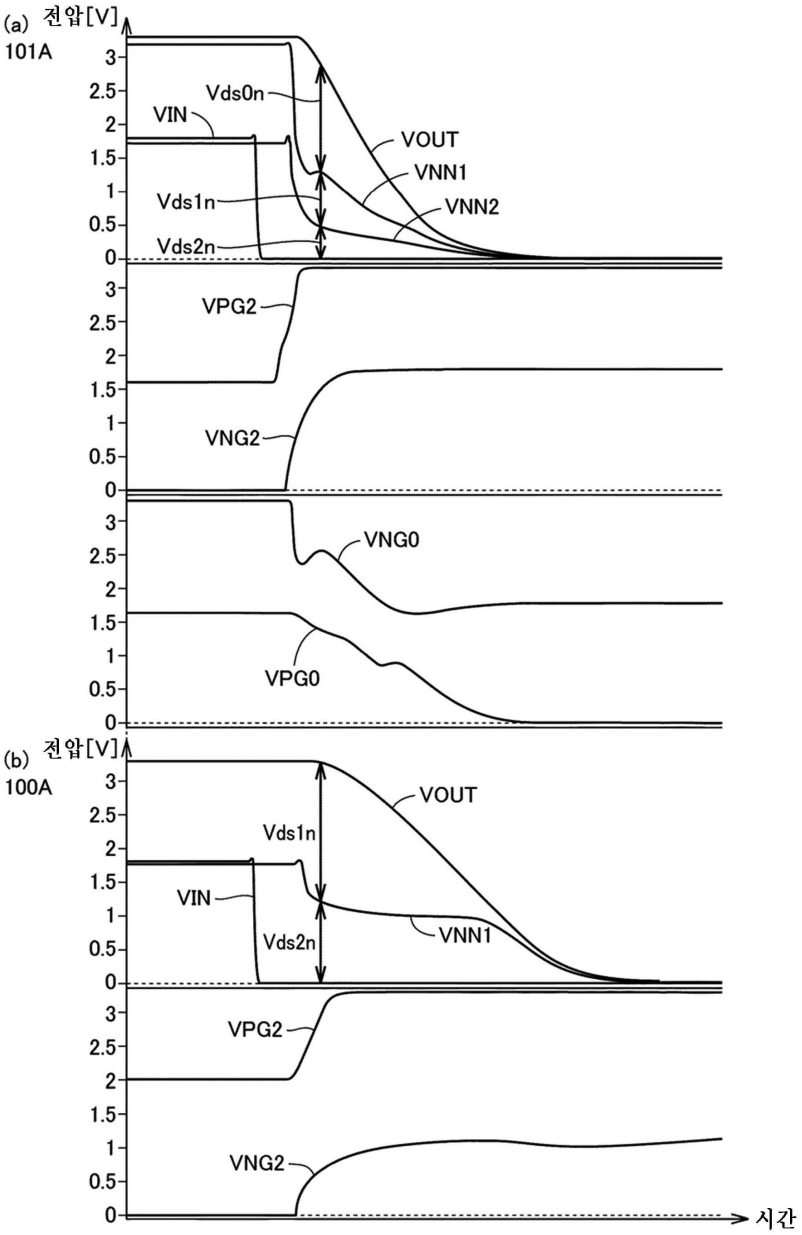
도면5


VIN
Ni
레벨 시프트 회로
20
VLFP
(1/2·VCCQH~VCCQH)
MP12
MN12
VREFN
VREFP
NRFN
NRFP
MP11
MN11
VREFN
VREFP
110
인버터
15
VINV
(GND~VCCQ)
NNG0
NPG0
VREFN
VREFP
VNG0
VPG0
VPG2
VNG2
GND
12
VCCQH (3.3V)
11
R1
Vgs2n
Vgs1n
Vgs0n
Vgs0p
Vgs1p
Vgs2p
No
Vds2n
MN2
NN2
Vds1n
MN1
NN1
Vds0n
MN0
MP0
Vds0p
NP1
MP1
Vds1p
NP2
MP2
Vds2p
GL
PL
VOUT
13
101A

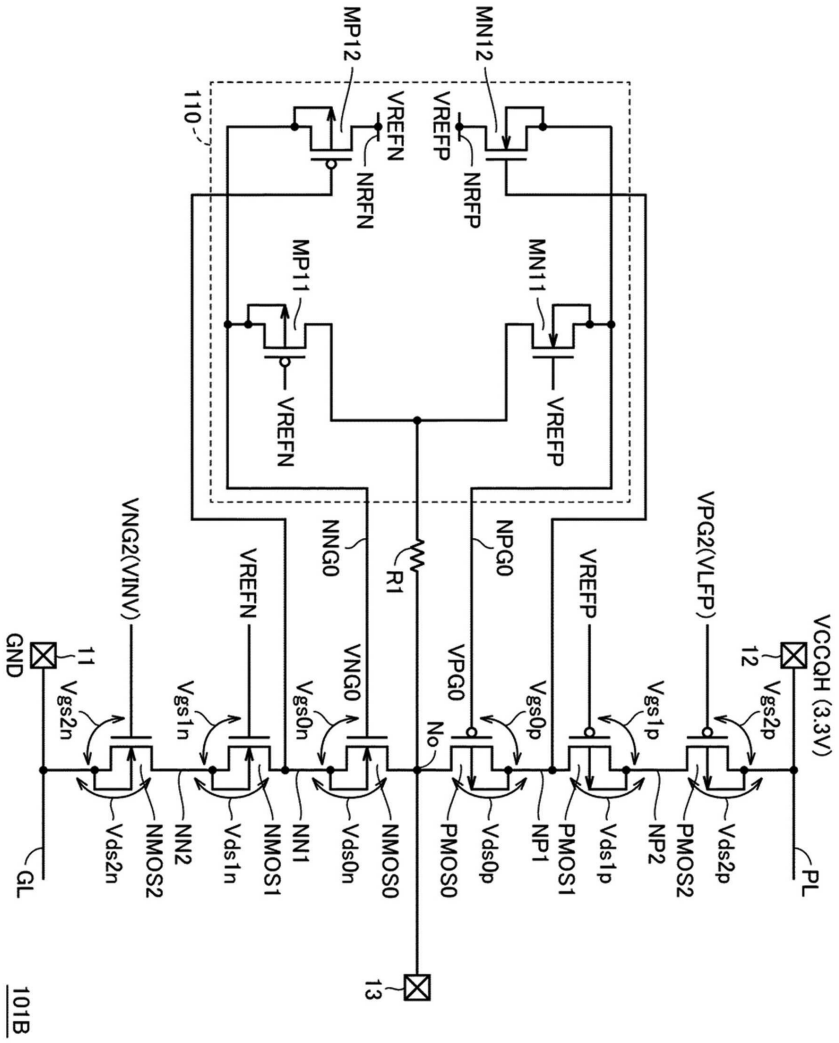
도면6


VCCQH(3.3V)
PL
12
R2
NRFP(VREFP)
NRFN(VREFN)
R3
13
GND
GL
120

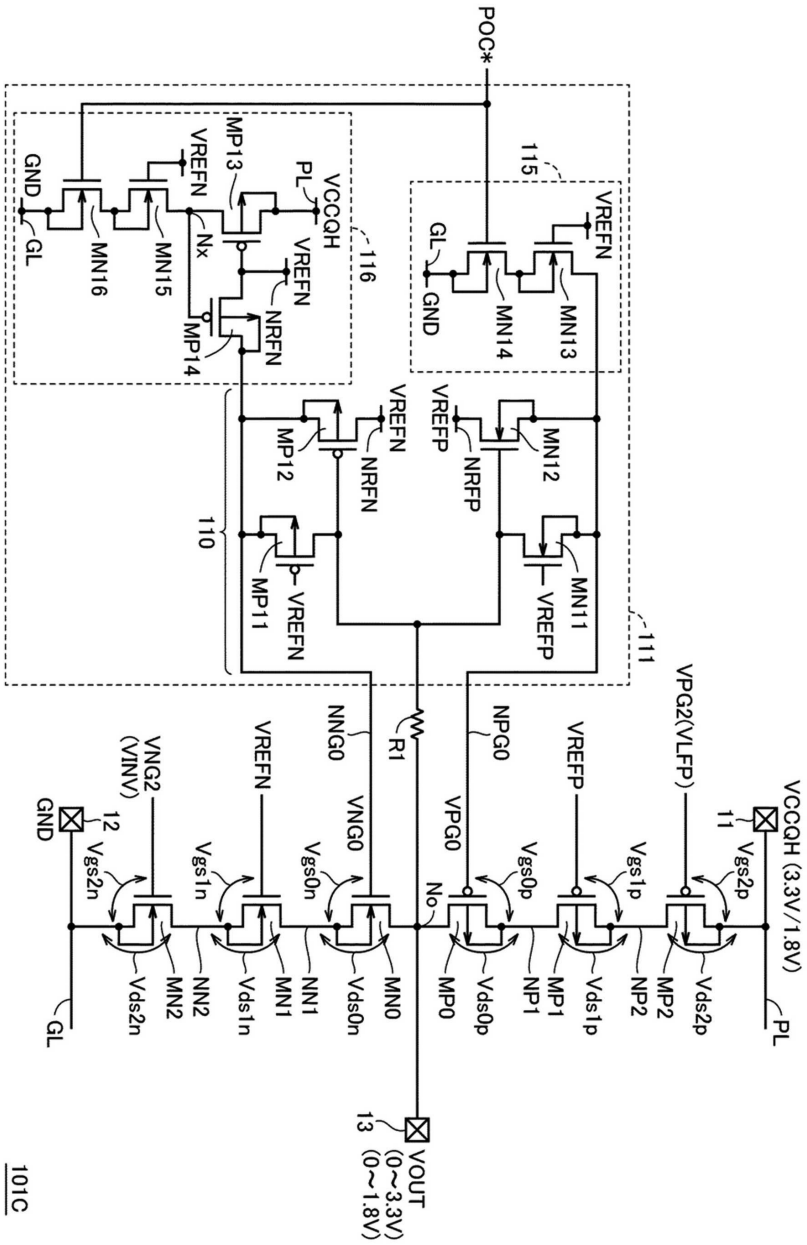
도면7


(a) 전압[V]
101A
Vds0n
VIN
VOUT
VNN1
Vds1n
VNN2
Vds2n
VPG2
VNG2
VNG0
VPG0
(b) 전압[V]
100A
VOUT
Vds1n
VIN
VNN1
Vds2n
VPG2
VNG2
시간

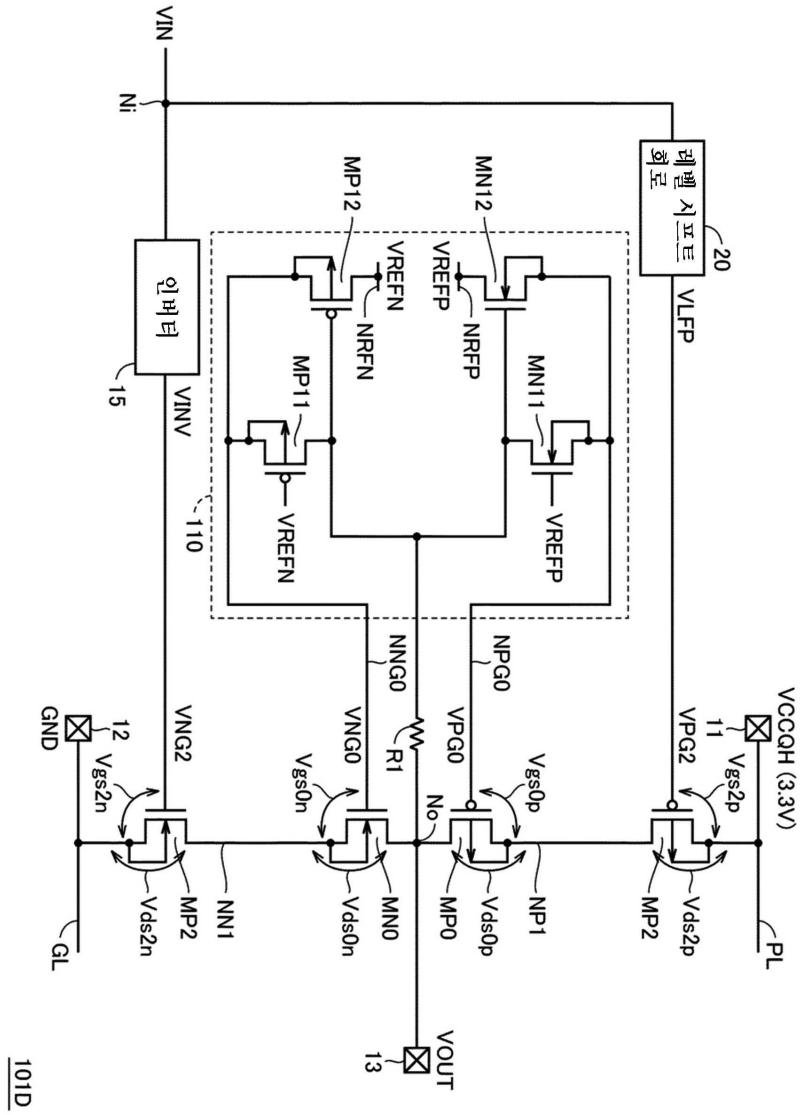
도면8


MP12
MN12
110
VREFN
VREFP
NRFN
NRFP
MP11
MN11
VREFN
VREFP
VNG2(VINV)
VREFN
NNG0
R1
NPG0
VREFP
VPG2(VLFP)
VCCQH (3.3V)
GND
11
12
Vgs2n
Vgs1n
Vgs0n
VNG0
VPG0
Vgs0p
Vgs1p
Vgs2p
No
Vds2n
NMOS2
NN2
Vds1n
NMOS1
NN1
Vds0n
NMOS0
PMOS0
Vds0p
NP1
PMOS1
Vds1p
NP2
PMOS2
Vds2p
GL
PL
13
101B

도면9


POC*
115
VREFN
GL
GND
MN14
MN13
116
MP13
VREFN
PL
VCCQH
GND
GL
MN16
MN15
Nx
VREFN
NRFN
MP14
110
MP12
VREFN
NRFN
VREFP
NRFP
MN12
MP11
VREFN
MN11
VREFP
111
VPG2(VLFP)
VCCQH (3.3V/1.8V)
11
Vgs2p
PL
VREFP
Vgs1p
NP2
MP2
Vds2p
NPG0
VPG0
Vgs0p
No
NP1
MP1
Vds1p
MP0
Vds0p
R1
NNG0
VNG0
Vgs0n
NN1
MN1
Vds1n
VREFN
Vgs1n
NN2
MN2
Vds2n
VNG2
(VINV)
12
GND
Vgs2n
GL
MN0
Vds0n
13
VOUT
(0~3.3V)
(0~1.8V)
101C

도면10


VIN
Ni
인버터
15
VINV
110
레벨 시프트 회로
20
VLFP
MP12
MN12
VREFN
VREFP
NRFN
NRFP
MP11
MN11
VREFN
VREFP
NNG0
NPG0
VNG2
VNG0
VPG0
VPG2
R1
No
GND
12
VCCQH (3.3V)
11
Vgs2n
Vgs0n
Vgs0p
Vgs2p
Vds2n
MP2
NN1
Vds0n
MN0
MP0
Vds0p
NP1
MP2
Vds2p
GL
PL
VOUT
13
101D