(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년06월19일
(11) 등록번호 10-1991123
(24) 등록일자 2019년06월13일

(51) 국제특허분류(Int. Cl.)
H03K 3/03 (2006.01) *G01R 19/25* (2006.01)
G01R 27/26 (2006.01)
(52) CPC특허분류
H03K 3/0315 (2013.01)
G01R 19/2503 (2013.01)
(21) 출원번호 10-2018-0073327
(22) 출원일자 2018년06월26일
심사청구일자 2018년06월26일
(56) 선행기술조사문헌
JP2004258018 A*
KR101754224 B1*
KR1020170022457 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한림대학교 산학협력단
강원도 춘천시 한림대학길 1, 한림대학교(옥천동)
(72) 발명자
문규
강원도 춘천시 소양로 171번길 10, 4층
(74) 대리인
김남혁

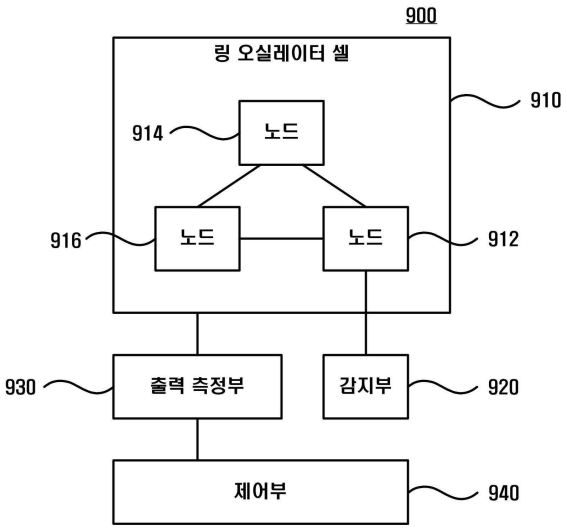
전체 청구항 수 : 총 8 항 심사관 : 최규돈

(54) 발명의 명칭 **링 오실레이터 셀을 포함하는 센서 장치**

(57) 요 약

링 오실레이터 셀을 포함하는 센서 장치로서, 상기 링 오실레이터 셀은 복수의 노드를 포함하고, 상기 복수의 노드 중 적어도 하나와 연결되는 감지부, 상기 링 오실레이터 셀의 출력을 측정하는 출력 측정부 및 상기 출력의 변화에 기초하여 상기 감지부와 연결된 객체의 저항 및 캐퍼시턴스 중 적어도 하나의 변화를 판단하는 제어부를 포함하는, 센서 장치가 개시된다.

대 표 도 - 도22



(52) CPC특허분류
G01R 27/2605 (2013.01)

명 세 서

청구범위

청구항 1

링 오실레이터 셀을 포함하는 센서 장치로서,

상기 링 오실레이터 셀은 복수의 노드를 포함하고,

상기 복수의 노드 중 적어도 하나와 연결되는 감지부;

상기 링 오실레이터 셀의 출력을 측정하는 출력 측정부; 및

상기 출력의 변화에 기초하여 상기 감지부와 연결된 외부 회로의 저항 및 캐퍼시턴스 중 적어도 하나의 변화를 판단하는 제어부;를 포함하고,

상기 감지부는,

상기 외부 회로의 저항의 변화를 판단하는 데 이용되는 제1 감지부; 및

상기 외부 회로의 캐퍼시턴스의 변화를 감지하는 데 이용되는 제2 감지부; 를 포함하는, 센서 장치.

청구항 2

제1 항에 있어서,

상기 링 오실레이터 셀은,

적어도 하나의 NAND 게이트;

하나 이상의 인버터; 및

상기 NAND 게이트에 전압을 인가하는 전원부; 를 포함하는, 제1 링 오실레이터 셀; 을 포함하는, 센서 장치.

청구항 3

제1 항에 있어서,

상기 링 오실레이터 셀은,

적어도 하나의 3상 인버터;

하나 이상의 인버터; 및

상기 3상 인버터에 전압을 인가하는 전원부; 를 포함하는, 제1 링 오실레이터 셀; 을 포함하는, 센서 장치.

청구항 4

제2 항 또는 제3 항에 있어서,

복수의 인버터를 포함하는 제2 링 오실레이터 셀; 을 더 포함하는, 센서 장치.

청구항 5

제4 항에 있어서,

상기 센서 장치는,

복수의 상기 제1 링 오실레이터 셀; 및

복수의 상기 제2 링 오실레이터 셀; 을 포함하고,

상기 복수의 제1 링 오실레이터 셀 및 상기 복수의 제2 링 오실레이터 셀은, 프랙탈 구조로 연결되는 것을 특징으로 하는, 센서 장치.

청구항 6

삭제

청구항 7

제1 항에 있어서,

상기 제1 감지부는 상기 복수의 노드 중 적어도 하나와 VDD 사이에 연결되고,

상기 제2 감지부는 상기 복수의 노드에 포함된 두 노드 사이에 연결되는 것을 특징으로 하는, 센서 장치.

청구항 8

적어도 하나의 3상 인버터;

하나 이상의 인버터; 및

상기 3상 인버터에 전압을 인가하는 전원부;

를 포함하는, 링 오실레이터 셀;

상기 적어도 하나의 3상 인버터 및 상기 하나 이상의 인버터 중 적어도 하나와 연결되는 감지부;

상기 링 오실레이터 셀의 출력을 측정하는 출력 측정부; 및

상기 출력의 변화에 기초하여 상기 감지부와 연결된 외부 회로의 저항 또는 캐퍼시턴스 변화를 판단하는 제어부; 를 포함하고,

상기 감지부는,

상기 외부 회로의 저항의 변화를 판단하는 데 이용되는 제1 감지부; 및

상기 외부 회로의 캐퍼시턴스의 변화를 감지하는 데 이용되는 제2 감지부; 를 포함하는, 링 오실레이터 셀을 포함하는 센서 장치.

청구항 9

적어도 하나의 NAND 게이트;

하나 이상의 인버터; 및

상기 NAND 게이트에 전압을 인가하는 전원부;

를 포함하는, 링 오실레이터 셀;

상기 적어도 하나의 NAND 게이트 및 상기 하나 이상의 인버터 중 적어도 하나와 연결되는 감지부;

상기 링 오실레이터 셀의 출력을 측정하는 출력 측정부; 및

상기 출력의 변화에 기초하여 상기 감지부와 연결된 외부 회로의 저항 또는 캐퍼시턴스 변화를 판단하는 제어부; 를 포함하고,

상기 감지부는,

상기 외부 회로의 저항의 변화를 판단하는 데 이용되는 제1 감지부; 및

상기 외부 회로의 캐퍼시턴스의 변화를 감지하는 데 이용되는 제2 감지부; 를 포함하는, 링 오실레이터 셀을 포함하는 센서 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 링 오실레이터 셀을 포함하는 센서 장치에 관한 것이다.

배 경 기 술

[0002] 금속 산화막 반도체 전계효과 트랜지스터(MOS field-effect transistor)는 디지털 회로와 아날로그 회로에서 가장 일반적인 전계효과 트랜지스터(FET)이다. 줄여서 MOSFET(모스펫)이라고도 한다. 모스펫은 N형 반도체나 P형 반도체 재료 의 채널로 구성되어 있으며, 이 재료에 따라서 크게 엔모스펫(NMOSFET)이나 피모스펫(PMOSFET), 두 가지를 모두 가진 소자를 씨모스펫(cMOSFET, complementary MOSFET)으로 분류한다. MOSFET은 다양한 종류의 소자를 만드는 데 이용된다.

[0003] 링 오실레이터(발진기)는 홀수 개의 반전 증폭기 또는 인버터나 지연기를 루프순환 형태로 직렬 연결시킨 순차 논리회로형 발진기를 의미한다. 링 오실레이터는 별도로 정해진 입력과 출력이 없는 특징이 있다. 또한, 링 오실레이터는 그 구조가 단순하여, 집적회로 내에 많이 사용된다.

[0004] 일반적인 링 오실레이터는 홀수 개의 인버터를 직렬 연결하여 구성한다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 등록특허공보 제10-1153911호, 2012.05.31 등록

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는 링 오실레이터 셀을 포함하는 센서 장치를 제공하는 것이다.

[0007] 본 발명이 해결하고자 하는 과제들은 이상에서 언급된 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 상술한 과제를 해결하기 위한 본 발명의 일 면에 따라 링 오실레이터 셀을 포함하는 센서 장치에 있어서, 상기 링 오실레이터 셀은 복수의 노드를 포함하고, 상기 센서 장치는, 상기 복수의 노드 중 적어도 하나와 연결되는 감지부, 상기 링 오실레이터 셀의 출력을 측정하는 출력 측정부 및 상기 출력의 변화에 기초하여 상기 감지부와 연결된 객체의 저항 및 캐퍼시턴스 중 적어도 하나의 변화를 판단하는 제어부를 포함한다.

[0009] 또한, 상기 링 오실레이터 셀은, 적어도 하나의 NAND 게이트, 하나 이상의 인버터 및 상기 NAND 게이트에 전압을 인가하는 전원부; 를 포함하는, 제1 링 오실레이터 셀을 포함할 수 있다.

[0010] 또한, 상기 링 오실레이터 셀은, 적어도 하나의 3상 인버터, 하나 이상의 인버터 및 상기 3상 인버터에 전압을 인가하는 전원부를 포함할 수 있다.

[0011] 또한, 센서 장치는, 복수의 인버터를 포함하는 제2 링 오실레이터 셀을 더 포함할 수 있다.

[0012] 또한, 센서 장치는, 복수의 상기 제1 링 오실레이터 셀 및 복수의 상기 제2 링 오실레이터 셀을 포함하고, 상기 복수의 제1 링 오실레이터 셀 및 상기 복수의 제2 링 오실레이터 셀은, 프랙탈 구조로 연결되는 것을 특징으로 할 수 있다.

[0013] 또한, 상기 감지부는, 상기 객체의 저항의 변화를 판단하는 데 이용되는 제1 감지부 및 상기 객체의 캐퍼시턴스의 변화를 감지하는 데 이용되는 제2 감지부를 포함할 수 있다.

[0014] 또한, 상기 제1 감지부는 상기 복수의 노드 중 적어도 하나와 VDD 사이에 연결되고, 상기 제2 감지부는 상기 복수의 노드에 포함된 두 노드 사이에 연결되는 것을 특징으로 할 수 있다.

[0015] 상술한 과제를 해결하기 위한 본 발명의 일 면에 따라 링 오실레이터 셀을 포함하는 센서 장치는, 적어도 하나의 3상 인버터, 하나 이상의 인버터 및 상기 3상 인버터에 전압을 인가하는 전원부를 포함하는, 링 오실레이터 셀, 상기 적어도 하나의 3상 인버터 및 상기 하나 이상의 인버터 중 적어도 하나와 연결되는 감지부, 상기 링 오실레이터 셀의 출력을 측정하는 출력 측정부 및 상기 출력의 변화에 기초하여 상기 감지부와 연결된 객체의

저항 또는 캐퍼시턴스 변화를 판단하는 제어부를 포함한다.

[0016] 상술한 과제를 해결하기 위한 본 발명의 일 면에 따라 링 오실레이터 셀을 포함하는 센서 장치는, 적어도 하나의 NAND 게이트, 하나 이상의 인버터 및 상기 NAND 게이트에 전압을 인가하는 전원부를 포함하는, 링 오실레이터 셀, 상기 적어도 하나의 NAND 게이트 및 상기 하나 이상의 인버터 중 적어도 하나와 연결되는 감지부, 상기 링 오실레이터 셀의 출력을 측정하는 출력 측정부 및 상기 출력의 변화에 기초하여 상기 감지부와 연결된 객체의 저항 또는 캐퍼시턴스 변화를 판단하는 제어부를 포함한다.

[0017] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0018] 개시된 실시 예에 따르면, 링 오실레이터를 이용하여 회로의 캐퍼시턴스 및 전압 변화를 감지할 수 있는 센서 장치가 제공되는 효과가 있다.

[0019] 본 발명의 효과들은 이상에서 언급된 효과로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0020] 도 1은 각각의 실시 예에 따른 링 오실레이터를 간략하게 도시한 도면이다.

도 2는 일 실시 예에 따라 NAND 게이트를 이용하는 링 오실레이터의 구조를 트랜지스터 단위에서 도시한 도면이다.

도 3은 일 실시 예에 따라 3상 인버터를 이용하는 링 오실레이터의 구조를 트랜지스터 단위에서 도시한 도면이다.

도 4는 도 2 및 도 3에 도시된 링 오실레이터를 이용한 실험결과를 도시한 도면이다.

도 5는 일 실시 예에 따라 NAND 게이트를 이용한 3단 링 오실레이터를 도시한 도면이다.

도 6은 일 실시 예에 따라 NAND 게이트를 이용한 5단 오실레이터를 도시한 도면이다.

도 7은 일 실시 예에 따라 NAND 게이트를 이용한 7단 오실레이터를 도시한 도면이다.

도 8은 일 실시 예에 따라 NAND 게이트를 이용한 9단 오실레이터를 도시한 도면이다.

도 9는 일 실시 예에 따라 3상 인버터를 이용한 3단 링 오실레이터를 도시한 도면이다.

도 10은 일 실시 예에 따라 3상 인버터를 이용한 5단 링 오실레이터를 도시한 도면이다.

도 11은 일 실시 예에 따라 3상 인버터를 이용한 7단 링 오실레이터를 도시한 도면이다.

도 12는 일 실시 예에 따라 3상 인버터를 이용한 9단 링 오실레이터를 도시한 도면이다.

도 13은 일 실시 예에 따라 단일 노드에 캐퍼시턴스 변화를 가하는 실험을 위한 회로구조를 도시한 도면이다.

도 14는 도 13에 도시된 회로에서 캐퍼시터의 캐퍼시턴스가 변화되는 경우, 링 오실레이터의 출력 주파수 변화를 도시한 그래프이다.

도 15는 일 실시 예에 따라 모든 노드에 캐퍼시턴스 변화를 가하는 실험을 위한 회로구조를 도시한 도면이다.

도 16은 도 15에 도시된 회로에서 캐퍼시터의 캐퍼시턴스가 변화되는 경우, 링 오실레이터의 출력 주파수 변화를 도시한 그래프이다.

도 17은 일 실시 예에 따라 단일 노드에 저항 변화를 가하는 실험을 위한 회로구조를 도시한 도면이다.

도 18은 도 17에 도시된 회로에서 저항이 변화되는 경우, 링 오실레이터의 출력 주파수 변화를 도시한 그래프이다.

도 19는 일 실시 예에 따라 모든 노드에 저항 변화를 가하는 실험을 위한 회로구조를 도시한 도면이다.

도 20은 도 19에 도시된 회로에서 저항의 저항값이 변화되는 경우, 링 오실레이터의 출력 주파수 변화를 도시한 그래프이다.

도 21은 일 실시 예에 따른 적층 구조 링 오실레이터를 도시한 도면이다.

도 22는 일 실시 예에 따라 링 오실레이터 셀을 포함하는 센서 장치를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0021] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 제한되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야의 통상의 기술자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0022] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소 외에 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다. 명세서 전체에 걸쳐 동일한 도면 부호는 동일한 구성 요소를 지칭하며, "및/또는"은 언급된 구성요소들의 각각 및 하나 이상의 모든 조합을 포함한다. 비록 "제1", "제2" 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.

[0023] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야의 통상의 기술자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또한, 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0024] 명세서에서 사용되는 "부" 또는 “모듈”이라는 용어는 소프트웨어, FPGA 또는 ASIC과 같은 하드웨어 구성요소를 의미하며, "부" 또는 “모듈”은 어떤 역할들을 수행한다. 그렇지만 "부" 또는 “모듈”은 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. "부" 또는 “모듈”은 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다. 따라서, 일 예로서 "부" 또는 “모듈”은 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로 코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들 및 변수들을 포함한다. 구성요소들과 "부" 또는 “모듈”들 안에서 제공되는 기능은 더 작은 수의 구성요소들 및 "부" 또는 “모듈”들로 결합되거나 추가적인 구성요소들과 "부" 또는 “모듈”들로 더 분리될 수 있다.

[0025] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 구성요소와 다른 구성요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 구성요소들의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들어, 도면에 도시되어 있는 구성요소를 뒤집을 경우, 다른 구성요소의 "아래(below)"또는 "아래(beneath)"로 기술된 구성요소는 다른 구성요소의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 구성요소는 다른 방향으로도 배향될 수 있으며, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[0026] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

[0027] 도 1은 각각의 실시 예에 따른 링 오실레이터를 간략하게 도시한 도면이다.

[0028] 일 실시 예에서, 링 오실레이터(발진기)는 홀수 개의 반전 증폭기 또는 인버터나 지연기를 루프순환 형태로 직렬 연결시킨 순차논리회로형 발진기를 의미한다.

[0029] 도 1의 (a)를 참조하면, 3개의 인버터를 포함하는 일반적인 링 오실레이터(100)가 도시되어 있다.

[0030] 본 발명은 프렉탈 구조로 연결되어있는 링 오실레이터 셀의 발진 및 비발진을 제어함으로서 발진회로로써 링오실레이터의 전력 효율을 높이는 것을 목적으로 하며, 이를 위하여 NAND 게이트 혹은 3상 인버터(Tri-State Inverter)를 이용한다.

[0031] 예를 들어, 도 1의 (b)를 참조하면, 링 오실레이터(100)에 포함된 3개의 인버터 중 하나를 NAND 게이트(202)로 교체함으로써 전체 회로의 발진 및 비발진을 제어하도록 하는, 링 오실레이터(200)가 도시되어 있다.

[0032] 링 오실레이터(200)는 NAND 게이트(202)의 두 개의 입력 A, B 중 A가 on상태일 때, 출력은 B와 같으며, A가 off 상태일 때, B와 관계없이 출력이 off가 되는 관점에서, NAND 게이트(202)로 링 오실레이터(200)의 발진 및 비발진을 제어하는 회로이다.

[0033] 또한, 도 1의 (c)를 참조하면, 링 오실레이터(100)에 포함된 3개의 인버터 중 하나를 3상 인버터(302)로 교체함으로써 전체 회로의 발진 및 비발진을 제어하도록 하는, 링 오실레이터(300)가 도시되어 있다.

[0034] 링 오실레이터(300)는 3상 인버터(302)의 출력이 입력 A, B 중 A가 on일 때, 출력은 B와 같으며, A가 off 상태일 때, B에 관계없이 출력이 Z-state(floating)이 되는 관점에서 3상 인버터로 링 오실레이터(300)의 발진 및 비발진 상태를 제어하는 회로이다.

[0035] 도 2는 일 실시 예에 따라 NAND 게이트를 이용하는 링 오실레이터의 구조를 트랜지스터 단위에서 도시한 도면이다.

[0036] 도 2를 참조하면, 도 1의 (b)에서 도시된 바와 같이 NAND 게이트와 2개의 인버터가 순차적으로 연결되어 있다. 링 오실레이터(200)를 이용하여 시뮬레이션을 수행한 결과, en(enable voltage) = 0일 때 비발진, en = 1일 때 발진하는 것이 확인되었다.

[0037] 도 3은 일 실시 예에 따라 3상 인버터를 이용하는 링 오실레이터의 구조를 트랜지스터 단위에서 도시한 도면이다.

[0038] 도 3을 참조하면, 도 1의 (c)에서 도시된 바와 같이 3상 인버터와 2개의 인버터가 순차적으로 연결되어 있다. 링 오실레이터(300)를 이용하여 시뮬레이션을 수행한 결과, en = 0일 때 floating state로 비발진, en = 1일 때 발진하는 것이 확인되었다.

[0039] 도 4는 도 2 및 도 3에 도시된 링 오실레이터를 이용한 실험결과를 도시한 도면이다.

[0040] 도 4의 (a)를 참조하면, 도 2에 도시된 링 오실레이터(200)에서 en의 변화(가로축)에 따른 주파수(frequency, GHz 단위) 변화(세로축)가 그래프로 도시되어 있다.

[0041] 도 2에 도시된 링 오실레이터(200)에서 en의 변화에 따른 주파수의 변화를 측정한 결과는 아래 표 1과 같다.

표 1

[0042]

en[V]	2	2.25	2.5	2.75	3
frequency[GHz]	1.0547	1.1262	1.1628	1.184	1.1945

[0043] 마찬가지로, 도 4의 (b)를 참조하면, 도 3에 도시된 링 오실레이터(300)에서 en의 변화(가로축)에 따른 주파수(frequency, GHz 단위) 변화(세로축)가 그래프로 도시되어 있다.

[0044] 도 3에 도시된 링 오실레이터(3200)에서 en의 변화에 따른 주파수의 변화를 측정한 결과는 아래 표 2와 같다.

표 2

[0045]

en[V]	1	1.25	1.5	1.75	2	2.25	2.5	2.75	3
freq. [GHz]	0.4623	0.8029	1.1268	1.2109	1.242	1.2595	1.2711	1.2791	1.2849

[0046] 도 4 및 표 1, 표 2에 도시된 바와 같이, 두 종류의 링 오실레이터(200, 300) 모두 enable voltage가 높아질수록 발진주파수가 높아지며, 점차 기울기가 작아지는 것을 확인할 수 있다.

[0047] 하지만, 3상 인버터를 이용한 링 오실레이터(300)가 NAND 게이트를 이용한 링 오실레이터(200)보다 주파수의 조절 폭이 넓으며, 더 낮은 enable voltage에서도 발진하는 특징이 있다.

[0048] 따라서, 3상 인버터를 이용한 링 오실레이터(300)는 링 오실레이터의 발진 제어에 유리한 측면이 있다.

[0049] 도 5 내지 도 12는 n단 CON(Cellular Oscillatory Networks)의 발진을 제어하는 일 예를 각각 도시한

도면이다.

[0050] 도 5 내지 도 8은 일 실시 예에 따라 NAND 게이트를 이용한 n단 CON의 발진을 제어하는 일 예를 각각 도시한 도면이다.

[0051] 도 5는 일 실시 예에 따라 NAND 게이트를 이용한 3단 링 오실레이터를 도시한 도면이다.

[0052] 도 5를 참조하면, 6개의 링 오실레이터를 포함하는 3단 링 오실레이터(210)가 도시되어 있다. 또한, 6개의 링 오실레이터 중 적어도 일부는, 도 2에 도시된 바와 같이 NAND 게이트를 이용한 링 오실레이터(200)로 구성될 수 있다.

[0053] 도 5에 도시된 제한되지 않는 실시 예에 따르면, 6개의 링 오실레이터 중 회색 음영으로 표시된 3개의 링 오실레이터가 NAND 게이트를 이용한 링 오실레이터(200)로 구성되어 있다. 따라서, 3단 링 오실레이터(210)에 포함된 총 18개의 소자 중 인버터는 15개이고, NAND 게이트는 3개로, 전체의 16.67%가 NAND 게이트로 구성될 수 있다.

[0054] 도 6은 일 실시 예에 따라 NAND 게이트를 이용한 5단 오실레이터를 도시한 도면이다.

[0055] 도 6을 참조하면, 15개의 링 오실레이터를 포함하는 5단 링 오실레이터(220)가 도시되어 있다. 또한, 15개의 링 오실레이터 중 적어도 일부는, 도 2에 도시된 바와 같이 NAND 게이트를 이용한 링 오실레이터(200)로 구성될 수 있다.

[0056] 도 6에 도시된 제한되지 않는 실시 예에 따르면, 15개의 링 오실레이터 중 회색 음영으로 표시된 5개의 링 오실레이터가 NAND 게이트를 이용한 링 오실레이터(200)로 구성되어 있다. 따라서, 5단 링 오실레이터(220)에 포함된 총 45개의 소자 중 인버터는 40개이고, NAND 게이트는 5개로, 전체의 11.11%가 NAND 게이트로 구성될 수 있다.

[0057] 도 7은 일 실시 예에 따라 NAND 게이트를 이용한 7단 오실레이터를 도시한 도면이다.

[0058] 도 7을 참조하면, 28개의 링 오실레이터를 포함하는 7단 링 오실레이터(230)가 도시되어 있다. 또한, 28개의 링 오실레이터 중 적어도 일부는, 도 2에 도시된 바와 같이 NAND 게이트를 이용한 링 오실레이터(200)로 구성될 수 있다.

[0059] 도 7에 도시된 제한되지 않는 실시 예에 따르면, 28개의 링 오실레이터 중 회색 음영으로 표시된 7개의 링 오실레이터가 NAND 게이트를 이용한 링 오실레이터(200)로 구성되어 있다. 따라서, 7단 링 오실레이터(230)에 포함된 총 84개의 소자 중 인버터는 77개이고, NAND 게이트는 7개로, 전체의 8.33%가 NAND 게이트로 구성될 수 있다.

[0060] 도 8은 일 실시 예에 따라 NAND 게이트를 이용한 9단 오실레이터를 도시한 도면이다.

[0061] 도 8을 참조하면, 45개의 링 오실레이터를 포함하는 9단 링 오실레이터(240)가 도시되어 있다. 또한, 45개의 링 오실레이터 중 적어도 일부는, 도 2에 도시된 바와 같이 NAND 게이트를 이용한 링 오실레이터(200)로 구성될 수 있다.

[0062] 도 8에 도시된 제한되지 않는 실시 예에 따르면, 45개의 링 오실레이터 중 회색 음영으로 표시된 12개의 링 오실레이터가 NAND 게이트를 이용한 링 오실레이터(200)로 구성되어 있다. 따라서, 9단 링 오실레이터(240)에 포함된 총 135개의 소자 중 인버터는 123개이고, NAND 게이트는 12개로, 전체의 8.89%가 NAND 게이트로 구성될 수 있다.

[0063] 도 9 내지 도 12는 일 실시 예에 따라 3상 인버터를 이용한 n단 CON의 발진을 제어하는 일 예를 각각 도시한 도면이다.

[0064] 도 9는 일 실시 예에 따라 3상 인버터를 이용한 3단 링 오실레이터를 도시한 도면이다.

[0065] 도 9를 참조하면, 6개의 링 오실레이터를 포함하는 3단 링 오실레이터(310)가 도시되어 있다. 또한, 6개의 링 오실레이터 중 적어도 일부는, 도 3에 도시된 바와 같이 3상 인버터를 이용한 링 오실레이터(300)로 구성될 수 있다.

[0066] 도 9에 도시된 제한되지 않는 실시 예에 따르면, 6개의 링 오실레이터 중 회색 음영으로 표시된 3개의 링 오실레이터가 3상 인버터를 이용한 링 오실레이터(300)로 구성되어 있다. 따라서, 3단 링 오실레이터(310)에 포함된

총 18개의 소자 중 인버터는 15개이고, 3상 인버터는 3개로, 전체의 16.67%가 3상 인버터로 구성될 수 있다.

[0067] 도 10은 일 실시 예에 따라 3상 인버터를 이용한 5단 링 오실레이터를 도시한 도면이다.

[0068] 도 10을 참조하면, 15개의 링 오실레이터를 포함하는 5단 링 오실레이터(320)가 도시되어 있다. 또한, 15개의 링 오실레이터 중 적어도 일부는, 도 3에 도시된 바와 같이 3상 인버터를 이용한 링 오실레이터(300)로 구성될 수 있다.

[0069] 도 10에 도시된 제한되지 않는 실시 예에 따르면, 15개의 링 오실레이터 중 회색 음영으로 표시된 6개의 링 오실레이터가 3상 인버터를 이용한 링 오실레이터(300)로 구성되어 있다. 따라서, 5단 링 오실레이터(320)에 포함된 총 45개의 소자 중 인버터는 39개이고, 3상 인버터는 6개로, 전체의 13.33%가 3상 인버터로 구성될 수 있다.

[0070] 도 11은 일 실시 예에 따라 3상 인버터를 이용한 7단 링 오실레이터를 도시한 도면이다.

[0071] 도 11을 참조하면, 28개의 링 오실레이터를 포함하는 7단 링 오실레이터(330)가 도시되어 있다. 또한, 28개의 링 오실레이터 중 적어도 일부는, 도 3에 도시된 바와 같이 3상 인버터를 이용한 링 오실레이터(300)로 구성될 수 있다.

[0072] 도 11에 도시된 제한되지 않는 실시 예에 따르면, 28개의 링 오실레이터 중 회색 음영으로 표시된 9개의 링 오실레이터가 3상 인버터를 이용한 링 오실레이터(300)로 구성되어 있다. 따라서, 7단 링 오실레이터(330)에 포함된 총 84개의 소자 중 인버터는 75개이고, 3상 인버터는 9개로, 전체의 10.71%가 3상 인버터로 구성될 수 있다.

[0073] 도 12는 일 실시 예에 따라 3상 인버터를 이용한 9단 링 오실레이터를 도시한 도면이다.

[0074] 도 12를 참조하면, 45개의 링 오실레이터를 포함하는 9단 링 오실레이터(340)가 도시되어 있다. 또한, 45개의 링 오실레이터 중 적어도 일부는, 도 3에 도시된 바와 같이 3상 인버터를 이용한 링 오실레이터(300)로 구성될 수 있다.

[0075] 도 12에 도시된 제한되지 않는 실시 예에 따르면, 45개의 링 오실레이터 중 회색 음영으로 표시된 12개의 링 오실레이터가 3상 인버터를 이용한 링 오실레이터(300)로 구성되어 있다. 따라서, 9단 링 오실레이터(340)에 포함된 총 135개의 소자 중 인버터는 123개이고, 3상 인버터는 12개로, 전체의 8.89%가 3상 인버터로 구성될 수 있다.

[0076] 도 13 내지 도 16은 일 실시 예에 따라 링 오실레이터의 캐퍼시턴스(capacitance) 변화에 따른 발진주파수의 변화를 설명하기 위한 도면이다.

[0077] 도 13 및 도 15에 도시된 링 오실레이터(400 및 500)는 도 1의 (a)에 도시된 바와 같이, 세 개의 인버터로 구성된 회로이다. 하지만, 링 오실레이터(400 및 500)는 도 13 및 도 15에 도시된 바에 제한되지 않으며, 도 1의 (b) 및 (c)에 각각 도시된 회로가 이용될 수도 있고, 도 9 내지 도 12에 도시된 회로가 이용될 수도 있으며, 또 다른 구성의 링 오실레이터 회로가 이용될 수도 있다.

[0078] 도 13은 일 실시 예에 따라 단일 노드에 캐퍼시턴스 변화를 가하는 실험을 위한 회로구조를 도시한 도면이다.

[0079] 도 13을 참조하면, 링 오실레이터(400)의 한 노드에 캐퍼시터가 추가되어 있다. 예를 들어, 캐퍼시터는 링 오실레이터(400)의 첫 번째 인버터와 두 번째 인버터 사이에 추가될 수 있다. 이는 외부 자극에 의한 캐퍼시턴스 변화를 실험하기 위하여 추가된 것으로, 링 오실레이터(400)를 이용하여 실제로 외부 자극에 의한 캐퍼시턴스 변화를 감지하고자 하는 경우, 외부 자극요소가 도 13에 도시된 캐퍼시턴스의 위치에 연결될 수 있다.

[0080] 도 14는 도 13에 도시된 회로에서 캐퍼시터의 캐퍼시턴스가 변화되는 경우, 링 오실레이터의 출력 주파수 변화를 도시한 그래프이다.

[0081] 예를 들어, 캐퍼시턴스는 MOSFET의 게이트 캐퍼시턴스 대비 0% 내지 10%(step: 1%), 10%~30%(step: 10%)로 변화가 주어질 수 있다. 캐퍼시턴스 변화에 따른 결과는 아래 표 3과 같다.

표 3

[0082]

capacitance 변화율[%]	0	1	2	3	4	5	6
frequency[GHz]	1.4742	1.4738	1.4733	1.4728	1.4724	1.4719	1.4715
capacitance 변화율[%]	7	8	9	10	20	30	-

frequency[GHz]	1.4710	1.4705	1.4701	1.4696	1.4651	1.4606	-

[0083] 링 오실레이터(400) 회로에 캐퍼시턴스가 변화되었을 때 출력은 주파수의 변화로 나타낸다. 도 14 및 표 3을 참조하면, 게이트 캐퍼시턴스 대비 일정 비율 캐퍼시턴스 변화에 따른 출력 주파수의 변화가 도시되어 있다.

[0084] 주파수는 캐퍼시턴스가 증가함에 따라 선형적으로 감소하는 것이 확인되며, 주파수 감소를 수식으로 표현하면 아래 수학식 1과 같다.

수학식 1

[0085] $$f = -0.0005C + 1.4742$$

[0086] 위 수학식 1에서, f는 링 오실레이터(400)의 출력 주파수, C는 게이트 캐퍼시턴스 대비 외부 자극에 의한 캐퍼시턴스 변화율이며, y절편 1.4742는 외부 자극에 의한 캐퍼시턴스가 없을 때의 출력 주파수이다.

[0087] 이로부터, 위 수학식 1은 아래 수학식 2와 같이 정리될 수 있다.

수학식 2

[0088] $$f = -0.0005C + f_0 \quad (f_0 = non-capacitance\ output\ frequency)$$

$$f_0 = \frac{1}{2nt_d} \quad (t_d = inverter\ propagation\ delay)$$

$$f = -0.0005C + \frac{1}{2nt_d}$$

[0089] 도 15는 일 실시 예에 따라 모든 노드에 캐퍼시턴스 변화를 가하는 실험을 위한 회로구조를 도시한 도면이다.

[0090] 도 15를 참조하면, 링 오실레이터(400)의 모든 노드에 캐퍼시터가 추가되어 있다. 예를 들어, 캐퍼시터는 링 오실레이터(400)의 모든 인버터 사이에 각각 추가될 수 있다. 이는 외부 자극에 의한 캐퍼시턴스 변화를 실험하기 위하여 추가된 것으로, 링 오실레이터(400)를 이용하여 실제로 외부 자극에 의한 캐퍼시턴스 변화를 감지하고자 하는 경우, 외부 자극요소가 도 15에 도시된 캐퍼시턴스의 위치에 각각 연결될 수 있다.

[0091] 도 16은 도 15에 도시된 회로에서 캐퍼시터의 캐퍼시턴스가 변화되는 경우, 링 오실레이터의 출력 주파수 변화를 도시한 그래프이다.

[0092] 예를 들어, 캐퍼시턴스는 MOSFET의 게이트 캐퍼시턴스 대비 0% 내지 10%(step: 1%), 10%~30%(step: 10%)로 변화가 주어질 수 있다. 모든 캐퍼시터에 동일한 캐퍼시턴스 변화가 주어진 경우, 캐퍼시턴스 변화에 따른 결과는 아래 표 4와 같다.

표 4

[0093]

capacitance 변화율[%]	0	1	2	3	4	5	6
frequency[GHz]	1.4742	1.4728	1.4715	1.4701	1.4686	1.4672	1.4658
capacitance 변화율[%]	7	8	9	10	20	30	-
frequency[GHz]	1.4644	1.4630	1.4616	1.4602	1.4462	1.4322	-

[0094] 링 오실레이터(500) 회로에 캐퍼시턴스가 변화되었을 때 출력은 주파수의 변화로 나타낸다. 도 16 및 표 4를 참조하면, 게이트 캐퍼시턴스 대비 일정 비율 캐퍼시턴스 변화에 따른 출력 주파수의 변화가 도시되어 있다.

[0095] 주파수는 캐퍼시턴스가 증가함에 따라 선형적으로 감소하는 것이 확인되며, 주파수 감소를 수식으로 표현하면 아래 수학식 3과 같다.

수학식 3

[0096] $$f = -0.0014C + 1.4742$$

[0097] 수학식 1과 비교하였을 때, 캐퍼시턴스에 대한 비례계수만이 약 3배 증가한 것으로 확인된다.

[0098] 또한, 도 15에 도시된 회로에서 세 노드에 각각 다른 캐퍼시턴스 변화가 주어질 수 있다. 세 노드에 각각 다른 캐퍼시턴스 변화가 주어진 경우 실험결과는 아래 표 5와 같다.

표 5

[0099]

capacitance 변화율[%]	frequency[GHz]
ca:1% cb:3% cc:5%	1.4701
ca:1% cb:5% cc:9%	1.4673
ca:10% cb:20% cc:30%	1.4463

[0100] 표 5는 세 노드에 각각 MOSFET 게이트 캐퍼시턴스 대비 2% 스텝, 4% 스텝 및 10% 스텝의 캐퍼시턴스 변화를 주었을 때의 출력 주파수를 나타낸 결과이다. 각각 다른 캐퍼시턴스 변화를 주었으나, 회로도 상으로는 캐퍼시터의 면적만 증가한 것과 같으므로, 회로 전체의 캐퍼시턴스 합으로 비교했을 때 도 16과 같은 파형이 출력되는 것을 확인할 수 있다.

[0101] 따라서, 개시된 실시 예에 따라 링 오실레이터 회로에 캐퍼시턴스 값을 변화하여 실험하는 경우 캐퍼시턴스 값에 따라 아래 수학식 4와 같이 캐퍼시턴스 값이 증가함에 따라 선형적으로 출력 주파수가 감소하는 것이 확인되었다.

수학식 4

[0102] $$f = -0.0005CN + \frac{1}{2nt_d}$$

[0103] 위 수학식 4에서, N은 링 오실레이터에 포함된 캐퍼시터의 수이다.

[0104] 따라서, 외부 자극에 의해 회로상에 캐퍼시턴스 변화가 발생하였을 때, 그 영향으로 링 오실레이터의 발진 주파수가 변하는 것으로 외부 자극을 감지할 수 있다. 이로 인해 링 오실레이터를 단순 발진 회로로서뿐 아니라, 회로에 접촉하여 회로 전체의 캐퍼시턴스에 영향을 미치는 물질을 감지할 수 있는 센서 회로로서 활용할 수 있음을 알 수 있다.

[0105] 도 17 내지 도 20은 일 실시 예에 따라 링 오실레이터의 저항(resistance) 변화에 따른 발진주파수의 변화를 설명하기 위한 도면이다.

[0106] 도 17 및 도 19에 도시된 링 오실레이터(600 및 700)는 도 1의 (a)에 도시된 바와 같이, 세 개의 인버터로 구성된 회로이다. 하지만, 링 오실레이터(600 및 700)는 도 17 및 도 19에 도시된 바에 제한되지 않으며, 도 1의 (b) 및 (c)에 각각 도시된 회로가 이용될 수도 있고, 도 9 내지 도 12에 도시된 회로가 이용될 수도 있으며, 또 다른 구성의 링 오실레이터 회로가 이용될 수도 있다.

[0107] 도 17은 일 실시 예에 따라 단일 노드에 저항 변화를 가하는 실험을 위한 회로구조를 도시한 도면이다.

[0108] 도 17을 참조하면, 링 오실레이터(600)의 한 노드에 저항이 추가되어 있다. 예를 들어, 저항은 링 오실레이터(600)의 첫 번째 인버터와 VDD 사이에 추가될 수 있다. 이는 외부 자극에 의한 저항 변화를 실험하기 위하여 추

가된 것으로, 링 오실레이터(600)를 이용하여 실제로 외부 자극에 의한 캐퍼시턴스 변화를 감지하고자 하는 경우, 외부 자극요소가 도 17에 도시된 캐퍼시턴스의 위치에 연결될 수 있다.

[0109] 도 18은 도 17에 도시된 회로에서 저항이 변화되는 경우, 링 오실레이터의 출력 주파수 변화를 도시한 그래프이다.

[0110] 예를 들어, 저항은 0k~10k(step: 1k), 10k~30k(step: 10k)로 변화가 주어질 수 있다. 저항 변화에 따른 결과는 아래 표 6과 같다.

표 6

[0111]

Resistance[Ω]	0	1k	2k	3k	4k	5k	6k
frequency[GHz]	1.4742	1.4309	1.3929	1.3591	1.3286	1.3008	1.2752
resistance[Ω]	7k	8k	9k	10k	20k	30k	-
frequency[GHz]	1.2515	1.2294	1.2087	1.1891	1.0362	0.9284	-

[0112] 링 오실레이터(600) 회로에 저항이 변화되었을 때 출력은 주파수의 변화로 나타낸다. 도 18 및 표 6을 참조하면, 저항 변화에 따른 출력 주파수의 변화가 도시되어 있다. 이에 따르면, 저항이 증가할수록 출력 주파수가 감소하며, 그 기울기 또한 감소하는 것으로 확인된다.

[0113] 도 19는 일 실시 예에 따라 모든 노드에 저항 변화를 가하는 실험을 위한 회로구조를 도시한 도면이다.

[0114] 도 19를 참조하면, 링 오실레이터(700)의 모든 노드에 저항이 추가되어 있다. 예를 들어, 저항은 링 오실레이터(700)의 모든 인버터와 VDD 사이에 각각 추가될 수 있다. 이는 외부 자극에 의한 저항 변화를 실험하기 위하여 추가된 것으로, 링 오실레이터(700)를 이용하여 실제로 외부 자극에 의한 저항 변화를 감지하고자 하는 경우, 외부 자극요소가 도 19에 도시된 저항의 위치에 각각 연결될 수 있다.

[0115] 도 20은 도 19에 도시된 회로에서 저항의 저항값이 변화되는 경우, 링 오실레이터의 출력 주파수 변화를 도시한 그래프이다.

[0116] 예를 들어, 저항은 0k~10k(step: 1k), 10k~30k(step: 10k)로 모두 동일하게 변화가 주어질 수 있다. 저항 변화에 따른 결과는 아래 표 7과 같다.

표 7

[0117]

resistance[Ω]	0	1k	2k	3k	4k	5k	6k
frequency[GHz]	1.4742	1.3591	1.2669	1.1911	1.1273	1.0728	1.0254
resistance[Ω]	7k	8k	9k	10k	20k	30k	-
frequency[GHz]	0.9835	0.9469	0.9140	0.8857	0.6968	0.6026	-

[0118] 도 20과 표 7은 모든 인버터에 동일한 저항 변화를 주었을 때 링 오실레이터(700)의 출력 주파수 변화에 대한 그래프와 결과 표이다. 실험 결과, 단일 노드에 저항 변화를 주었을 때보다 출력 주파수가 약 3배 빠르게 감소하는 것이 확인된다.

[0119] 또한, 도 19에 도시된 회로에서 세 노드에 각각 다른 저항 변화가 주어질 수 있다. 세 노드에 각각 다른 저항 변화가 주어진 경우 실험결과는 아래 표 8과 같다.

표 8

[0120]

resistance[Ω]	frequency[GHz]
a:1k b:2k c:3k	1.2047
a:1k b:5k c:9k	1.0957
a:10k b:20k c:30k	0.7011

[0121] 표 8은 세 인버터에 각각 1k 스텝, 4k 스텝, 10k 스텝의 저항 변화를 주었을 때의 출력 주파수를 나타낸 결과이다.

[0122] 각각 다른 저항 변화를 주었으나, 도 20과 근사한 주파수의 파형이 출력됨이 확인되었다.

[0123] 따라서, 저항 값의 변화에 따라 출력이 변하는 것으로 보아 링 오실레이터 회로를 센서 회로로 확용할 수 있음이 확인되었다.

[0124] 즉, 외부 자극에 의해 회로상에 저항 변화가 발생하였을 때, 그 영향으로 링 오실레이터의 발진 주파수가 변하는 것으로 외부 자극을 감지할 수 있다. 이로 인해 링 오실레이터를 단순 발진 회로로서뿐 아니라, 회로에 접촉하여 회로 전체의 저항에 영향을 미치는 물질을 감지할 수 있는 센서 회로로서 활용할 수 있음을 알 수 있다.

[0125] 또한, 저항의 변화값에 다른 출력 주파수 사이의 관계에 대한 구체적인 정리와, 캐퍼시턴스 변화와 동시에 자극이 일어났을 때 특정 대상을 감지하는 방법의 구체화를 통해 더 정확하고 효율적인 센서 장치로 동작할 수 있다.

[0126] 도 21은 일 실시 예에 따른 적층 구조 링 오실레이터를 도시한 도면이다.

[0127] 도 21을 참조하면, 하나 이상의 CON이 방향의 변화 없이 단순히 적층으로 쌓아올려진 단순 적층 구조 링 오실레이터(810 내지 830)가 도시되어 있다.

[0128] 이는 단순히 동위상 노드를 연결한 구조로서, 발진파형을 출력하는 데 문제가 되지 않는다. 그 주파수 또한 동일하게(예로, 1.4742GHz) 나타나는 것이 확인되었다.

[0129] 다른 실시 예에서, 층별로 일부 CON의 방향을 반대로 하여 쌓아올리는 복합 적층 구조 링 오실레이터의 경우, 정방향과 역방향의 혼합으로 다른 결과가 획득된다.

[0130] 예를 들어, 정방향과 역방향이 혼합된 적층 링 오실레이터 구조에서는 짝수 단(2단, 4단, … , 2n단)에서는 발진을 하지 않으며, 홀수 단(3단, 5단, … , 2n-1단) 에서는 발진이 일어나는 것으로 확인되었다.

[0131] 또한, 홀수 단에서도 서로 반대방향 성분이 2쌍 이상을 이룰 때에는 발진 주파수가 크게 감소하는 것으로 확인되었다.

[0132] 즉, 정방향과 역방향 CON은 각각의 발진신호가 합성됨에 따라 상쇄되는 것으로 확인된다.

[0133] 적층 구조의 링 오실레이터의 경우 3D 구조로 칩을 제작하는 데 활용될 수 있으며, 이 과정에서 전원선(power line)과 층간 거리에 따른 전압강하, 방열판과 각 층의 거리 차에 의한 발열제어, 각 층을 연결하는 via의 저항 등의 변수를 고려하여 설계되어야 한다.

[0134] 예를 들어, 각 층의 거리 차가 좁아 발열제어에 문제가 생길 것으로 판단되는 경우, 해당 층에는 서로 반대방향의 링 오실레이터를 적층함으로써, 각각의 발진 신호를 상쇄할 수 있다. 반대로, 각 층의 거리 차가 넓은 경우 동일방향의 링 오실레이터를 적층할 수도 있으나, 이에 제한되는 것은 아니다.

[0135] 도 22는 일 실시 예에 따라 링 오실레이터 셀을 포함하는 센서 장치를 도시한 도면이다.

[0136] 도 22를 참조하면, 센서 장치(900)는 링 오실레이터 셀(910)을 포함한다. 일 실시 예에서, 링 오실레이터 셀(910)은 복수의 노드(912, 914 및 916)를 포함한다.

[0137] 일 실시 예에서, 센서 장치(900)는 복수의 노드(912, 914 및 916) 중 적어도 하나(예로, 912)와 연결되는 감지부(920)를 포함한다. 예를 들어, 감지부는 적어도 하나의 노드(912)와 한쪽 끝이 연결되고, 다른 쪽 끝이 외부 회로 등에 연결되는 구조를 취할 수 있다. 예를 들어, 감지부(920)는 노드(912)의 두 지점과, 외부 회로의 두 지점을 서로 연결하는 전선 등 연결부재를 포함할 수 있다.

[0138] 일 실시 예에서, 감지부(920)는 외부 객체의 저항의 변화를 판단하는 데 이용되는 제1 감지부 및 외부 객체의 캐퍼시턴스의 변화를 감지하는 데 이용되는 제2 감지부를 포함할 수 있다.

[0139] 예를 들어, 제1 감지부는 링 오실레이터 셀(910)에 포함된 복수의 노드(912, 914 및 916) 중 적어도 하나와 VDD 사이에 연결되고, 제2 감지부는 복수의 노드(912, 914 및 916)에 포함된 두 노드 사이에 연결될 수 있다.

[0140] 예를 들어, 감지부(920)는 도 17 및 도 19에 도시된 캐퍼시터 및 저항의 위치에 연결될 수 있다. 즉, 도 17 및 도 19에 각각 도시된 캐퍼시터 및 저항 대신 캐퍼시턴스 또는 저항의 변화를 감지하고자 하는 두 지점이 감지부(920)에 연결될 수 있다.

[0141] 도 17에 도시된 캐퍼시터의 위치에 연결된 감지부는 캐퍼시턴스의 변화를 판단하는 데 이용되고, 도 19에 도시

된 저항의 위치에 연결된 감지부는 저항의 변화를 판단하는 데 이용될 수 있다.

[0142] 일 실시 예에서, 센서 장치(900)는 링 오실레이터 셀(910)의 출력을 측정하는 출력 측정부(930)를 포함한다. 출력 측정부(930)는 링 오실레이터 셀(910)에서 발생하는 발진 주파수를 측정하고, 이로부터 감지부(920)와 연결된 외부 회로 등의 캐퍼시턴스 및 저항의 변화를 판단할 수 있다.

[0143] 제어부(940)는 적어도 하나의 프로세서를 포함하는 컴퓨팅 장치를 의미할 수도 있고, 개시된 실시 예에 따른 동작을 수행할 수 있는 회로를 의미할 수도 있다. 개시된 실시 예에서, 제어부(940)는 출력 감지부(930)로부터 측정되는 출력의 변화에 기초하여 감지부(920)와 연결된 객체의 저항 및 캐퍼시턴스 중 적어도 하나의 변화를 판단한다.

[0144] 일 실시 예에서, 링 오실레이터 셀(910)은 적어도 하나의 NAND 게이트, 하나 이상의 인버터 및 NAND 게이트에 전압을 인가하는 전원부를 포함할 수 있다.

[0145] 예를 들어, 도 22에 도시된 각각의 노드(912, 914 및 916)에 하나의 NAND 게이트 및 두 개의 인버터 중 하나가 각각 배치될 수 있으나, 이에 제한되지 않는다. 예를 들어, 도 2에 도시된 링 오실레이터(200)가 링 오실레이터 셀(910)로서 활용될 수도 있다.

[0146] 일 실시 예에서, 링 오실레이터 셀(910)은 적어도 하나의 3상 인버터, 하나 이상의 인버터 및 3상 인버터에 전압을 인가하는 전원부를 포함할 수 있다.

[0147] 예를 들어, 도 22에 도시된 각각의 노드(912, 914 및 916)에 하나의 3상 인버터 및 두 개의 인버터 중 하나가 각각 배치될 수 있으나, 이에 제한되지 않는다. 예를 들어, 도 3에 도시된 링 오실레이터(300)가 링 오실레이터 셀(910)로서 활용될 수도 있다.

[0148] 일 실시 예에서, 센서 장치(900)는 복수의 인버터를 포함하는 링 오실레이터 셀(미도시)을 더 포함할 수 있다. 예를 들어, 링 오실레이터 셀은 3개의 인버터를 포함할 수 있으나, 이에 제한되지 않는다.

[0149] 개시된 실시 예에서, NAND 게이트 또는 3상 인버터를 포함하는 복수의 링 오실레이터 셀과, 3개의 인버터를 포함하는 복수의 링 오실레이터 셀이 서로 프랙탈 구조로 연결되어 센서 장치(900)를 구성할 수 있으나, 이에 제한되지 않는다.

[0150] 일 실시 예에서, 센서 장치(900)는 적어도 하나의 3상 인버터, 하나 이상의 인버터 및 3상 인버터에 전압을 인가하는 전원부를 포함하는, 링 오실레이터 셀(910)을 포함할 수 있다.

[0151] 또한, 센서 장치(900)는 적어도 하나의 3상 인버터 및 하나 이상의 인버터 중 적어도 하나와 연결되는 감지부(920), 링 오실레이터 셀(910)의 출력을 측정하는 출력 측정부(930) 및 측정된 출력의 변화에 기초하여 감지부(920)와 연결된 객체의 저항 또는 캐퍼시턴스 변화를 판단하는 제어부(940)를 포함할 수 있다.

[0152] 일 실시 예에서, 센서 장치(900)는 적어도 하나의 NAND 게이트, 하나 이상의 인버터 및 상기 NAND 게이트에 전압을 인가하는 전원부 포함하는, 링 오실레이터 셀(910)을 포함할 수 있다.

[0153] 또한, 센서 장치(900)는 적어도 하나의 NAND 게이트 및 하나 이상의 인버터 중 적어도 하나와 연결되는 감지부(920), 링 오실레이터 셀(910)의 출력을 측정하는 출력 측정부(930) 및 측정된 출력의 변화에 기초하여 감지부(920)와 연결된 객체의 저항 또는 캐퍼시턴스 변화를 판단하는 제어부(940)를 포함할 수 있다.

[0154] 또한, 도 21과 관련하여 설명된 바와 같이, 복수의 링 오실레이터 셀을 적층으로 쌓아올린 적층 구조의 링 오실레이터가 센서 장치(900)에서 이용될 수 있다.

[0155] 일 실시 예에서, 캐퍼시턴스의 변화에 따른 출력주파수의 변화는 선형적이며, 이는 도 14 및 도 16에 도시된 바와 같다.

[0156] 일 실시 예에서, 저항의 변화에 따른 출력주파수의 변화는 비선형적이며, 도 18 및 도 20에 도시된 바와 같이 저항 증가에 따라 주파수가 증가하며, 그 기울기는 작아지는 것을 확인할 수 있다. 따라서, 저항의 변화를 측정하고자 하는 경우 주파수의 변화량뿐 아니라 그 기울기 또한 함께 고려될 수 있다.

[0157] 또한, 저항과 캐퍼시턴스가 동시에 변화하는 경우, 출력주파수의 변화로부터 이를 감지하기 위하여 저항과 캐퍼시턴스의 변화에 따른 출력주파수의 변화양상이 서로 상이함을 이용할 수 있다.

[0158] 예를 들어, 출력주파수가 변화하는 경우 해당 변화가 캐퍼시턴스의 변화에 의한 것임을 가정하고 캐퍼시턴스의 변화량을 산출하고, 마찬가지로 해당 변화가 저항의 변화에 의한 것임을 가정하고 저항의 변화량을 산출할 수

있다. 산출 결과로부터 각 변화량의 기울기를 획득하고, 기울기가 선형적 변화에 가까운 경우 캐퍼시턴스의 변화가 더 많은 영향을 끼쳤음을 알 수 있고, 기울기가 비선형적 변화에 가까운 경우 저항의 변화가 더 많은 영향을 끼쳤음을 알 수 있다.

[0159] 따라서, 각각의 산출 결과에 따른 기울기의 변화량에 기초하여 저항과 캐퍼시턴스의 변화량의 비율을 산출할 수 있고, 이로부터 저항과 캐퍼시턴스의 변화량을 산출하는 것이 가능하다.

[0160] 또한, 저항과 캐퍼시턴스를 측정하기 위하여 이용되는 감지부가 서로 다른 곳에 배치됨으로써, 각각의 감지부를 번갈아 이용함으로써 저항과 캐퍼시턴스의 변화를 개별적으로 산출할 수도 있다.

[0161] 본 발명의 실시예와 관련하여 설명된 방법 또는 알고리즘의 단계들은 하드웨어로 직접 구현되거나, 하드웨어에 의해 실행되는 소프트웨어 모듈로 구현되거나, 또는 이들의 결합에 의해 구현될 수 있다. 소프트웨어 모듈은 RAM(Random Access Memory), ROM(Read Only Memory), EPROM(Erasable Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 플래시 메모리(Flash Memory), 하드 디스크, 착탈형 디스크, CD-ROM, 또는 본 발명이 속하는 기술 분야에서 잘 알려진 임의의 형태의 컴퓨터 판독가능 기록매체에 상주할 수도 있다.

[0162] 이상, 첨부된 도면을 참조로 하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야의 통상의 기술자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며, 제한적이 아닌 것으로 이해해야만 한다.

부호의 설명

[0163] 900: 센서 장치

910: 링 오실레이터 셀

912: 노드

914: 노드

916: 노드

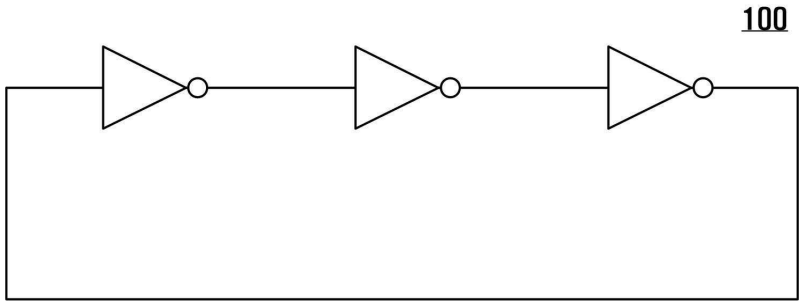
920: 감지부

930: 출력 측정부

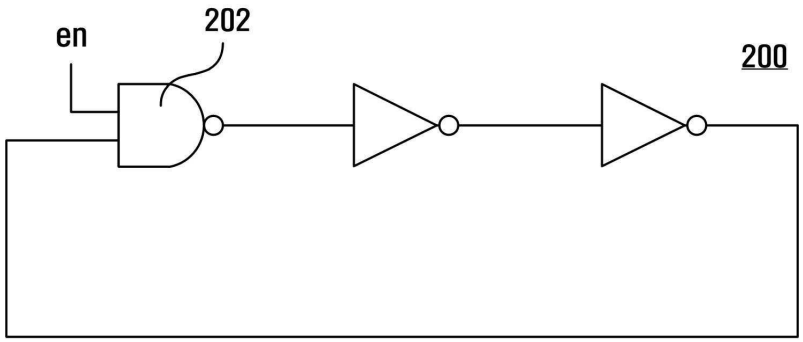
940: 제어부

도면

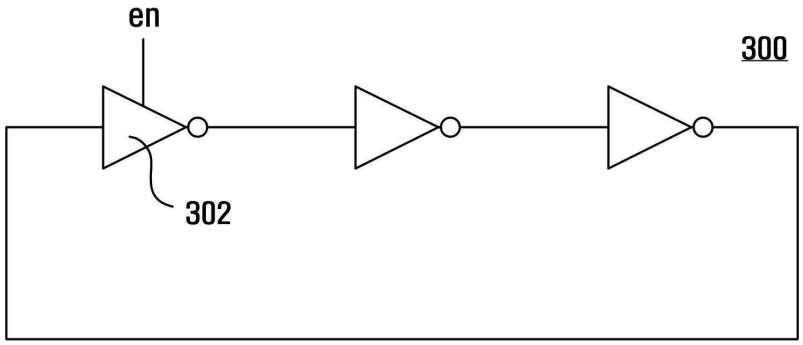
도면1



(a)

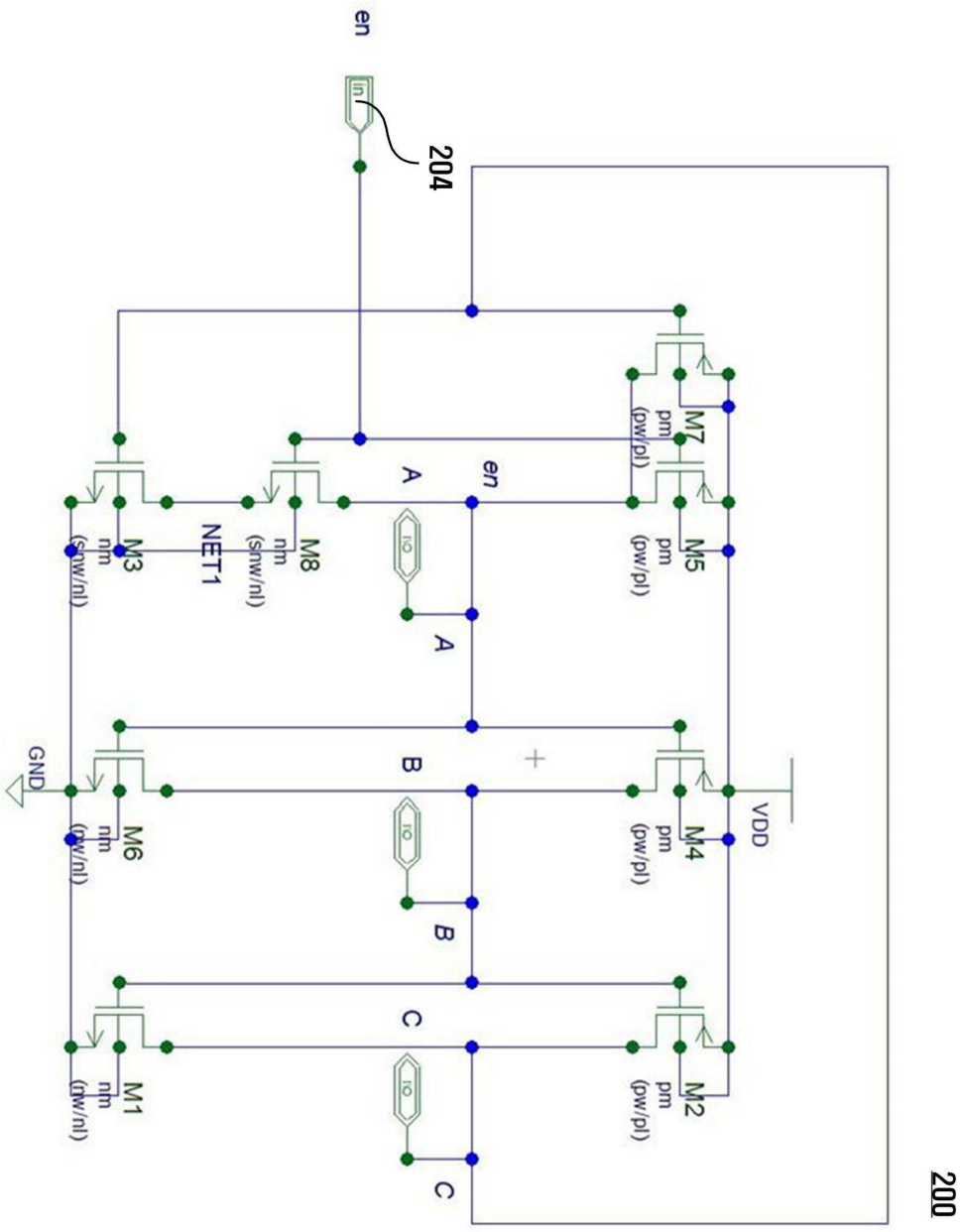


(b)

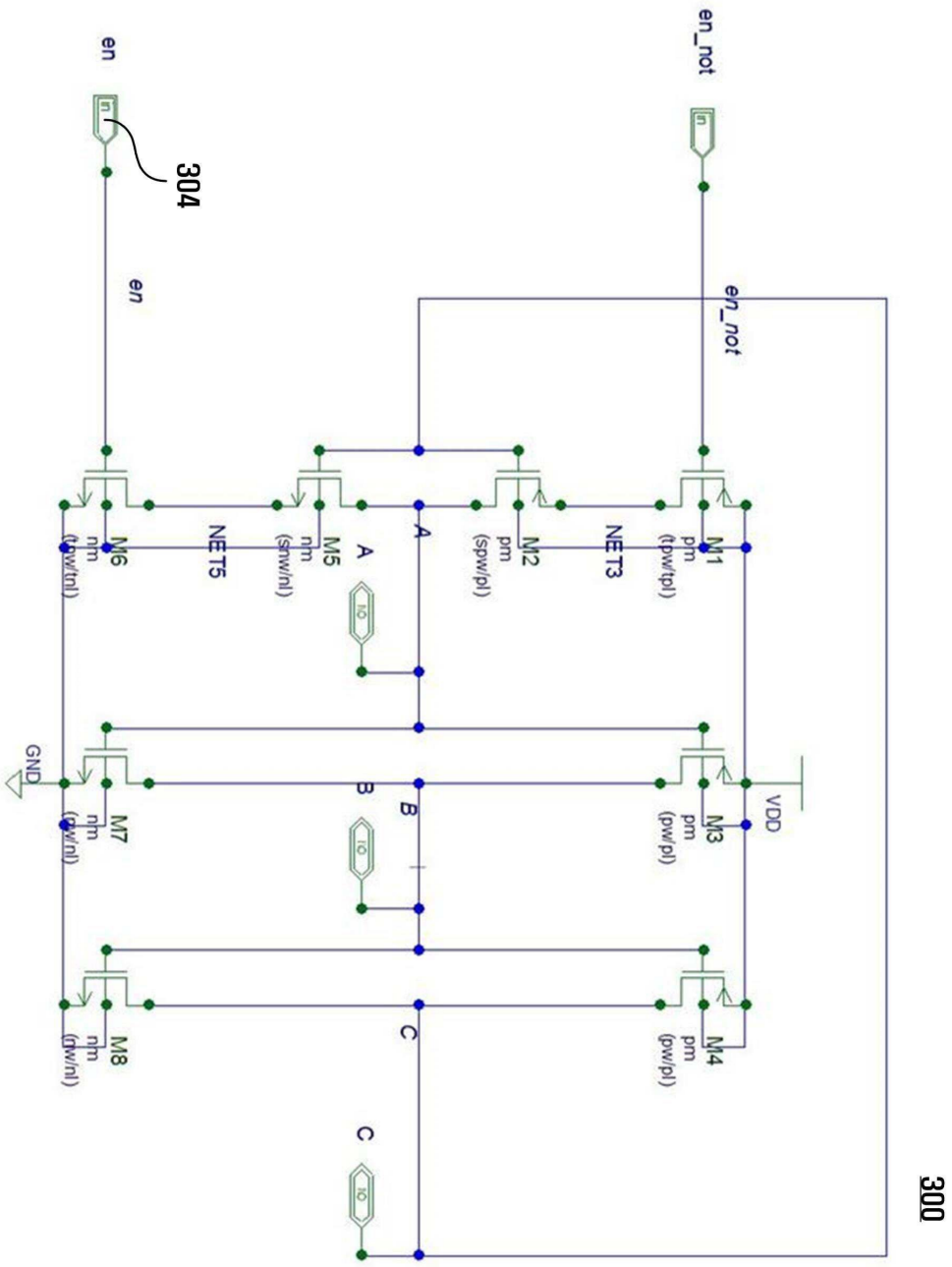


(c)

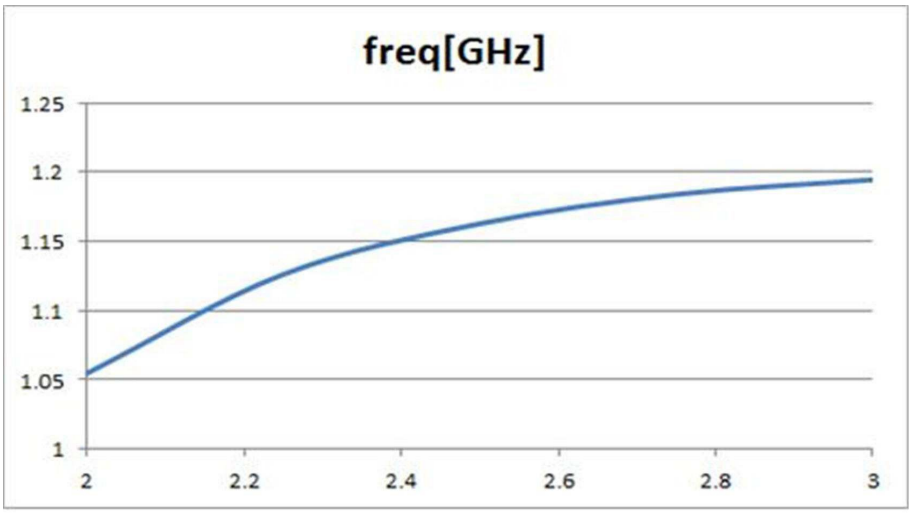
도면2


en
in
204
M7
pm
(pw/pl)
A
en
M3
nm
(snw/nl)
NET1
M8
nm
(snw/nl)
M5
pm
(pw/pl)
A
GND
B
VDD
M6
nm
(pw/nl)
M4
pm
(pw/pl)
B
C
M1
nm
(pw/nl)
M2
pm
(pw/pl)
C
200

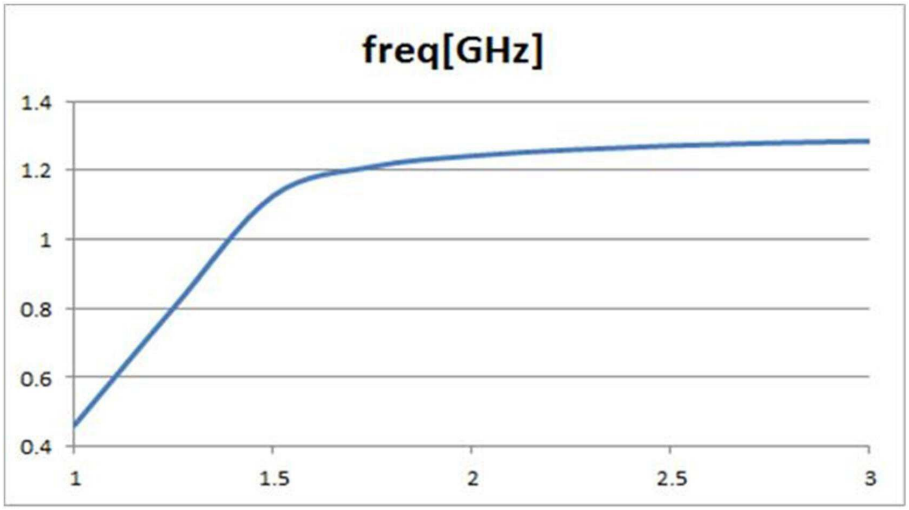
도면3


en
304
en
en_not
en_not
M6
nm
(nw/tnl)
NET5
M5
nm
(snw/nl)
A
A
M2
pm
(spw/pl)
NET3
M1
pm
(tpw/tpl)
GND
M7
nm
(nw/nl)
B
B
M3
pm
(pw/pl)
VDD
M8
nm
(nw/nl)
C
C
M4
pm
(pw/pl)
300

도면4

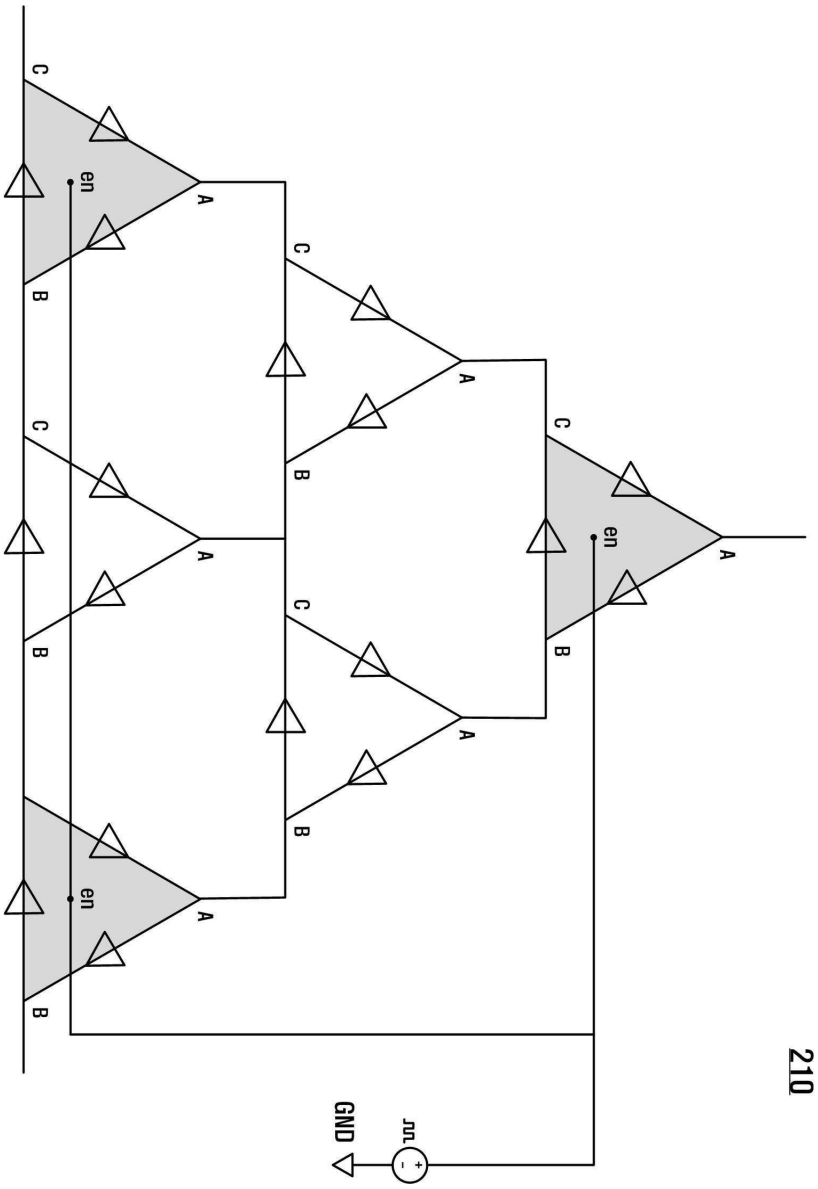

freq[GHz]
1.25
1.2
1.15
1.1
1.05
1
2
2.2
2.4
2.6
2.8
3

(a)

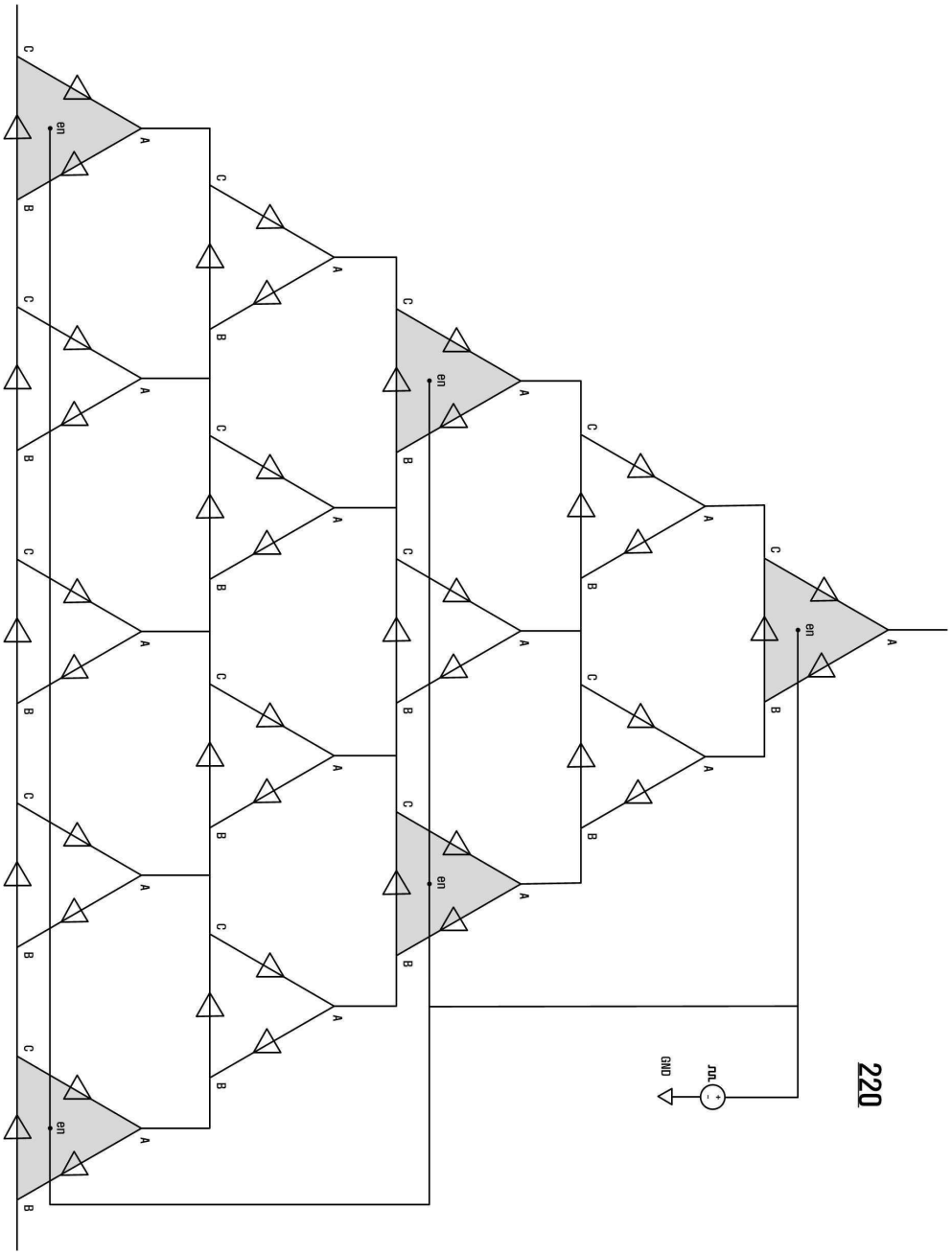

freq[GHz]
1.4
1.2
1
0.8
0.6
0.4
1
1.5
2
2.5
3

(b)

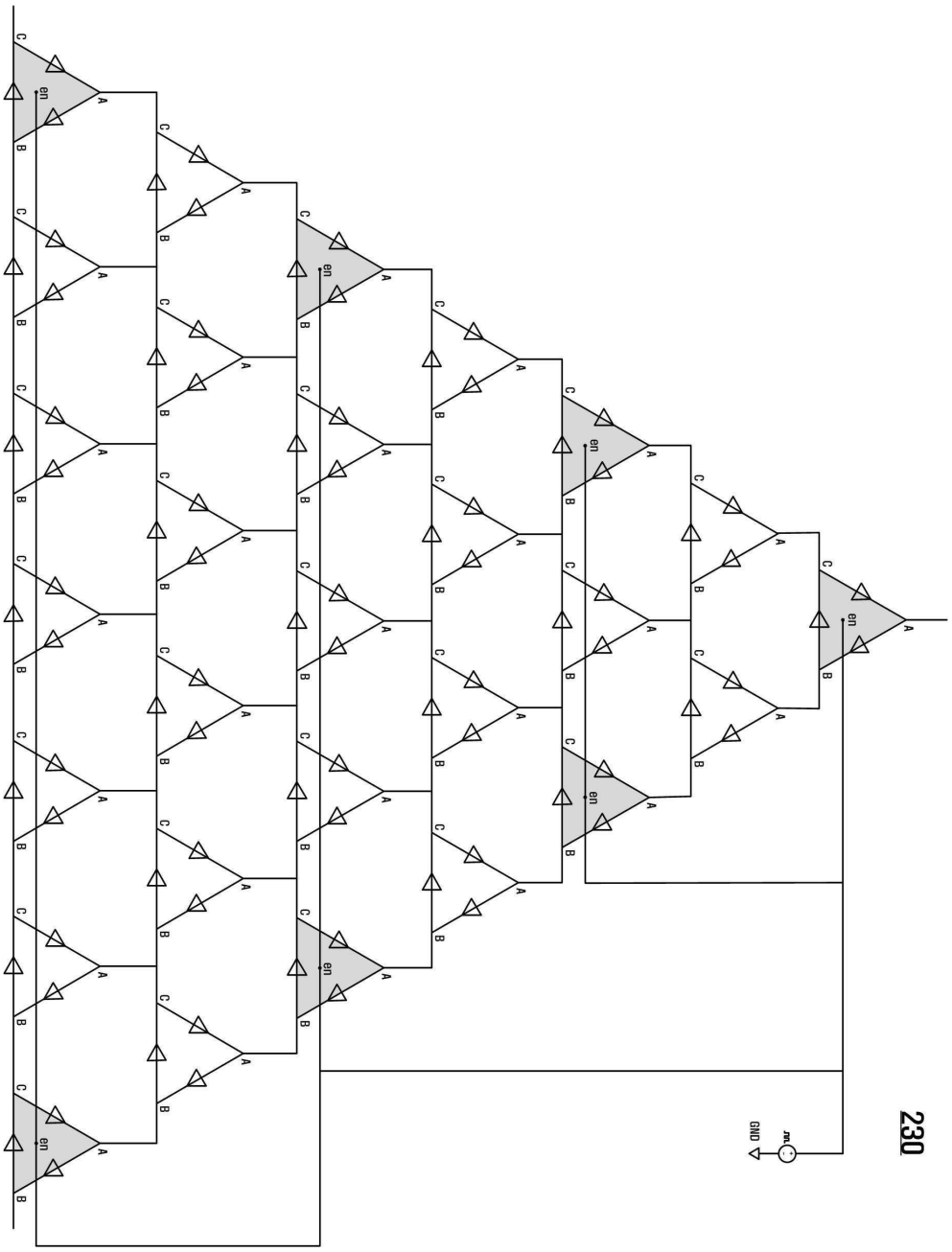
도면5



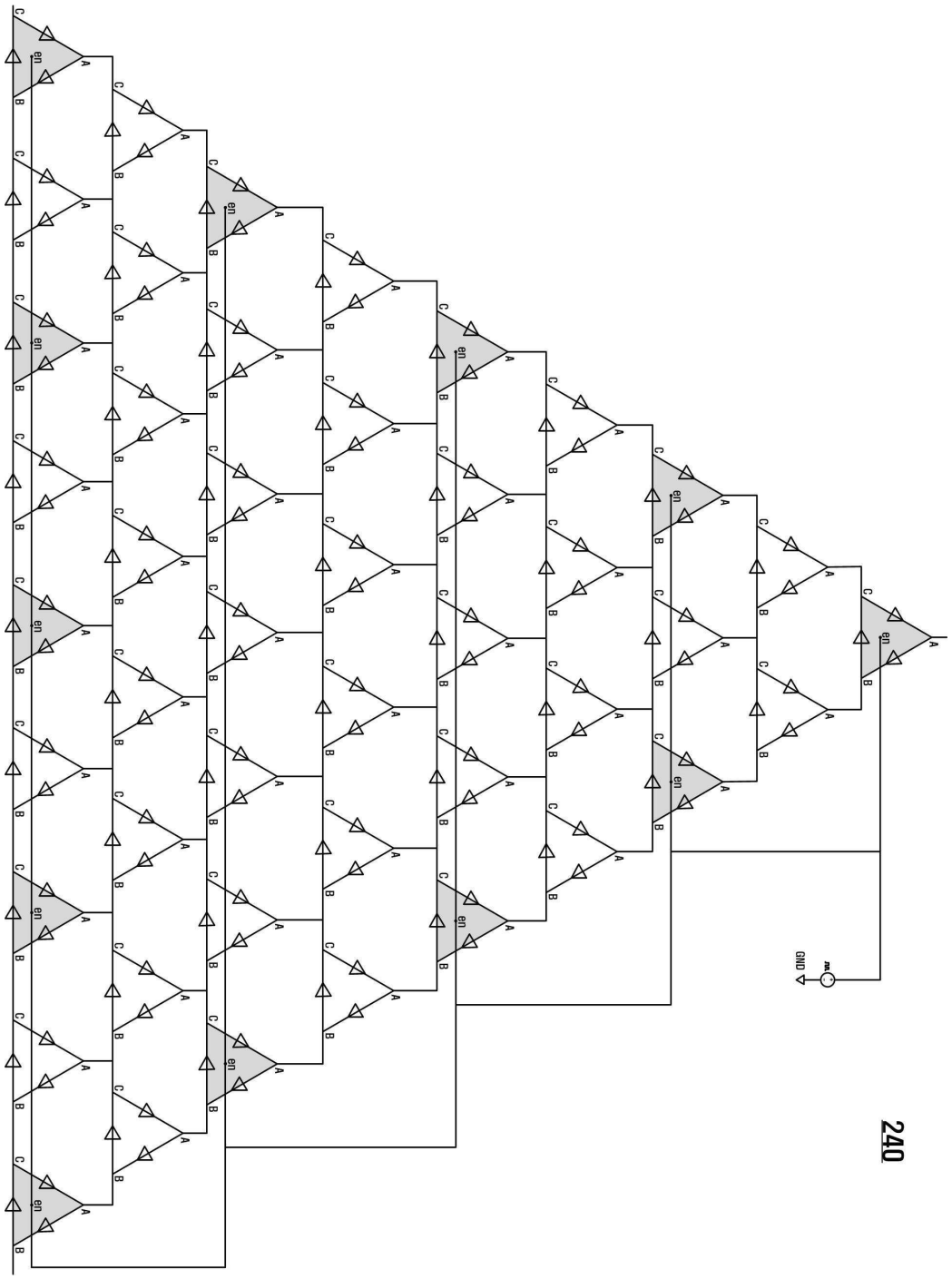
도면6



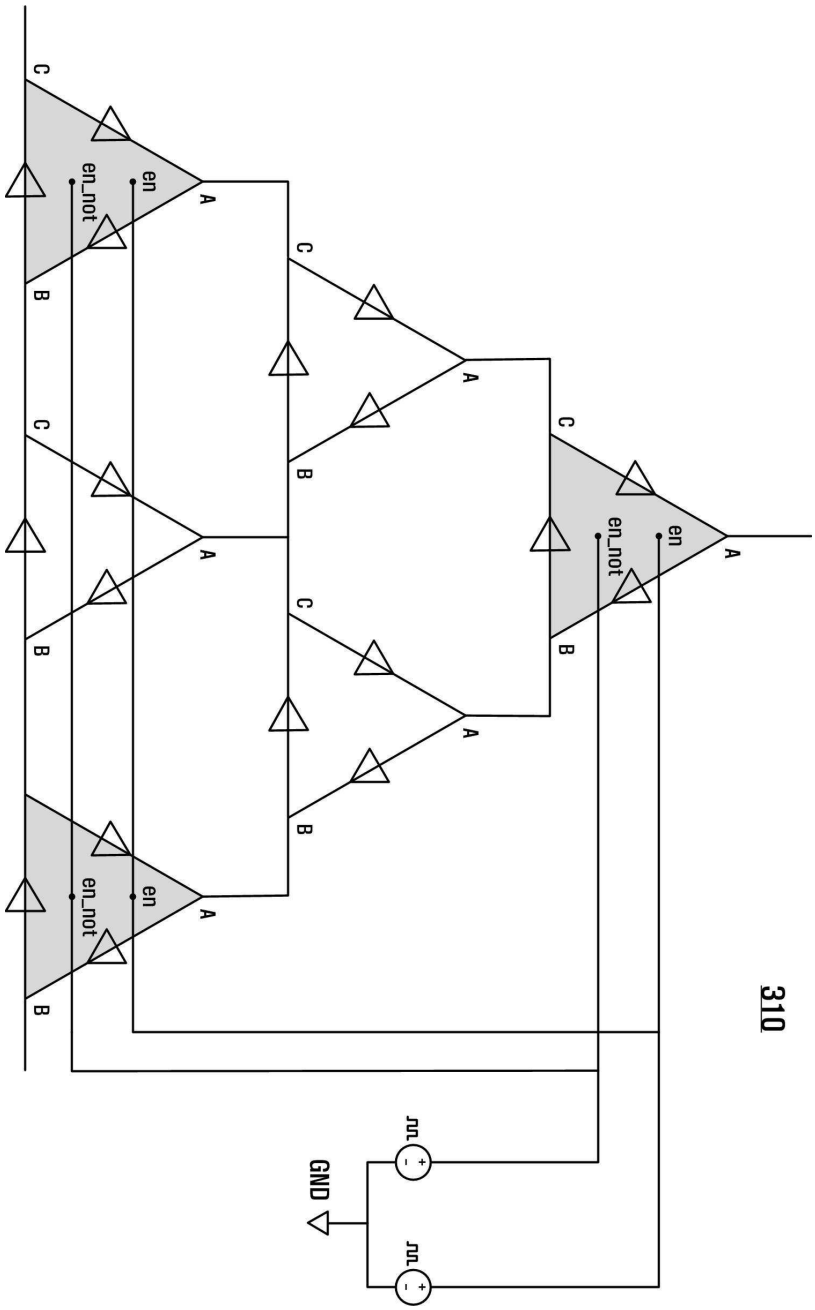
도면7



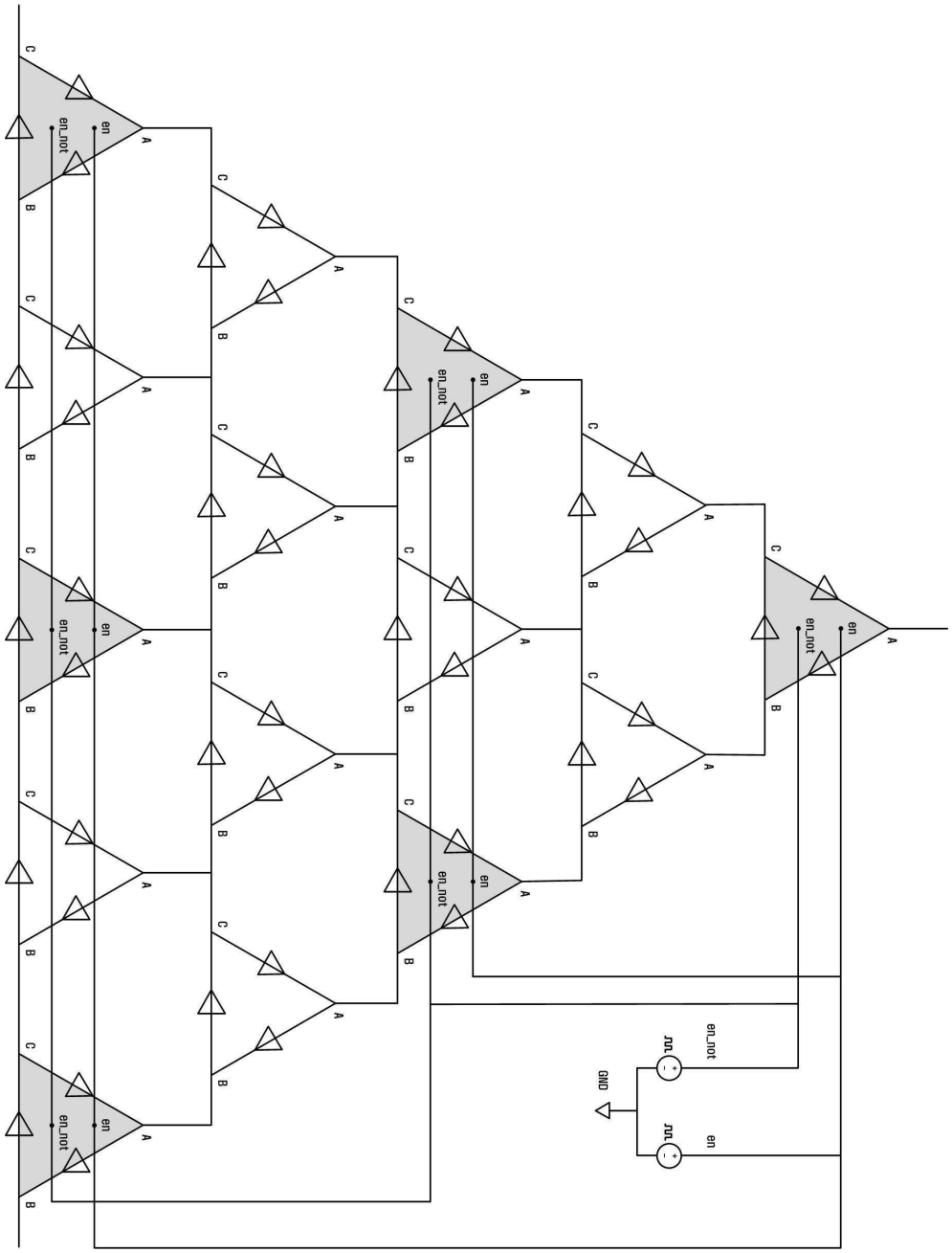
도면8



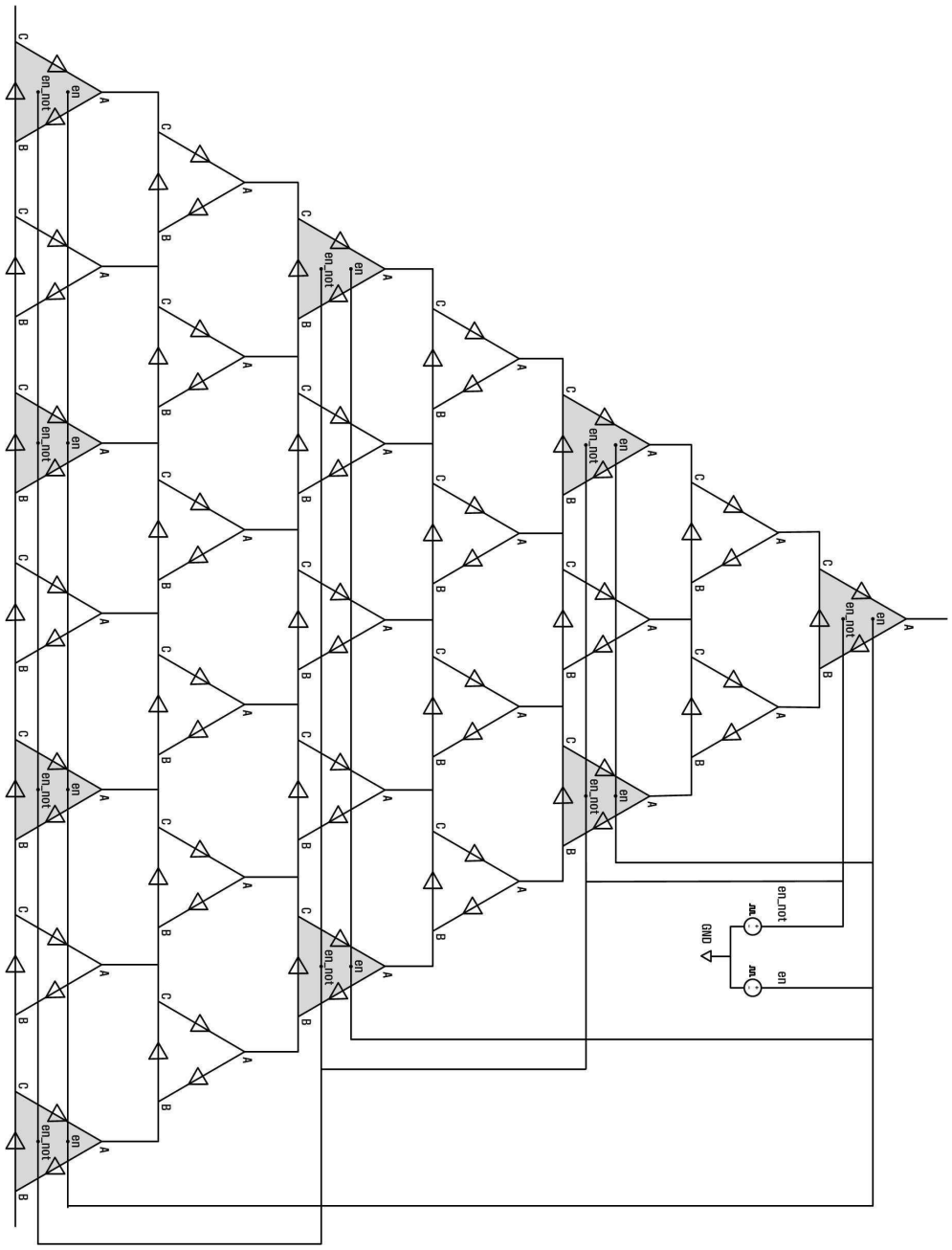
도면9



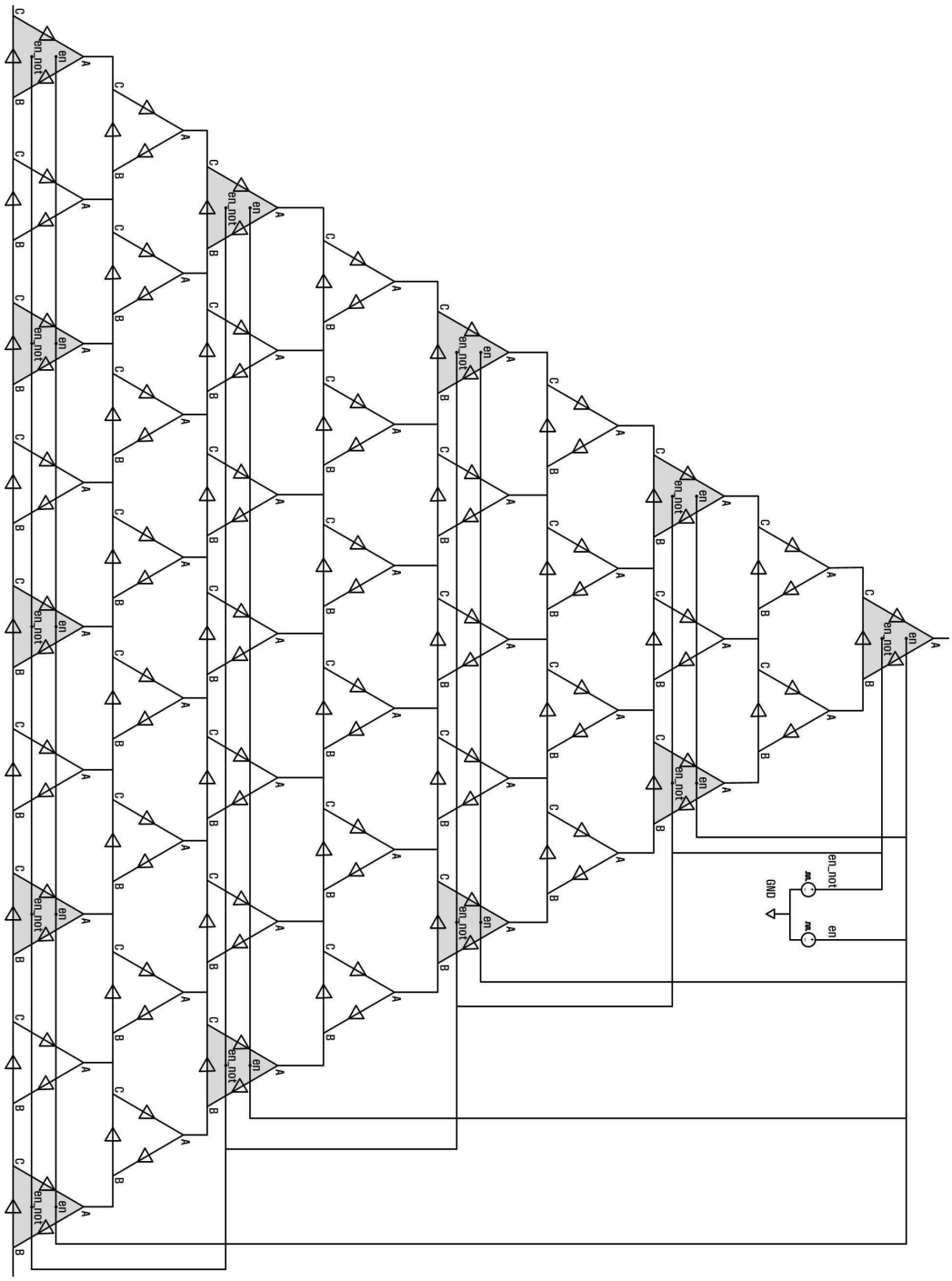
도면10



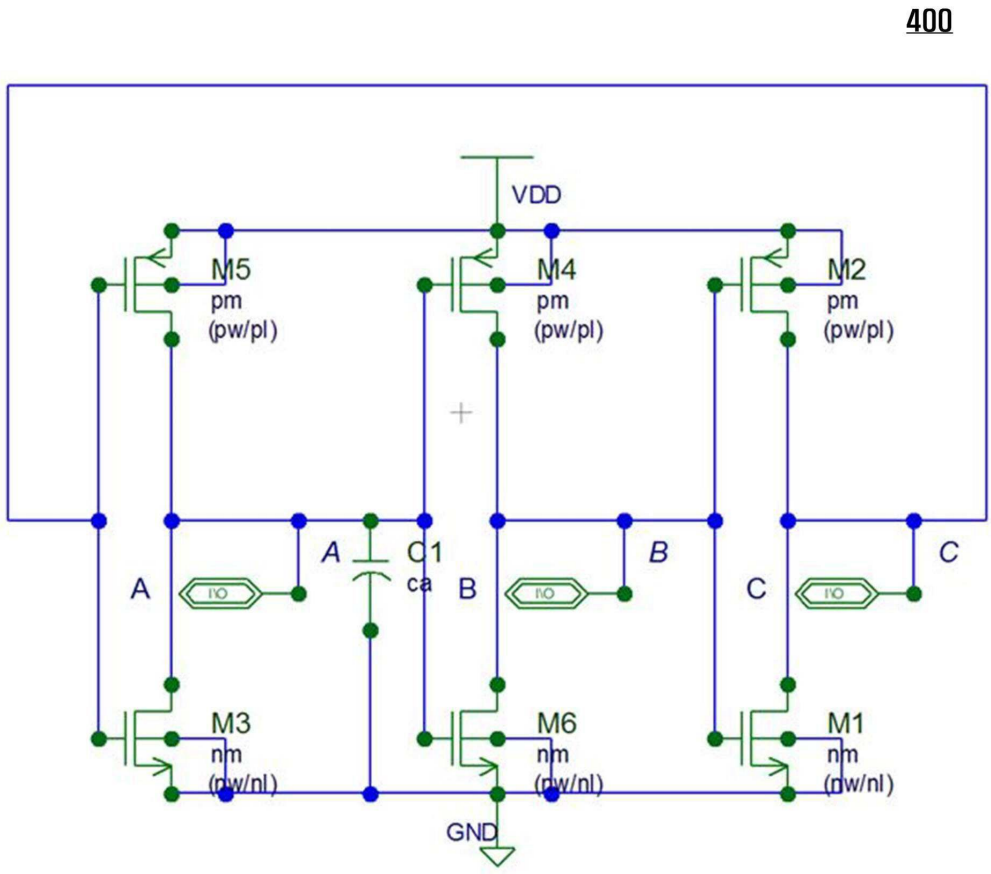
도면11



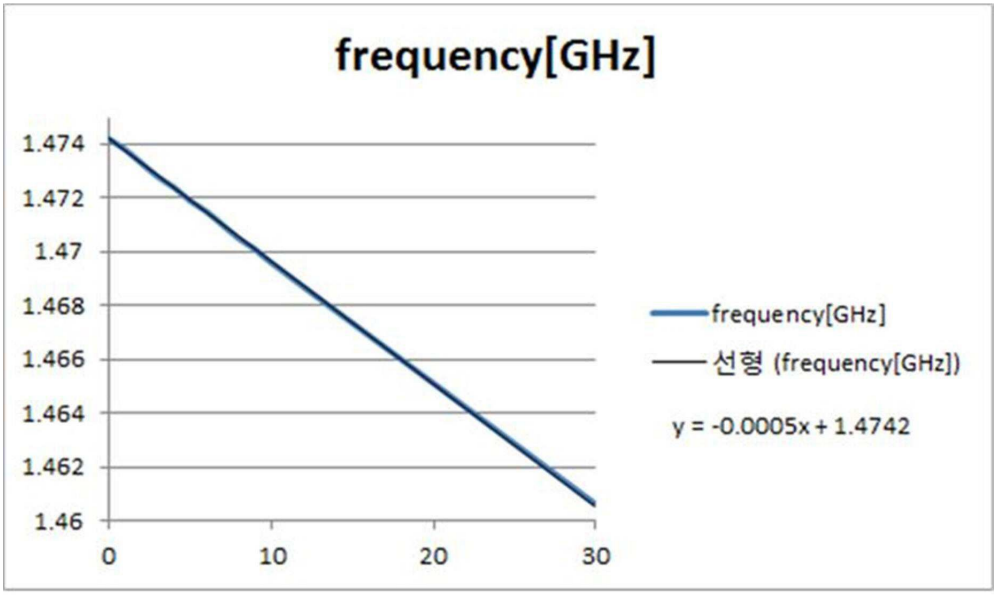
도면12



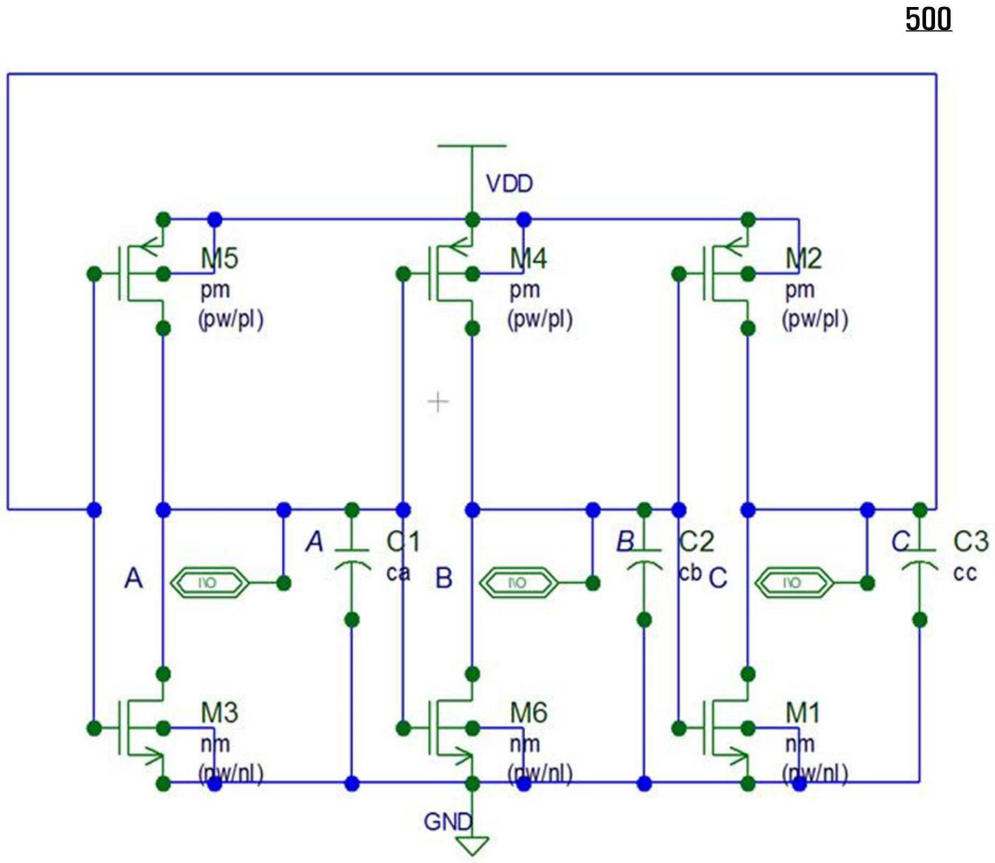
도면13


400
VDD
M5
pm
(pw/pl)
M4
pm
(pw/pl)
M2
pm
(pw/pl)
A
C1
ca
B
C
A
B
C
M3
nm
(pw/nl)
M6
nm
(pw/nl)
M1
nm
(pw/nl)
GND

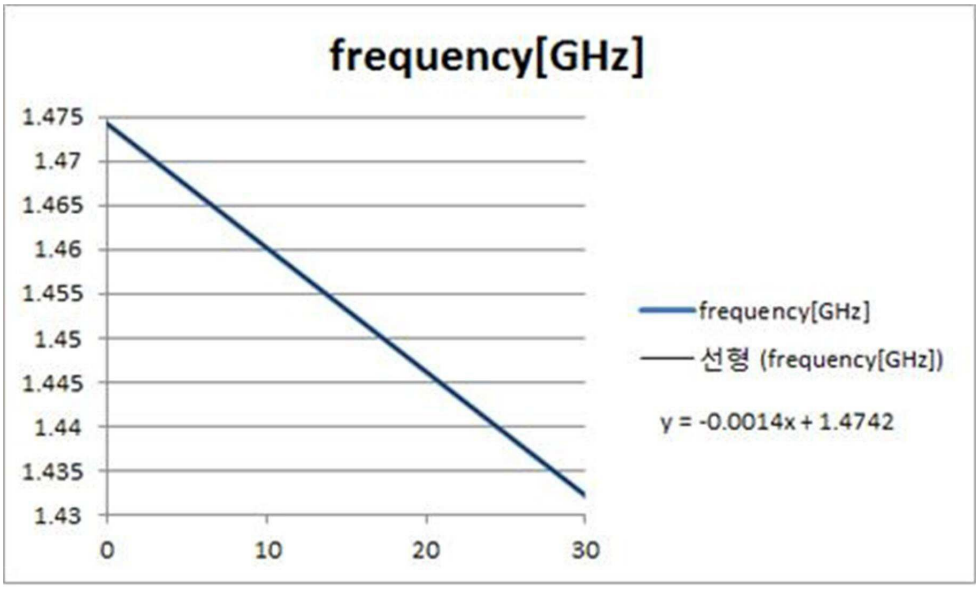
도면14


frequency[GHz]
1.474
1.472
1.47
1.468
1.466
1.464
1.462
1.46
0
10
20
30
frequency[GHz]
선형 (frequency[GHz])
y = -0.0005x + 1.4742

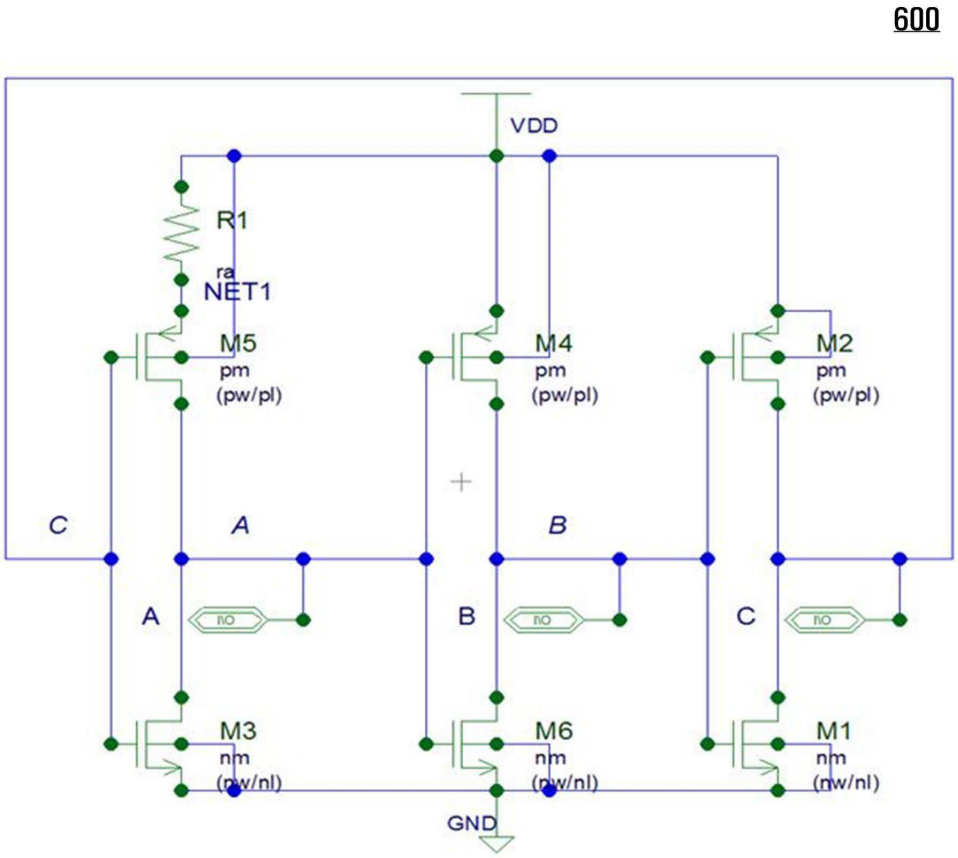
도면15


500
VDD
M5
pm
(pw/pl)
M4
pm
(pw/pl)
M2
pm
(pw/pl)
A
A
C1
ca
B
B
C2
cb
C
C
C3
cc
M3
nm
(pw/nl)
M6
nm
(pw/nl)
M1
nm
(pw/nl)
GND

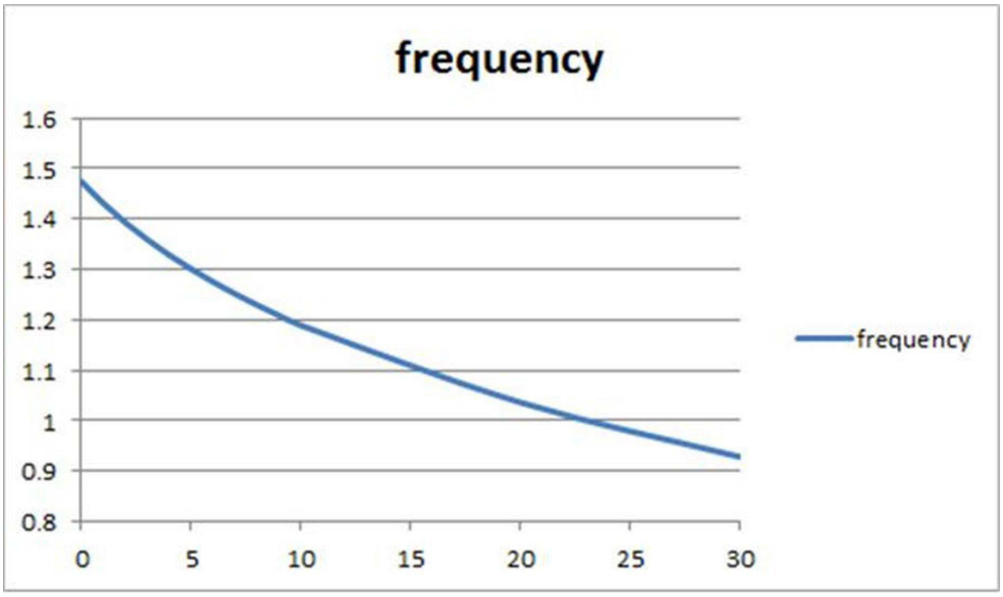
도면16


frequency[GHz]
1.475
1.47
1.465
1.46
1.455
1.45
1.445
1.44
1.435
1.43
0
10
20
30
frequency[GHz]
선형 (frequency[GHz])
y = -0.0014x + 1.4742

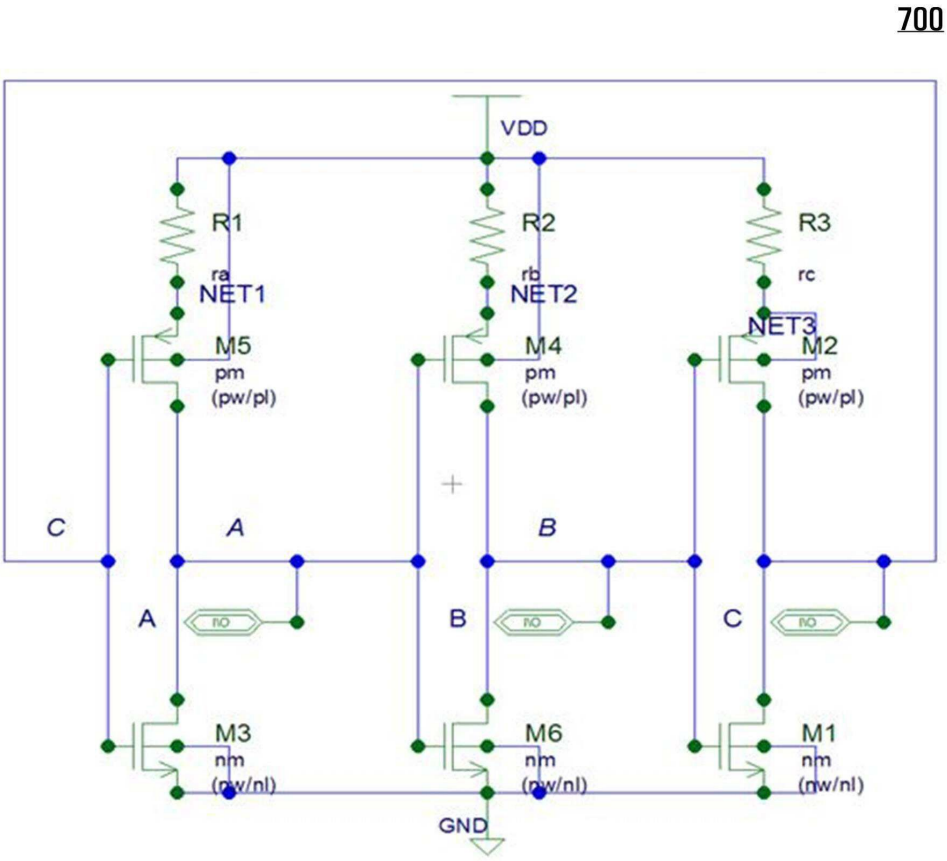
도면17


600
VDD
R1
ra
NET1
M5
pm
(pw/pl)
M4
pm
(pw/pl)
M2
pm
(pw/pl)
C
A
B
A
B
C
M3
nm
(pw/nl)
M6
nm
(pw/nl)
M1
nm
(pw/nl)
GND

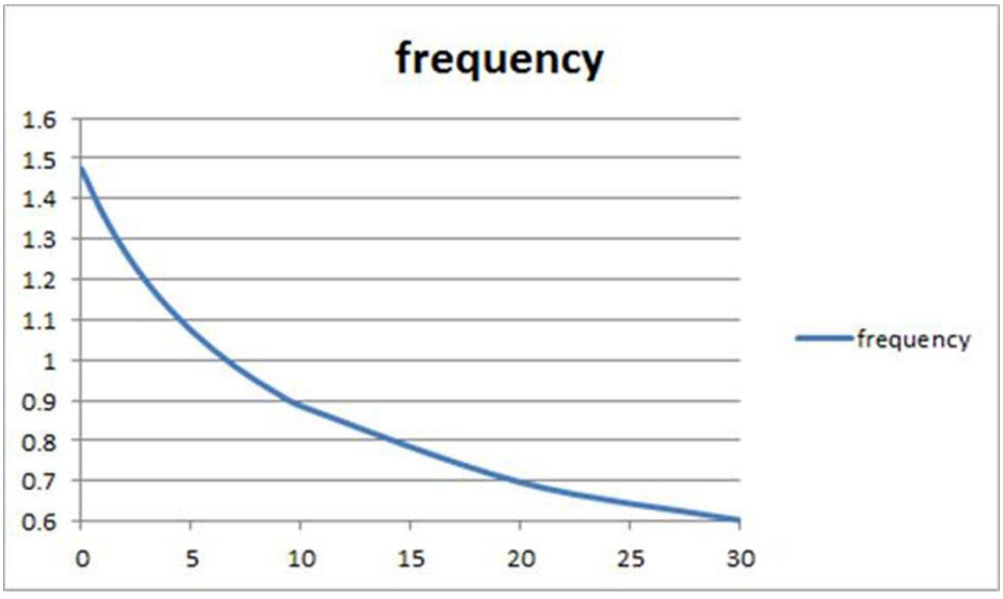
도면18


frequency
1.6
1.5
1.4
1.3
1.2
1.1
1
0.9
0.8
0
5
10
15
20
25
30
frequency

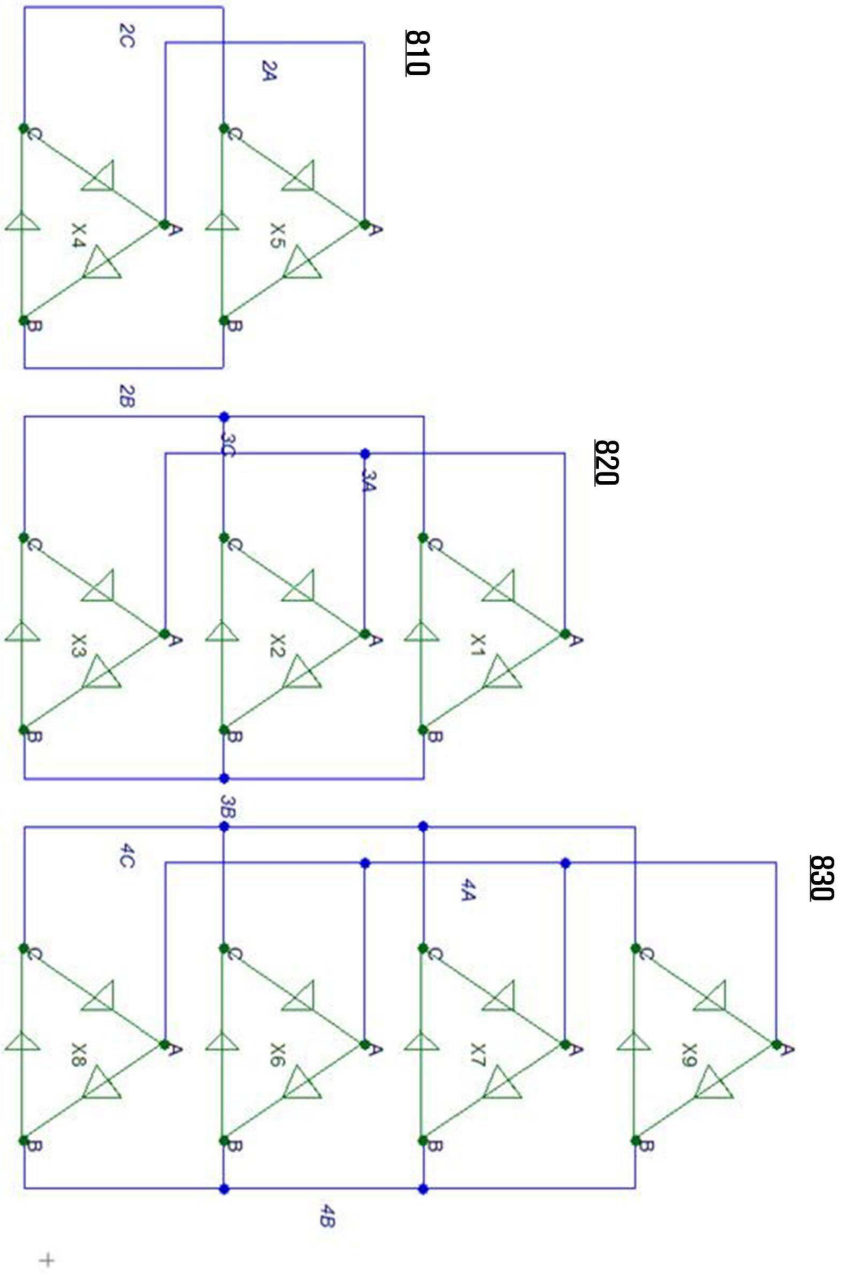
도면19


700
VDD
R1
ra
NET1
R2
rb
NET2
R3
rc
NET3
M5
pm
(pw/pl)
M4
pm
(pw/pl)
M2
pm
(pw/pl)
C
A
B
A
B
C
M3
nm
(pw/nl)
M6
nm
(pw/nl)
M1
nm
(pw/nl)
GND

도면20


frequency
1.6
1.5
1.4
1.3
1.2
1.1
1
0.9
0.8
0.7
0.6
0
5
10
15
20
25
30
frequency

도면21



도면22

