

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 1 月 3 日 (03.01.2019)



(10) 国际公布号
WO 2019/000488 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2017/092507

(22) 国际申请日: 2017 年 7 月 11 日 (11.07.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710505494.2 2017年6月28日 (28.06.2017) CN

(71) 申请人: 武汉华星光电技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 刘凤举 (LIU, Fengju); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(74) 代理人: 深圳市铭粤知识产权代理有限公司(MING & YUE INTELLECTUAL PROPERTY LAW FIRM); 中国广东省深圳市南山区南山街道前海路泛海城市广场 2 栋 604 室, Guangdong 518066 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) Title: LOW TEMPERATURE POLYCRYSTALLINE SILICON ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 低温多晶硅阵列基板及其制作方法

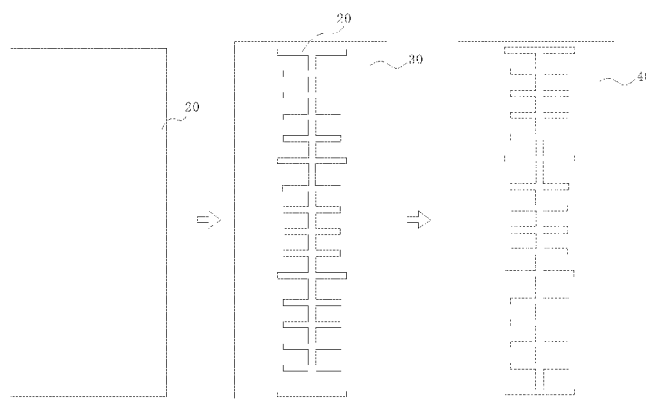


图 3

(57) Abstract: A low temperature polycrystalline silicon array substrate, comprising a low temperature polycrystalline silicon thin film transistor (10), a flat layer (20) above the low temperature polycrystalline silicon thin film transistor (10), a back side indium tin oxide layer (30), and an insulating layer (40) on a surface of the back side indium tin oxide layer (30). Scale marks are formed on the back side indium tin oxide layer (30) and are hollow patterns formed on the back side indium tin oxide layer (30); the insulating layer (40) is attached onto the surface of the back side indium tin oxide layer (30) and completely covers the scale marks, or the insulating layer (40) is hollowed out to expose a middle region of the scale marks. The manufacturing method for the low temperature polycrystalline silicon array substrate is easy, by specially designing the scale marks on the back side indium tin oxide layer (30) and the insulating layer (40) thereon, a shedding phenomenon of plasma silicon nitride can be effectively reduced, and the yield of substrate products is dramatically improved.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种低温多晶硅阵列基板，包括低温多晶硅薄膜晶体管(10)、低温多晶硅薄膜晶体管(10)上方的平坦层(20)、背镀氧化铟锡层(30)、以及背镀氧化铟锡层(30)表面的绝缘层(40)；背镀氧化铟锡层(30)上形成有刻度标记，刻度标记为背镀氧化铟锡层(30)上开设的镂空图案，绝缘层(40)贴合在背镀氧化铟锡层(30)表面并完全覆盖刻度标记，或者绝缘层(40)镂空设置，露出刻度标记的中间区域。低温多晶硅阵列基板制作方法简单，通过将背镀氧化铟锡层(30)上的刻度标记与其上的绝缘层(40)经过特别设计后，可以有效地改善离子体氮化硅脱落现象，大幅提高基板产品的良率。

低温多晶硅阵列基板及其制作方法

技术领域

本发明涉及基板制作技术领域，尤其涉及一种低温多晶硅阵列基板及其制作方法。

背景技术

LTPS (Low Temperature Poly-silicon, 即低温多晶硅) 制程中，在显影时为控制曝光的偏移，需要使用 Mask blade (掩模板遮挡板) 设计来检测曝光偏移量。

BITO (Back side Indium tin oxide, 即背镀氧化铟锡) 的下一制程是镀 P-SiN (等离子体氮化硅) 绝缘膜，在实际生产中发现镀膜制程后，BITO Mask blade 容易发生等离子体氮化硅脱落的现象，脱落的材料在后续面板制程中形成盒内异物，造成产品报废。其主要原因是等离子体氮化硅和阶梯形状的 BITO 边缘的覆盖性不佳，造成等离子体氮化硅附着性不佳。

发明内容

鉴于现有技术存在的不足，本发明提供了一种改善离子体氮化硅脱落现象的低温多晶硅阵列基板及其制作方法。

为了实现上述的目的，本发明采用了如下的技术方案：

一种低温多晶硅阵列基板，包括低温多晶硅薄膜晶体管、低温多晶硅薄膜晶体管上方的平坦层、背镀氧化铟锡层以及所述背镀氧化铟锡层表面的绝缘层；所述背镀氧化铟锡层上形成有刻度标记，所述刻度标记为所述背镀氧化铟锡层上开设的镂空图案，所述绝缘层贴合在所述背镀氧化铟锡层表面并完全覆盖所述刻度标记。

本发明提供的另一种技术方案是：

一种低温多晶硅阵列基板，包括低温多晶硅薄膜晶体管、低温多晶硅薄膜晶体管上方的平坦层、背镀氧化铟锡层以及所述背镀氧化铟锡层表面的绝缘层；

所述背镀氧化铟锡层上形成有刻度标记；所述绝缘层镂空设置，露出所述刻度标记的中间区域。

作为其中一种实施方式，所述绝缘层为沿所述背镀氧化铟锡层边缘设置的一圈封闭的环形结构。

作为其中一种实施方式，所述刻度标记包括一条第一方向延伸的孔状的第一刻度和若干条沿第二方向延伸的孔状的第二刻度，所述第一刻度与所述第二刻度交叉设置。

作为其中一种实施方式，所述第一刻度与所述第二刻度相互垂直。

作为其中一种实施方式，所述背镀氧化铟锡层在所述第二刻度的端部倒角设置。

作为其中一种实施方式，所述背镀氧化铟锡层在所述第一刻度与所述第二刻度的侧壁倒角设置。

作为其中一种实施方式，所述背镀氧化铟锡层在所述第一刻度与所述第二刻度的交叉处倒角设置。

本发明的另一目的在于提供一种低温多晶硅阵列基板的制作方法，包括：
制作平坦层；

在所述平坦层上制作背镀氧化铟锡层；

在所述背镀氧化铟锡层上制作绝缘层；

其中，所述背镀氧化铟锡层上制作有刻度标记，所述刻度标记为所述背镀氧化铟锡层上开设的镂空图案，所述绝缘层贴合在所述背镀氧化铟锡层表面并完全覆盖所述刻度标记。

本发明提供的另一种技术方案是：

一种低温多晶硅阵列基板的制作方法，包括：

制作平坦层；

在所述平坦层上制作背镀氧化铟锡层；

在所述背镀氧化铟锡层上制作绝缘层；

其中，所述背镀氧化铟锡层上制作有刻度标记，所述绝缘层镂空设置，以

露出所述刻度标记的中间区域。

本发明的低温多晶硅阵列基板制作方法简单，通过将背镀氧化铟锡层上的刻度标记与其上的绝缘层经过特别设计后，可以有效地改善离子体氮化硅脱落现象，大幅提高基板产品的良率。

附图说明

图 1 为本发明的一种低温多晶硅阵列基板的结构示意图；

图 2 为本发明实施例 1 的 BITO 层的结构示意图；

图 3 为本发明实施例 1 的低温多晶硅阵列基板的部分制作过程示意图；

图 4 为本发明实施例 1 的另一种 BITO 层的结构示意图；

图 5 为本发明实施例 2 的 BITO 层的结构示意图；

图 6 为本发明实施例 2 的低温多晶硅阵列基板的部分制作过程示意图；

图 7 为本发明实施例 2 的另一种 BITO 层的结构示意图。

具体实施方式

为了使本发明的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本发明进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。

参阅图 1，本发明的低温多晶硅阵列基板包括低温多晶硅薄膜晶体管 10、位于低温多晶硅薄膜晶体管 10 上方的平坦层 20、背镀氧化铟锡层 30 以及背镀氧化铟锡层 30 表面的绝缘层 40。其中，背镀氧化铟锡层 30 上形成有刻度标记，以作为掩模板遮挡板，用以作为检测曝光偏移量的标尺，通过对比背镀氧化铟锡层 30 的刻度标记与其下方的平坦层 20 上曝光后形成的图案判断曝光偏移量。

实施例 1

如图 2 所示，本实施例的刻度标记为背镀氧化铟锡层 30 上开设的镂空图案，绝缘层 40 贴合在背镀氧化铟锡层 30 表面，并完全覆盖刻度标记。该刻度标记包括一条第一方向延伸的孔状的第一刻度 31 和若干条沿第二方向延伸的孔状的第二刻度 32，第一刻度 31 与第二刻度 32 交叉设置。由于绝缘层 40 完全覆盖刻度标记，使得背镀氧化铟锡层 30 与绝缘层 40 具有最大的接触面积，背镀氧化铟锡层 30 的第一刻度 31、第二刻度 32 的周围能最大限度地贴合在绝缘层 40 表

面，具有较强的附着性。

本实施例中，第一刻度 31 与第二刻度 32 相互垂直，第一刻度 31 作为贯穿背镀氧化铟锡层 30 长度方向的长孔，将所有的第二刻度 32 衔接在一起，第一刻度 31 作为每条第二刻度 32 的对称中心线，其每侧各延伸有第二刻度 32 的一部分。

如图 3 所示，本实施例还提供一种低温多晶硅阵列基板的制作方法，主要包括：

制作平坦层 20；

在平坦层 20 上制作背镀氧化铟锡层 30；

在背镀氧化铟锡层 30 上制作绝缘层 40；

其中，背镀氧化铟锡层 30 上制作有刻度标记，刻度标记为背镀氧化铟锡层 30 上开设的镂空图案，绝缘层 40 贴合在背镀氧化铟锡层 30 表面并完全覆盖刻度标记，绝缘层 40 的材料为离子体氮化硅。

由于绝缘层 40 贴合并完全覆盖背镀氧化铟锡层 30 的刻度标记，刻度标记的边界处的阶梯状边缘仍具有较强的附着力，其周围的绝缘层 40 不容易脱落，因此提高了低温多晶硅阵列基板产品的良率。

如图 4 所示，为本实施例的另一种背镀氧化铟锡层的结构示意图，在该背镀氧化铟锡层 30 中，长孔形的第二刻度 32 的端部倒角设置。第一刻度 31 与第二刻度 32 的内侧壁倒角设置，第一刻度 31 与第二刻度 32 的交叉处也倒角设置，其中，倒角最好是倒圆角。第二刻度 32 的端部、第一刻度 31 与第二刻度 32 的交叉处倒角设置使得第一刻度 31 与第二刻度 32 的边界轮廓处与上方的绝缘层 40 具有更大的接触面积，贴合更自然而不会出现直角，可以进一步提高该受力薄弱处的附着力，另外，第一刻度 31 与第二刻度 32 的内侧壁倒角设置，即在背镀氧化铟锡层 30 的厚度方向上（尤其是朝向绝缘层 40 一侧）做倾斜的倒角，倾斜方向朝向绝缘层 40 呈喇叭状开口，使得背镀氧化铟锡层 30 的镂空侧壁具有倾斜的上表面，刻度标记从截面方向看具有一定的坡度，在镀附绝缘层 40 后，一部分离子体氮化硅材料可以填充在该倒角面上，进一步增加附着面积，间接提高背镀氧化铟锡层 30 与绝缘层 40 的附着强度。

实施例 2

结合图 5 和图 6 所示，与实施例 1 不同，本实施例的绝缘层 40 镂空设置，露出刻度标记的中间区域。而背镀氧化铟锡层 30 形成标尺结构，由一条第一方向延伸的孔状的第一刻度 31 和若干条沿第二方向延伸的孔状的第二刻度 32 连接而成，第一刻度 31 与第二刻度 32 交叉设置。绝缘层 40 为沿背镀氧化铟锡层 30 边缘设置的一圈封闭的环形结构，这里，平坦层 20 为矩形，绝缘层 40 则形成一圈封闭的边框。

本实施例中，第一刻度 31 与第二刻度 32 相互垂直，第一刻度 31 作为贯穿背镀氧化铟锡层 30 长度方向的长条，将所有的第二刻度 32 衔接在一起，第一刻度 31 作为每条第二刻度 32 的对称中心线，其每侧各延伸有第二刻度 32 的一部分。

如图 6，本实施例还提供一种低温多晶硅阵列基板的制作方法，主要包括：

制作平坦层 20；

在平坦层 20 上制作背镀氧化铟锡层 30；

在背镀氧化铟锡层 30 上制作绝缘层 40；

其中，背镀氧化铟锡层 30 上制作有刻度标记，绝缘层 40 镂空设置，以露出刻度标记的中间区域，绝缘层 40 的材料为离子体氮化硅。

由于绝缘层 40 仅仅只有沿背镀氧化铟锡层 30 边缘设置的一圈环形结构，该环形结构贴合并覆盖背镀氧化铟锡层 30 外围的刻度标记，背镀氧化铟锡层 30 中部的刻度标记并不被覆盖，因此不会发生绝缘层 40 脱落在低温多晶硅阵列基板内的现象，因此也提高了低温多晶硅阵列基板产品的良率。

如图 7 所示，为本实施例的另一种背镀氧化铟锡层的结构示意图，该背镀氧化铟锡层 30 在第二刻度 32 的端部倒角设置（倒圆角或倒斜角），第一刻度 31 与第二刻度 32 的侧壁倒角设置，第一刻度 31 与第二刻度 32 的交叉处也倒角设置。第二刻度 32 的端部、第一刻度 31 与第二刻度 32 的交叉处倒角设置使得第一刻度 31 与第二刻度 32 的边界轮廓处与上方的绝缘层 40 具有更大的接触面积，贴合更自然而不会出现直角，可以进一步提高该受力薄弱处的附着力，另外，第一刻度 31 与第二刻度 32 的内侧壁倒角设置，使得刻度标记从截面方向看具有一定的坡度，在镀附绝缘层 40 后，一部分离子体氮化硅材料可以填充在该倒角面上，进一步增加附着面积，间接提高背镀氧化铟锡层 30 与绝缘层 40 的附着强度。

综上所述，本发明的低温多晶硅阵列基板制作方法简单，通过将背镀氧化铟锡层上的刻度标记与其上的绝缘层经过特别设计后，可以有效地改善离子体氮化硅脱落现象，大幅提高基板产品的良率。

以上所述仅是本申请的具体实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本申请原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本申请的保护范围。

权利要求书

1、一种低温多晶硅阵列基板，其中，包括低温多晶硅薄膜晶体管、低温多晶硅薄膜晶体管上方的平坦层、背镀氧化铟锡层以及所述背镀氧化铟锡层表面的绝缘层；所述背镀氧化铟锡层上形成有刻度标记，所述刻度标记为所述背镀氧化铟锡层上开设的镂空图案，所述绝缘层贴合在所述背镀氧化铟锡层表面并完全覆盖所述刻度标记。

2、根据权利要求1所述的低温多晶硅阵列基板，其中，所述刻度标记包括一条第一方向延伸的第一刻度和若干条沿第二方向延伸的第二刻度，所述第一刻度与所述第二刻度交叉设置。

3、根据权利要求2所述的低温多晶硅阵列基板，其中，所述第一刻度与所述第二刻度相互垂直。

4、根据权利要求2所述的低温多晶硅阵列基板，其中，所述背镀氧化铟锡层在所述第二刻度的端部倒角设置。

5、根据权利要求2所述的低温多晶硅阵列基板，其中，所述背镀氧化铟锡层在所述第一刻度与所述第二刻度的侧壁倒角设置。

6、根据权利要求2所述的低温多晶硅阵列基板，其中，所述背镀氧化铟锡层在所述第一刻度与所述第二刻度的交叉处倒角设置。

7、一种低温多晶硅阵列基板，其中，包括低温多晶硅薄膜晶体管、低温多晶硅薄膜晶体管上方的平坦层、背镀氧化铟锡层以及所述背镀氧化铟锡层表面的绝缘层；所述背镀氧化铟锡层上形成有刻度标记；所述绝缘层镂空设置，露出所述刻度标记的中间区域。

8、根据权利要求7所述的低温多晶硅阵列基板，其中，所述绝缘层为沿所述背镀氧化铟锡层边缘设置的一圈封闭的环形结构。

9、根据权利要求7所述的低温多晶硅阵列基板，其中，所述刻度标记包括一条第一方向延伸的孔状的第一刻度和若干条沿第二方向延伸的孔状的第二刻度，所述第一刻度与所述第二刻度交叉设置。

10、根据权利要求9所述的低温多晶硅阵列基板，其中，所述第一刻度与所述第二刻度相互垂直。

11、根据权利要求 9 所述的低温多晶硅阵列基板，其中，所述背镀氧化铟锡层在所述第二刻度的端部倒角设置。

12、根据权利要求 9 所述的低温多晶硅阵列基板，其中，所述背镀氧化铟锡层在所述第一刻度与所述第二刻度的侧壁倒角设置。

13、根据权利要求 9 所述的低温多晶硅阵列基板，其中，所述背镀氧化铟锡层在所述第一刻度与所述第二刻度的交叉处倒角设置。

14、一种低温多晶硅阵列基板的制作方法，其中，包括：

制作平坦层；

在所述平坦层上制作背镀氧化铟锡层；

在所述背镀氧化铟锡层上制作绝缘层；

其中，所述背镀氧化铟锡层上制作有刻度标记；且所述绝缘层镂空设置，以露出所述刻度标记的中间区域，或者，所述刻度标记为所述背镀氧化铟锡层上开设的镂空图案，所述绝缘层贴合在所述背镀氧化铟锡层表面并完全覆盖所述刻度标记。

15、根据权利要求 14 所述的低温多晶硅阵列基板，其中，所述刻度标记包括一条第一方向延伸的第一刻度和若干条沿第二方向延伸的第二刻度，所述第一刻度与所述第二刻度交叉设置。

16、根据权利要求 15 所述的低温多晶硅阵列基板，其中，所述第一刻度与所述第二刻度相互垂直。

17、根据权利要求 15 所述的低温多晶硅阵列基板，其中，所述背镀氧化铟锡层在所述第二刻度的端部倒角设置。

18、根据权利要求 15 所述的低温多晶硅阵列基板，其中，所述背镀氧化铟锡层在所述第一刻度与所述第二刻度的侧壁倒角设置。

19、根据权利要求 15 所述的低温多晶硅阵列基板，其中，所述背镀氧化铟锡层在所述第一刻度与所述第二刻度的交叉处倒角设置。

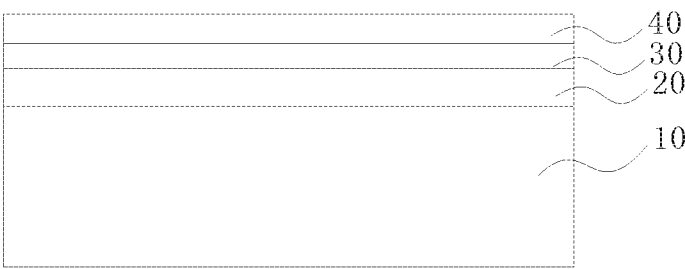


图 1

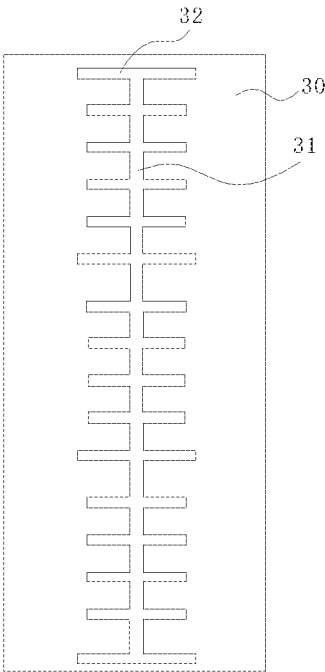


图 2

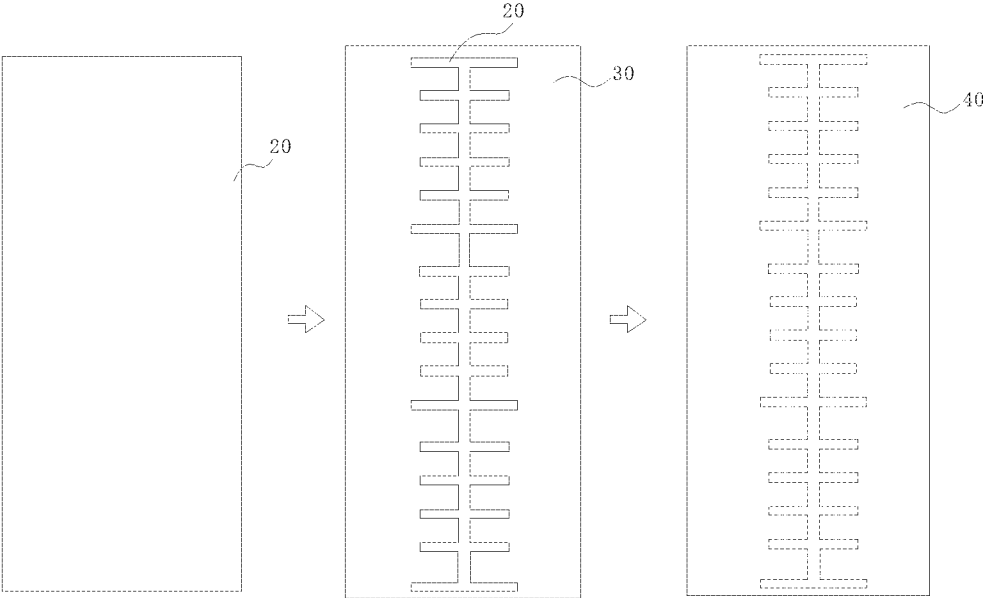


图 3

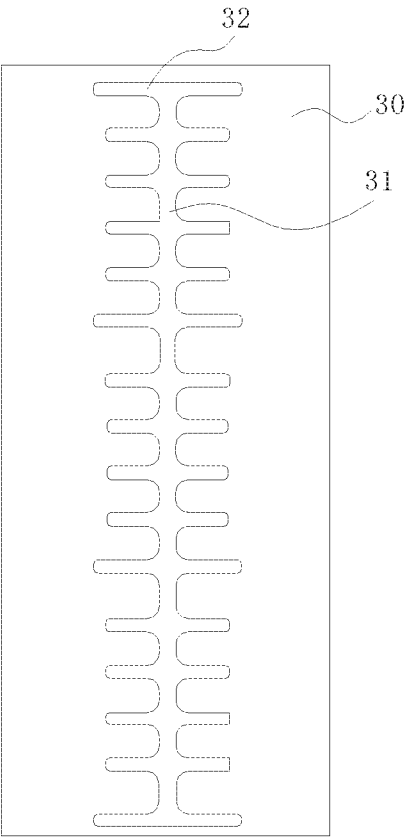


图 4

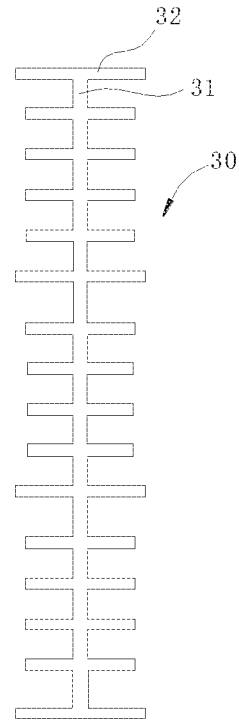


图 5

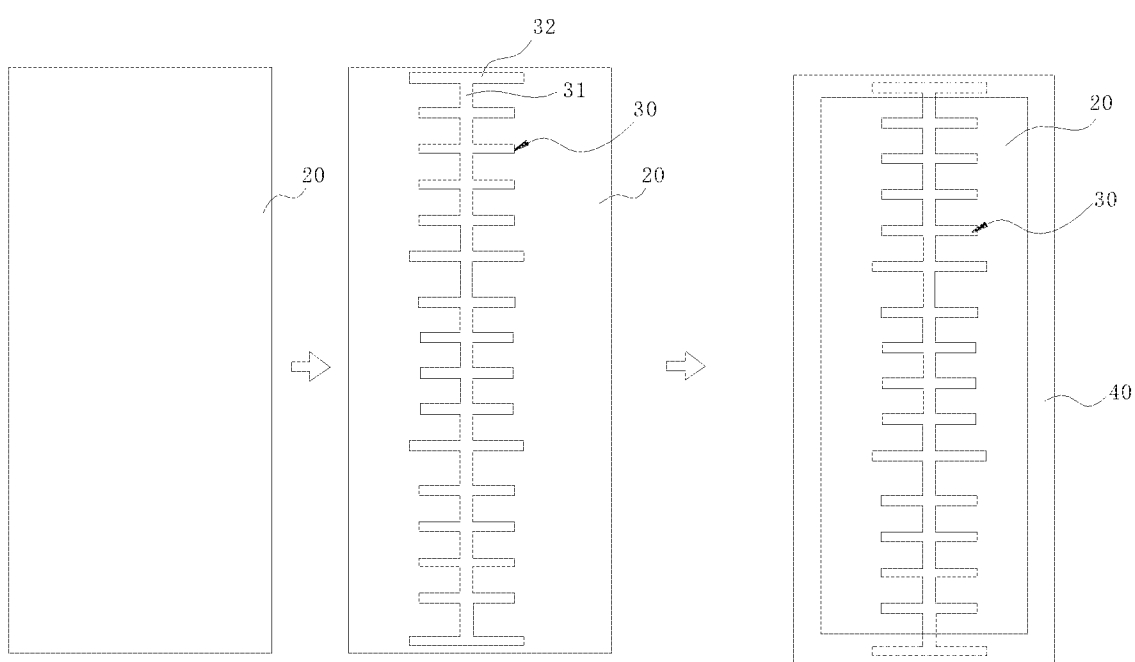


图 6

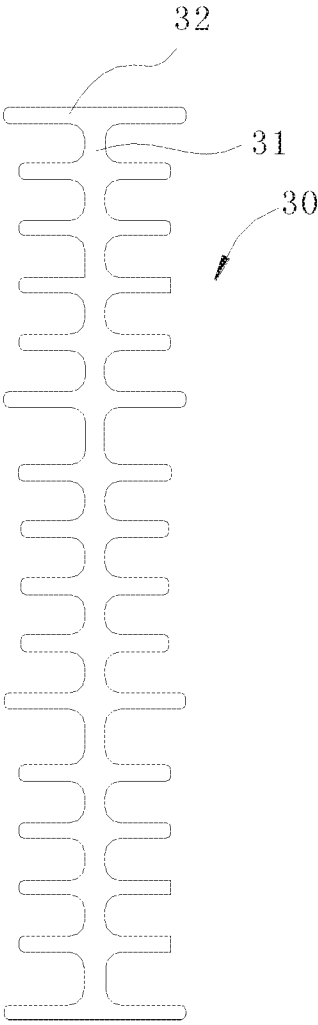


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/092507

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 武汉华星光电技术, 刘凤举, 薄膜晶体管, 氧化铟锡, 铟锡氧化物, 低温多晶硅, 阵列基板, 绝缘层, 刻度, 标记, 镂空, TFT, thin film transistor, indium tin oxide, ITO, low temperature poly silicon, LTPS, array substrate, insulat+
layer, scale, mark, hollow

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106169441 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 30 November 2016 (30.11.2016), description, paragraphs [0027]-[0040], and figures 2-5	1-19
X	CN 106229347 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 14 December 2016 (14.12.2016), description, paragraphs [0005]-[0008] and [0106]-[0132], and figure 2	1-19
A	CN 1787153 A (SAMSUNG SDI CO., LTD.) 14 June 2006 (14.06.2006), entire document	1-19
A	CN 102636962 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 15 August 2012 (15.08.2012), entire document	1-19

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12 March 2018	Date of mailing of the international search report 28 March 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer HE, Yandong Telephone No. (86-10) 53962404

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2017/092507

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104078423 A (BOE TECHNOLOGY GROUP CO., LTD.) 01 October 2014 (01.10.2014), entire document	1-19
A	CN 105428332 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 23 March 2016 (23.03.2016), entire document	1-19
A	US 6307611 B1 (HYUNDAI ELECTRONICS INDUSTRIES CO., LTD.) 23 October 2001 (23.10.2001), entire document	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/092507

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106169441 A	30 November 2016	None	
CN 106229347 A	14 December 2016	None	
CN 1787153 A	14 June 2006	JP 4403137 B2	20 January 2010
		JP 2006173113 A	29 June 2006
		DE 602005012664 D1	26 March 2009
		EP 1670019 A2	14 June 2006
		US 7498745 B2	03 March 2009
		KR 100709250 B1	19 April 2007
		KR 20060065762 A	14 June 2006
		US 2006125399 A1	15 June 2006
		EP 1670019 B1	11 February 2009
		CN 100501901 C	17 June 2009
CN 102636962 A	15 August 2012	US 2014055795 A1	27 February 2014
		WO 2013086913 A1	20 June 2013
		CN 102636962 B	12 March 2014
		US 9127934 B2	08 September 2015
CN 104078423 A	01 October 2014	WO 2015196633 A1	30 December 2015
CN 105428332 A	23 March 2016	None	
US 6307611 B1	23 October 2001	KR 20000004422 A	25 January 2000

国际检索报告

国际申请号

PCT/CN2017/092507

A. 主题的分类

H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPODOC: 武汉华星光电技术, 刘凤举, 薄膜晶体管, 氧化铟锡, 铟锡氧化物, 低温多晶硅, 阵列基板, 绝缘层, 刻度, 标记, 镂空, TFT, thin film transistor, indium tin oxide, ITO, low temperature poly silicon, LTPS, array substrate, insulat+ layer, scale, mark, hollow

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 106169441 A (武汉华星光电技术有限公司) 2016年 11月 30日 (2016 - 11 - 30) 说明书第[0027]-[0040]段, 附图2-5	1-19
X	CN 106229347 A (武汉华星光电技术有限公司) 2016年 12月 14日 (2016 - 12 - 14) 说明书第[0005]-[0008]、[0106]-[0132]段, 附图2	1-19
A	CN 1787153 A (三星SDI株式会社) 2006年 6月 14日 (2006 - 06 - 14) 全文	1-19
A	CN 102636962 A (北京京东方光电科技有限公司) 2012年 8月 15日 (2012 - 08 - 15) 全文	1-19
A	CN 104078423 A (京东方科技集团股份有限公司) 2014年 10月 1日 (2014 - 10 - 01) 全文	1-19
A	CN 105428332 A (昆山国显光电有限公司) 2016年 3月 23日 (2016 - 03 - 23) 全文	1-19
A	US 6307611 B1 (HYUNDAI ELECTRONICS INDUSTRIES CO., LTD.) 2001年 10月 23日 (2001 - 10 - 23) 全文	1-19

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 3月 12日

国际检索报告邮寄日期

2018年 3月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

何彦东

电话号码 (86-10)53962404

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/092507

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106169441	A	2016年 11月 30日	无			
CN	106229347	A	2016年 12月 14日	无			
CN	1787153	A	2006年 6月 14日	JP	4403137	B2	2010年 1月 20日
				JP	2006173113	A	2006年 6月 29日
				DE	602005012664	D1	2009年 3月 26日
				EP	1670019	A2	2006年 6月 14日
				US	7498745	B2	2009年 3月 3日
				KR	100709250	B1	2007年 4月 19日
				KR	20060065762	A	2006年 6月 14日
				US	2006125399	A1	2006年 6月 15日
				EP	1670019	B1	2009年 2月 11日
				CN	100501901	C	2009年 6月 17日
CN	102636962	A	2012年 8月 15日	US	2014055795	A1	2014年 2月 27日
				WO	2013086913	A1	2013年 6月 20日
				CN	102636962	B	2014年 3月 12日
				US	9127934	B2	2015年 9月 8日
CN	104078423	A	2014年 10月 1日	WO	2015196633	A1	2015年 12月 30日
CN	105428332	A	2016年 3月 23日	无			
US	6307611	B1	2001年 10月 23日	KR	20000004422	A	2000年 1月 25日

表 PCT/ISA/210 (同族专利附件) (2009年7月)