

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-313906

(P2006-313906A)

(43) 公開日 平成18年11月16日(2006.11.16)

(51) Int. Cl.	F I	テーマコード (参考)
H01L 29/786 (2006.01)	H01L 29/78 619B	2H092
H01L 21/336 (2006.01)	H01L 29/78 612D	5F110
G02F 1/1368 (2006.01)	G02F 1/1368	

審査請求 未請求 請求項の数 30 O L (全 14 頁)

(21) 出願番号	特願2006-126558 (P2006-126558)	(71) 出願人	390019839
(22) 出願日	平成18年4月28日 (2006.4.28)		三星電子株式会社
(31) 優先権主張番号	10-2005-0036798		Samsung Electronics
(32) 優先日	平成17年5月2日 (2005.5.2)		Co., Ltd.
(33) 優先権主張国	韓国 (KR)		大韓民国443-742京畿道水原市靈通
			区梅灘洞416
		(74) 代理人	110000408
			特許業務法人高橋・林アンドパートナーズ
		(72) 発明者	朴 鎔 漢
			大韓民国京畿道安養市東安區冠陽洞160
			8-2番地 1-SPACE2177號
		(72) 発明者	全 珍
			大韓民国京畿道水原市長安區泉川洞三星來
			美安APT107棟204號

最終頁に続く

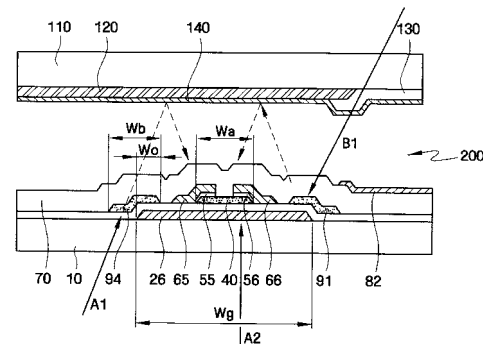
(54) 【発明の名称】 薄膜トランジスタ基板、これを含む液晶表示装置及び薄膜トランジスタ基板の製造方法

(57) 【要約】

【課題】 光漏れ電流を防止することができる薄膜トランジスタ基板、これを含む液晶表示装置及びこのような薄膜トランジスタ基板の製造方法を提供する。

【解決手段】 光漏れ電流を効果的に最小化する薄膜トランジスタ基板、これを含む液晶表示装置及び薄膜トランジスタの製造方法が提供される。薄膜トランジスタ基板は、ゲートラインとゲートラインと交差するデータラインを含んで、ゲートラインから絶縁基板上に形成されたゲート電極と、ゲート電極上に絶縁されて形成された半導体層と、ゲート電極と少なくとも一部分が重なってゲート電極の周囲に配置された光遮断膜と、データラインから形成されて半導体層と少なくとも一部分が重なるソース電極と、ゲート電極を中心にしてソース電極と対向して前記半導体層と少なくとも一部分が重なるドレイン電極を含むトランジスタ構造及びトランジスタ構造上に絶縁されてドレイン電極と電気的に接続された画素電極を含む。

【選択図】 図1C



【特許請求の範囲】

【請求項 1】

ゲートラインと前記ゲートラインと交差するデータラインを含んで、
前記ゲートラインから絶縁基板上に形成されたゲート電極と、
前記ゲート電極上に絶縁されて形成された半導体層と、
前記ゲート電極と少なくとも一部分が重なって前記ゲート電極の周囲に配置された光遮断膜と、
前記データラインから形成されて前記半導体層と少なくとも一部分が重なるソース電極と、
前記ゲート電極を中心にして前記ソース電極と対向して前記半導体層と少なくとも一部分が重なるドレイン電極とを含むトランジスタ構造と、
前記トランジスタ構造上に絶縁されて前記ドレイン電極と電氣的に接続された画素電極とを含むことを特徴とする薄膜トランジスタ基板。

【請求項 2】

前記光遮断膜は前記半導体層と同じ層に位置することを特徴とする請求項 1 に記載の薄膜トランジスタ基板。

【請求項 3】

前記光遮断膜は前記半導体層と実質的に同じ物質を含むことを特徴とする請求項 2 に記載の薄膜トランジスタ基板。

【請求項 4】

前記光遮断膜は光吸収物質を含むことを特徴とする請求項 1 に記載の薄膜トランジスタ基板。

【請求項 5】

前記光遮断膜はアモルファスシリコンを含むことを特徴とする請求項 4 に記載の薄膜トランジスタ基板。

【請求項 6】

前記光遮断膜は前記ソース電極及び前記ドレイン電極のうちいずれかの電極とも重ならないことを特徴とする請求項 1 に記載の薄膜トランジスタ基板。

【請求項 7】

前記光遮断膜は前記ソース電極及び前記ドレイン電極のうちいずれか一つの電極とのみ重なることを特徴とする請求項 1 に記載の薄膜トランジスタ基板。

【請求項 8】

前記半導体層は前記ゲート電極と完全に重なることを特徴とする請求項 1 に記載の薄膜トランジスタ基板。

【請求項 9】

前記光遮断膜は複数のサブ光遮断膜を含み、前記複数のサブ光遮断膜それぞれは相互に離隔されたことを特徴とする請求項 1 に記載の薄膜トランジスタ基板。

【請求項 10】

前記ゲート電極と前記光遮断膜が重なる幅が約 3 μm 以下であることを特徴とする請求項 1 に記載の薄膜トランジスタ基板。

【請求項 11】

前記光遮断膜は約 10 μm 以下の幅を有することを特徴とする請求項 1 に記載の薄膜トランジスタ基板。

【請求項 12】

絶縁基板上に形成されたゲート電極と前記ゲート電極と完全に重なって前記ゲート電極上に絶縁されて形成された半導体層と前記半導体層と同じ層に位置して前記ゲート電極と少なくとも一部分が重なって前記ゲート電極の周囲に配置された光遮断膜と前記半導体層と少なくとも一部分が重なるソース電極と前記ゲート電極を中心にして前記ソース電極と対向して前記半導体層と少なくとも一部分が重なるドレイン電極を含むトランジスタ構造と、前記トランジスタ構造上に絶縁されて前記ドレイン電極と電氣的に接続された画素電

極をと含む薄膜トランジスタ基板と、及び

前記薄膜トランジスタ基板と対向して、色フィルター及び共通電極を含むカラーフィルター基板とを含むことを特徴とする液晶表示装置。

【請求項 1 3】

前記光遮断膜は前記半導体層と同じ物質を含むことを特徴とする請求項 1 2 に記載の液晶表示装置。

【請求項 1 4】

前記光遮断膜は光吸収物質を含むことを特徴とする請求項 1 2 に記載の液晶表示装置。

【請求項 1 5】

前記光遮断膜はアモルファスシリコンを含むことを特徴とする請求項 1 4 に記載の液晶表示装置。 10

【請求項 1 6】

前記光遮断膜は前記ソース電極及び前記ドレイン電極のうちいずれか電極とも重ならないことを特徴とする請求項 1 2 に記載の液晶表示装置。

【請求項 1 7】

前記光遮断膜は前記ソース電極及び前記ドレイン電極のうちいずれか一つの電極とのみ重なることを特徴とする請求項 1 2 に記載の液晶表示装置。

【請求項 1 8】

前記光遮断膜は複数のサブ光遮断膜を含み、前記複数のサブ光遮断膜それぞれは相互に離隔されたことを特徴とする請求項 1 2 に記載の液晶表示装置。 20

【請求項 1 9】

前記ゲート電極と前記光遮断膜が重なる幅が約 3 μm 以下であることを特徴とする請求項 1 2 に記載の液晶表示装置。

【請求項 2 0】

前記光遮断膜は約 10 μm 以下の幅を有することを特徴とする請求項 1 2 に記載の液晶表示装置。

【請求項 2 1】

絶縁基板上にゲート電極を有するゲート線を形成し、

前記ゲート電極上に前記ゲート電極と絶縁された半導体層を形成し、

前記ゲート電極と少なくとも一部分が重なって前記ゲート電極の周囲に配置された光遮断膜を形成し、 30

前記ゲート線と交差して前記半導体層と少なくとも一部分が重なるソース電極を有するデータ線を形成し、

前記ゲート電極を中心にして前記ソース電極と対向して前記半導体層と少なくとも一部分が重なるドレイン電極を形成して、前記ゲート電極、前記半導体層、前記光遮断膜、前記ソース電極及び前記ドレイン電極からトランジスタ構造を形成し、

前記トランジスタ構造上に絶縁されて前記ドレイン電極と電氣的に接続された画素電極を形成することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 2 2】

前記光遮断膜は前記半導体層と実質的に同じ物質を含むことを特徴とする請求項 2 1 に記載の薄膜トランジスタ基板の製造方法。 40

【請求項 2 3】

前記光遮断膜は光吸収物質を含むことを特徴とする請求項 2 1 に記載の薄膜トランジスタ基板の製造方法。

【請求項 2 4】

前記光遮断膜はアモルファスシリコンを含むことを特徴とする請求項 2 3 に記載の薄膜トランジスタ基板の製造方法。

【請求項 2 5】

前記光遮断膜は前記ソース電極及び前記ドレイン電極のうちいずれか電極とも重ならないことを特徴とする請求項 2 1 に記載の薄膜トランジスタ基板の製造方法。 50

【請求項 26】

前記光遮断膜は前記ソース電極及び前記ドレイン電極のうちいずれか一つの電極とのみ重なることを特徴とする請求項 21 に記載の薄膜トランジスタ基板の製造方法。

【請求項 27】

前記半導体層は前記ゲート電極と完全に重なることを特徴とする請求項 21 に記載の薄膜トランジスタ基板の製造方法。

【請求項 28】

前記光遮断膜は複数のサブ光遮断膜を含み、前記複数のサブ光遮断膜それぞれは相互に離隔されたことを特徴とする請求項 21 に記載の薄膜トランジスタ基板の製造方法。

【請求項 29】

前記ゲート電極と前記光遮断膜が重なる幅が約 3 μm 以下であることを特徴とする請求項 21 に記載の薄膜トランジスタ基板の製造方法。

【請求項 30】

前記光遮断膜は約 10 μm 以下の幅を有することを特徴とする請求項 21 に記載の薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ基板、これを含む液晶表示装置及び薄膜トランジスタ基板の製造方法に係り、より具体的にはチャンネル領域の光漏れ電流を遮断することができる薄膜トランジスタ基板、これを含む液晶表示装置及び薄膜トランジスタ基板の製造方法に関する。

【背景技術】

【0002】

液晶表示装置はカラーフィルターを含むカラーフィルター基板と薄膜トランジスタアレイを含む薄膜トランジスタ基板を含む。カラーフィルター基板と薄膜トランジスタ基板は相互に対向して配置される。両基板は、間にシールライン (seal line) を介在して相互に接合されて、その間に形成された一定の間隙には液晶層が形成される。このように液晶表示装置は電極が形成されている 2 枚の基板 (カラーフィルター基板と薄膜トランジスタ基板) とその間に挿入されている液晶層で構成されて、電極に電圧を印加して液晶層の液晶分子を再配列させて透過される光量を調節することによって所定の映像を表示 (display) することができるように構成された装置である。液晶表示装置は非発光素子であるため薄膜トランジスタ基板の後面には光を供給するためのバックライトユニットが位置することがある。バックライトから照射された光は液晶の配列状態によって透過量が調整される。

【0003】

薄膜トランジスタ基板の各画素はスイッチング素子を具備する。スイッチング素子はゲート線に接続された制御端子、データ線に接続された入力端子、そして画素電極に接続された出力端子を有する三端子素子である。

【0004】

このようなスイッチング素子を利用した液晶表示装置において、スイッチング素子のチャンネル領域に対して光が入射すれば光漏れ電流 (light leakage current) が発生して、明暗比率 (contrast ratio) を低下させたり、フリッカーリング (flickering) 等の表示不良の原因になったりする。このような光漏れ電流は外部自然光または液晶表示装置のバックライトから放出された光により引き起こされることができる。

【0005】

【特許文献 1】 特開平 2002-250913 号

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【0006】

本発明が解決しようとする技術的課題は、光漏れ電流を防止することができる薄膜トランジスタ基板を提供することである。

【0007】

また、本発明が解決しようとする他の技術的課題は、このような薄膜トランジスタ基板を含む液晶表示装置を提供することである。

また、本発明が解決しようとするまた他の技術的課題は、このような薄膜トランジスタ基板の製造方法を提供することである。

【課題を解決するための手段】

【0008】

10

前記技術的課題を達成するための本発明の一実施形態による薄膜トランジスタ基板は、ゲートラインと前記ゲートラインと交差するデータラインを含んで、前記ゲートラインから絶縁基板上に形成されたゲート電極と、前記ゲート電極上に絶縁されて形成された半導体層と、前記ゲート電極と少なくとも一部分が重なって前記ゲート電極の周囲に配置された光遮断膜と、前記データラインから形成されて前記半導体層と少なくとも一部分が重なるソース電極と、前記ゲート電極を中心にして前記ソース電極と対向して前記半導体層と少なくとも一部分が重なるドレイン電極を含むトランジスタ構造及び前記トランジスタ構造上に絶縁されて前記ドレイン電極と電氣的に接続された画素電極を含む。

【0009】

20

前記他の技術的課題を達成するための本発明の一実施形態による液晶表示装置は、絶縁基板上に形成されたゲート電極と前記ゲート電極と完全に重なって前記ゲート電極上に絶縁されて形成された半導体層と前記半導体層と同じ層に位置して前記ゲート電極と少なくとも一部分が重なって前記ゲート電極の周囲に配置された光遮断膜と前記半導体層と少なくとも一部分が重なるソース電極と前記ゲート電極を中心にして前記ソース電極と対向して前記半導体層と少なくとも一部分が重なるドレイン電極を含むトランジスタ構造と、前記トランジスタ構造上に絶縁されて前記ドレイン電極と電氣的に接続された画素電極を含む薄膜トランジスタ基板及び前記薄膜トランジスタ基板と対向して、色フィルター及び共通電極を含むカラーフィルター基板を含む。

【0010】

30

前記また他の技術的課題を達成するための本発明の一実施形態による薄膜トランジスタ基板の製造方法は、絶縁基板上にゲート電極を有するゲート線を形成する段階と、前記ゲート電極上に前記ゲート電極と絶縁された半導体層を形成する段階と、前記ゲート電極と少なくとも一部分が重なって前記ゲート電極の周囲に配置された光遮断膜を形成する段階と、前記ゲート線と交差して前記半導体層と少なくとも一部分が重なるソース電極を有するデータ線を形成する段階と、前記ゲート電極を中心にして前記ソース電極と対向して前記半導体層と少なくとも一部分が重なるドレイン電極を形成して、前記ゲート電極、前記半導体層、前記光遮断膜、前記ソース電極及び前記ドレイン電極からトランジスタ構造を形成する段階及び前記トランジスタ構造上に絶縁されて前記ドレイン電極と電氣的に接続された画素電極を形成する段階を含む。

【0011】

40

その他実施形態の具体的な事項は詳細な説明及び図面に含まれている。

【発明の効果】

【0012】

上述したように本発明による薄膜トランジスタ基板、これを含む液晶表示装置及び薄膜トランジスタの製造方法によれば、光漏れ電流を効果的に最小化して明暗比率を高めたりフリッカーリングを減らしたりすることによって表示特性を向上させることができる。

【発明を実施するための最良の形態】

【0013】

明細書全体にかけて同一参照符号は同一構成要素を指称する。

【0014】

50

以下添付された図 1 A ないし図 1 C を参照して本発明の一実施形態による液晶表示装置用薄膜トランジスタ基板を詳細に説明する。

【0015】

図 1 A は本発明の一実施形態による薄膜トランジスタ基板の配置図であって、図 1 B は図 1 A に図示した薄膜トランジスタ基板の I b - I b ' 線に対する断面図であって、図 1 C は図 1 A の薄膜トランジスタ基板上にカラーフィルター基板を配置した液晶表示装置の I c - I c ' 線に対する断面図である。図 1 A 及び図 1 B を参照して本発明の一実施形態による液晶表示装置用薄膜トランジスタ基板を説明した後、図 1 C を参照してこれを含む液晶表示装置を説明する。

【0016】

図 1 A 及び図 1 B を参照すると、絶縁基板 10 上にゲート配線 22、24、26 が形成されている。ここで、ゲート配線 22、24、26 はアルミニウム (Al) とアルミニウム合金を含むアルミニウム系列の金属、銀 (Ag) と銀合金を含む銀系列の金属、銅 (Cu) と銅合金を含む銅系列の金属、モリブデン (Mo) とモリブデン合金を含むモリブデン系列の金属、クロム (Cr)、チタン (Ti)、タンタル (Ta) 等で伝導性金属であれば制限がなく構成されることができる。また、ゲート配線 22、24、26 は物理的性質が他の 2 個の導電膜 (図示せず) を含む多重膜構造を有することができる。このうち 1 導電膜はゲート配線 22、24、26 の信号遅延や電圧降下を減らすことができるように低い抵抗率 (resistivity) の金属、例えばアルミニウム系列金属、銀系列金属、銅系列金属などで構成される。これとは違って、他の導電膜は他の物質、特に ITO (indium tin oxide) 及び IZO (indium zinc oxide) とのコンタクト特性が優秀な物質、例えばモリブデン系列金属、クロム、チタン、タンタルなどで構成される。このような組合のよい例ではクロム下部膜とアルミニウム上部膜及びアルミニウム下部膜とモリブデン上部膜を挙げることができる。但し、本発明はこれに限られないし、ゲート配線 22、24、26 は多様ないろいろな金属と導電体で作られることができる。

【0017】

ゲート配線 22、24、26 は横方向にのびているゲート線 22、ゲート線 22 の端に接続され外部からのゲート信号の印加を受けてゲート線に伝達するゲート線終端 24 及びゲート線 22 に接続された薄膜トランジスタのゲート電極 26 を含む。ゲート線 22 は主に横方向にのびていてゲート信号を伝達する。ゲート線終端 24 は外部との接続のために面積が広く形成されてもよい。

【0018】

基板 10 上には窒化シリコン (SiNx) 等で構成されたゲート絶縁膜 30 がゲート配線 22、24、26 を覆っている。

【0019】

ゲート電極 26 のゲート絶縁膜 30 上部には水素化アモルファスシリコン (hydrogenated amorphous silicon、水素化非晶質ケイ素) またはポリシリコン (多結晶シリコン) などの半導体で構成された半導体層 40 がアイランド状 (島状) に形成されている。ここで、薄膜トランジスタ基板の後面に配置されたバックライトから半導体層 40 に光が直接流入することを防止するために半導体層 40 はゲート電極 26 と完全にオーバーラップ (overlap、重畳) されるように形成されるのが望ましい。半導体層 40 の形状は多様に変形されてもよい。

【0020】

そして、ゲート絶縁膜 30 上部には半導体層 40 と同じ層に位置した光遮断膜 91、92、93、94 が形成されている。光遮断膜 91、92、93、94 はバックライトからゲート電極 26 の周囲に所定の傾斜を有して流入した光がカラーフィルター基板 (図示せず) 上の共通電極 (図示せず) に反射された後半導体層 40 に再流入されることを防止するための膜である。したがって、光遮断膜 91、92、93、94 はゲート電極 26 と少なくとも一部分が重なるようにゲート電極 26 の周囲に配置されることができる。光遮断

10

20

30

40

50

膜 9 1、9 2、9 3、9 4 はゲート電極 2 6 の縁に沿ってゲート電極 2 6 と重なるように配置することによって、所定の入射角を有してゲート電極 2 6 の周囲を通過して半導体層 4 0 に再流入される光を効率的に遮断することができる。この時、光遮断膜 9 1、9 2、9 3、9 4 はゲート電極 2 6 の縁と重なるように配置するが、寄生容量 (parasitic capacitance) を最小化するためにゲート電極 2 6 と重なる部分を最小化することが望ましい。したがって、光遮断膜 9 1、9 2、9 3、9 4 をゲート電極 2 6 の縁に整列 (align) されるように配置して寄生容量を最小化するのが望ましい。但し、工程マージンを考慮して光遮断膜 9 1、9 2、9 3、9 4 とゲート電極 2 6 は約 3 μ m 以下の幅を有して重なるように配置することが望ましい。光遮断膜 9 1、9 2、9 3、9 4 は光を効率的に吸収することができる物質を用いることができる。例えば、光遮断膜 9 1、9 2、9 3、9 4 は半導体層 4 0 と実質的に同じ物質で形成されることができる。 10

【0021】

本実施形態で光遮断膜 9 1、9 2、9 3、9 4 は相互に離隔された複数のサブ (sub) 光遮断膜で構成されることができる。ここで、サブ光遮断膜はゲート電極 2 6 の上側、左側、右側、下側にそれぞれ位置する第 1 光遮断膜 9 1、第 2 光遮断膜 9 2、第 3 光遮断膜 9 3、第 4 光遮断膜 9 4 を含む。各光遮断膜 9 1、9 2、9 3、9 4 はアイランド状に形成されて相互に分離されている。本実施形態では光漏れ電流を遮断するために 4 個の光遮断膜 9 1、9 2、9 3、9 4 を用いて説明したが、本発明はこれに限られないし光漏れ電流を効果的に遮断することができるならばこれらのうちいずれか一つ以上の光遮断膜を用いることができる。 20

【0022】

但し、光遮断膜 9 1、9 2、9 3、9 4 が導電性を有する場合、後述するソース電極 6 5 とドレイン電極 6 6 が短絡 (short) されないように配置することが望ましい。すなわち、光遮断膜 9 1、9 2、9 3、9 4 はソース電極 6 5 及びドレイン電極 6 6 のうちいずれか一つの電極とだけ重なるように形成することが望ましい。望ましくはデータ信号を効率的に伝達するために第 1 光遮断膜 9 1 及び第 4 光遮断膜 9 4 のようにソース電極 6 5 またはドレイン電極 6 6 と重ならないように形成することができる。先に言及したこと以外に、本発明の光遮断膜 9 1、9 2、9 3、9 4 の形状は多様に変形されることができる。 30

【0023】

半導体層 4 0 の上部にはシリサイド (silicide) または n 型不純物が高濃度でドーピングされている n^+ 水素化アモルファスシリコン等の物質で作られたオーミックコンタクト層 (ohmic contact layer、抵抗性接触層) 5 5、5 6 がそれぞれ形成されている。 30

【0024】

オーミックコンタクト層 5 5、5 6 及びゲート絶縁膜 3 0 上にはデータ配線 6 2、6 5、6 6、6 8 が形成されている。データ配線 6 2、6 5、6 6、6 8 は主に縦方向に形成されてゲート線 2 2 と交差して画素を定義するデータ線 6 2、データ線 6 2 の分枝でありオーミックコンタクト層 5 5 の上部まで延長されているソース電極 6 5、データ線 6 2 の一側端に接続されていて外部からの画像信号の印加を受けるデータ線終端 6 8、ソース電極 6 5 と分離されていてゲート電極 2 6 を中心にしてソース電極 6 5 と対向するオーミックコンタクト層 5 6 上部に形成されているドレイン電極 6 6 を含む。データ線 6 2 の一側端部分であるデータ線終端 6 8 は外部回路との接続のために幅が十分に広く形成されている。 40

【0025】

データ配線 6 2、6 5、6 6、6 8 はクロム、モリブデン系列の金属、タンタル及びチタンなど高融点金属で構成されることが望ましく、高融点金属等の下部膜 (図示せず) とその上に位置した低抵抗物質上部膜 (図示せず) で構成された多層膜構造を有することができる。多層膜構造の例では前に説明したクロム下部膜とアルミニウム上部膜またはアルミニウム下部膜とモリブデン上部膜の二重膜以外にもモリブデン膜ーアルミニウム膜ーモ 50

リブデン膜の三重膜を挙げることができる。

【0026】

ソース電極65は半導体層40と少なくとも一部分が重なって、ドレイン電極66はゲート電極26を中心にしてソース電極65と対向して半導体層40と少なくとも一部分が重なる。ここで、先に言及したオーミックコンタクト層55、56はその下部の半導体層40と、その上部のソース電極65及びドレイン電極66間に存在してコンタクト抵抗を低くする役割をする。

【0027】

光遮断膜91、92、93、94はソース電極65またはドレイン電極66と重なることができるが、データ配線62、65、66、68を介して印加されるデータ信号を効率的に伝達して寄生容量を減らすためにはこれらのオーバーラップを最小化することが望ましい。第1光遮断膜91及び第4光遮断膜94のようにソース電極65またはドレイン電極66と重ならないように形成したり、第2光遮断膜92及び第3光遮断膜93のようにソース電極65またはドレイン電極66と重なるように形成したりすることができる。光遮断膜91、92、93、94はソース電極65及びドレイン電極66と同時に重ならない限り各電極65、66と所定の部分が重なるように形成されることができる。

【0028】

データ配線62、65、66、68及びこれらにより露出した半導体層40上部には保護膜 (passivation layer) 70が形成されている。保護膜70は窒化シリコン (SiNx)、酸化シリコン (SiO₂) で構成された無機材料膜、PECVD (plasma enhanced chemical vapor deposition) 方法によって蒸着されたa-Si:C:O膜またはa-Si:O:F膜 (低誘電率CVD膜)、または平坦化特性が優秀であって感光性 (photosensitivity) を有するアクリル系有機絶縁膜等で構成されることができる。PECVD方法によって蒸着されたa-Si:C:O膜とa-Si:O:F膜 (低誘電率CVD膜) は誘電定数が4以下 (誘電定数は望ましくは2から4間の値を有する。) に誘電率が非常に低い。したがって厚さが薄くても寄生容量問題が最小化される。また他の膜との接着性及びステップカバレッジ (step coverage) が良好である。また無機質CVD膜であるので耐熱性が有機絶縁膜に比べて良好である。共にPECVD方法によって蒸着されたa-Si:C:O膜とa-Si:O:F膜 (低誘電率CVD膜) は蒸着速度やエッチング速度が窒化シリコン膜に比べて約4ないし約10倍速いので工程時間が著しく減少される。また保護膜70は有機膜の優秀な特性を生かしながらも露出した半導体層40部分を保護するために下部無機膜と上部有機膜の二重膜構造を有することができる。

【0029】

保護膜70にはドレイン電極66及びデータ線終端68をそれぞれ露出するコンタクトホール76、78が形成されており、ゲート絶縁膜30と共にゲート線終端24を露出するコンタクトホール74が形成されている。この時、ゲート線及びデータ線終端24、68を露出するコンタクトホール74、78は角を有したり、円形の多様な形態に形成されたりすることができ、外部回路との接続のために幅が拡張されて形成されてもよい。

【0030】

保護膜70上にはコンタクトホール76を介してドレイン電極66と電氣的に接続されていて画素領域に位置する画素電極82が形成されている。また、保護膜70上にはコンタクトホール74、78を介してそれぞれゲート線終端24及びデータ線終端68と接続されている補助ゲート線終端86及び補助データ線終端88が形成されている。ここで、画素電極82と補助ゲート及びデータ線終端86、88はITOまたはIZOなどの透明導電体またはアルミニウムなどの反射性導電体で構成されてもよい。

【0031】

ここで、画素電極82は図1A及び図1Bで見ると、ゲート線22と重なって維持キャパシタを形成して、維持容量が不足した場合にはゲート配線22、24、26と同じ層に維持容量用配線を追加することもできる。

10

20

30

40

50

【0032】

また、画素電極82はデータ線62とも重ねるように形成して開口率を極大化している。このように開口率を極大化するために画素電極82をデータ線62とオーバーラップさせて形成しても保護膜70の誘電率が低いためこれらの間で形成される寄生容量は問題にならない程度に小さく維持することができる。そして、側面視認性を改善するために画素電極82にはゲート線22に対して斜線方向に複数の切開部または突起が形成されてもよい。

【0033】

以下、本発明の一実施形態による液晶表示装置用薄膜トランジスタ基板の製造方法に対して図1A及び図1Bを参照しながら詳細に説明する。

10

【0034】

まず、基板10上にゲート配線用多層金属膜（図示せず）を積層した後、パターニングしてゲート線22、ゲート電極26及びゲート線終端24を含む横方向にのびているゲート配線22、24、26を形成する。

【0035】

次に、窒化シリコンなどで構成されたゲート絶縁膜30、半導体層用アモルファスシリコン層（図示せず）、ドーピングされたアモルファスシリコン層の3階膜を続いて積層して、半導体層用アモルファスシリコン層、ドーピングされたアモルファスシリコン層をフォトリソエッチングしてゲート電極26上部のゲート絶縁膜30上にアイランド状の半導体層40とゲート電極26と少なくとも一部分が重なるようにゲート電極26の周囲に配置されたサブ光遮断膜91、92、93、94と半導体層40上に位置するドーピングされたアモルファスシリコン層パターン（図示せず）を形成する。

20

【0036】

次に、前記結果物上に、データ金属層（図示せず）を積層してマスクを利用したフォトリソエッチングでパターニングして、ゲート線22と交差するデータ線62、データ線62と接続されてゲート電極26上部まで延長されているソース電極65、データ線62の一端に接続されているデータ線終端68及びソース電極65と分離されていてゲート電極26を中心にしてソース電極65と向き合うドレイン電極66を含むデータ配線62、65、66、68を形成する。

【0037】

30

続いて、データ配線62、65、66、68により露出したアモルファスシリコン層パターンをエッチングしてゲート電極26を中心にして両側に分離されたオーミックコンタクト層パターン55、56を形成する一方、両側のオーミックコンタクト層パターン55、56間の半導体層40を露出させる。続けて、露出した半導体層40の表面を安定化させるために酸素プラズマ処理が施されてもよい。

【0038】

次に、窒化シリコン膜、a-Si:C:O膜またはa-Si:O:F膜を化学気相蒸着（CVD）法によって成長させたり有機絶縁膜を塗布したりして保護膜70を形成する。

【0039】

続いて、フォトリソエッチング工程でゲート絶縁膜30と共に保護膜70をパターニングして、ゲート線の端部分24、ドレイン電極66及びデータ線の端部分68を露出するコンタクトホール74、76、78を形成する。ここで、コンタクトホール74、76、78は例えば、角を有する形状または円形の形状で形成することができる。

40

【0040】

次に、ITO膜またはIZO膜を蒸着してフォトリソエッチングして第1コンタクトホール76を介してドレイン電極66と接続される画素電極82と、第2及び第3コンタクトホール74、78を介してゲート線終端24及びデータ線終端68とそれぞれ接続する補助ゲート線終端86及び補助データ線終端88を形成する。ITOやIZOを積層する前の前加熱（pre-heating）工程で用いる気体は窒素を利用することが望ましい。これはコンタクトホール74、76、78を通じて露出されている金属膜24、66、6

50

8 の上部に金属酸化膜が形成されることを防止するためである。

【0041】

以下、図1Cを参照して本発明の一実施形態による液晶表示装置により光漏れ電流が遮断される過程を説明する。

【0042】

図1Cに示したように、下に位置する薄膜トランジスタ基板と対向するようにカラーフィルター基板が配置される。カラーフィルター基板は透明なガラスなどで構成された絶縁基板110上に光漏れを防止するためのブラックマトリックス120と赤色、緑色、青色の色フィルター130及びITOまたはIZOなどの透明な導電物質からなっている共通電極(common electrode)140が形成されている。ここで、ブラックマトリックス120はゲート線22とデータ線62に対応する部分と薄膜トランジスタに対応する部分で形成されることができる。また、ブラックマトリックス120は画素電極82と薄膜トランジスタ付近での光漏れを遮断するために多様な形状を有することができる。そして、側面視認性を改善するために共通電極140にはゲート線22に対して斜線方向に複数の切開部または突起が形成されることができる。

10

【0043】

本発明の一実施形態による液晶表示装置はカラーフィルター基板と、これに対向する薄膜トランジスタ基板とその間に挿入される液晶層200を含む。薄膜トランジスタ基板上の画素電極82とカラーフィルター基板上の共通電極140に電圧を印加して液晶層200の液晶分子を再配列させて透過される光量を調節することによって所定の映像を表示することができるように構成された装置である。

20

【0044】

一般的に液晶表示装置の光漏れ電流は主にバックライトから放出される光A1、A2と外部から流入する光B1により引き起こされる。本発明の一実施形態による液晶表示装置はゲート電極26と光遮断膜91、92、93、94により光漏れ電流を最小化する。

【0045】

すなわち、半導体層40がゲート電極26と完全に重なるように形成してバックライトから発生して光A2が直接半導体層40に流入することを防止することができる。図1Cに示したように、半導体層40の幅Waよりゲート電極26の幅Wgをさらに大きく形成することが望ましい。

30

【0046】

もしもサブ光遮断膜91、92、93、94がない場合、バックライトからゲート電極26の周囲に所定の傾斜を有して流入した光A1がカラーフィルター基板上の共通電極140に反射された後半導体層40に再流入されることがある。しかし、本発明のようにサブ光遮断膜91、92、93、94をゲート電極26の縁に沿ってゲート電極26と重なるように配置することによって、このような光A1を吸収して光漏れ電流を最小化することができる。したがって、図1Cに示したように、ゲート電極26の周囲から流入した光A1を効率的に遮断するためにサブ光遮断膜91、92、93、94とゲート電極26は少なくとも一部分が重なるように形成することができ、例えば、サブ光遮断膜91、92、93、94とゲート電極26は約3μm以下の幅Woを有して重なるように配置することができる。

40

【0047】

また、本発明のサブ光遮断膜91、92、93、94がない場合、外部からブラックマトリックス120の周囲に所定の入射角を有して入射した光B1はゲート電極26と共通電極140に順番どおり反射されて半導体層40に再流入されることができる。しかし、本発明のようにサブ光遮断膜91、92、93、94をゲート電極26の縁に沿ってゲート電極26と重なるように配置することによって、このような光B1がゲート電極26に反射される前にサブ光遮断膜91、92、93、94に吸収されるため光漏れ電流を最小化することができる。

【0048】

50

このようなサブ光遮断膜 9 1、9 2、9 3、9 4 の幅 W_b は広いほど光漏れ電流を最小化することができるが、この場合開口率が低くなることができる。したがって、サブ光遮断膜 9 1、9 2、9 3、9 4 は約 $10\ \mu\text{m}$ 以下の幅 W_b を有することが望ましい。さらに望ましくはサブ光遮断膜 9 1、9 2、9 3、9 4 は約 $4\ \mu\text{m}$ ないし約 $8\ \mu\text{m}$ の幅を有する。

【0049】

以下、図 2 ないし図 5 を参照して本発明の薄膜トランジスタ基板の変形実施形態を説明する。説明の便宜上、図 1 A ないし図 1 C の実施形態の図面に示した各部材と同一機能を有する部材は同一符号で示して、したがってその説明は省略する。

【0050】

図 2 は本発明の変形実施形態による薄膜トランジスタ基板の配置図で、次を除いては基本的に同一構造を有する。すなわち、図 2 に示したように、光遮断膜 9 1 2 4 はゲート電極 2 6 の上側から左側を経て下側に延長されて位置し、光遮断膜 9 3 はゲート電極 2 6 の右側に位置する。

【0051】

図 3 は本発明の他の変形実施形態による薄膜トランジスタ基板の配置図であって、次を除いては基本的に同一構造を有する。すなわち、図 3 に示したように、光遮断膜 9 1 3 4 はゲート電極 2 6 の上側から右側を経て下側に延長されて位置し、光遮断膜 9 2 はゲート電極 2 6 の左側に位置する。

【0052】

図 4 は本発明のまた他の変形実施形態による薄膜トランジスタ基板の配置図であって、次を除いては基本的に同一構造を有する。すなわち、図 4 に示したように、光遮断膜 9 1 2 はゲート電極 2 6 の上側から左側に延長されて位置し、光遮断膜 9 3 4 はゲート電極 2 6 の右側から下側に延長されて位置する。

【0053】

図 5 は本発明のまた他の変形実施形態による薄膜トランジスタ基板の配置図であって、次を除いては基本的に同一構造を有する。すなわち、図 5 に示したように、光遮断膜 9 1 3 はゲート電極 2 6 の上側から右側に延長されて位置し、光遮断膜 9 2 4 はゲート電極 2 6 の左側から下側に延長されて位置する。

【0054】

このように、光遮断膜 9 1、9 2、9 3、9 4、9 1 2 4、9 1 3 4、9 1 2、9 3 4、9 1 3、9 2 4 はゲート電極 2 6 と少なくとも一部分が重なるように形成しながら、ソース電極 6 5 とドレイン電極 6 6 が短絡されない範囲で多様な形状を有することができる。

【0055】

以上添付した図面を参照して本発明の実施形態を説明したが、本発明が属する技術分野で通常の知識を有する者は本発明がその技術的思想や必須な特徴を変更せずに他の具体的な形態で実施できることはいうまでもない。それゆえ以上で記述した実施形態はすべての面で例示的なことであって限定的ではない。

【産業上の利用可能性】

【0056】

本発明は薄膜トランジスタ、これを含む液晶表示装置及び薄膜トランジスタの製造方法に適用されることである。

【図面の簡単な説明】

【0057】

【図 1 A】本発明の一実施形態による薄膜トランジスタ基板の配置図である。

【図 1 B】図 1 A に図示した薄膜トランジスタ基板の I b - I b ' 線に対する断面図である。

【図 1 C】図 1 A の薄膜トランジスタ基板上にカラーフィルター基板を配置した液晶表示装置の I c - I c ' 線に対する断面図である。

10

20

30

40

50

- 【図 2】 本発明の変形実施形態による薄膜トランジスタ基板の配置図である。
 【図 3】 本発明の他の変形実施形態による薄膜トランジスタ基板の配置図である。
 【図 4】 本発明のまた他の変形実施形態による薄膜トランジスタ基板の配置図である。
 【図 5】 本発明のまた他の変形実施形態による薄膜トランジスタ基板の配置図である。
 【符号の説明】

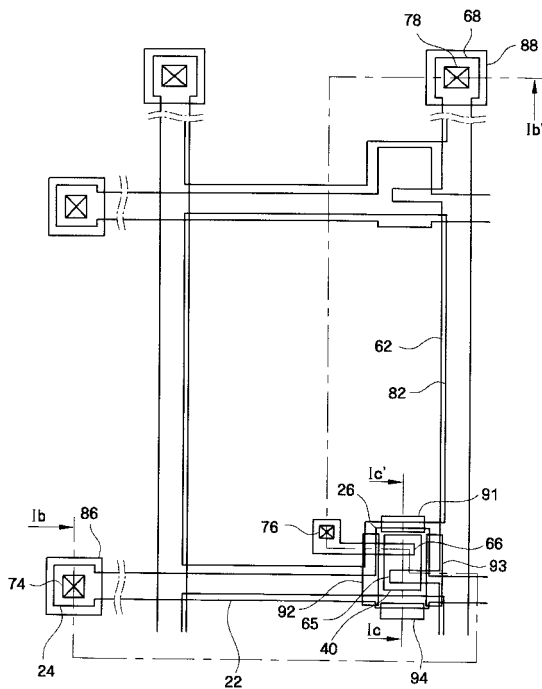
【0058】

- 22：ゲート線
 24：ゲート線終端
 26：ゲート電極
 40：半導体層
 55、56：オーミックコンタクト層
 62：データ線
 65：ソース電極
 66：ドレイン電極
 68：データ線終端
 74、76、78：コンタクトホール
 82：画素電極
 86：補助ゲート線終端
 88：補助データ線終端
 91、92、93、94、9124、9134、012、934、913、924：光遮断膜

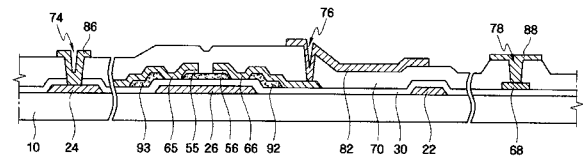
10

20

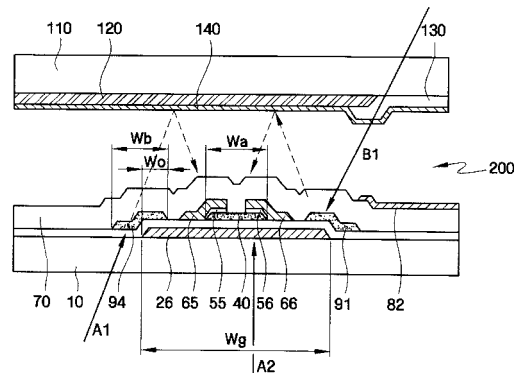
【図 1 A】



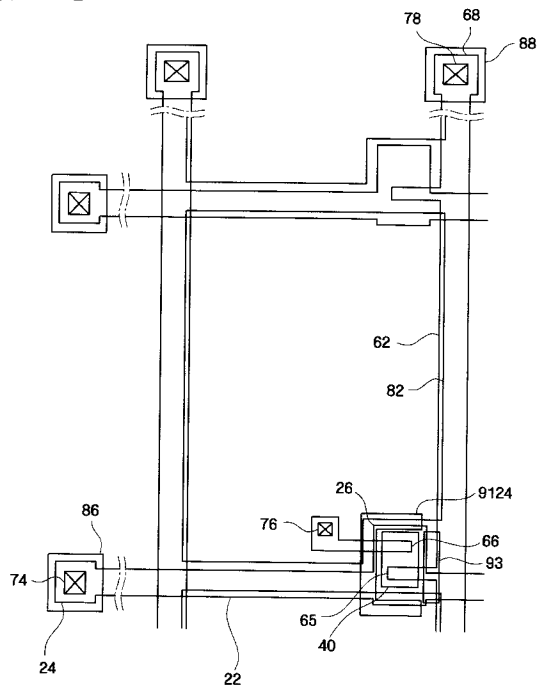
【図 1 B】



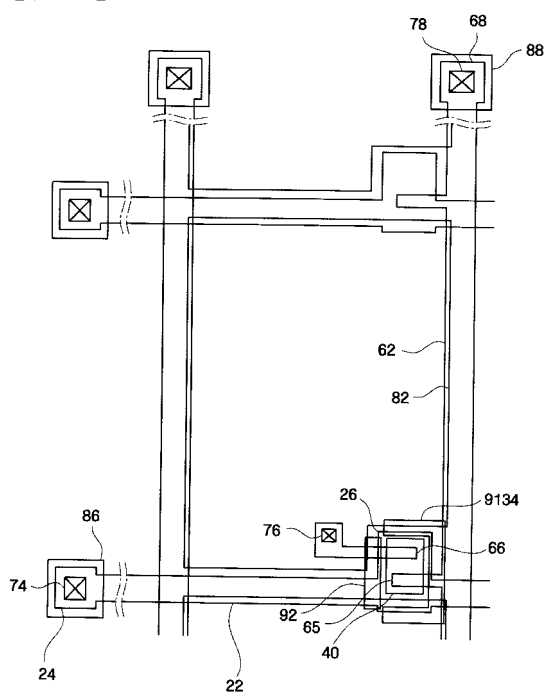
【図 1 C】



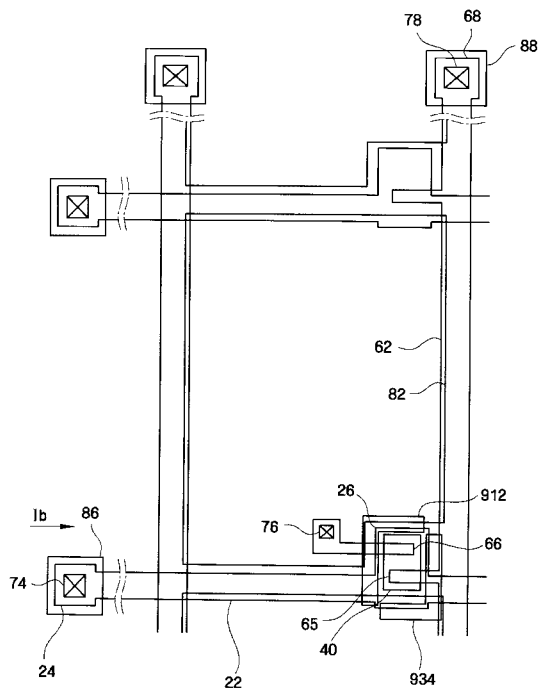
【図 2】



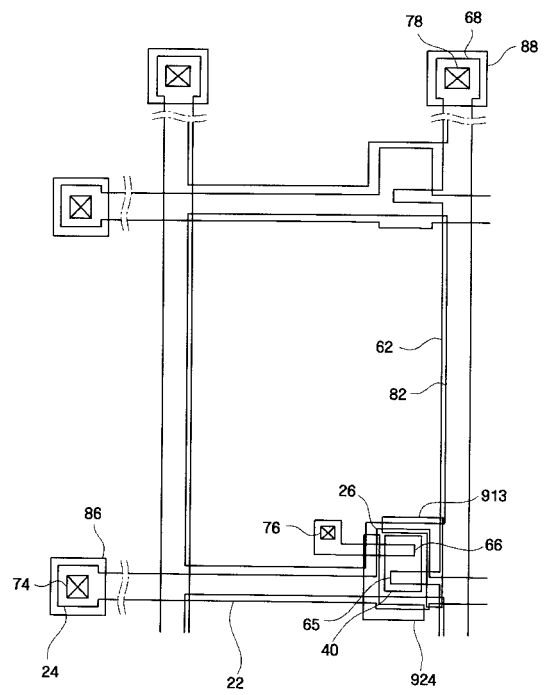
【図 3】



【図 4】



【図 5】



フロントページの続き

Fターム(参考)	2H092	GA11	JA24	JA34	JA37	JA41	JA46	JB22	JB31	JB51	JB56
		KB01	MA17	NA25	PA01	PA08	PA13				
	5F110	AA06	AA21	BB01	CC07	EE02	EE03	EE04	EE06	EE14	EE25
		FF03	GG02	GG13	GG15	GG26	HK03	HK04	HK05	HK09	HK16
		HK21	HK22	HL03	HL07	HL14	HL22	HM05	NN02	NN22	NN23
		NN24	NN27	NN28	NN35	NN44	NN48	NN73	QQ19		