

公告本

321794

申請日期	85 年 9 月 13 日
案 號	85111221
類 別	Int. H01L 27/08

A4
C4

(以上各欄由本局填註)

321794

發明專利說明書

一、發明 名稱	中 文	半導體積體電路裝置及該裝置之製造方法
	英 文	
二、發明 人	姓 名	(1) 福田琢也 (2) 小林伸好 (3) 中村吉孝
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都小平市回田町二一九番地コンフ オート神山
	住、居所	(2) 日本國埼玉縣川越市伊勢原町一八一八 (3) 日本國東京都八王子市東浅川町五五五-七- 四〇一
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 金井務

裝

訂

線

321794

申請日期	85 年 9 月 13 日
案 號	85111221
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明人 創作	姓 名	(4) 齊藤政良 (5) 深田晋一 (6) 川本佳史
	國 籍	(4) 日本 (5) 日本 (6) 日本 (4) 日本國東京都八王子市台町一—二—四
	住、居所	(5) 日本國東京都日野市落川九四六佐伯マンショ ン—〇— (6) 日本國神奈川縣津久井郡城山町町屋四—二— —
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

321794

(由本局填寫)

承辦人代碼：

A6

大類：

B6

I P C 分類：

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

1995 年 10 月 27 日 7-280957

☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

本發明係關於具有 D R A M (Dynamic Random Access Memory) 之半導體積體電路裝置及該裝置之製造方法，尤關於可應用於由大型積體電路所構成之半導體積體電路裝置及該裝置之製造方法。

半導體積體電路裝置中，D R A M 之積體化最為顯著。此外，一種在 D R A M 中設置邏輯電路之高功能積體電路裝置已迅速的實用化。D R A M 係由在半導體基板上排列成行及列之矩陣狀之許多記憶體晶胞所構成。該記憶體晶胞具有用來記憶資訊之電荷儲存用電容量，控制電荷對電容量之輸入及輸出之 M O S 型場效電晶體（以後稱 M O S 電晶體）。

電容器之構造為以 2 片電極膜挾持介電質膜。M O S 電晶體係由閘極及 2 層擴散層（吸極領域及源極領域）所構成。電容器中之一電極膜連接於 M O S 電晶體之一擴散層，而電容器之另一電極膜連接於定電壓電源。施加於閘極之電壓控制 M O S 電晶體之導通與非導通。導通時，電荷從另一擴散層供給於電容器而進行寫入，而在另一導通時，從另一擴散層中取出儲存於電容器中之電荷。

由許多個記憶體晶胞所構成之 D R A M 係將閘極間之每一行以各字線連接，將另一擴散層間之各列以各位元線連接而構成。D R A M 中又設有控制記憶體晶胞之周邊電路。除了字線，位元線，及記憶體之內部配線之外，以金屬配線層形成記憶體晶胞與周邊電路間之配線。D R A M 之容量愈大，配線層之層數愈大。電容器係設在許多配線

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(²)

層之中間層之內部。

增大 D R A M 之記憶容量而且高度積體化後，各部變成細小，電容器之投影面積（從積體電路上面觀察時之面積）減少。因為電容器必須確保某一程度之電容量值，故除了採用介電係數高之材料，或減小介電體層之厚度之外，又增加電容器之實質面積。因為前兩者有其界限，因此必須不增加投影面積而加大實質面積。為了加大面積，通常係增加配置電容器之配線層之厚度，而利用高度方向形成電容器。例如冠狀構造（筒狀構造），散熱片構造，及多層型等。

形成電容器之電容器層之厚度增大後，必定在記憶體晶胞與無電容器之周邊電路之間產生段差〔例如日經 B P 公司發行雜誌「日經 Micro Device」第 1 1 7 號第 4 2 ~ 4 4 頁（1 9 9 5 年 3 月）。第 2 4 圖表示具有段差之構造之一般實施例。該例係由記憶體晶胞之 M O S 電晶體 6 及周邊電路之電晶體 7 所構成。在形成閘極 3 之兩者之表面穩定化絕緣膜層 8 上形成位元線層 1 2 及 3 層配線層 1 8，2 4，3 2。

在第 1 層配線層 1 8 上形成具有冠狀構造之電容器。如該圖中下方之放大圖所示，該電容器係以下側之金屬膜（以後稱儲存結 S N）2 7 及上側金屬膜（以後稱陽極電極 P L）3 4 挾持介電質膜 2 8 而構成。儲存結 2 7 經由接觸針型接點 9，針型接點 1 4，及墊片 1 0 連接於 M O S 電晶體 6 之擴散層 4，而陽極電極 3 4 經由第 1 層

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

五、發明說明 (3)

配線層 1 8，第 2 層配線圖 2 4 之針型接點，及墊片連接於第 3 層配線層 3 2 之定電壓供給用配線 6 2。

上述實施例中，因為電容器具有冠狀構造而需要高度，故記憶體晶胞領域與周邊電路領域之間有段落差。若段落差成為某一程度以上時，在此後進行石版印刷術處理時，不容易形成一定形狀之配線圖型。其原因在於曝光裝置之焦距。若段落差超過焦距之容許範圍時，具有段落差之部分之焦點發生偏差而光量降低，導致曝光不足而不能形成一定之形狀。尤其若段落差超過 $1\ \mu\text{m}$ 時，此問題更嚴重。

為了防止發生上述問題，可採用在全面形成犧牲膜，將該膜蝕刻或研磨而減小段落差之方法。然而，此時除了過程次數增加以外，若形成連接孔時，具有段落差之部分與無段落差之部分之到達金屬膜之深度方不同，故發生過度蝕刻領域及蝕刻不足領域。尤其在孔之深度大之部分不可避免的發生蝕刻不足，及因導電材料之填充不足而造成之配線之導通不良。段落差之問題在 D R A M 與邏輯電路同時存在之半導體積體電路裝置中亦同樣的發生。

為了減小電容器所造成之段落差，特開平 6 - 1 2 5 0 5 9 號中揭示一種在配線層上方形成電容器之方法。依照該方法，為了將設置於配線上之電容器之儲存結連接於擴散層，利用蝕刻法形成打穿配線及位元線層之連接孔。然後，在連接孔內填埋聚矽而連接儲存結與擴散層。依照此方法，必須利用乾式蝕刻法形成深度 $2\ \mu\text{m}$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

五、發明說明 (4)

以上，平面形狀比 8 以上之孔。然而依照目前之乾式蝕刻技術，只能以高良品率及良好之重現性蝕刻深度 $2\ \mu\text{m}$ 以下，平面形狀比 4 以下之孔。因此，實質上希望在配線上方形成電容器仍不能實現。

又因為未考慮周邊電路部分之製程，因此，例如儲存結與擴散層之連接孔及接觸針型接點之形成與周邊電路部分之連接孔及針型接點之形成分開而獨立，故製程必定增加。

又因為在形成配線之後形成聚矽針型接點，因此聚矽之 50°C 以上之形成溫度施加於配線，故若使用鋁做為配線材料時，可能發生變形成變質。

如上所述電容器之構造隨著其微細化而變成複雜。因此導致過程次數之增大，成為成本提高之主要原因。此外，在設置電容器之層上，分別使用分開之製程形成電容器與周邊電路之配線，及邏輯電路之配線，故其製程次數顯著的多於單獨形成時之製程。此外，製程次數之增加又導致良品率之降低。

關於輻射線 (α 線) 等所造成之軟性誤差之對策除了有有機系輻射線保護膜塗敷晶粒 (1989 年 1 月日經 B P 公司發行德山巍他著「V L S I 製造技術」第 25 頁) 之外，又有在晶粒上施加熱載體應力電壓等方法。前者另外需要實施塗敷過程，而後者為了形成施加電壓用之電極而必須增加製程，並且因為施加電壓後之電荷移動及放電等時間變化而降低其效果。兩者對於感應雜訊等其他環

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (5)

境障礙無任何效果。

本發明之第 1 目的為提供一種不會增加製程次數而且可避免段落差之問題之新穎之記憶體晶胞構造。

本發明之第 2 目的為提供一種增大同一基板內之製造過程之共同部分之裝置構造。

本發明之第 3 目的為提供一種不增加過程次數而可實施對環境障礙之對策之裝置構造。

本發明之上述目的可在許多金屬配線層之最上層形成電容器，而且連接形成於表面穩定化絕緣膜層上之對擴散層之接觸針型接點，形成於位元線層之墊片及針型接點，及形成於其上方之各金屬配線層之針型接點及墊片而連接電容器之儲存結與電晶體之擴散層而達成。位元線層之上述墊片係採用位元線及形成位元線層之同時形成之周邊電路之金屬配線層之配線，及與墊片相同之縱方向構造（層疊許多種金屬膜之構造）及材質。位元線層之上述針型接點係採用與周邊電路部分金屬配線層之針型接點相同之材質。位元線層上方之各金屬配線層之上述針型接點係採用與該金屬配線層之記憶體晶胞之配線及形成於該金屬配線層之周邊電路之配線及墊片相同之縱方向構造及材質。各金屬配線層之上述針型接點之材料係採用與周邊電路部分之針型接點相同之材質。

如此，儲存結與擴散層之連接可與其他配線及層間之連接之同時形成，因此，可與其相同的以高良品率製造，而且可避免過程次數之增加。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

人

五、發明說明(6)

若墊片及針型接點之材料係使用可在不超過 500°C 之溫度下製造之鎢或鋁，則可在擴散層上設置例如鎢膜（在 500°C 以上時與矽發生反應而其接觸電阻增加），可實現低接觸電阻。此外，配線可使用鋁材料而可降低配線電阻。因此，可提高積體電路裝置之動作速度。

此外，若在形成擴散層以後之過程中採用利用不超過 500°C 之溫度之製程，即可維持電晶體之初期高頻特性。亦即，若超過 500°C 時擴散再度進行而擴大擴散層領域，使電晶體之高頻特性劣化。但若不超過 500°C ，則不發生這種問題。

在形成擴散層以後採用利用不超過 500°C 之溫度之製程之方式，不但可應用於上述 DRAM，而且可應用於具有擴散層之全部半導體積體電路裝置。

依照本發明之方法，不但最上層以外之各配線層之厚度大致上成為一致，而可同時加工記憶體晶胞與周邊電路之配線，而且即使最上層因為未形成連接孔而具有段落差，仍可同時加工電容器之陽極電極與周邊電路之配線。製程之共同化在 DRAM 與邏輯電路同時存在之裝置中亦可同樣的實現。

在記憶體晶胞中，因為在最後配線過程以後形成電容器，故不必考慮配線層間之連接孔之佈置，可利用記憶體晶胞之大部分平面形成電容器。如此利用即可增加電容器面積，故電容器可採用以平面狀儲存結與陽極電極等 2 個層挾持介電質層之單純構造（平面型）。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

裝

五、發明說明(7)

因為陽極電極用來供給全部電容器共同之定電壓，故可用同一電極包覆記憶體晶胞及包括周邊電路在內之晶粒之幾乎全面。一方面，陽極係由金屬形成，故該電極可遮斷輻射線及成為雜訊之外來電磁波等，可保護全部晶粒。因此，不必增加過程次數即可實施對環境障礙之對策。在D R A M與邏輯電路同時存在之裝置中，亦可在邏輯電路之最上層設置電源供給用陽極電極，以該電極包覆全部邏輯電路，即可提高邏輯電路之環境障礙之耐性。

若上述電容器之單體之電容量不足時，最好在最上層下方之配線層形成補助電容器。將補助電容器之高度設定為與周邊電路及邏輯電路之配線相同高度，即可避免段落差之問題。這種補助電容器可如後文中所述，利用平面狀之構造，及儲存結及陽極電極之側面利用之構造實現。

以下參照圖式說明本發明之實施例。第1至26圖中，同一種記號表示同一構件或類似構件。

< 實施例 1 >

第1圖表示2個記憶體晶胞及周邊電路之一部分斷面構造。圖中，1為P型矽基板。2為場氧化膜。3為閘極。4，5為擴散層。6為構成記憶體晶胞之電晶體。7為構成周邊電路之M O S電晶體。8為保護各M O S電晶體之表面穩定化絕緣膜層。12為位元線層（在周邊電路部分為金屬配線層）。18，24，32各為第1、第2、第3金屬配線層。9為表面穩定化絕緣膜層8之記憶體晶

五、發明說明(8)

胞之層間連接用接觸針型接點。14, 20, 25 為記憶體晶胞之層間連接用針型接點。10, 17, 23 為記憶體晶胞之連接用針型接點。10' 為位元線(BL)。

15, 22 為記憶體晶胞之配線。9' 為表面穩定絕緣膜層8之周邊電路之層間連接用接觸針型接點。13, 19 為周邊電路之層間連接用針型接點。11' 為周邊電路之連接用針型接點。11, 16, 21, 26 為周邊電路之配線。27 為電容器之儲存結(SN)。35 為電容器之陽極電極(PL)。

第2圖表示記憶體晶胞之上面圖(分解圖)。在由面SA包圍之部分形成一個記憶體晶胞, 在投影面CA之範圍內形成電容器。該圖中在列方向表示3條字線WL, 在行方向表示1條位元線BL, 在2處表示儲存結(SN), 在1處表示位元線(BL)連接部。本實施例中, DRAM之記憶體容量為256Mbit, 電容器所形成之投影面之大小x, y分別為0.85 μ m, 0.65 μ m。

以下參照第1圖說明記憶體晶胞之形成方法。首先利用選擇氧化法在P型矽基板1上形成場氧化膜2, 在一定部位形成鄰接於由閘極3及擴散層4, 5所構成之電晶體6之電晶體7。在電晶體6與7之間配置場氧化膜2。然後, 在基板1全面形成絕緣膜(含有磷及硼之氧化矽膜), 經過750℃之熱處理形成具有回流(粘性流動)之形狀。如此, 可減小因場氧化膜2所造成之段落差。為了更

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

進一步減輕段落差，實施化學式機械式研磨。如此形成平坦之表面穩定化絕緣膜層 8。

然後，在該絕緣層上形成連接孔，形成對位元線（B L）10' 之接觸針型接點 9 及連接於儲存結（S N）27 用之接觸針型接點 9'，及連接於周邊電路配線 16，21 用之針型接點 9'（兩種針型接點之主要材質為鎢，但亦可使用聚矽）。然後形成連接於位元線 10'，儲存結 27 用之針型接點 10 及對配線 16，21 之針型接點 11' 及配線 11。此時，位元線 10'，針型接點 10，11' 及配線 11 係同時以與 TiN / Al / TiN 層疊相同之構造形成。形成該位元線（周邊電路之金屬配線層）12 之墊片及配線後，繼續利用電漿 CVD 法（Chemical Vapor Deposition）在全面上形成絕緣膜（主要材質為二氧化矽），再實施化學式機械式研磨將該絕緣膜平坦化。

然後，在該絕緣膜上形成連接孔，形成針對墊片 17 之針型接點 14，及針對配線 16 之針型接點 13（兩個針型接點之主要材質為鎢）。然後，形成第 1 層金屬配線層 18 之配線 15，16 及墊片 17，利用與上述相同之方法形成第 1 層金屬配線層 18 之平坦化絕緣膜。

然後，在該絕緣膜上形成連接孔，形成針對配線 21 之針型接點 19，及針對墊片 23 之針型接點 20。然後形成第 2 層金屬配線層 24 之配線 21，22 及墊片 23，再依照與上述相同之順序形成第 2 層配線層 24 之平坦

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (10)

化絕緣膜。然後，形成針對儲存結 2 7 之針型接點 2 5 。以上過程中，除了表面穩定化絕緣膜之回流化時以外，其他時之處理溫度為 4 5 0 °C 以下。

然後，依照如下之順序形成電容器而形成配線之最上層。首先

- 1 . 利用濺射法 (亦可利用 C V D 法) 形成厚度 0 . 5 0 μ m 之鎢 (W) 膜，
- 2 . 利用光學石版印刷法曝光及顯像，
- 3 . 利用乾式蝕刻法在連接用針型接點 2 5 上形成尺寸 0 . 7 μ m $\times$ 0 . 5 μ m 之儲存結 2 7 。由於該尺寸，使得儲存結 2 7 與鄰接之儲存結分開 0 . 3 μ m 之距離。
- 4 . 利用 C V D 法形成五氧化鉬 (T a ₂ O ₅) 膜，
- 5 . 利用光學石版印刷法曝光及顯像。此時進行之光學石版印刷法中，只將將焦點對正配線層 2 4 之平坦化絕緣膜上之五氧化鉬膜即可。然後，
- 6 . 利用乾式蝕刻法去除必要部分以外之部分，形成第 1 圖下部之放大圖中所示電容器之介電質膜之五氧化鉬膜 2 8 。然後，
- 7 . 依照與下層配線層 8 , 1 2 , 1 8 , 2 4 之形成方法相同之順序形成氮化鈦 (T i N) 膜 2 9 ，
- 8 . 在其上面形成鋁 (A l) 膜 3 0 ，
- 9 . 再於其上形成氮化鈦膜 3 1 。然後，
- 1 0 . 利用光學石版印刷法曝光及顯像。此時進行之光學石版印刷法中，不必在以後於段落差上之配線材料上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (11)

形成連接孔，故只要將焦點對正氮化鈦膜 3 1 上即可。然後，

1 1 . 利用乾式蝕刻法形成具有 T i N / A l / T i N 層疊構造之配線。

此時，儲存結 2 7 上之配線成為陽極電極 (P L) 3 4 ，而在周邊電路上則成為配線 2 6 。亦即電容器之陽極電極 3 4 及周邊電路之配線 2 6 係使用同一掩罩同時形成。在該陽極電極 3 4 上施加電源電壓 V c c 之 1 / 2 之電壓。上述電容器之面積為 $1.55 \mu m^2$ 。因為使用換算成氧化矽膜之厚度 1.6 nm 之五氧化鉬，故電容器之電容量為 22 f F (毫微微法拉)。該電容量與 256 M b i t 所必須之電容器電容量成為一致。

如上所述，過程次數為 11 次。上述處理溫度為 45 °C 以下。第 24 圖中所示之習用例需要 20 次過程。其理由為，電容器需要複雜之過程，及為了形成配線 2 6，在形成電容器後，需要進行另一過程 (後文中總括的說明習用例之詳細過程)。

第 25 圖所示習用例之構造中，在電容器部分之製程之前需要進行 6 次以上之多餘過程，而且不能利用乾式蝕刻加工連接孔 6 3，以及即使連接孔貫穿後，擴散層 4，5 被蝕刻，電晶體不能動作，良品率為 0 (後文中詳細說明習用例之過程)。

本發明之特徵與習用例之特徵之比較結果如下。

1) 因為在最上層形成電容器，並且在同一平面上形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (12)

成記憶體晶胞與周邊電路之配線層，故在實施石版印刷法時不會發生段落差障礙。

2) 因為以針型接點及墊片連接擴散層至電容器電極，故不會增加過程次數而可在最上層形成電容器。因此，可將記憶體晶胞全面用來做為電容器領域，因而可用簡易之電容器構造確保電容量，並且可減少其過程次數。又因為不必在陽極電極 3 4 上形成連接孔，故在進行石版印刷法時不會發生段落差障礙。

3) 因為同時形成電容器之陽極電極 3 4 與周邊電路之配線 2 6，故可減少過程次數。

以上係 2 5 6 M b i t 之 D R A M 之特徵。其他 6 4 M b i t 之 D R A M，及 1 G b i t 以下之 D R A M 皆有相同之特徵。

以下說明第 2 4 圖所示習用例之電容器製程及配置該電容器之配線層 1 8 之製程。D R A M 之記憶容量與本實施例相同為 2 5 6 M b i t。首先

- 1 . 利用 C V D 法澱積厚度 $0.2 \mu m$ 之鎢，
- 2 . 利用光學石版印刷法曝光及顯像，
- 3 . 利用乾式蝕刻法形成儲存結 2 7 之下部電極。然後，為了形成儲存結 2 7 之側面電極，
- 4 . 澱積厚度 $0.3 \mu m$ 之二氧化矽膜，
- 5 . 利用光學石版印刷法曝光及顯像，
- 6 . 利用乾式蝕刻法形成尺寸 $0.4 \mu m \times 0.4 \mu m$ 之柱狀二氧化矽膜之塊體。然後在其上面

五、發明說明 (13)

- 7 . 利用 C V D 法形成鎢膜，
 - 8 . 利用背部蝕刻法在二氧化矽塊體之側壁上形成側部電極，
 - 9 . 去除二氧化矽膜。然後，
 - 10 . 利用 C V D 法澱積五氧化鉬，
 - 11 . 利用光學石版印刷法曝光及顯像，
 - 12 . 利用乾式蝕刻去除必要部分之五氧化鉬膜以外之部分而形成介電質膜 28，
 - 13 . 在全面澱積厚度 $0.1 \mu m$ 之氧化鈦膜，
 - 14 . 利用光學石版印刷法以抗蝕刻披覆陽極電極 34 之引出部，
 - 15 . 實施背部蝕刻而形成陽極電極 34，在連接用針型接點 14 上形成尺寸 $0.5 \mu m \times 0.5 \mu m$ 之電容器。然後，
 - 16 . 爲了形成周邊電路之配線 16 而澱積氮化鈦膜，
 - 17 . 澱積鋁膜，
 - 18 . 澱積氮化膜，
 - 19 . 利用光學石版印刷法曝光及顯像，
 - 20 . 利用乾式蝕刻形成具有 $TiN / Al / TiN$ 之層疊構造之配線 16。
- 如上所述，爲了形成周邊電路之配線，必須進行 20 次過程。

以下參照第 25 圖說明利用習用方法在配線層上設置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

電容器之記憶體晶胞之形成方法。首先，利用選擇氧化法在 P 型矽基板 1 上形成場氧化膜 2，在一定部位形成鄰接於由閘極 3 及擴散層 4，5 所構成之電晶體 6 之電晶體 7。在電晶體 6 與電晶體 7 之間設置場氧化膜 2。然後，在基板 1 全面形成絕緣膜（含有磷及硼之氧化矽膜），實施 750℃ 之熱處理而製作具有回流（粘性流動）之形狀。如此，可減小因電晶體 6，7 及場氧化膜 2 所造成之段落差。

然後，在該絕緣膜上形成連接孔，形成針對位元線（BL）10' 之接觸用針型接點 9（聚矽）。然後，形成位元線 10'（聚矽）。形成該位元線層 12 之墊片及配線後，繼續利用 CVD 法在全面形成絕緣膜（主要材質為二氧化矽 SiO_2 ），然後在基板 1 全面形成絕緣膜（含有磷及硼之氧化矽膜），實施 750℃ 之熱處理而製作具有回流（粘性流動）之形狀。如此，可減小因位元線所造成之段落差。

然後，

a) 在位元線層 12 之絕緣膜及下方之絕緣膜層 8 上形成周邊電路用連接孔，

b) 形成針對墊片 16 之接觸用針型接點（針型接點之主要材質為鎢）。然後，形成第 1 層金屬配線層 18 之配線 15，及周邊電路用配線 11 後，利用電漿 CVD 法在全面澱積氧化膜，塗敷抗蝕劑將配線所造成之凹凸狀表面平坦化，實施蝕刻而形成第 1 層配線層 18 之平坦化絕

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

頁

五、發明說明 (15)

緣膜。然後，

c) 形成周邊電路配線 2 1 用之連接孔，

d) 形成周邊電路配線用針型接點 1 9 。然後，形成第 2 層金屬配線層 2 4 之配線 2 2 ，及周邊電路用配線 2 1 ，再依照與上述相同之順序形成第 2 層配線層 2 4 之平坦化絕緣膜。然後，

e) 形成儲存結 2 7 及連接於擴散層 4 用之連接孔 6 3 ，

f) 並形成接觸用針型接點 6 4 。形成接觸用針型接點 6 4 時，考慮埋設性而使用熱 C V D 法製成之聚矽。聚矽之形成溫度為 6 0 0 °C 。電容器係利用與本發明相同之過程製作。如上所述，習用例中，有 6 次多餘之過程，而且在形成連接孔 6 3 時，因為平面形狀比大，故不能形成具有所需構造之連接孔。

< 第 2 實施例 >

第 3 圖係表示 D R A M 之第 2 實施例之構造。該實施例與第 1 實施例不同之處為，將電容器之介電質膜所使用之五氧化鉬改為介電係數更高，含有鉛之鈦酸鉛 (P Z T) ，電容器構造形成為不利用側面之單純平坦型，及將電容器之陽極全面披覆至周邊電路部分。本實施例之構造中，形成電容器以前之第 2 層配線層 2 4 之形成為止係以與實施例 1 相同之製造方法形成，故其說明從略。

電容器之製造過程如下。首先，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (16)

- 1 . 利用濺射法濺積厚度 $0.1 \mu m$ 之白金 (P t)
- 2 . 利用光學石版印刷法曝光及顯像，
- 3 . 利用乾式蝕刻法在連接用針型接點 2 5 上形成尺寸 $0.7 \mu m \times 0.5 \mu m$ 之儲存結 (S N) 2 7 。由於該尺寸之存在，使得儲存結 2 7 與鄰接之儲存結分開 $0.3 \mu m$ 之距離。然後，
- 4 . 以使用有機金屬之 C V D 法濺積上述鈦酸鉛，
- 5 . 利用光學石版印刷法曝光及顯像，
- 6 . 利用乾式蝕刻法去除必要部分以外之部分，形成第 3 圖下部之放大圖中所示之成為電容器之介電質膜之鈦酸鉛膜 3 3 。然後，
- 7 . 在其上形成白金膜 3 4 ，
- 8 . 利用光學石版印刷法曝光及顯像，
- 9 . 利用乾式蝕刻形成陽極電極 (P L) 3 4 。

上述電容器之面積為 $0.35 \mu m^2$ ，因為使用換算成氧化矽膜厚為 $0.36 nm$ 之鈦酸鉛，故電容器之電容量為 $22 fF$ 。該電容量係 $256 Mbit$ 所需要之電容器電容量。如此，使用介電係數高之介電質膜，在最上層形成電容器而將記憶體晶胞全面做為電容器領域使用，故可使用構造簡單之平坦型電容器，因此，可更減少過程次數。因為電容器具有較薄之構造，故可形成幾乎無段落差之平坦之最後保護膜（表面穩定化膜）。

製作利用陽極電極以各種面積比之比率披覆晶粒上而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (17)

成之 D R A M，測試其輻射線 (α 線) 障礙發生率。第 4 圖表示其結果。第 2 4 圖中所示之習用例之 D R A M 之披覆率為 3 0 %。由此可知，即使在習用例之 D R A M 幾乎全受到損傷之苛刻之輻線環境下，若以陽極電極披覆記憶體晶胞全部領域 (披覆率為 4 5 % 以上)，即可產生顯著之耐性。

習用例中，為了避免上述輻射線障礙，必須形成有機保護膜做為晶粒保護膜。但若以陽極電極披覆記憶體晶胞之全部領域，則不需要形成上述有機保護膜。

< 實施例 3 >

第 5 圖表示第 3 實施例之 D R A M 之構造。該實施例與實施例 2 不同之處為，將利用有機金屬 C V D 法製成之鈦酸鉛 (實效膜厚 $0.36 \mu\text{m}$) 製之電容器之介電質膜，改成利用更簡單之濺射法製成之鈦酸鉛 (實效膜厚 $0.50 \mu\text{m}$)，藉此將電容器形成為兩段式平坦型構造。因此，將陽極 (P L) 形成為上下兩段 (3 5，3 4)，在其間挾持儲存結 (S N) 2 7。這種構造中，形成電容器以前之第 2 層配線層 2 4 之形成為止之步驟與實施例 1 之製造方法相同，故不再重複。

以下參照第 6 圖說明電容器之製造過程。首先，

1. 利用濺射法在陽極電極 3 5 上濺積厚度 $0.1 \mu\text{m}$ 之白金，

2. 利用光學石版印刷法曝光及顯像，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (18)

3 . 利用乾式蝕刻在儲存結 2 7 之連接用針型接點 2 5 旁形成尺寸 $0.7 \mu m \times 0.5 \mu m$ 之下部陽極電極 (第 5 圖下部之放大圖) ,

4 . 利用濺射法澱積鈦酸鉛膜 3 3 ' ,

5 . 利用光學石版印刷法曝光及顯像 ,

6 . 利用乾式蝕刻去除必要部分以外之部分。

然後 ,

7 . 利用濺射法形成儲存結 2 7 用白金膜 ,

8 . 利用光學石版印刷法曝光及顯像 ,

9 . 利用乾式蝕刻連接於連接用針型接點 2 5 而同時形成尺寸 $0.7 \mu m \times 0.5 \mu m$ 之儲存結 2 7 。然後 ,

1 0 . 利用濺射法澱積鈦酸鉛膜 3 3 ' ,

1 1 . 利用光學石版印刷法曝光及顯像 ,

1 2 . 利用乾式蝕刻去除必要部分以外之部分。然後

1 3 . 利用濺射法在陽極電極 3 4 上澱積白金 ,

1 4 . 利用光學石版印刷法曝光及顯像 ,

1 5 . 利用乾式蝕刻將陽極電極 3 4 連接於先前已形成之陽極電極 3 5 而同時形成。

第 5 圖之下部為電容器之斷面放大圖。上述電容器之面積上下層合計為 $0.5 \mu m^2$ 。因為使用換算成氧化矽膜厚度為 $0.5 nm$ 之鈦酸鉛膜，故電容器之電容量為 $22 fF$ 。該電容量係 $256 Mbit$ 所必須之電容器電容量

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

五、發明說明 (19)

。使用介電係數如此高之介電質膜在最上層 3 2 上形成電容器，以便活用記憶體晶胞之幾乎全面。因此，不必增加過程次數，以簡單之平坦型 2 段電容器即可滿足一定電容量。

如本實施例中所述，以陽極電極 3 4，3 5 挾持儲存結 2 7，即可形成高度方向之構造簡單之大面積。當然，在儲存結分成 2 段，而以儲存結挾持陽極電極，仍可產生相同效果。

< 實施例 4 >

第 7 圖表示 D R A M 之第 4 實施例之構造。該實施例與實施例 3 不同之處為，在最上層 3 2 之正下方之配線層 2 4 上形成補助電容器，將主電容器及補助電容器皆形成為平坦型，以連接用針型接點連接 2 個電容器，及使用位於同一層之周邊電路之各配線 2 1，2 6 及相同之掩罩同時形成 2 個電容器之陽極電極 3 4，3 7。本構造中，在形成電容器以前之第 2 層配線層 1 8 之形成為止之步驟與實施例 1 之製造方法相同，故不再重覆。

以下參照第 7 圖說明補助電容器之製造過程。

1. 利用濺射法在形成於配線層 2 4 之下部之儲存結 (S N) 3 6 上澱積厚度 $0.1 \mu m$ 之白金，
2. 利用光學石版印刷法曝光及顯像，
3. 利用乾式蝕刻在連接用針型接點 2 0 上形成尺寸 $0.7 \mu m \times 0.5 \mu m$ 之下部儲存結 3 6，

五、發明說明 (20)

4 . 利用濺射法濺積鈦酸鉛膜 3 3 ' ,

5 . 利用光學石版印刷法曝光及顯像 ,

6 . 利用乾式蝕刻法去除必要部分以外之部分。然後

7 . 利用濺射法濺積成爲下層 2 4 之陽極電極 (P L) 3 7 及配線 2 1 之材料之氮化鈦 (第 7 圖下部之放大圖) 而形成氮化鈦膜 9 ,

8 . 利用濺射法濺積鋁而形成鋁膜 3 0 ,

9 . 利用濺射法再濺積氮化鈦而形成氮化鈦膜 3 1 ,

1 0 . 利用兼有陽極電極 3 7 用及配線 2 1 用之光學石版印刷法曝光及顯像 ,

1 1 . 利用乾式蝕刻法在最上層 3 2 之電容器之儲存結 2 7 用連接用針型接點 2 5 部分形成孔 , 形成尺寸

0 . 3 μ m $\times$ 0 . 5 μ m 之下部陽極電極 3 7 , 及周邊電路之配線 2 1 。

以後之過程與實施例 1 之製造過程大致上相同。過程內容之不同爲電容器用介電質之膜材料及電容器形狀 (光學石版印刷法 , 與乾式蝕刻之適用部位不同) 。其過程次數相同。

上述電容器面積上下合計爲 0 . 5 0 μ m² , 而且因爲使用換算成氧化矽膜之厚度爲 0 . 5 n m 之鈦酸鉛 , 故電容器之電容量爲 2 2 f F 。該電容量爲 2 5 6 M b i t 所需要之電容器電容量。與實施例 1 比較 , 多增加 5 次過程 , 但比習用方法之過程次數少。其理由爲 , 將電容器金屬

五、發明說明 (21)

層之一部分與配線層構造成為一致而同時形成。因為使用介電係數高之膜，故可將電容器之構造形成為簡單之平坦型。如此，不必增加過程次數，可使用簡單而適合於量產之濺射法，以簡單之平坦型雙層電容器滿足電容量。又因為最上層 3 2 之電容器與周邊電路之配線 2 6 之高度大致上相同，而且幾乎無段落差，故可將保護膜最後形成為平坦狀。

< 實施例 5 >

第 8 圖表示 D R A M 之第 5 實施例之構造。該實施例與實施例 4 不同之處為，省略補助電容器，及在記憶體晶胞之全面形成陽極電極 3 4。如此，與實施例 2 相同的而提高對環境障礙之耐性。其他又有非常容易形成設在最上層 3 2 上之絕緣膜之效果。如實施例 4 中所述，可將陽極電極分別在各記憶體晶胞加工，但因為陽極電極接受定電壓，故不個別分開，可共同化。如此，可省略分開而加工時需要實施之在空白空間內填充絕緣膜之作業。

< 實施例 6 >

第 9 圖表示 D R A M 之第 6 實施例。該實施例與實施例 1 不同之處為採用補助電容器在最上層 3 2 之正下方形成該電容器，以連接針型接點連接上下電容器，及使用與位於同一層之周邊電路之配線 2 1 相同之掩罩同時形成補助電容器之陽極電極 3 7。本構造中，形成電容器以前之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (22)

第 1 層配線層 1 8 爲止之步驟係利用與實施例 1 相同之製造方法形成，故不再重複。

如下參照第 1 0 圖說明補助電容器之製造過程。

1 . 利用濺射法濺積厚度 $0.5 \mu m$ 之補助電容器之儲存結 (S N) 用鎢，

2 . 利用光學石版印刷法曝光及顯像，

3 . 利用乾式蝕刻，在連接用針型接點 2 0 上形成尺寸 $0.3 \mu m \times 0.3 \mu m$ 之下部儲存結 4 0 。然後，

4 . 利用 C V D 法濺積五氧化鉬膜 4 1 ，

5 . 利用光學石版印刷法曝光及顯像，

6 . 利用乾式蝕刻去除必要部分以外之部分。然後，

7 . 利用濺射法濺積成爲下部陽極電極 3 7 及配線 2 1 之材料之氮化鈦 (第 7 圖下部之放大圖) 而形成氮化鈦膜 4 2 ，

8 . 利用濺射法濺積鋁而形成鋁膜，

9 . 利用濺射法再濺積氮化鈦而形成氮化鈦膜 4 4 ，

1 0 . 在其上面實施化學式機械式研磨。研磨至儲存結 4 0 露出爲止。如此，可形成以儲存結 4 0 與陽極電極 3 7 挾持位於儲存結 4 0 側壁之五氧化鉬膜 4 1 之筒狀電容器。然後，

1 1 . 利用兼用爲陽極電極 3 7 用及配線 2 1 用之光學石版印刷法曝光及顯像，

1 2 . 利用乾式蝕刻分開電容器之電極 3 7 與周邊電路之配線 2 1 。以後之過程與實施例 1 之製造過程大致上

五、發明說明 (23)

相同。不同之處為改變電容器尺寸，其過程次數相同。

上部電容器之尺寸為 $0.3 \mu m \times 0.3 \mu m$ 。儲存結之高度為 $0.5 \mu m$ 。因此，上下2層並聯之電容器之面積為合計 $1.44 \mu m^2$ ，又因為使用換算成氧化矽膜之厚度為 $1.6 nm$ 之五氧化鉬膜，故電容器之電容量為 $20 fF$ 。該電容量為 $1 Gbit$ 所需要之電容器電容量。

與實施例比較時增加6次過程，但比習用方法之過程次數少。其理由為將電容器層之一部分與配線層構造成為一致而同時形成。如此，雖然使用介電係數為中等之介電質膜，但因為採用將電容器層之一部分與配線層構造成為一致而同時形成之方法，故可避免習用例中成為問題之段落差障礙。此外，不必增加過程次數，即可製造利用簡單之雙層電容器所構成之 $1 Gbit DRAM$ 。

< 實施例 7 >

第11圖表示 $DRAM$ 之實施例7之構造。該實施例與實施例6不同之處為，利用化學式機械式研磨法磨削最上層32之陽極電極34之凸部。如此，最上層32之段落差消失，可在其上形成新電容器而連結該電容器與最上層32之電容器。此時，形成新電容器之層成為最上層。

第12圖表示在最上層32上又形成電容器而形成新的最上層配線層58之實施例。將配線層32之陽極電極34之凸部磨削至露出儲存結27為止，以陽極電極34

五、發明說明 (24)

挾持在儲存結 2 7 之側面朝向高度方向形成之介電質膜而成之電容器。最上層配線層 5 8 之電容器係以與形成實施例 1 之最上層 3 2 之電容器相同之方法形成。

若不需要在配線層 3 2 上追加電容器時，則在研磨陽極電極 3 4 之凸部後，形成最後之表面穩定化膜。此時，因為平坦化後披覆最後之表面穩定化膜，故與繼續保持凸部而披覆之方式比較，可提高表面穩定化特性（保護特性）。

< 實施例 8 >

實施 D R A M 與邏輯電路混合存在之半導體積體電路裝置之實施例。第 1 3 圖為 1 個晶粒內之方塊圖。第 1 4 圖為配置圖。該裝置之構造係圖像處理用之實施例。其中以 5 1 2 位元之匯流排 7 5 連接由記憶體晶胞 7 0，

I / O 7 1，及解碼器 7 2 所構成之 D R A M 7 3 與邏輯電路 7 4。將資料輸送至邏輯電路 7 4 時，係從

D R A M 7 3 總括的輸送 5 1 2 位元之資料。第 1 5 圖表示該裝置之一部分。圖中表示構成 2 個記憶體晶胞與邏輯電路之 1 個 M O S 電晶體之部分。其斷面構造大致上與第 1 圖所示之構造相同，中央及左側為記憶體晶胞，右側為邏輯電路。與第 1 圖不同之處為設有從邏輯電路之

M O S 電晶體 7 之擴散層 4，5 連接於最上層 3 2 之配線 2 6 之連接線。從記憶體晶胞之上面觀察時之構造與第 2 圖所示之構造相同。本實施例中亦設置 2 5 6 M b i t 之

五、發明說明 (25)

記憶體容量，而電容器投影面之 x ， y （第 2 圖）分別為 $0.85 \mu m$ ， $0.65 \mu m$ 。

其製造過程與實施例 1 之過程大致上相同。各配線層中，記憶體晶胞及邏輯電路之連接用針型接點及配線係以相同之材料，及構造同時形成。本實施例中，爲了減小與各擴散層接合之部位之接觸電阻而層疊鎢膜 45。表面穩定化膜 8 以 $450^{\circ}C$ 之溫度形成磷玻璃（PSG），而不實施回流化。實施 CMP 而平坦化。全部製造過程係在 $500^{\circ}C$ 以下之溫度進行。此外，過程內容之差異僅爲連接用針型接點及配線形狀與數量而已，爲了避免重複，本實施例中省略製造過程之說明。

將本發明與第 26 圖所示之習用例（第 24 圖所示引用例之類推例）比較，其製造過程次數與實施例 1 相同的在習用例中爲 20 次，但本發明中則減小爲 11 次（習用例之過程與實施例 1 中說明之過程大致上相同，故其說明從略）。其他產生之整體特徵亦與實施例 1 中所述之 1），2），3）相同。

以上說明 DRAM 與邏輯電路混合存在之例。除了邏輯電路之外，SRAM（Static Random Access Memory）與快閃記憶體（非消失性記憶體）混合存在之半導體積體電路裝置中亦可產生相同效果。

< 實施例 9 >

實施 DRAM 與邏輯電路混合存在之半導體積體電路

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

頁

五、發明說明 (26)

裝置之第 2 實施例。第 1 6 圖表示其構造。該實施例與實施例 8 不同之處為，將電容器之介電質膜從五氧化鉭改變為介電係數更高，而且含有銦之鈦酸鉛 (P Z T)，並將電容器構造形成為平坦型，及以電容器之陽極電極披覆至周邊電路全面。本構造中，形成電容器以前之第 2 層配線層 2 4 之形成為止之步驟；係以與實施例 8 相同之製造方法形成，而第 3 層配線層 3 2 之電容器係以與實施例 2 相同之製造方法形成。

不同之處為，在形成陽極電極時，改變掩罩之圖型而在邏輯電路上形成獨立之陽極電極 (接受電源電壓 V_{cc})。電容器之陽極電極與邏輯電路之陽極電極在同時形成。其他皆與實施例 2 相同，不再重複。

對於輻射線亦與實施例 2 相同的產生高耐性。

< 實施例 1 0 >

實施 D R A M 與邏輯電路混合存在之半導體積體電路裝置之第 3 實施例。第 1 7 圖表示其構造。該實施例與實施例 9 不同之處為，將電容器之介電質膜從利用有機金屬 C V D 法製成之鈦酸鉛 (實效膜厚 $0.36 \mu m$) 改變成以更簡單之濺射法形成之鈦酸鉛 (實效膜厚 $0.50 \mu m$)，並將電容器構造形成為 2 段平坦型。因此，將陽極電極 (P L) 形成為上、下 2 段 (3 5, 3 4)，而在其間配置儲存結 (S N) 2 7。本構造中，形成電容器以前之第 2 層配線層 2 4 之形成為止之步驟係以與實施例 8 相同

五、發明說明 (27)

之製造方法形成，而 3 層配線層 3 2 之電容器係以與實施例 3 相同之製造方法形成，故不再重複。

本實施例亦與實施例 3 相同的，不必增加過程次數而可實現簡單之平坦型 2 段電容器。本實施例中亦可採用以 2 段儲存節挾持陽極電極之構造。

< 實施例 1 1 >

實施 D R A M 與邏輯電路混合存在之半導體積體電路裝置之第 4 實施例。第 1 8 圖表示其構造。該實施例與實施例 1 0 不同之處為，在最上層 3 2 之正下方之配線層 2 4 上形成補助電容器，主電容器及補助電容器皆形成為平坦型，以連接用針型接點連接 2 個電容器，及使用與位於同一層之邏輯電路之各配線 2 6，2 1 相同之同一掩罩同時形成 2 個電容器之陽極電極 3 4，3 7，及在邏輯電路上設置局部配線 4 6。局部配線 4 6 係利用鈦矽化物 ($TiSi_2$) 形成於電晶體 7 上之鎢膜 4 5 之一定部分。

本構造中，形成電容器以前之第 1 層配線層 1 8 之形成為止之步驟係採用除了形成局部配線 4 6 以外其他皆與實施例 8 相同之製造方法形成，而第 2 層 2 4，第 3 層 3 2 之電容器係利用與實施例 4 大致上相同之製程方法形成，故不再重複。

因此，與實施例 4 相同的，不必增加過程次數而可實現簡單之平坦型雙層電容器。

五、發明說明 (28)

< 實施例 1 2 >

實施 D R A M 與邏輯電路混合存在之半導體積體電路裝置之第 5 實施例。第 1 9 圖表示其構造。該實施例與實施例 8 不同之處為，採用補助電容器在最上層之正下方形成該電容器，以連接用針型接點連接上、下 2 個電容器，及使用與位於同一層之邏輯電路之配線 2 1 相同之掩罩同時形成補助電容器之陽極電極 3 7。本構造中，形成電容器以前之第 1 層配線層 1 8 為止之步驟係以與實施例 8 相同之製造方法形成，而第 2 層配線層 2 4，第 3 層配線層 3 2 之電容器係以與實施例 6 相同之製造方法形成，故不再重複。

與實施例 6 相同的，不必增加過程次數，即可製造具有由簡單之雙層電容器所構成之 1 G b i t D R A M 之混合存在邏輯電路之裝置。

< 實施例 1 3 >

實施 D R A M 與邏輯電路混合存在之半導體積體電路裝置之第 6 實施例。第 2 0 圖表示其構造。該實施例與實施例 1 2 不同之處為以化學式機械式研磨法磨削最上層 3 2 之陽極電極 3 4 之凸部。如此，最上層 3 2 之段差消失，可在其上形成新電容器而連接該電容器與最上層 3 2 之電容器。此時，形成新電容器之層成為最上層。

第 2 1 圖表示在最上層 3 2 上又形成電容器而形成新最上層配線層 5 8 之例。磨削配線層 3 2 之陽極 3 4 之凸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (29)

部使儲存結 2 7 露出，形成以陽極電極 3 4 挾持在儲存結 2 7 之側面朝向高度方向形成之介電質膜之電容器。最上層配線層 5 8 之電容器係以與形成實施例 8 之最上層 3 2 之電容器相同之順序形成。

若不必在配線層 3 2 上追加電容器時，則在研磨陽極電極 3 4 之凸部後，形成最後之表面穩定化膜。此時，因為在平坦化後披覆最後之表面穩定化膜，故與繼續保持凸部披覆之方式比較，可提高表面穩定化特性（保護特性）。

< 實施例 1 4 >

實施 D R A M 與邏輯電路混合存在之半導體積體電路裝置之第 7 實施例。第 2 2 圖表示其構造。該實施例與實施例 8 不同之處為，在最上層 3 2 同時共同的形成儲存結 2 7 及配線 2 6，然後形成陽極 3 4（實施例 8 中係先個別的 formed 儲存結 2 7，然後同時共同的 formed 陽極電極 3 4 與配線 2 6。

依照如下之順序形成電容器。首先

1. 以與下層之位元線層 1 2，配線層 1 8，2 4 之形成法相同之順序形成氮化鈦膜，
2. 在其上面形成鋁膜，
3. 再於其上面形成鎢膜 5 1，
4. 利用光學石版印刷法曝光及顯像。此時，不必於以後在發生段落差之下述陽極電極 3 4 上之絕緣膜形成連

五、發明說明 (30)

接孔，故只要將焦點對正配線層 2 4 之平坦化絕緣膜上即可。然後，

5 . 利用乾式蝕刻形成配線 (W / A l / T i N 層疊構造) 。此時，連接用針型接點 2 5 上之配線成為儲存結 (S N) 2 7 。亦即，電容器之儲存結 2 7 與邏輯電路之配線 2 6 係利用同一掩罩同時形成。然後，

6 . 澱積鎢，

7 . 並進行背部蝕刻 (塗敷蝕刻) 速度大致相同的抗光劑後，蝕刻全面而磨削鎢膜 5 1 之凸部) 。如此，在電容器之儲存結 2 7 上形成鎢側壁 5 2 ，並以鎢披覆儲存結 2 7 表面。使用鎢之理由為與電容器之介電質膜保持良好之接觸，並提高可靠性。因此，側壁 5 2 與儲存結 2 7 上部之材料不限定為鎢，亦可採用可確保可靠性之其他材料。此外，依照使用之介電質膜選用適合之材料。然後，

8 . 形成五氧化鉬，

9 . 利用光學石版印刷法曝光及顯像。此時，焦點只要對正平坦化之配線層 2 4 之絕緣膜上即可。然後，

1 0 . 利用乾式蝕刻去除必要部分以外之部分。然後，

1 1 . 形成氮化鈦膜，

1 2 . 利用乾式蝕刻法去除必要部分以外之部分，形成陽極 (P L) 3 4 。

本實施例與實施例 8 比較多一次過程，但儲存結 2 7 上端部之曲率比實施例 8 小，可緩和電場之集中，故可提

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (³¹)

高電容器之可靠性。澱積最後之表面穩定化膜時，因為凹部稍微傾斜（成為準傾斜狀），故可提高表面穩定化膜之埋入性。

< 實施例 15 >

第 23 圖表示 D R A M 與邏輯電路混合存在之半導體積體電路裝置之第 8 實施例。該實施例與實施例 8 不同之處為，在最上層 34 同時共同的形成儲存結 27 與配線 26，然後形成陽極 34。

依照如下之程序形成電容器。首先，

1. 以與下層之位元線層 12，配線層 18，24 之形成方法相同之程序形成氮化鈦膜，

2. 在其上面形成鋁膜，

3. 利用光學石版印刷法曝光及顯像，

4. 利用乾式蝕刻形成配線（A l / T i N 層疊構造）。此時，連接用針型接點 25 上之配線成為儲存結（S N）27。然後，

5. 利用選擇 C V D 法形成鎢，做為由鎢膜 51 披覆之儲存結 27，及配線 26。以後過程與實施例 14 之過程 8 ~ 12 相同。

本實施例與實施例 14 不同之處為儲存結 27 及配線 26 之披覆膜之形成方法。依照本實施例，可減少實施例 14 中之過程次數。

依照上述本發明之半導體積體電路裝置及該裝置之製

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (32)

造方法，在 D R A M 中，於最上層形成記憶體晶胞之電容器，以針型接點及墊片連接於電晶體擴散層，故不必增加過程次數即可消除記憶體晶胞與周邊電路之段落差。因此，可避免因段落差而發生之曝光不良及導通不良等問題之發生。又電容器之投影面可利用記憶體晶胞之幾乎全部投影面形成，可擴大電容器之投影面，故以減少過程次數之簡單構造即可產生所需之電容量。此外，因為同時共同的形成電容器之陽極或儲存結中之任一方及周邊電路之配線，故可減少過程次數。由於過程次數之減少，故可提高良品率及降低成本。因為製造過程之低溫化，故可製造動作速度快速之半導體積體電路裝置。

以上效果在 D R A M 與邏輯電路混合存在之裝置中亦可同樣的產生，可降低該裝置之成本。

圖式：

第 1 圖為用來說明本發明之半導體積體電路裝置及該裝置之製造方法之第 1 實施例之斷面構造圖；

第 2 圖為用來說明第 1 圖所示裝置之平面分解構造之平面圖；

第 3 圖為用來說明本發明之第 2 實施例之斷面構造圖；

第 4 圖為表示電容器之陽極電極之披覆率與 α 線所造成之不良發生率之關係之曲線圖；

第 5 圖為用來說明本發明之第 3 實施例之斷面構造圖

五、發明說明 (33)

;

第 6 圖為用來說明第 3 實施例之補助電容器之製造過程之過程圖；

第 7 圖為用來說明本發明第 4 實施例之斷面構造圖；

第 8 圖為用來說明本發明第 5 實施例之斷面構造圖；

第 9 圖為用來說明本發明之第 6 實施例之斷面構造圖

;

第 10 圖為用來說明本發明第 6 實施例之補助電容器之製造過程之過程圖；

第 11 圖為用來說明本發明之第 7 實施例之斷面構造圖；

第 12 圖為用來說明本發明之第 7 實施例之斷面構造圖；

第 13 圖為用來說明本發明之第 8 實施例之方塊圖；

第 14 圖為用來說明本發明之第 8 實施例之配置圖；

第 15 圖為用來說明本發明之第 8 實施例之斷面構造圖；

第 16 圖為用來說明本發明之第 9 實施例之斷面構造圖；

第 17 圖為用來說明本發明之第 10 實施例之斷面構造圖；

第 18 圖為用來說明本發明之第 11 實施例之斷面構造圖；

第 19 圖為用來說明本發明之第 12 實施例之斷面構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

造圖；

第 2 0 圖爲用來說明本發明之第 1 3 實施例之斷面構造圖；

第 2 1 圖爲用來說明本發明之第 1 3 實施例之斷面構造圖；

第 2 2 圖爲用來說明本發明之第 1 4 實施例之斷面構造圖；

第 2 3 圖爲用來說明本發明之第 1 5 實施例之斷面構造圖；

第 2 4 圖爲用來說明習用之半導體積體電路裝置及該裝置之製造方法實施例之斷面構造圖；

第 2 5 圖爲用來說明習用之半導體積體電路裝置及該裝置之製造方法實施例之斷面構造圖；

第 2 6 圖爲用來說明習用之半導體積體電路裝置及該裝置之製造方法實施例之斷面構造圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

四、中文發明摘要 (發明之名稱：

半 導 體 積 體 電 路 裝 置 及 該 裝 置 之 製
造 方 法)

一種半導體積體電路裝置及該裝置之製造方法，包括不增加過程次數而且可避免段差之問題之新穎記憶體晶胞構造，增大同一基板內之製程之共同部分之裝置構造，及不增加過程次數而可解決環境障礙之裝置構造。採用以針形接點及墊片將電容器之儲存結連接於擴散層而在許多金屬配線層之最上層形成電容器之記憶體構造。上述電容器最好連接於設在上述最上層下之最小一個金屬配線層之介電質膜，及由儲存結及陽極電極所構成之補助電容器。此外，最好以電容器之陽極電極包覆晶粒。

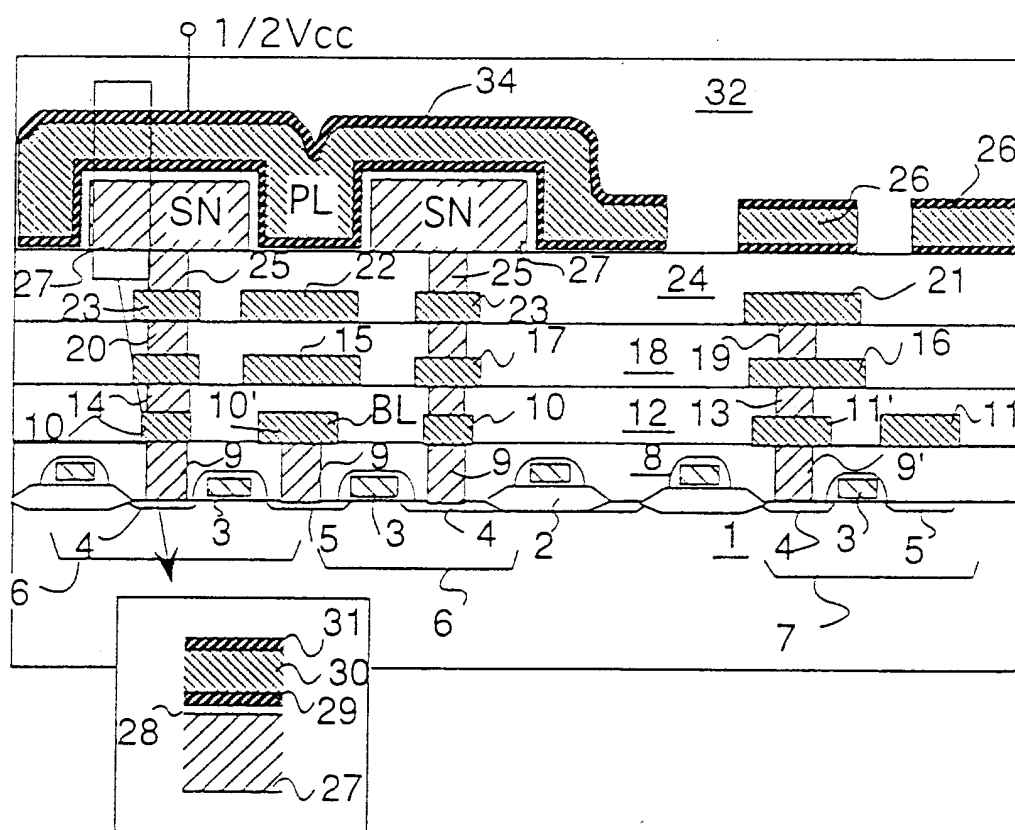
英文發明摘要 (發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

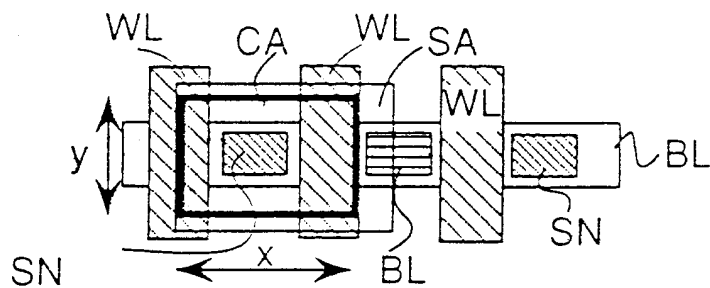
裝

訂

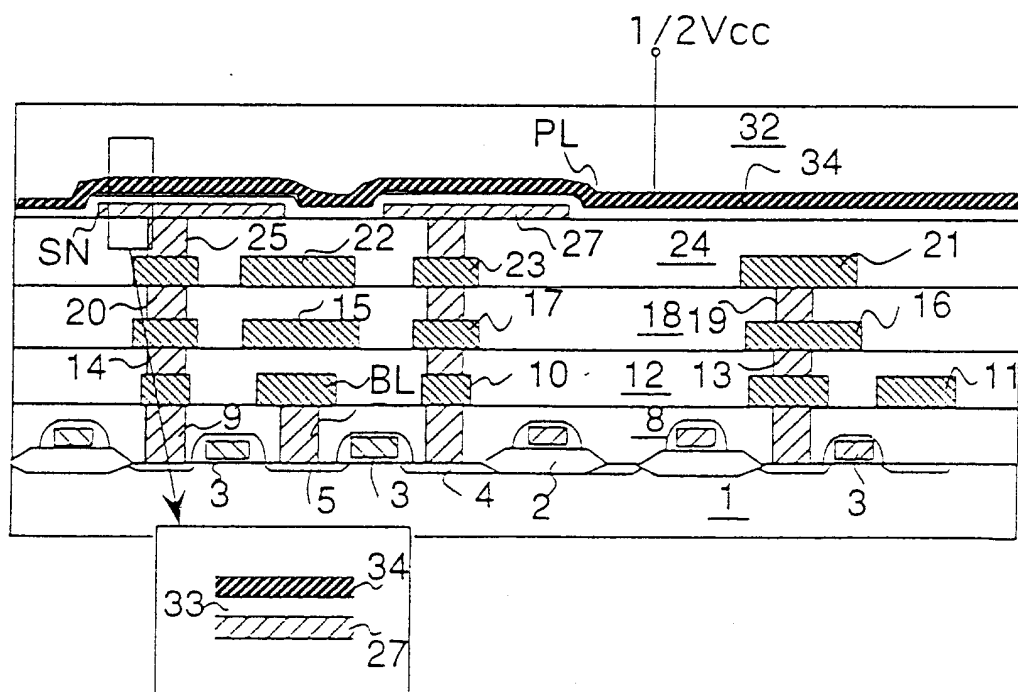
紙



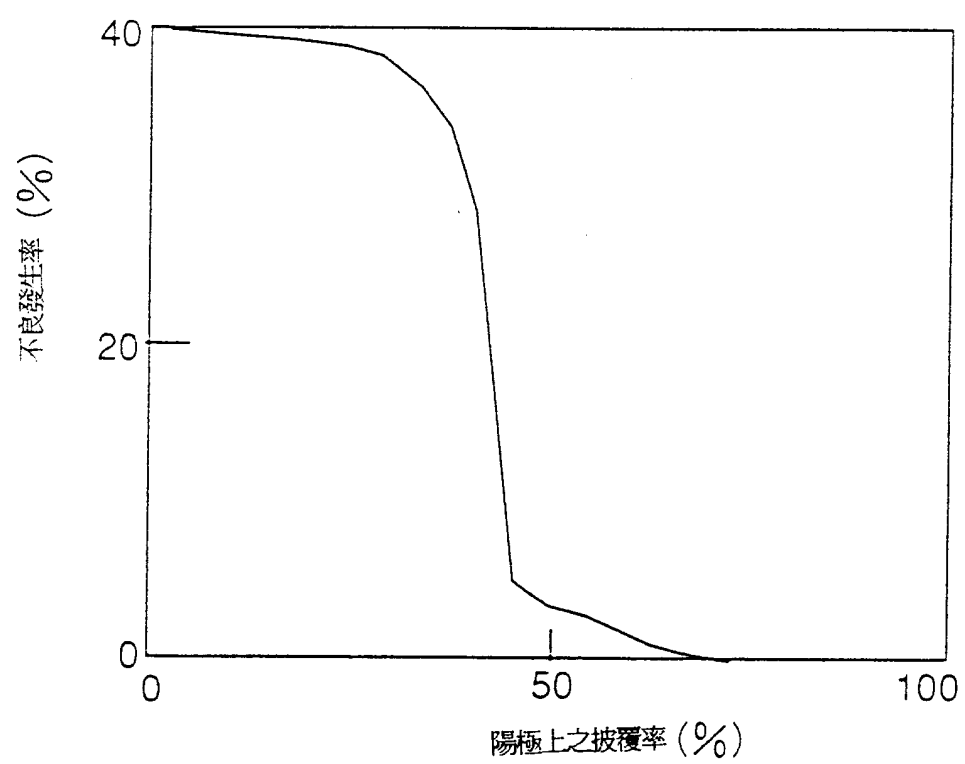
第 1 圖



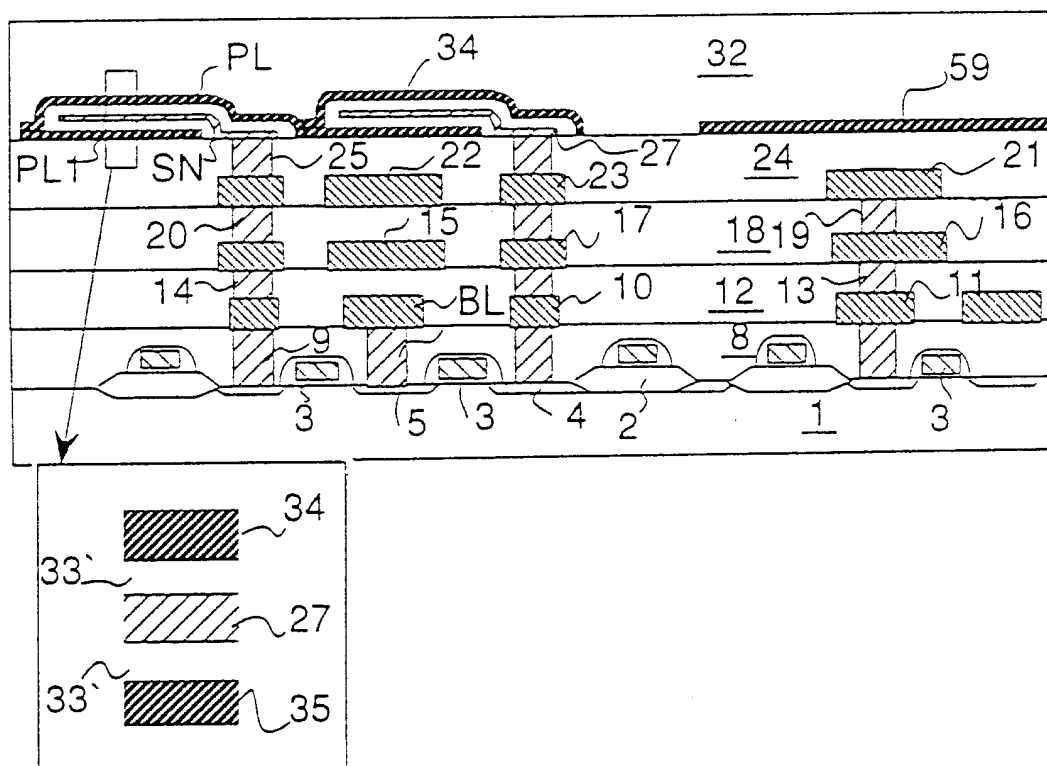
第 2 圖



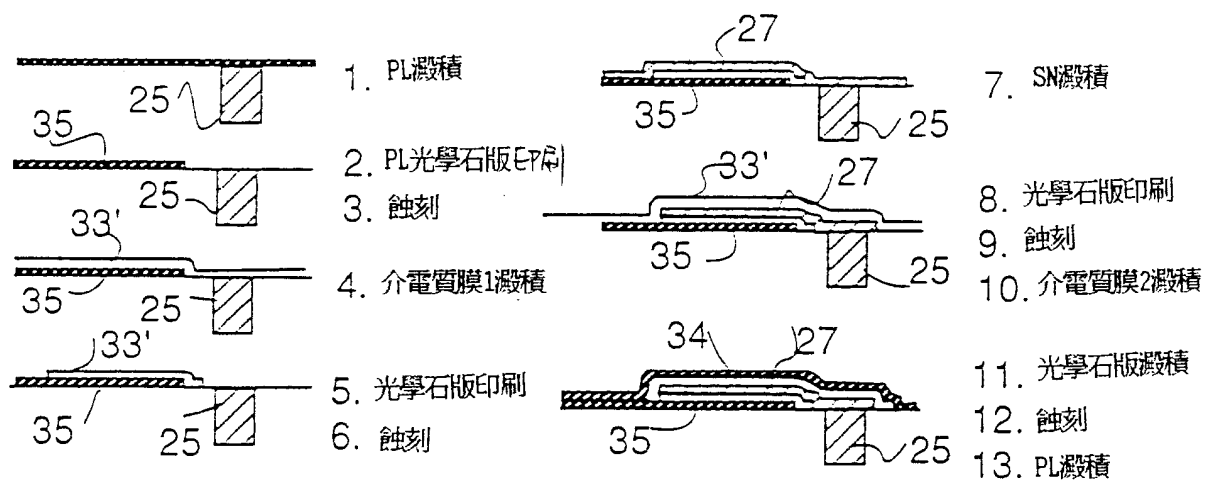
第 3 圖



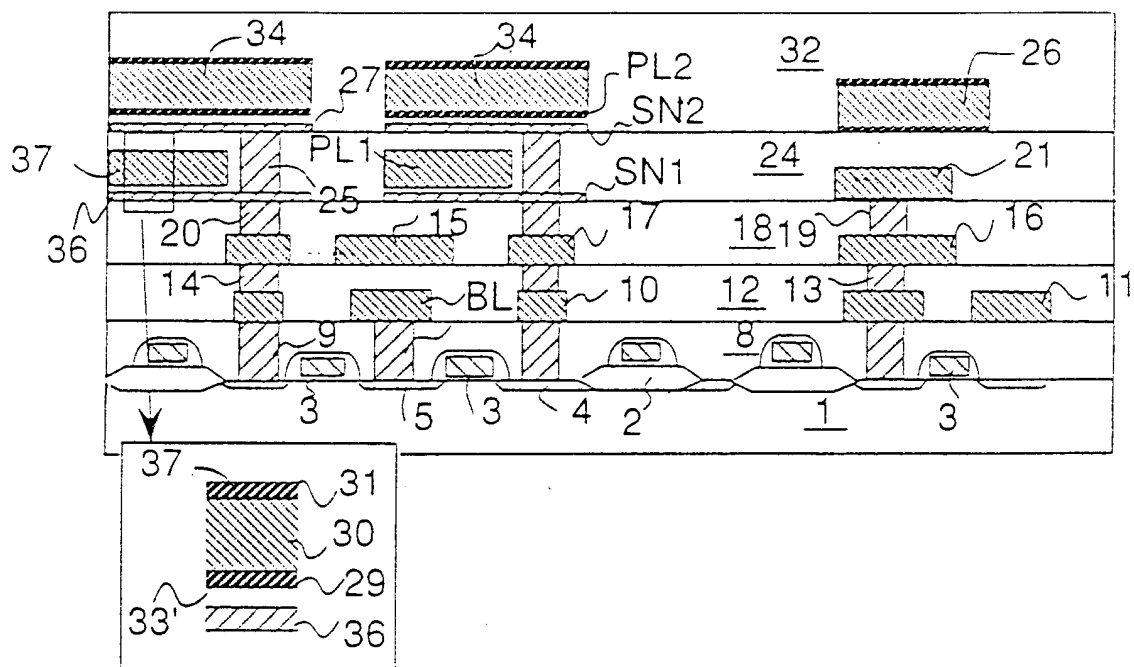
第 4 圖



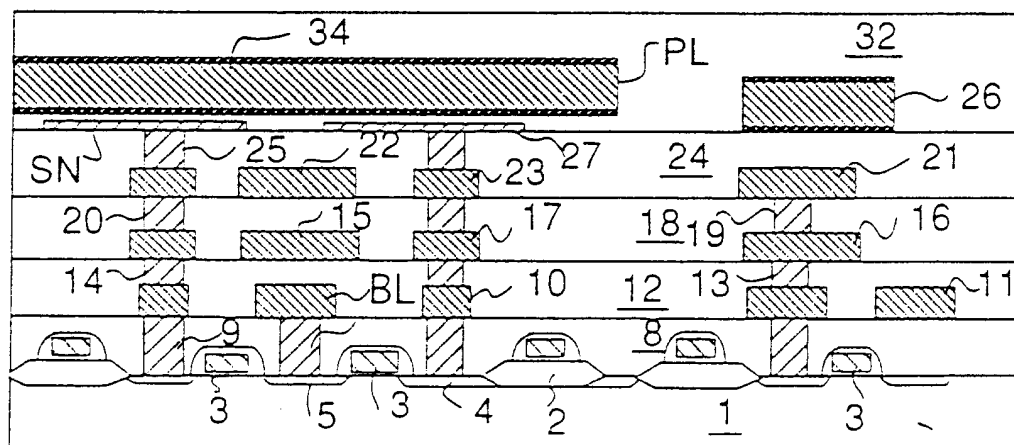
第 5 圖



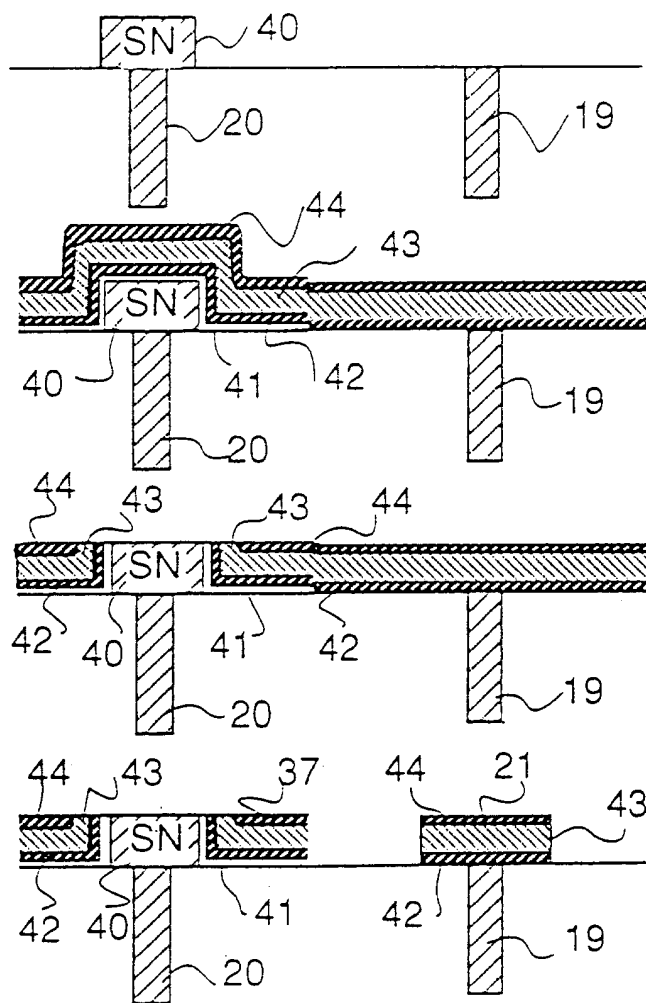
第 6 圖



第 7 圖

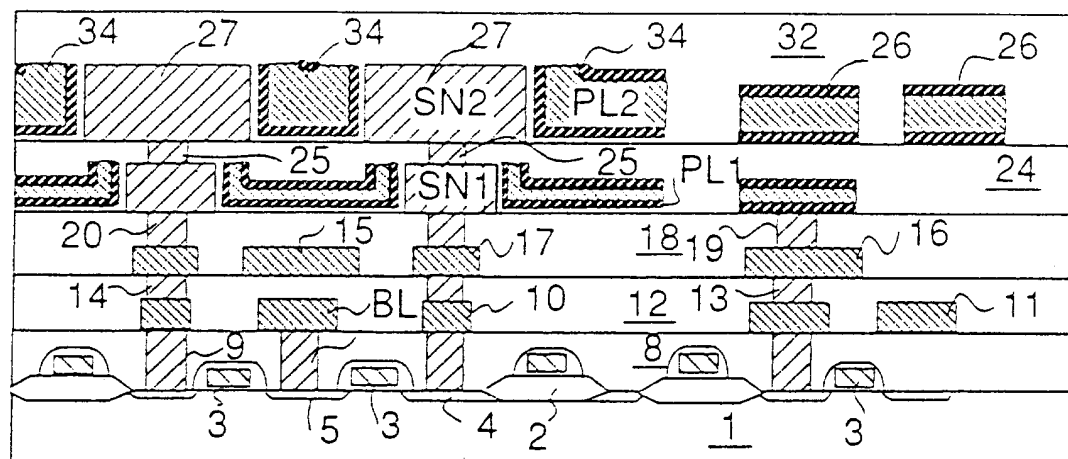


第 8 圖

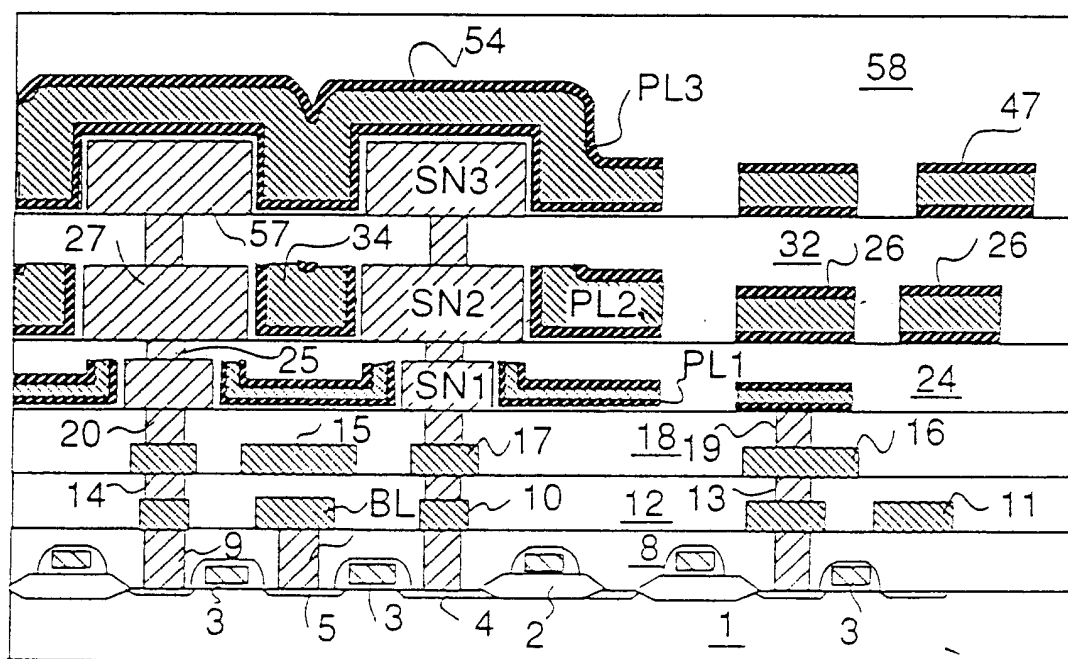


1. 鍍SN膜積
2. SN光學石版印刷
3. SN蝕刻
4. 形成Ta₂O₅膜
5. 光學石版印刷
6. 蝕刻Ta₂O₅膜
7. 形成TiN膜
8. 形成Al膜
9. 形成TiN膜
10. CMP
11. 光學石版印刷
12. 蝕刻(形成配線)

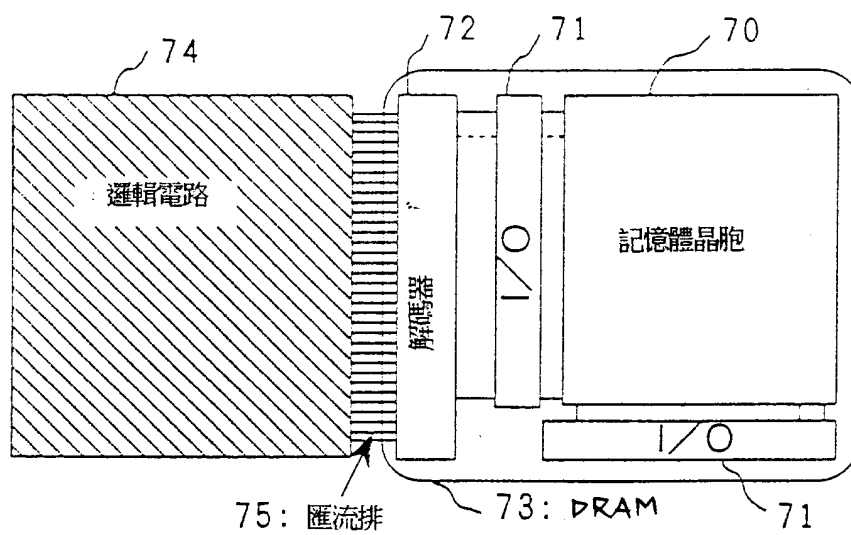
第10圖



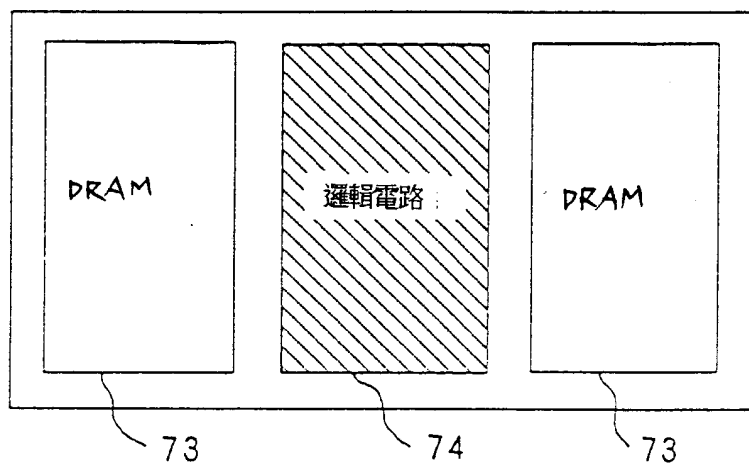
第11圖



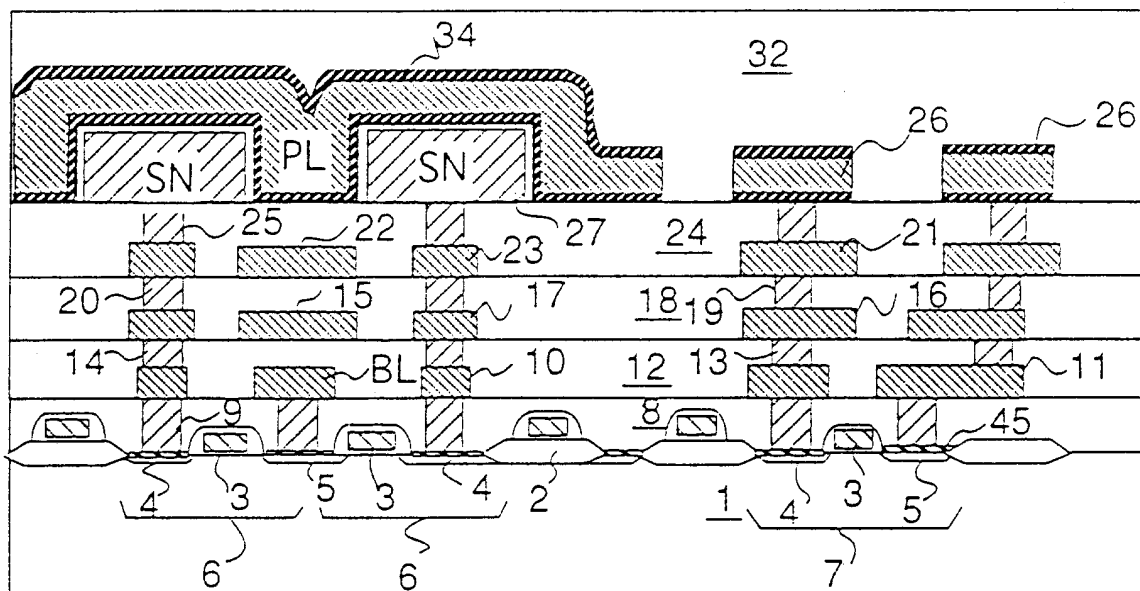
第12圖



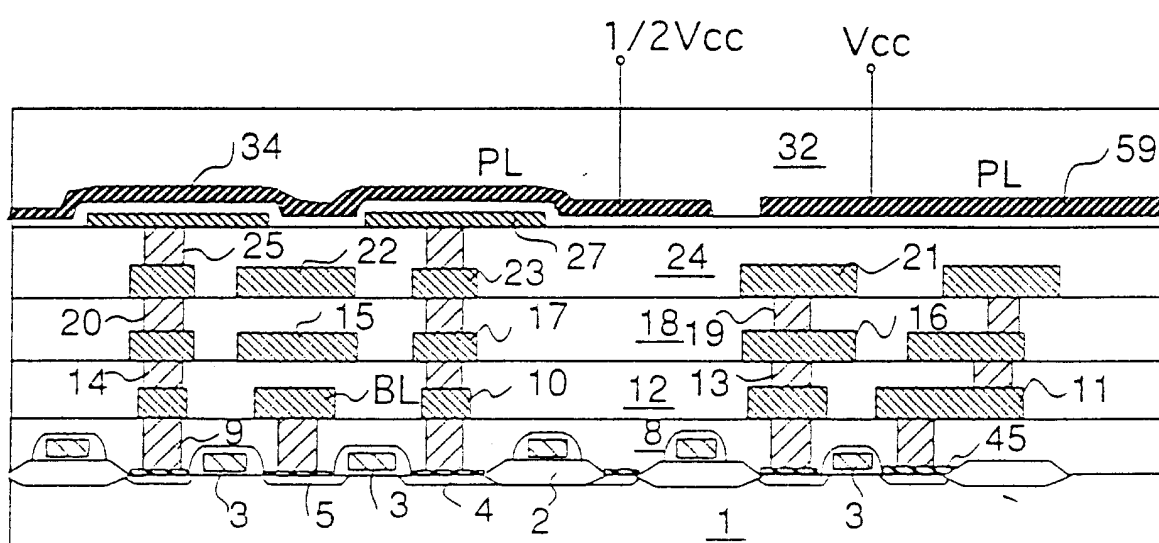
第13圖



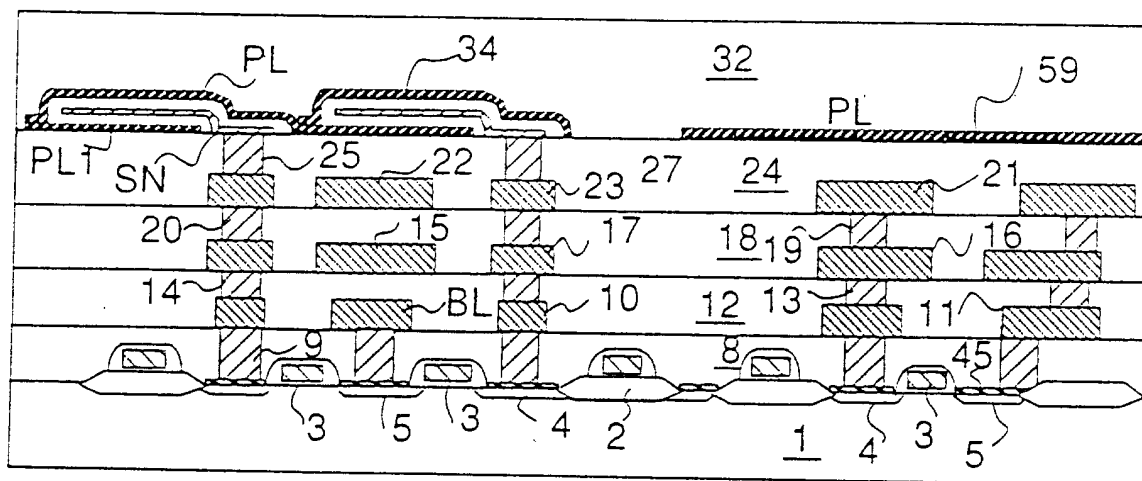
第14圖



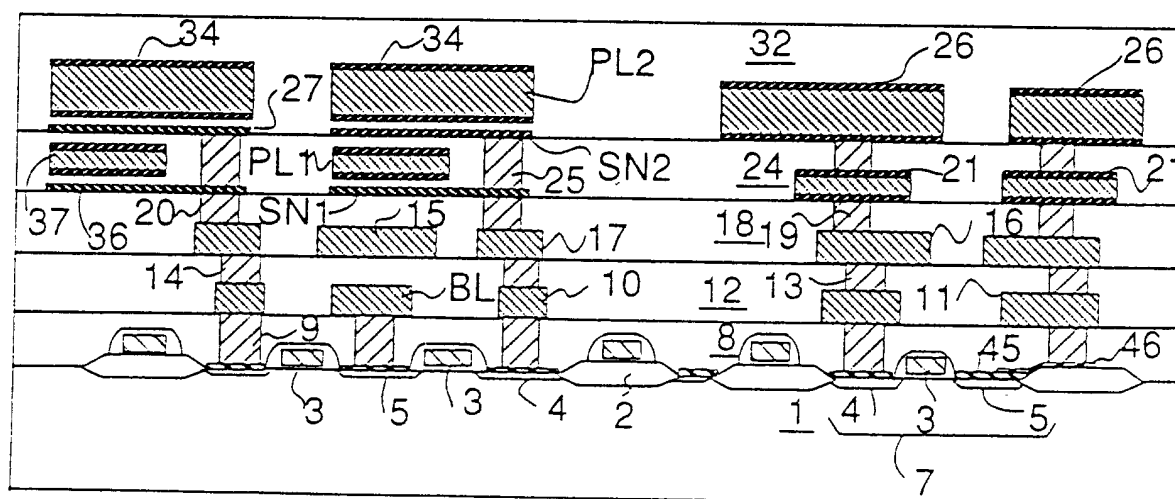
第15圖



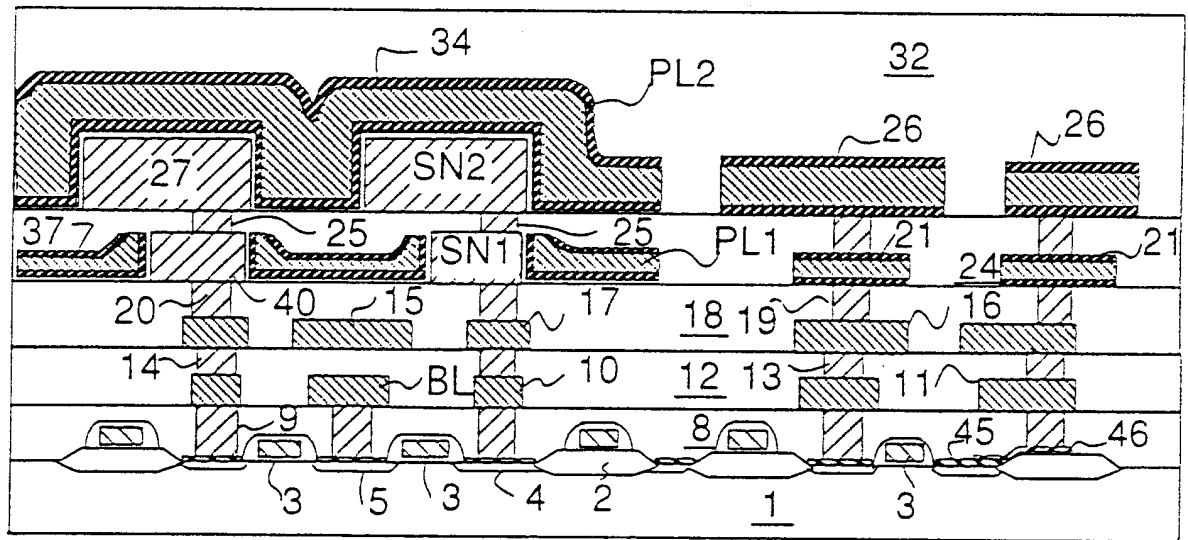
第16圖



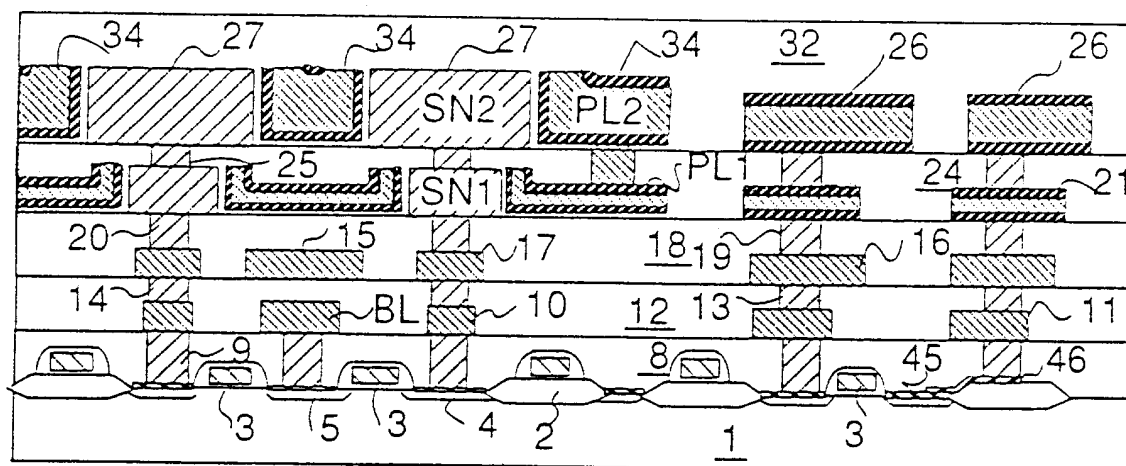
第17圖



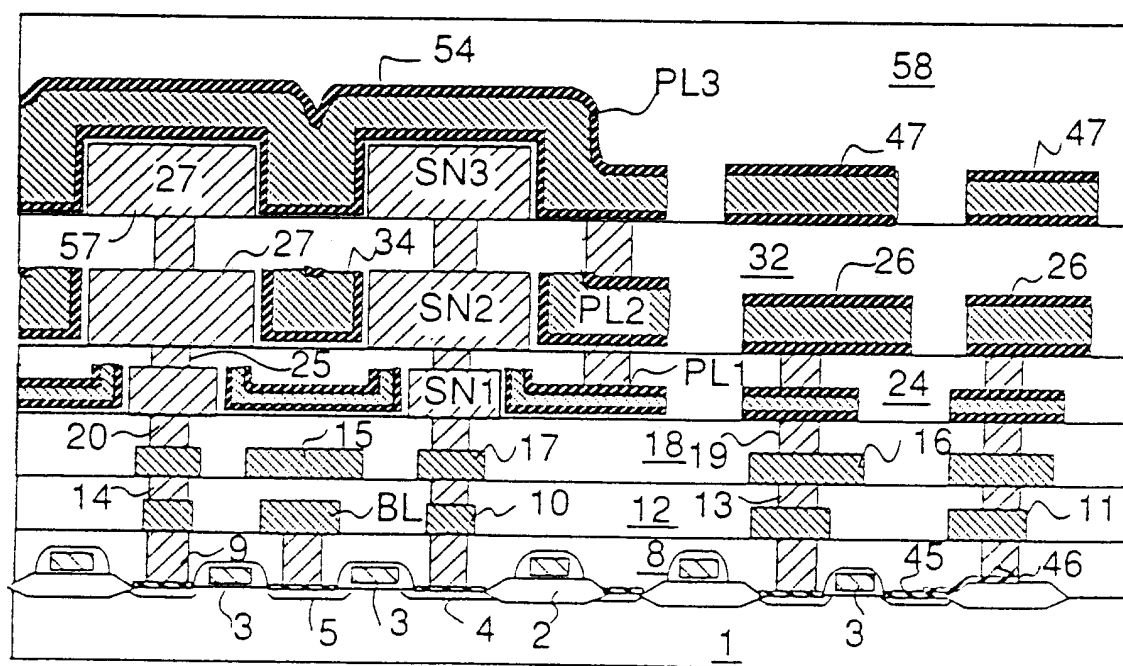
第18圖



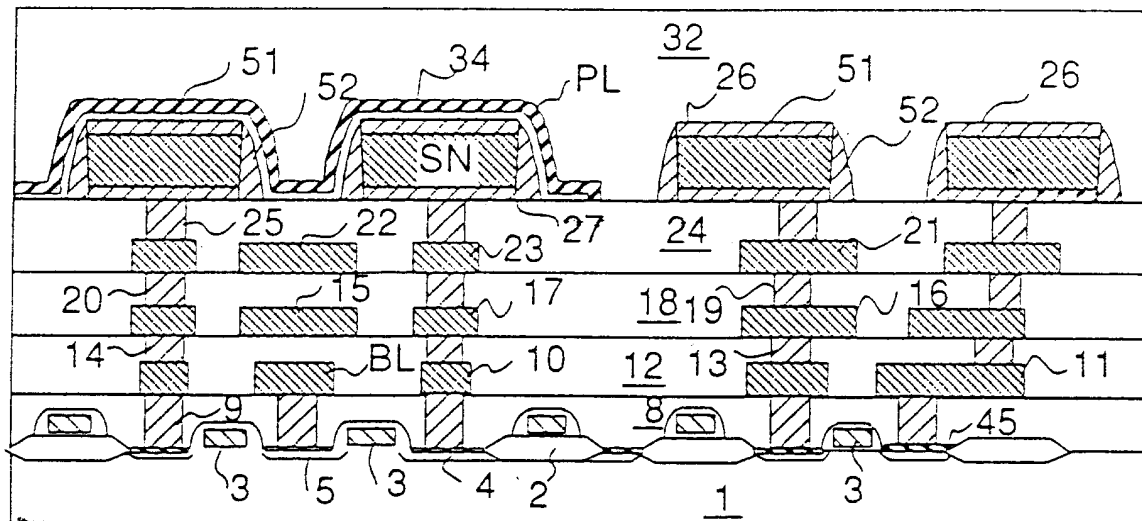
第19圖



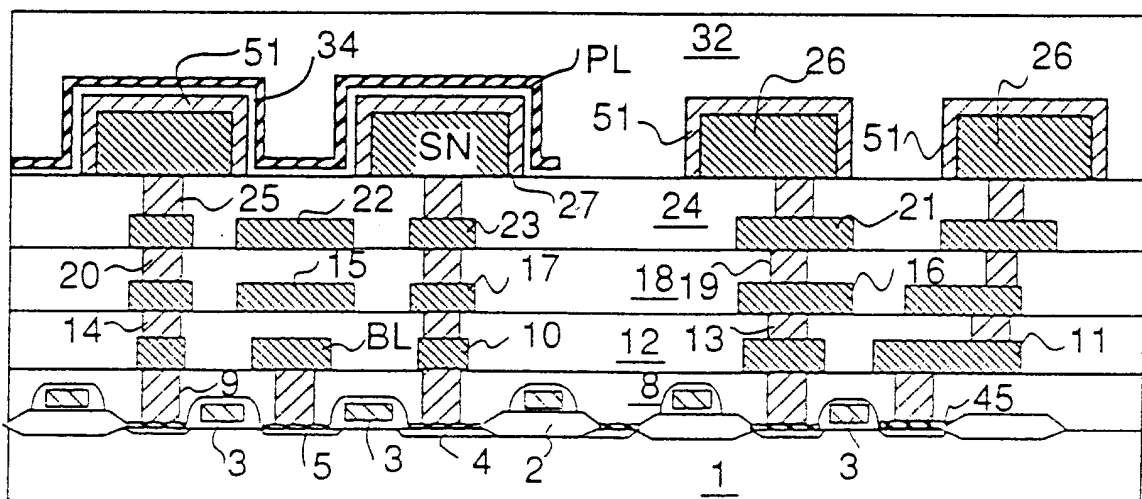
第20圖



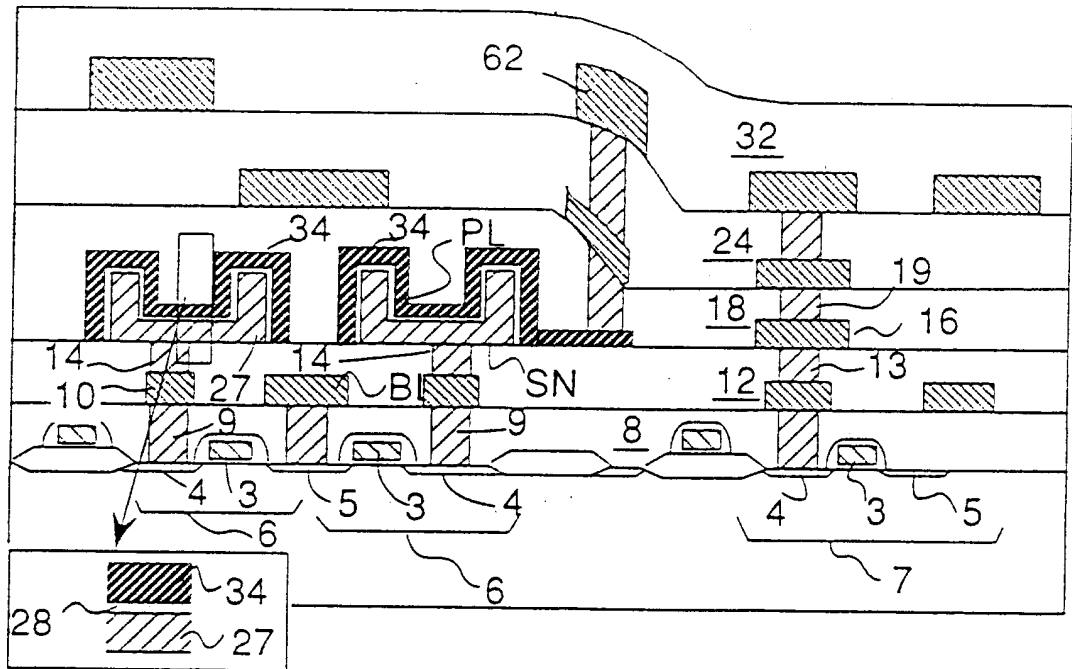
第21圖



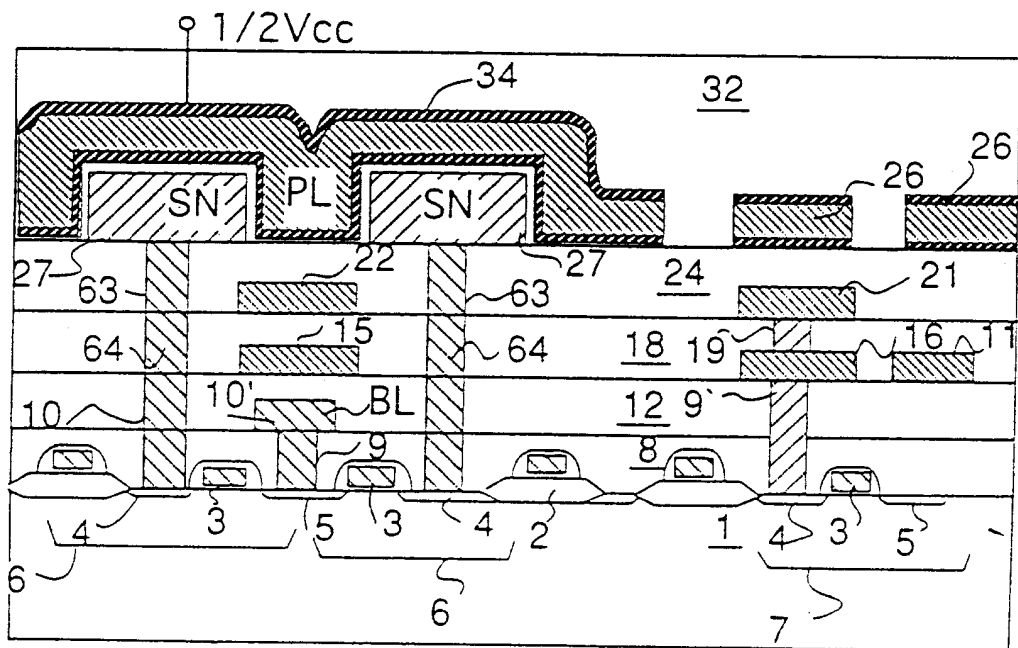
第22圖



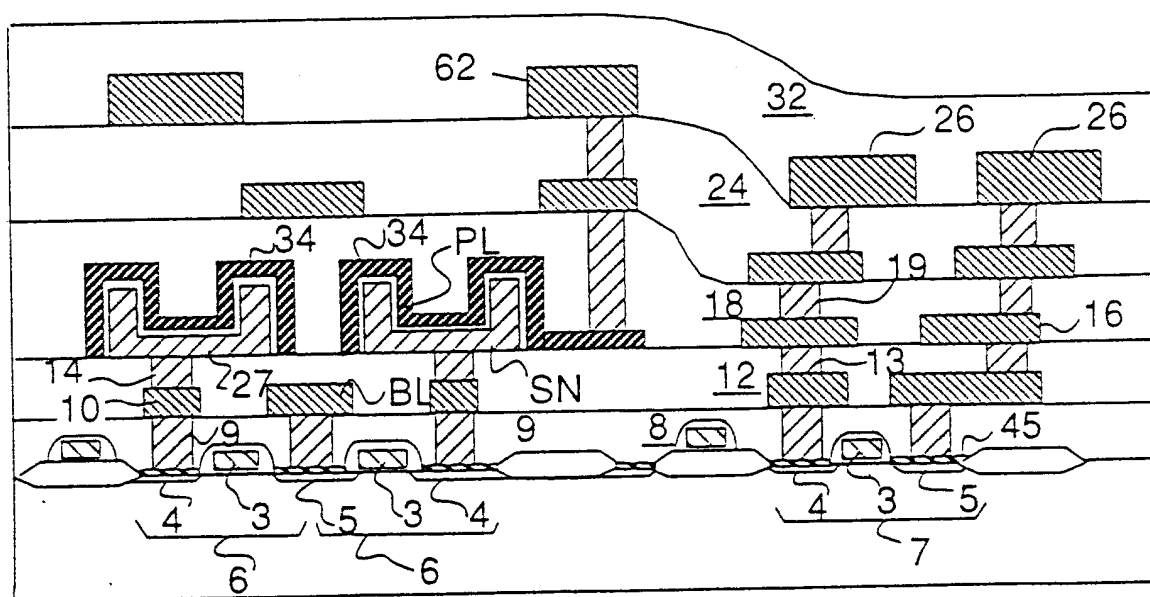
第23圖



第24圖



第25圖



第 26 圖

六、申請專利範圍

第 8511221 號專利申請案

中文申請專利範圍修正本

民國 86 年 8 月修正

1. 一種半導體積體電路裝置，主要在半導體基板上成為矩陣狀的排列將由 1 個閘極與 2 個擴散層（吸極領域及源極領域）所構成之 MOS 型場效電晶體，與在儲存結與陽極電極之間設置介電質膜而構成之電荷儲存用電容器組合而成之許多個記憶體晶胞，將對於各記憶體晶胞之配線中之字線從一定之外部電路配設於表面穩定化絕緣膜層上，在位元線層上配設位元線，將其他配線（例如陽極電極配線等）及各記憶體晶胞之內部配線（例如上述電晶體與上述電容器間之配線等）分配於許多金屬配線層內，其特徵為：上述電容器係形成於上述許多金屬配線層之最上層，而上述儲存結經由針對擴散層之接觸用針型接點，及設在位元線層及各配線層之墊片及針型接點連接於擴散層。

2. 如申請專利範圍第 1 項之半導體積體電路裝置，其中上述電容器連接於設在上述最上層下之至少一層金屬配線層上之介電質膜，及由儲存結及陽極電極所構成之補助電容器。

3. 如申請專利範圍第 1 項之半導體積體電路裝置，其中上述電容器之陽極電極挾持儲存結。

4. 如申請專利範圍第 1 項之半導體積體電路裝置，

(請先閱讀背面之注意事項再填寫本頁)

訂

煩請委員明示本案是否變更實質內容

六、申請專利範圍

其中上述電容器之儲存結挾持陽極電極。

5. 如申請專利範圍第1項之半導體積體電路裝置，其中上述電容器之陽極電極披覆在記憶體晶胞之幾乎全面上。

6. 如申請專利範圍第1項之半導體積體電路裝置，其中上述電容器之陽極電極披覆在半導體積體電路裝置之幾乎全面。

7. 如申請專利範圍第2項之半導體積體電路裝置，其中上述電容器或上述補助電容器中之至少任一方中，其介電質膜由儲存結及陽極電極之與裝置平面大致上成為垂直之側面挾持。

8. 如申請專利範圍第1, 2, 3, 4, 5, 6或7項中任一項之半導體積體電路裝置，其中由記憶體陣列，解碼器及I/O所構成之DRAM，與將資料及位址供給於DRAM之邏輯電路混合存在，而DRAM與邏輯電路共有金屬配線層。

9. 如申請專利範圍第8項之半導體積體電路裝置，其中上述電容器或上述補助電容器中之至少一方之陽極電極之厚度方向構造與形成該陽極電極之金屬配線層之邏輯電路之配線之厚度方向之構造成為一致。

10. 如申請專利範圍第1, 2, 3, 4, 5, 6或7項中任一項之半導體積體電路裝置，其中上述儲存結及連接於該儲存結之針型接點係由至少含有鎢之材料所構成。

六、申請專利範圍

1 1 . 如申請專利範圍第 1 , 2 , 3 , 4 , 5 , 6 或 7 項中任一項之半導體積體電路裝置，其中上述陽極電極係由至少含有鈦之材料所構成。

1 2 . 如申請專利範圍第 8 項之半導體積體電路裝置，其中在構成記憶體晶胞之上上述 M O S 電晶體之擴散層及構成邏輯電路之 M O S 電晶體之擴散層上，形成由至少含有鎢之材料所構成之金屬膜。

1 3 . 如申請專利範圍第 8 項之半導體積體電路裝置，其中形成於最上層金屬配線層之最後保護膜之高度在 D R A M 部位與邏輯電路部位成為相同。

1 4 . 一種申請專利範圍第 8 項所述之半導體積體電路裝置之製造方法，其特徵為包括：使用同一掩罩同時形成 D R A M 之配線及邏輯電路之配線之過程。

1 5 . 一種申請專利範圍第 8 項所述之半導體積體電路裝置之製造方法，其特徵為包括：使用同一掩罩同時形成設在最上層之 D R A M 之上上述陽極電極及邏輯電路之陽極電極之過程。

1 6 . 一種申請專利範圍第 7 項所述之半導體積體電路裝置之製造方法，其特徵為：使用將上述陽極電極之至少一部分削除至儲存結露出為止之過程形成。

1 7 . 如申請專利範圍第 1 6 項之半導體積體電路裝置之製造方法，其中削除上述上面之過程係採用研磨法。

1 8 . 如申請專利範圍第 5 或 6 項之半導體積體電路裝置，其中以最上層之上上述陽極電極做為輻射線保護膜。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

19. 一種申請專利範圍第1、2、3、4、5、6或7項中任一項之半導體積體電路裝置之製造方法，其特徵為包含有：藉由金屬膜成膜及絕緣體膜成膜於多數金屬配線層之最上層形成電容器的電容器形成工程；及於MOS型場效電晶體之擴散層形成以後藉由金屬膜成膜形成用以將電容器之儲存結連接於上述電晶體之擴散層之接觸針型接點、墊片及針型接點的連接部形成工程；該連接部形成工程係在不超過500℃之溫度下進行。

20. 如申請專利範圍第19項之半導體積體電路裝置之製造方法，其中上述連接部形成工程，係位元線形成以後之墊片及針型接點之形成工程在不超過500℃之溫度下進行。

21. 一種申請專利範圍第1、2、3、4、5、6或7項中任一項之半導體積體電路裝置之製造方法，其特徵為包含有：藉由金屬膜成膜及絕緣體膜成膜於多數金屬配線層之最上層形成電容器的電容器形成工程；及於位元線形成以後藉由金屬膜成膜形成用以將電容器之儲存結連接於MOS型場效電晶體之擴散層之墊片及針型接點的連接部形成工程；該連接部形成工程係在不超過包含位元線之配線材料之軟化溫度下進行者。