

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 10 月 30 日(30.10.2014)



(10) 国際公開番号
WO 2014/175299 A1

- (51) 国際特許分類:
H02M 3/00 (2006.01)
- (21) 国際出願番号: PCT/JP2014/061358
- (22) 国際出願日: 2014 年 4 月 23 日(23.04.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-094255 2013 年 4 月 26 日(26.04.2013) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 Kyoto (JP).
- (72) 発明者: 東出康弘(HIGASHIDE, Yasuhiro); 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所(KAEDE PATENT ATTORNEYS' OFFICE); 〒5400011 大阪府大阪市中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

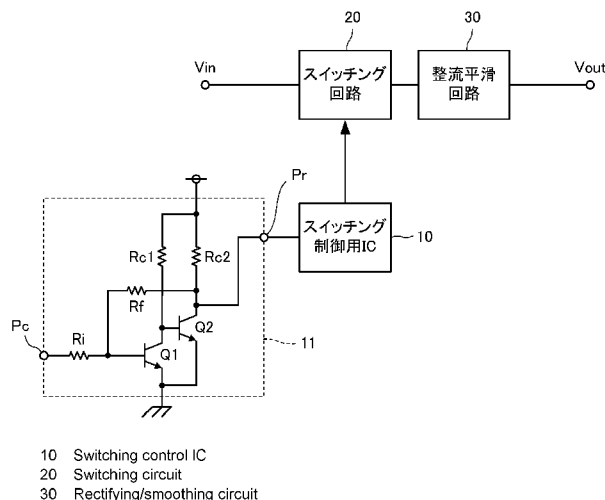
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SWITCHING POWER SUPPLY DEVICE CONTROL CIRCUIT

(54) 発明の名称: スイッチング電源装置用制御回路

図1



10 Switching control IC
20 Switching circuit
30 Rectifying/smoothing circuit

(57) Abstract: A switching power supply device control circuit comprises: an initial stage transistor circuit having a transistor (Q1) and a load resistor (Rc1) and having an emitter connected to the ground, a base used as an input portion, and a collector used as an output portion; and a second stage transistor circuit having a transistor (Q2) and a load resistor (Rc2) and having an emitter connected to the ground, a base used as an input portion, and a collector used as an output portion. A positive feedback resistor (Rf) is connected between the output portion of the second stage transistor circuit and the input portion of the initial stage transistor circuit, an external control signal is input to the initial stage, and a control signal is output from the final stage transistor circuit. This configuration allows a stable remote signal to be generated even if the change of an externally generated control signal is extremely slow or the voltage transition thereof is unstable.

(57) 要約:

[続葉有]

WO 2014/175299 A1



トランジスタ（ Q_1 ）および負荷抵抗（ R_{c1} ）を有し、エミッタが接地されて、ベースを入力部、コレクタを出力部とする初段のトランジスタ回路と、トランジスタ（ Q_2 ）および負荷抵抗（ R_{c2} ）を有し、エミッタが接地されて、ベースを入力部、コレクタを出力部とする２段目のトランジスタ回路とを備える。２段目のトランジスタ回路の出力部と初段のトランジスタ回路の入力部との間に正帰還抵抗（ R_f ）が接続され、外部制御信号が初段に入力されて、最終段のトランジスタ回路から制御用信号が出力される。この構成により、外部で発生される制御信号の変化が極端に緩慢であったり、電圧遷移が不安定であったりしても、安定したリモート信号が生成される。

明 細 書

発明の名称 : スイッチング電源装置用制御回路

技術分野

[0001] 本発明は、外部のトリガー信号に応じて動作の開始または停止を切り替えるスイッチング電源装置の制御回路に関するものである。

背景技術

[0002] スイッチング電源装置が備えるスイッチング制御回路は、一般に、外部からトリガー信号を受けて、スイッチング動作を開始または停止する機能を備えているものが多い。例えば特許文献1には、外部からSTB信号（スタンバイ信号）を入力するように構成されている。すなわち、STB信号がアサートになったとき、スイッチング素子の駆動回路に対するPWM信号を所定レベルにクランプし、STB信号がネゲートになったとき、PWM信号を有効にする回路が設けられている。

[0003] 上記STB信号を入力する端子は外部からスイッチング電源装置の動作開始／停止を制御するために使用する端子であるのでリモート端子ともいわれ、それに入力される信号をリモート信号ともいわれる。

先行技術文献

特許文献

[0004] 特許文献1：特開2007-336629号公報

発明の概要

発明が解決しようとする課題

[0005] 一般的に、スイッチング制御回路のリモート端子へ入力する信号は二値論理レベルの信号である。そのため、リモート信号として利用する制御信号のレベルがハイレベルとローレベルとの中間的な電位をとり得る場合や、上記制御信号が、電圧レベルの異なる回路から出力される信号であるような場合には、その制御信号を二値化する波形整形回路（二値化回路）が設けられる。

[0006] ところが、上記波形整形回路を設けても、元の制御信号の変化が極端に緩慢で、特に変動成分が含まれているような場合には、リモート信号の立ち上がりまたは立ち下がり過程でチャタリングのようなレベル変動が生じる場合がある。このような不安定なリモート信号が入力されると、スイッチング制御回路はスイッチング回路の駆動開始／停止を短時間のうちに繰り返すことになり、その動作が不安定となる。

[0007] そこで、本発明の目的は、外部で発生される制御信号の変化が極端に緩慢であったり、電圧遷移が不安定であったりしても、安定したリモート信号を生成されるようにし、そのことで安定したスイッチング制御を行えるようにしたスイッチング電源装置用制御回路を提供することにある。

課題を解決するための手段

[0008] （１）本発明のスイッチング電源装置用制御回路は、外部制御信号を受けて、スイッチング素子の駆動開始／停止を行うスイッチング制御回路を備え、トランジスタと、このトランジスタのコレクタと電源との間に接続された負荷抵抗とを備え、エミッタが接地されて、ベースを入力部、コレクタを出力部とするトランジスタ回路を複数段備え、偶数段目のトランジスタ回路の出力部と初段のトランジスタ回路の入力部との間に正帰還抵抗が接続され、外部制御信号が初段に入力されて、最終段のトランジスタ回路から制御用信号が出力されることを特徴とする。

[0009] このように、複数段のトランジスタ回路のうち、偶数段目のトランジスタ回路の出力部と初段のトランジスタ回路の入力部との間に正帰還抵抗が接続されているので、初段のトランジスタ回路のトランジスタが外部制御信号によってオンすることで、偶数段目のトランジスタがオフする。このオフ状態が初段のトランジスタ回路に正帰還されて、初段のトランジスタが確実にオンされ、その状態が保持される。すなわち、第１のトランジスタ素子のベースに加わる電圧は、偶数段目のトランジスタ素子のコレクタ電圧と外部制御信号の電圧との合成値となる。したがって、初段のトランジスタ回路へ入力される外部制御信号の電圧変化が極端に緩慢であったり、電圧遷移が不安定

であったりしても、安定したりモート信号が生成される。

[0010] (2) 必要に応じて、前記トランジスタ回路の段数は奇数であることが好ましい。これにより、入力される制御信号の電圧レベルとリモート信号の電圧レベルとを反転することができ、論理を反転させたい場合に容易に対応できる。

[0011] (3) 必要に応じて、前記トランジスタ回路の段数は偶数であることが好ましい。これにより、入力される制御信号の電圧レベルとリモート信号の電圧レベルとの論理関係を保つことができる。

[0012] (4) 前記初段のトランジスタ回路の入力部と前記外部制御信号の入力部との間に抵抗が直列に接続されていることが好ましい。これにより、外部制御信号が接地電位レベル（ローレベル）になる際の、外部トリガー信号を発生する回路の出力インピーダンスが低くても、正帰還抵抗を介して初段のトランジスタ回路のトランジスタのベースに流れる電流を確保できる。すなわち正帰還動作が確実になされる。

発明の効果

[0013] 本発明によれば、初段のトランジスタ回路へ入力される外部制御信号の電圧変化が極端に緩慢であったり、電圧遷移が不安定であったりしても、安定したりモート信号が生成される。

図面の簡単な説明

[0014] [図1]図1は第1の実施形態に係るスイッチング電源装置の回路図である。

[図2]図2はリモート信号生成回路の初段のトランジスタQ1のベースに対する正帰還の定量的な動作の説明で参照する図である。

[図3]図3は、正帰還抵抗の有無によるリモート信号の違いを示す図であり、外部制御信号S_cの電圧変化に対するリモート信号S_rの電圧変化を模式的に表した波形図である。

[図4]図4(A)(B)は、図1に示した第1の実施形態に係るリモート信号生成回路の波形図、図4(C)(D)は、図1から正帰還抵抗R_fを取り除いた比較例に係るリモート信号生成回路の波形図であり、いずれも外部制御

信号 S_c の立ち上がり時の波形図である。

[図5]図5 (A) (B) は、図1に示した第1の実施形態に係るリモート信号生成回路の波形図、図5 (C) (D) は、図1から正帰還抵抗 R_f を取り除いた比較例に係るリモート信号生成回路の波形図であり、いずれも外部制御信号 S_c の立ち下がり時の波形図である。

[図6]図6は第2の実施形態に係るスイッチング電源装置の回路図である。

[図7]図7は、正帰還抵抗の有無によるリモート信号の違いを示す図であり、外部制御信号 S_c の電圧変化に対するリモート信号 S_r の電圧変化を模式的に表した波形図である。

[図8]図8 (A) (B) は、図6に示した第2の実施形態に係るリモート信号生成回路の波形図、図8 (C) (D) は、図6から正帰還抵抗 R_f を取り除いた比較例に係るリモート信号生成回路の波形図であり、いずれも外部制御信号 S_c の立ち上がり時の波形図である。

[図9]図9 (A) (B) は、図6に示した第2の実施形態に係るリモート信号生成回路の波形図、図9 (C) (D) は、図6から正帰還抵抗 R_f を取り除いた比較例に係るリモート信号生成回路の波形図であり、いずれも外部制御信号 S_c の立ち下がり時の波形図である。

発明を実施するための形態

[0015] 《第1の実施形態》

図1は第1の実施形態に係るスイッチング電源装置の回路図である。このスイッチング電源装置は、電源入力端子 V_{in} に入力される電源電圧を電力変換して電源出力端子 V_{out} へ出力するスイッチング電源装置であり、スイッチング回路20、整流平滑回路30、スイッチング制御用IC10を備える。スイッチング回路20はスイッチング素子を備え、スイッチング制御用IC10はスイッチング素子の駆動開始／停止を行う。

[0016] また、上記スイッチング電源装置は、外部からの制御信号を入力してスイッチング制御用IC10に対してリモート信号を与えるリモート信号生成回路11を備えている。ここで、スイッチング制御用IC10およびリモート

信号生成回路 11 は、本発明に係る「スイッチング電源装置用制御回路」を構成している。

[0017] リモート信号生成回路 11 は、入力端子 P_c に外部制御信号 S_c を入力し、出力端子 P_r からリモート信号 S_r を出力する。リモート信号生成回路 11 は 2 段のトランジスタ回路を備えている。1 段のトランジスタ回路は、エミッタが接地されたトランジスタと、そのトランジスタのコレクタと電源との間に接続された負荷抵抗とを備えて、トランジスタのベースを入力部、コレクタを出力部とする。すなわち、トランジスタ Q_1 および負荷抵抗 R_{c1} によって初段のトランジスタ回路が構成されていて、トランジスタ Q_2 および負荷抵抗 R_{c2} によって 2 段目のトランジスタ回路が構成されている。そして、2 段目のトランジスタ回路の出力部であるトランジスタ Q_2 のコレクタと初段のトランジスタ回路の入力部であるトランジスタ Q_1 のベースとの間に正帰還抵抗 R_f が接続されている。さらに、初段のトランジスタ回路の入力部であるトランジスタ Q_1 のベースと外部制御信号入力端子 P_c との間に抵抗 R_i が直列に接続されている。

[0018] 図 1 に示したリモート信号生成回路 11 の動作は次のとおりである。

[0019] 外部制御信号入力端子 P_c に入力される外部制御信号がローレベル（接地電位）であるとき、トランジスタ Q_1 はオフであるので、トランジスタ Q_1 のコレクタ電位はほぼ電源電位となる。トランジスタ Q_1 のコレクタ電位はトランジスタ Q_2 のベース電位であるので、この状態でトランジスタ Q_2 はオン状態であり、リモート信号出力端子に出力されるリモート信号はローレベル（接地電位）となる。トランジスタ Q_2 がオンすると、トランジスタ Q_1 のベース電位は正帰還抵抗 R_f を介して、より接地電位に引かれることになる。すなわちトランジスタ Q_1 のターンオフがトリガーとなってトランジスタ Q_2 が一旦ターンオンすれば、トランジスタ Q_1 のオフ状態が安定化される。

[0020] 逆に、外部制御信号がハイレベル（電源電位）であるとき、トランジスタ Q_1 はオンであるので、トランジスタ Q_1 のコレクタ電位はほぼ接地電位と

なる。そのためトランジスタQ 2はオフ状態であり、リモート信号出力端子に出力されるリモート信号はハイレベル（電源電位）となる。トランジスタQ 2がオフすると、トランジスタQ 1のベース電位は正帰還抵抗R_fを介して、より電源電位に引かれることになる。すなわちトランジスタQ 1のターンオンがトリガーとなってトランジスタQ 2が一旦ターンオフすれば、トランジスタQ 1のオン状態が安定化される。

[0021] 上記正帰還の定量的な動作について図2を参照して説明する。図2に示すように、外部制御信号入力端子P_cに入力される外部制御信号の電圧をV_c、電源電圧をV_{cc}、正帰還抵抗R_fの抵抗値をR_f、抵抗R_iの抵抗値をR_i、正帰還抵抗R_fに入力される電圧（図1におけるトランジスタQ 2のコレクタ電圧）をV_f、トランジスタQ 1のベース電圧をV_{b1}で表すと、これらは次の関係式で表される。

$$[0022] \quad V_{b1} = \{R_i / (R_i + R_f)\} (V_f - V_c) + V_c$$

$$= (R_i V_f + R_f V_c) / (R_i + R_f)$$

トランジスタQ 2のオン状態、すなわちV_f = 0において、トランジスタQ 1のベース電圧V_{b1on}は、

$$V_{b1on} = (R_i V_f + R_f V_c) / (R_i + R_f)$$

$$= R_f V_c / (R_i + R_f)$$

である。正帰還抵抗R_fが無いとき、V_{b1} = V_cであるので、Q 1のベース電圧は、外部制御電圧V_cに対してR_f / (R_i + R_f)の係数がかかることになる。

[0023] したがって、正帰還抵抗R_fが無い場合に、トランジスタQ 1がターンオンするに要する外部制御電圧V_cより、正帰還抵抗R_fが有る場合に、トランジスタQ 1がターンオンするに要する外部制御電圧V_cは高くなる。

[0024] また、トランジスタQ 2のオフ状態、すなわちV_f = V_{cc}において、トランジスタQ 1のベース電圧V_{b1off}は、

$$V_{b1off} = (R_i V_f + R_f V_c) / (R_i + R_f)$$

$$= (R_i V_{cc} + R_f V_c) / (R_i + R_f)$$

である。正帰還抵抗 R_f が無いとき、 $V_{b1} = V_c$ であるので、 Q_1 のベース電圧は、外部制御電圧 V_c に上記 $R_f / (R_i + R_f)$ の係数がかかったうえで、 $R_i V_{cc} / (R_i + R_f)$ のオフセットが加算されることになる。

[0025] したがって、正帰還抵抗 R_f が無い場合に、トランジスタ Q_1 がターンオフするに要する外部制御電圧 V_c より、正帰還抵抗 R_f が有る場合に、トランジスタ Q_1 がターンオフするに要する外部制御電圧 V_c は低くなる。

[0026] このようにして、2 段目のトランジスタ Q_2 のオン状態で、初段のトランジスタ Q_1 がターンオンする際のノイズマージンが広くなり、且つ 2 段目のトランジスタ Q_2 のオフ状態で、初段のトランジスタ Q_1 がターンオフする際のノイズマージンが広がる。

[0027] なお、初段のトランジスタ Q_1 のベースと外部制御信号入力端子 P_c との間に直列接続した抵抗 R_i を設けたことにより、外部制御信号が接地電位レベル（ローレベル）になる際の、外部トリガー信号を発生する回路の出力インピーダンスが低くても、正帰還抵抗を介して初段のトランジスタ回路のトランジスタのベースに流れる電流を確保できる。すなわち正帰還動作が確実になされる。但し、外部制御信号を発生する回路の出力インピーダンスが高い場合、すなわち、外部制御信号を発生する回路内に抵抗 R_i に相当する抵抗がある場合には、リモート信号生成回路 11 に抵抗 R_i は不要である。

[0028] 図 3 は、正帰還抵抗の有無によるリモート信号の違いを示す図であり、外部制御信号 S_c の電圧変化に対するリモート信号 S_r 、 $S_r(P)$ の電圧変化を模式的に表した波形図である。信号 S_r は正帰還抵抗が有る場合のリモート信号、信号 $S_r(P)$ は正帰還抵抗が無い場合のリモート信号である。

[0029] 外部制御信号 S_c の電圧が緩慢に上昇し、時刻 t_0 でその電圧がトランジスタ Q_1 のベース・エミッタ間電圧のしきい値 V_{th} を超えたとき、リモート信号 S_r はハイレベルに反転する。 t_0 以降、外部制御信号の電圧がしきい値 V_{th} 付近で微少量変動する状態があるので、ここで、正帰還抵抗が無いと、図 3 においてリモート信号 $S_r(P)$ で示すように、ハイレベルとローレベルの変動を繰り返す状態が生じる。

[0030] 図4 (A) (B) は、図1に示した第1の実施形態に係るリモート信号生成回路の波形図であり、図4 (C) (D) は、図1から正帰還抵抗 R_f を取り除いた比較例に係るリモート信号生成回路の波形図である。図4 (A) (C) は外部制御信号 S_c が緩慢に立ち上がった時の波形図であり、図4 (B) (D) は外部制御信号 S_c が急峻に立ち上がった時の波形図である。いずれも実測による波形図であり、横軸は $4 \mu s / div$ 、縦軸は、外部制御信号 S_c については $2 V / div$ 、リモート信号 S_r , $S_r(P)$ については $0.5 V / div$ である。

[0031] 図4 (B) (D) に表れているように、外部制御信号 S_c の立ち上がりが急峻である場合には、リモート信号 S_r , $S_r(P)$ はいずれも急峻に立ち上がる。一方、図4の (A) (C) に表れているように、外部制御信号 S_c の立ち上がりが緩慢である場合に、比較例のリモート信号生成回路であれば、リモート信号 S_r が発振波形のように変動する状態が生じるが、本実施形態によれば、急峻に立ち上がるリモート信号 S_r が得られる。

[0032] 図5 (A) (B) は、図1に示した第1の実施形態に係るリモート信号生成回路の波形図であり、図5 (C) (D) は、図1から正帰還抵抗 R_f を取り除いた比較例に係るリモート信号生成回路の波形図である。図5 (A) (C) は外部制御信号 S_c が緩慢に立ち下がった時の波形図であり、図5 (B) (D) は外部制御信号 S_c が急峻に立ち下がった時の波形図である。縦横のスケールは図4 (A) ~ (D) と同じである。

[0033] 図5 (B) (D) に表れているように、外部制御信号 S_c の立ち下がりが急峻である場合には、リモート信号 S_r , $S_r(P)$ はいずれも急峻に立ち下がる。一方、図5の (A) (C) に表れているように、外部制御信号 S_c の立ち下がりが緩慢である場合に、比較例のリモート信号生成回路であれば、リモート信号 S_r が発振波形のように変動する状態が生じるが、本実施形態によれば、急峻に立ち下がるリモート信号 S_r が得られる。

[0034] 《第2の実施形態》

第2の実施形態では、3つのトランジスタを有するリモート信号生成回路

を備えたスイッチング電源装置用制御回路について示す。

[0035] 図6は第2の実施形態に係るスイッチング電源装置の回路図である。このスイッチング電源装置は、スイッチング回路20、整流平滑回路30、スイッチング制御用IC10およびリモート信号生成回路11を備える。

[0036] リモート信号生成回路11は、入力端子Pcに外部制御信号Scを入力し、出力端子Prからリモート信号Srを出力する。リモート信号生成回路11は3段のトランジスタ回路を備えている。トランジスタQ1および負荷抵抗Rc1によって初段のトランジスタ回路が構成されている。同様に、トランジスタQ2および負荷抵抗Rc2によって2段目のトランジスタ回路が構成されていて、トランジスタQ3および負荷抵抗Rc3によって3段目のトランジスタ回路が構成されている。そして、2段目のトランジスタ回路の出力部であるトランジスタQ2のコレクタと初段のトランジスタ回路の入力部であるトランジスタQ1のベースとの間に正帰還抵抗Rfが接続されている。初段のトランジスタ回路の入力部であるトランジスタQ1のベースと外部制御信号入力端子Pcとの間に抵抗Riが直列に接続されている。リモート信号は3段目のトランジスタQ3のコレクタから出力される。

[0037] 図6に示したリモート信号生成回路11の動作は次のとおりである。

[0038] 外部制御信号入力端子Pcに入力される外部制御信号がローレベル（接地電位）であるとき、トランジスタQ1はオフであるので、トランジスタQ1のコレクタ電位はほぼ電源電位となる。トランジスタQ1のコレクタ電位はトランジスタQ2のベース電位であるので、この状態でトランジスタQ2はオン状態、トランジスタQ3はオフ状態であり、リモート信号出力端子に出力されるリモート信号はハイレベル（電源電位）となる。トランジスタQ2がオンすると、トランジスタQ1のベース電位は正帰還抵抗Rfを介して、より接地電位に引かれることになる。すなわちトランジスタQ1のターンオフがトリガーとなってトランジスタQ2が一旦ターンオンすれば、トランジスタQ1のオフ状態が安定化される。

[0039] 逆に、外部制御信号がハイレベル（電源電位）であるとき、トランジスタ

Q 1 はオンであるので、トランジスタ Q 1 のコレクタ電位はほぼ接地電位となる。そのためトランジスタ Q 2 はオフ状態、トランジスタ Q 3 はオン状態であり、リモート信号出力端子に出力されるリモート信号はローレベル（接地電位）となる。トランジスタ Q 2 がオフすると、トランジスタ Q 1 のベース電位は正帰還抵抗 R_f を介して、より電源電位に引かれることになる。すなわちトランジスタ Q 1 のターンオンがトリガーとなってトランジスタ Q 2 が一旦ターンオフすれば、トランジスタ Q 1 のオン状態が安定化される。

[0040] このように奇数段のトランジスタ回路を備えることで、入力される制御信号の電圧レベルとリモート信号の電圧レベルとを反転することができ、論理を反転させたい場合に容易に対応できる。

[0041] 図 7 は、正帰還抵抗の有無によるリモート信号の違いを示す図であり、外部制御信号 S_c の電圧変化に対するリモート信号 S_r 、 $S_r(P)$ の電圧変化を模式的に表した波形図である。信号 S_r は、正帰還抵抗が有る場合のリモート信号、信号 $S_r(P)$ は正帰還抵抗が無い場合のリモート信号である。

[0042] 外部制御信号 S_c の電圧が緩慢に上昇し、時刻 t_0 でその電圧がトランジスタ Q 1 のベース・エミッタ間電圧のしきい値 V_{th} を超えたとき、リモート信号 S_r はローレベルに反転する。 t_0 以降、外部制御信号の電圧がしきい値 V_{th} 付近で微少量変動する状態があるので、ここで、正帰還抵抗が無いと、図 7 においてリモート信号 $S_r(P)$ で示すように、ローレベルとハイレベルの変動を繰り返す状態が生じる。

[0043] 図 8 (A) (B) は、図 6 に示した第 2 の実施形態に係るリモート信号生成回路の波形図であり、図 8 (C) (D) は、図 6 から正帰還抵抗 R_f を取り除いた比較例に係るリモート信号生成回路の波形図である。図 8 (A) (C) は外部制御信号 S_c が緩慢に立ち上がった時の波形図であり、図 8 (B) (D) は外部制御信号 S_c が急峻に立ち上がった時の波形図である。いずれも実測による波形図であり、横軸は $4 \mu s / div$ 、縦軸は、外部制御信号 S_c については $2 V / div$ 、リモート信号 S_r 、 $S_r(P)$ については

0.5 V/divである。

[0044] 図8 (B) (D) に表れているように、外部制御信号 S_c の立ち上がりが急峻である場合には、リモート信号 S_r , $S_r(P)$ はいずれも急峻に立ち下がる。一方、図8の (A) (C) に表れているように、外部制御信号 S_c の立ち上がりが緩慢である場合に、比較例のリモート信号生成回路であれば、リモート信号 S_r が発振波形のように変動する状態が生じるが、本実施形態によれば、急峻に立ち下がるリモート信号 S_r が得られる。

[0045] 図9 (A) (B) は、図6に示した第2の実施形態に係るリモート信号生成回路の波形図であり、図9 (C) (D) は、図6から正帰還抵抗 R_f を取り除いた比較例に係るリモート信号生成回路の波形図である。図9 (A) (C) は外部制御信号 S_c が緩慢に立ち下がった時の波形図であり、図9 (B) (D) は外部制御信号 S_c が急峻に立ち下がった時の波形図である。縦横のスケールは図8 (A) ~ (D) と同じである。

[0046] 図9 (B) (D) に表れているように、外部制御信号 S_c の立ち下がりが急峻である場合には、リモート信号 S_r , $S_r(P)$ はいずれも急峻に立ち上がる。一方、図9の (A) (C) に表れているように、外部制御信号 S_c の立ち下がりが緩慢である場合に、比較例のリモート信号生成回路であれば、リモート信号 S_r が発振波形のように変動する状態が生じるが、本実施形態によれば、急峻に立ち上がるリモート信号 S_r が得られる。

[0047] 以上に示した実施形態では、2段または3段のトランジスタ回路を備えたリモート信号生成回路について示したが、4段以上のトランジスタ回路を備えてもよい。その場合にも、偶数段目のトランジスタ回路の出力部と初段のトランジスタ回路の入力部との間に正帰還抵抗が接続されればよい。

符号の説明

- [0048] P_c …外部制御信号入力端子
 P_r …リモート信号出力端子
 Q_1, Q_2, Q_3 …トランジスタ
 R_{c1}, R_{c2}, R_{c3} …負荷抵抗

R_f …正帰還抵抗

R_i …抵抗

S_c …外部制御信号

S_r …リモート信号

V_{i n} …電源入力端子

V_{o u t} …電源出力端子

10 …スイッチング制御用 I C

11 …リモート信号生成回路

20 …スイッチング回路

30 …整流平滑回路

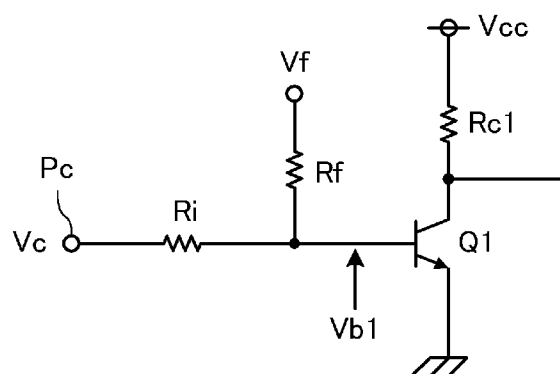
請求の範囲

- [請求項1] 外部制御信号を受けて、スイッチング素子の駆動開始／停止を行うスイッチング制御回路を備えたスイッチング電源装置用制御回路において、
- トランジスタと、このトランジスタのコレクタと電源との間に接続された負荷抵抗とを備え、エミッタが接地されて、ベースを入力部、コレクタを出力部とするトランジスタ回路を複数段備え、
- 偶数段目のトランジスタ回路の出力部と初段のトランジスタ回路の入力部との間に正帰還抵抗が接続され、
- 前記外部制御信号が初段に入力されて、最終段のトランジスタ回路から制御用信号が出力されることを特徴とするスイッチング電源装置用制御回路。
- [請求項2] 前記トランジスタ回路の段数は奇数である、請求項1に記載のスイッチング電源装置用制御回路。
- [請求項3] 前記トランジスタ回路の段数は偶数である、請求項1に記載のスイッチング電源装置用制御回路。
- [請求項4] 前記初段のトランジスタ回路の入力部と前記外部制御信号の入力部との間に抵抗が直列に接続された、請求項1～3のいずれかに記載のスイッチング電源装置用制御回路。

図1

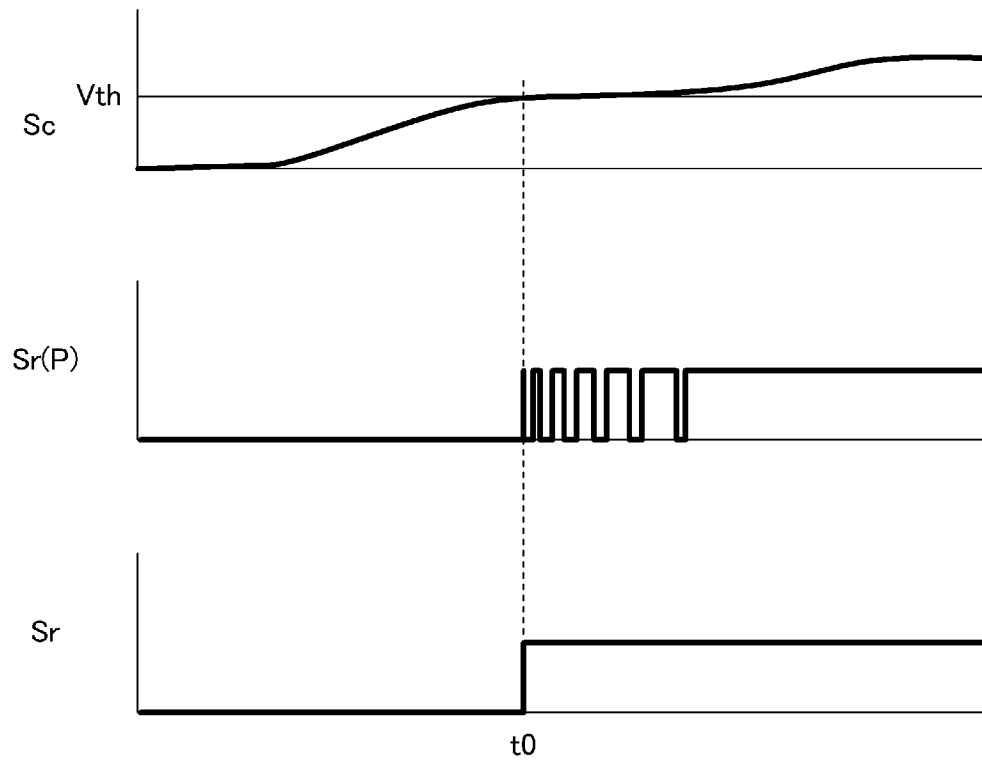


図2



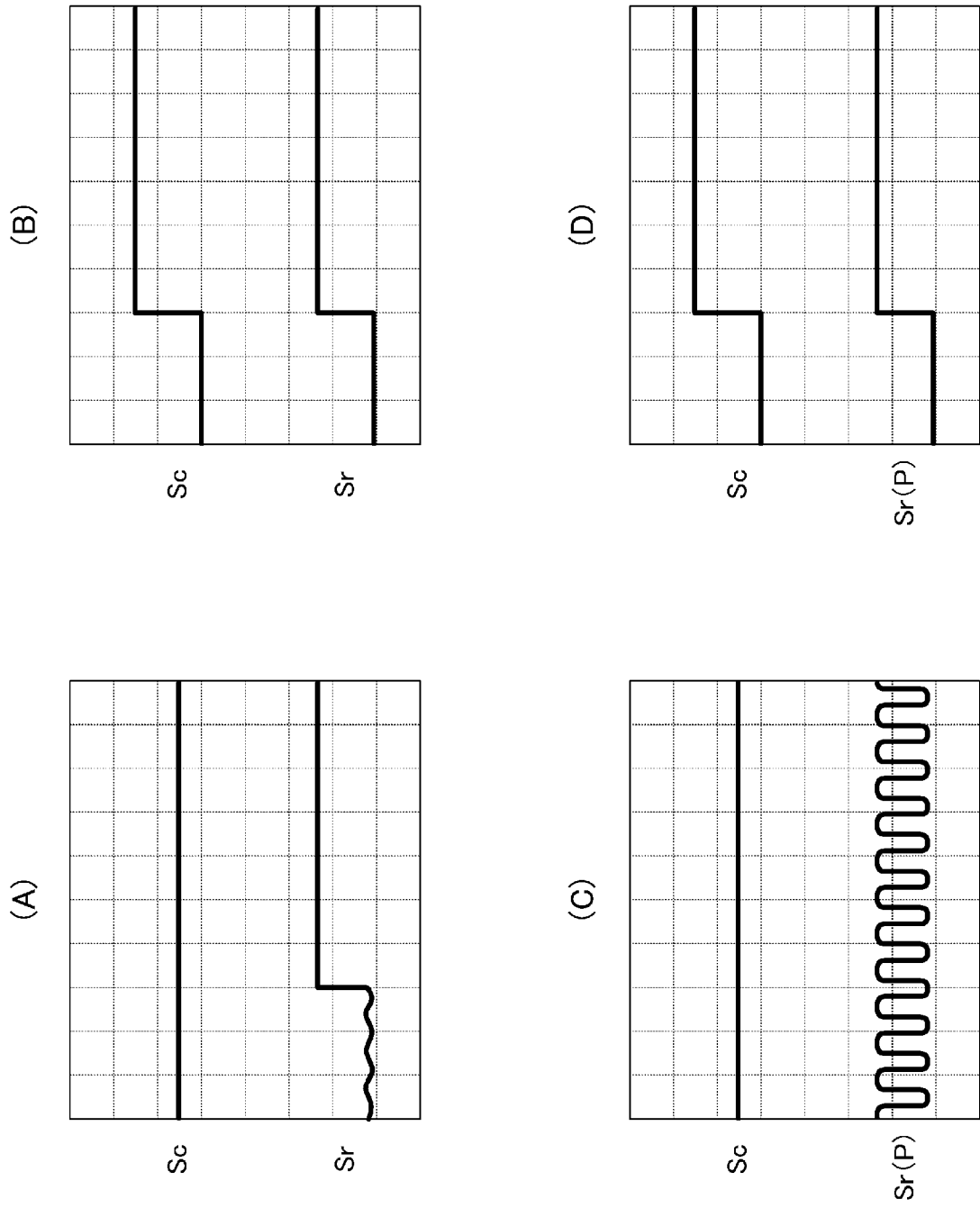
[図3]

図3



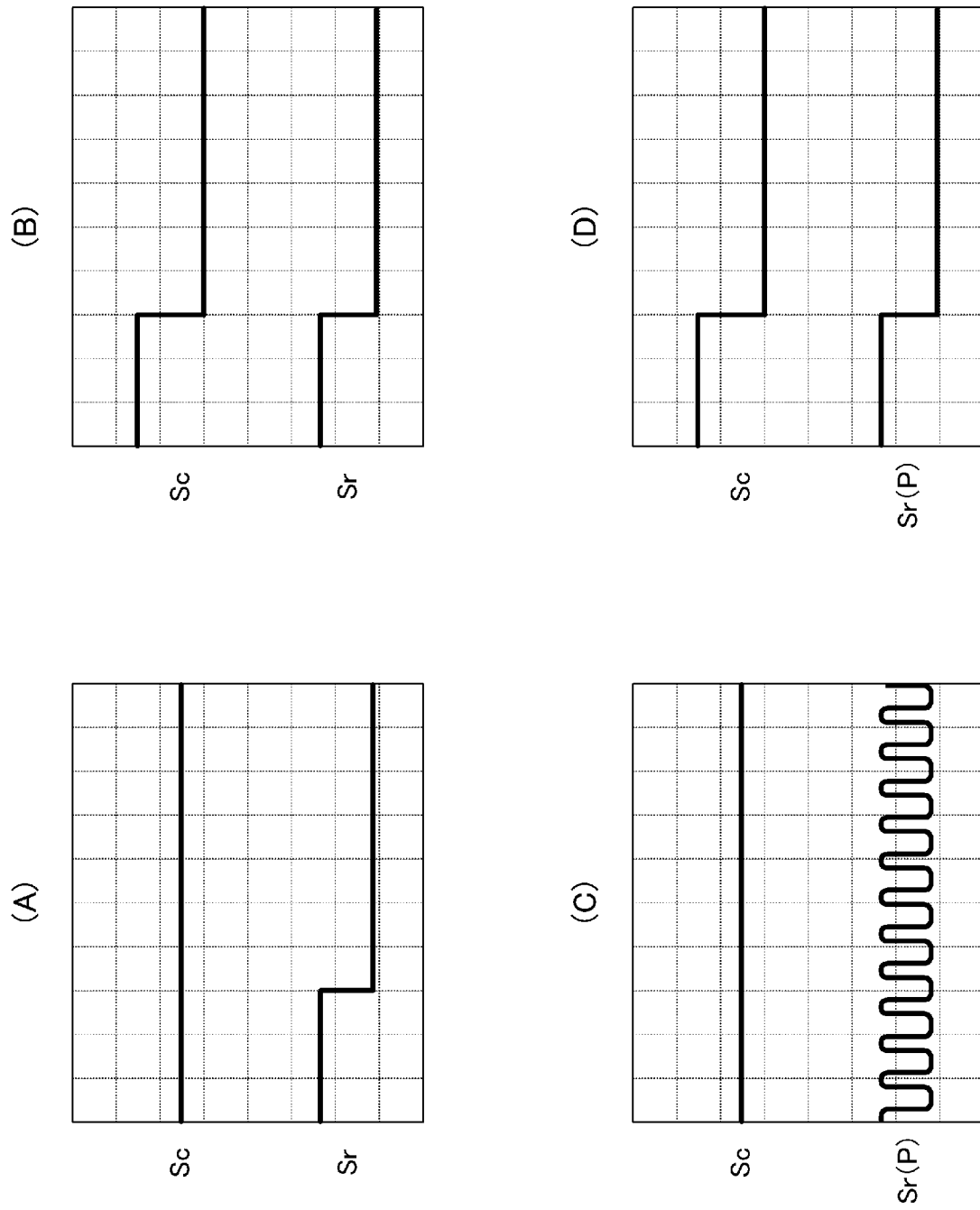
[図4]

図4



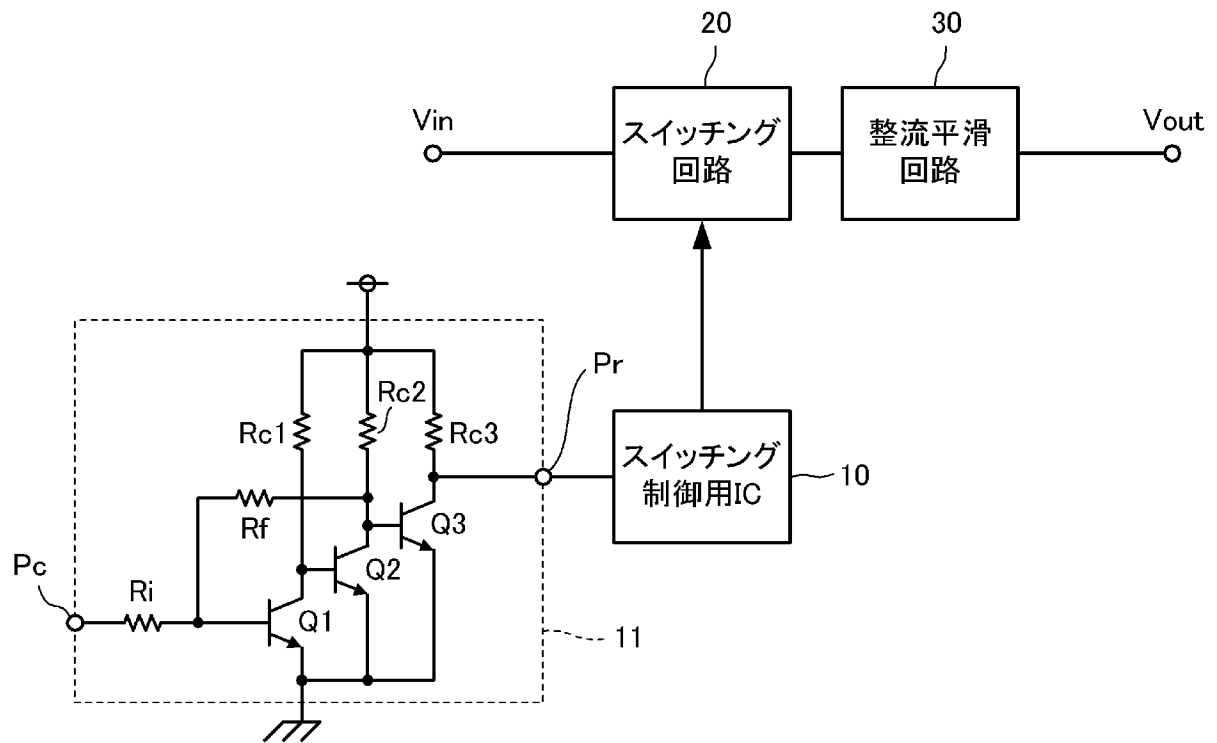
[図5]

図5



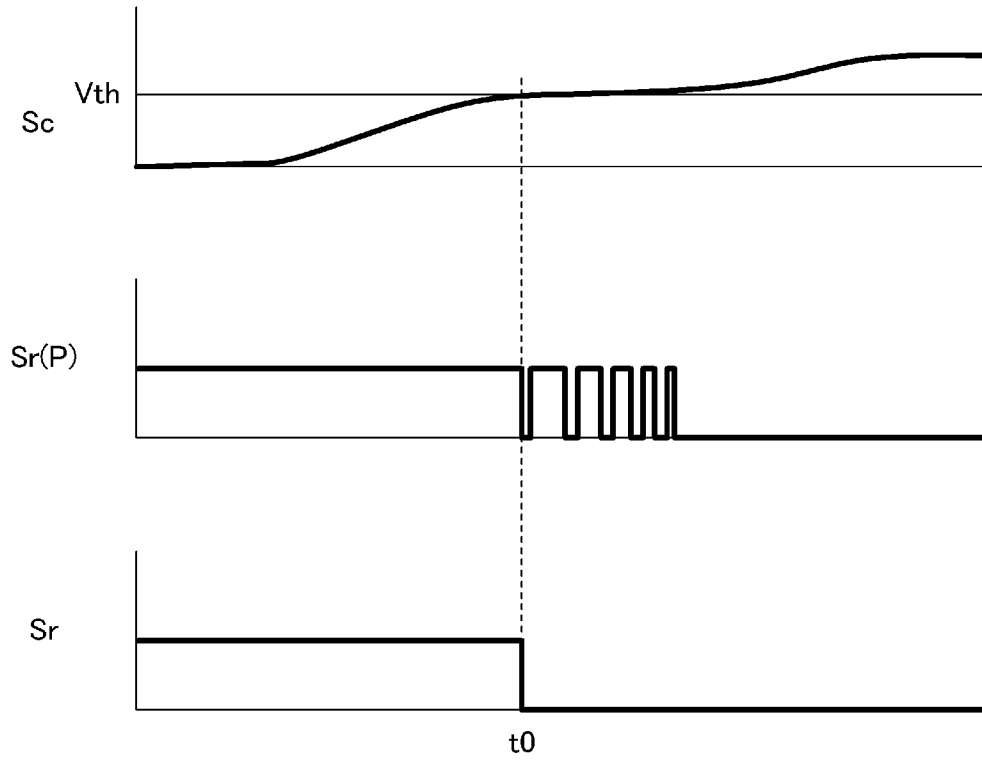
[図6]

図6



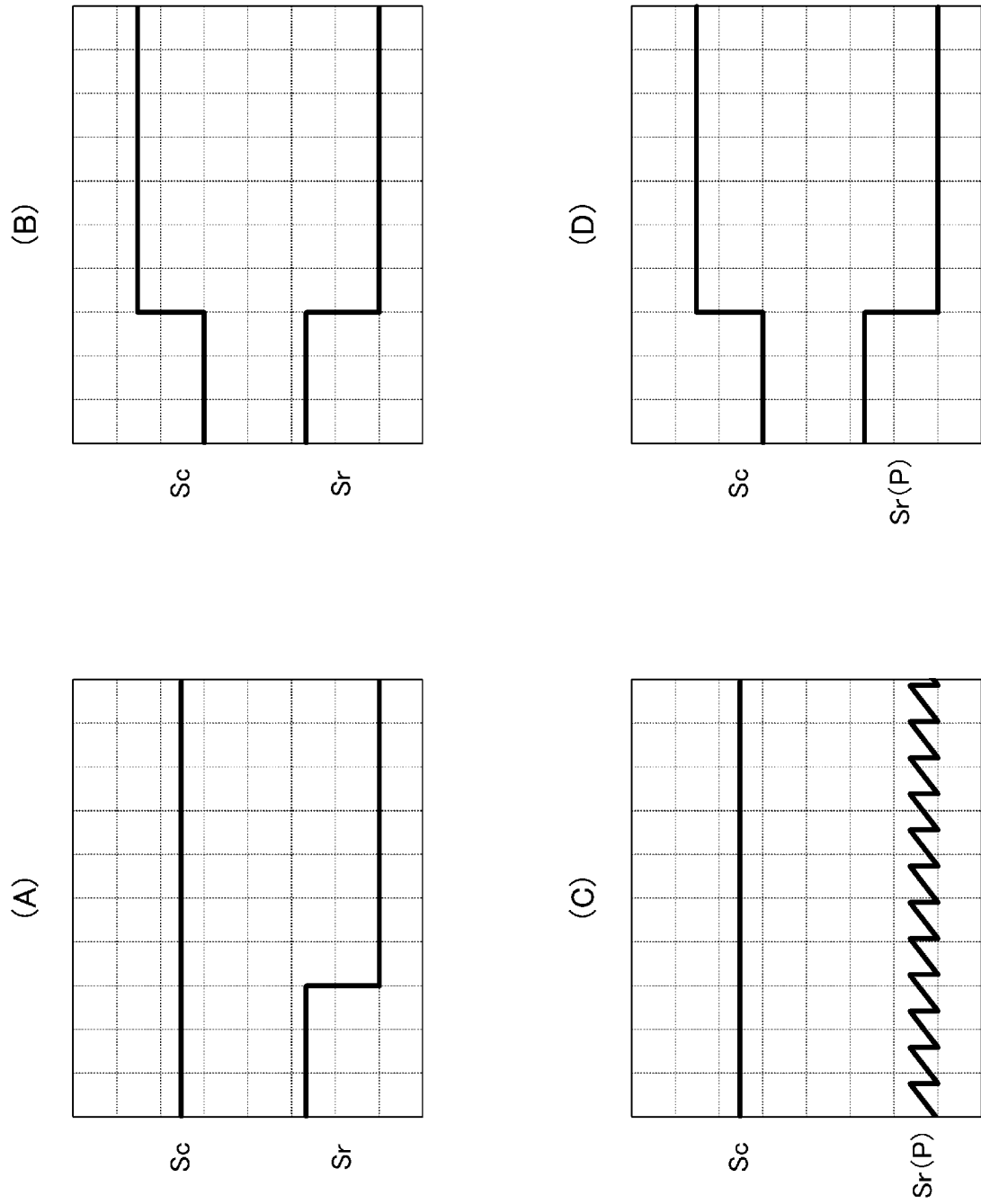
[図7]

図7



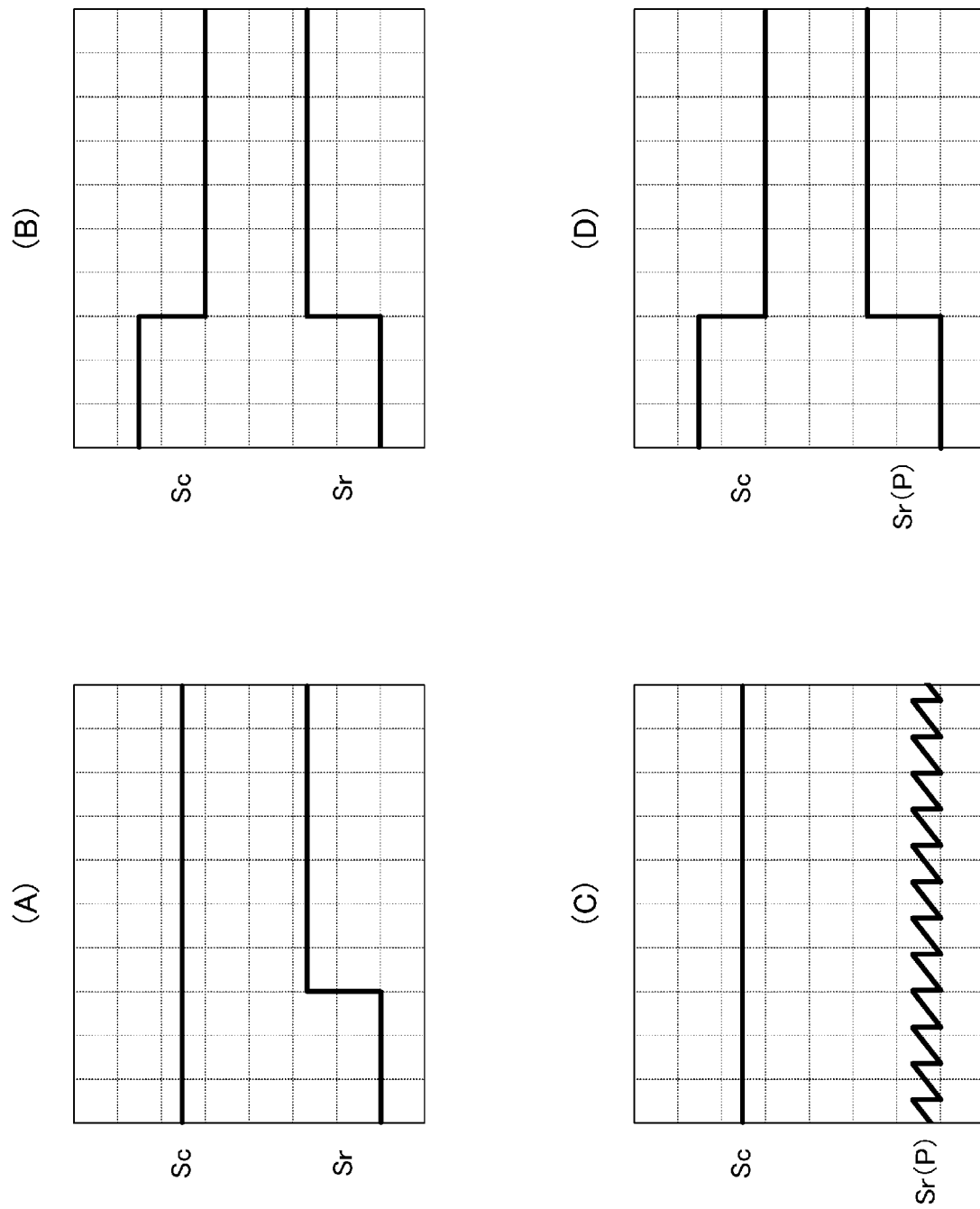
[図8]

図8



[図9]

図9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/061358

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-55050 A (Ricoh Co., Ltd.), 15 March 2012 (15.03.2012), paragraphs [0033] to [0037]; fig. 1 & US 2012/0049828 A1	1-4
Y	JP 38-15658 B1 (Mitsubishi Electric Corp.), 23 August 1963 (23.08.1963), page 1, left column, lines 9 to 20; fig. 1 (Family: none)	1-4
Y	JP 64-814 A (Toshiba Corp.), 05 January 1989 (05.01.1989), page 1, right column, lines 2 to 13; fig. 9 & US 4950920 A & EP 310232 A2 & DE 3875216 T2 & KR 10-1992-0000837 B1	2, 4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 July, 2014 (04.07.14)

Date of mailing of the international search report
15 July, 2014 (15.07.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M3/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-55050 A（株式会社リコー）2012.03.15, 段落【0033】 - 【0037】, 図1 & US 2012/0049828 A1	1-4
Y	JP 38-15658 B1（三菱電機株式会社）1963.08.23, 第1ページ左欄第9-20行, 第1図（ファミリーなし）	1-4
Y	JP 64-814 A（株式会社東芝）1989.01.05, 第1ページ右欄第2-13行, 第9図 & US 4950920 A & EP 310232 A2 & DE 3875216 T2 & KR 10-1992-0000837 B1	2, 4

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

04.07.2014

国際調査報告の発送日

15.07.2014

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

神山 貴行

3V

3428

電話番号 03-3581-1101 内線 3357