



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년06월24일
(11) 등록번호 10-1630442
(24) 등록일자 2016년06월08일

(51) 국제특허분류(Int. Cl.)
H03M 13/25 (2015.01) H03M 13/11 (2006.01)
H03M 13/27 (2006.01) H04L 27/00 (2006.01)
(21) 출원번호 10-2011-7010084
(22) 출원일자(국제) 2009년10월02일
심사청구일자 2014년09월30일
(85) 번역문제출일자 2011년05월02일
(65) 공개번호 10-2011-0082032
(43) 공개일자 2011년07월15일
(86) 국제출원번호 PCT/US2009/005437
(87) 국제공개번호 WO 2010/039257
국제공개일자 2010년04월08일
(30) 우선권주장
61/102,517 2008년10월03일 미국(US)
61/196,889 2008년10월21일 미국(US)
(56) 선행기술조사문헌
US20020136318 A1
KR1020050003835 A

(73) 특허권자
툼슨 라이선싱
프랑스 92130 이씨레블리노 루 잔다르크 1-5
(72) 발명자
레이, 정
미국 뉴저지주 08901 뉴 브런스윅 러트거스 유
니버시티 씨피오 웨이 18705
가오, 웬
미국 뉴저지주 08550 웨스트 원저, 워릭 로드 73
(74) 대리인
특허법인아주

전체 청구항 수 : 총 32 항

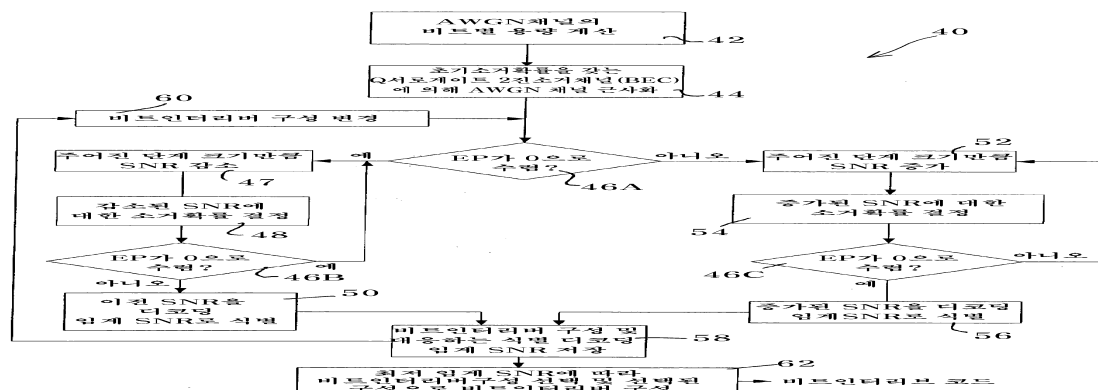
심사관 : 조준근

(54) 발명의 명칭 이진 소거 서로게이트 채널을 이용하여 AWGN 채널 조건 하에서 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 방법 및 장치

(57) 요약

본 발명은 병렬 비균일 채널(parallel non-uniform channel)에 대한 코드 종속 비트 인터리버(code-dependent bit interleavers)에 관련된다. 주어진 코드 양상블의 채널 종속성은 채널 입력과 출력 간의 상호 정보에 의해 지배되기 때문에, 본 발명은 서로 게이트 2진 속 채널(BEC)을 이용함으로써 디코딩 동작에 대한 분석을 단순화하는 것을 제안한다. 서로 게이트 BEC에 의한 실제 채널의 근사화는 비트별 용량의 균등성(equivalence)에 따라 달성되는데, 이것은 균일-분포된 2진 입력과 유효 병렬 AWGN 채널의 우도 비율(likelihood ratio) 간의 상호 정보를 나타낸다. 또한, 소거 확률의 전환은 디코딩 임계 SNR 부근의 선형 차분 방정식에 의해 모델링되는데, 이로부터 디코딩 반복의 수렴에 대한 필요 조건을 유도할 수 있고 비트 인터리버의 구성에 대한 유용한 가이드라인을 얻을 수 있다.

대표도



명세서

청구범위

청구항 1

비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 방법으로서,

Q 비균일 병렬 AWGN 채널의 비트별 용량(bitwise capacities)을 계산하는 단계;

상기 Q 비균일 병렬 AWGN 채널을 Q 서로게이트 2진 소거채널(BEC) 세트와 근사화하는 단계;

LDPC 코드의 밀도 진화에 기초한 소거 확률을 이용하여 디코딩 임계 SNR(threshold signal-to-noise ratio)이 비트 인터리버 구성에 대한 최저 디코딩 임계 SNR이 되는지 여부를 결정하는 단계; 및

상기 결정된 최저 디코딩 임계 SNR에 대응하는 상기 비트 인터리버 구성에 기초하여 상기 비트 인터리버를 구성하는 단계를 포함하되,

상기 각 BEC는 대응 소거 확률을 갖는 것을 특징으로 하는,

비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 2

제 1항에 있어서,

디코딩 임계 SNR이 비트 인터리버 구성에 대한 최저 디코딩 임계 SNR이 되는지 여부를 결정하는 상기 단계는,

상기 소거 확률이 0에 수렴하는 경우 상기 SNR을 미리 결정된 단계 크기(step size)만큼 감소시키는 단계;

상기 감소된 SNR에 대한 소거 확률을 결정하는 단계;

상기 감소된 SNR에 대한 소거 확률이 0에 수렴하는지 여부를 결정하는 단계; 및

상기 감소된 SNR에 대한 소거 확률이 0에 수렴하지 않는 경우, 상기 감소단계 전의 SNR을 상기 비트 인터리버 구성에 대한 상기 디코딩 임계 SNR로서 식별하는 단계를

추가로 더 포함하는, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 3

제 2항에 있어서,

디코딩 임계 SNR이 비트 인터리버 구성에 대한 최저 디코딩 임계 SNR이 되는지 여부를 결정하는 상기 단계는

상기 소거 확률이 0에 수렴하지 않는 경우 상기 SNR을 미리 결정된 단계 크기만큼 증가시키는 단계;

상기 증가된 SNR에 대한 소거 확률을 결정하는 단계;

상기 증가된 SNR에 대한 소거 확률이 0에 수렴하는지 여부를 결정하는 단계; 및

상기 증가된 SNR에 대한 소거 확률이 0에 수렴하는 경우, 상기 증가된 SNR을 상기 비트 인터리버 구성에 대한 상기 디코딩 임계 SNR로서 식별하는 단계를

추가로 더 포함하는, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 4

제 3항에 있어서,

각각의 비트 인터리버 구성 및 대응하는 결정된 최저 디코딩 임계 SNR을 저장하는 단계;

상기 비트 인터리버 구성(Δ)을 변경하는 단계;

상기 변경된 비트 인터리버 구성에 대한 상기 디코딩 임계 SNR을 결정하기 위하여 디코딩 임계 SNR이 비트 인터리버 구성에 대한 최저 디코딩 임계 SNR이 되는지 여부를 결정하는 상기 단계를 수행하는 단계;

최저 디코딩 임계 SNR을 갖는 비트 인터리버 구성을 선택하는 단계; 및

상기 선택된 구성으로 상기 비트 인터리버를 구성하는 단계

를 추가로 더포함하는, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 5

제 1항에 있어서,

상기 계산된 비트별 용량은 상기 Q 비균일 병렬 AWGN 채널의 2진 입력과 유효 출력(effective output) 간의 상호 정보에 기초하여 상기 비트별 용량을 계산하는 단계를 추가로 더 포함하고, 상기 근사화 단계는 상기 계산된 비트별 용량의 균등성(equivalence)에 기초하는, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 6

제 1항에 있어서,

상기 LDPC 코드에 대한 LDPC 인코더 출력을 상기 구성된 비트 인터리버로 인터리빙하는 단계를 추가로 더 포함하는, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 7

제 2항에 있어서,

상기 감소된 SNR에 대한 소거 확률이 0으로 수렴하는지 여부를 결정하는 단계는 미리 결정된 선행 차분 방정식으로부터 모델링된 밀도 진화에 기초한 평균 소거 확률을 상기 디코딩 임계 SNR을 이용하여 결정하는 단계를 추가로 더 포함하는, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 8

제 7항에 있어서,

상기 평균 소거 확률을 결정하는 단계는

에지 관점에서(edge perspective) 상기 LDPC 코드의 가변 노드(VND) 및 체크 노드(CND) 차수 분포를 식별(identifying)하는 단계; 및

각 BEC의 상기 소거확률의 컨벡스 조합 단계를

추가로 더 포함하는, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 9

제 7항에 있어서,

상기 밀도 진화 모델링은

$$\begin{aligned}\varepsilon_q^l &= \varepsilon_q^0 \lambda_q(\alpha^l), \\ \alpha^l &= 1 - \rho(1 - \beta_{l-1}) \\ \beta^{l-1} &= \sum_{q=1}^Q w_q \varepsilon_q^{l-1},\end{aligned}$$

로부터 유도되고,

상기 위첨자 l 과 아래첨자 q 는 반복 인덱스와 BEC 서브채널 수를 각각 나타내고, 상기 ε_q^l 는 l 번째 반복에서 q 번째 BEC 출력에서의 소거확률을 나타내고, 상기 α 와 β 는 LDPC 코드의 CND와 VND의 출력단에서의 평균화된 소거확률을 각각 나타내고, 상기 w_q 는 q 번째 BEC에 따르고 q 번째 LDPC 서브코드에 할당되는 에지의 비율이고, 상기 ρ 는 CND에 연결된 에지의 비율이고, 상기 λ_q 는 q 번째 서브코드에 대한 에지-퍼스펙티브(edge-perspective) VND 차수 분포인, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 10

제 3항에 있어서,

상기 LDPC 코드의 VND 및 CND 차수 분포 상의 제약을 받는 상기 비트 인터리버의 차수 프로파일의 제약 최적화에 의해 메시지 전달 알고리즘을 이용하여 상기 디코딩 임계 SNR을 최소화하는 단계를 추가로 더 포함하는, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 11

비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 장치로서,

Q 비균일 병렬 AWGN 채널의 비트별 용량(bitwise capacities)을 계산하고, 상기 Q 비균일 병렬 AWGN 채널을 Q 서로게이트 2진 소거채널(BEC) 세트와 근사화하고, 상기 BEC는 대응 소거 확률을 구비하고, LDPC 코드의 밀도 진화에 기초한 소거 확률을 이용하여 하나 이상의 비트 인터리버 구성의 각각에 대하여 디코딩 임계 SNR(Signal-to-Noise Ratio)를 결정하도록 구성된 프로세서;

상기 하나 이상의 결정된 디코딩 임계 SNR 및 대응하는 비트 인터리버 구성을 저장하기 위한 메모리; 및

상기 저장된 하나 이상의 결정된 디코딩 임계 SNR로부터 선택되는 최저 디코딩 임계 SNR에 대응하는 상기 비트 인터리버 구성에 기초하여 상기 프로세서에 의해 구성되는 비트 인터리버를 포함하는, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 장치.

청구항 12

제 11항에 있어서,

상기 프로세서는 미리 결정된 선형 차분 방정식으로부터 모델링된 밀도 진화에 기초한 평균 소거확률을 상기 결정된 하나 이상의 디코딩 임계 SNR을 이용하여 더 결정하는, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 장치.

청구항 13

제 11항에 있어서,

상기 프로세서는 상기 Q 비균일 병렬 AWGN 채널의 2진 입력과 유효 출력(effective output) 간의 상호 정보에 기초하여 상기 비트별 용량을 계산하는, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 장치.

청구항 14

제 11항에 있어서,

상기 비트 인터리버는 각각의 임계 SNR에 대응하는 각각의 결정된 소거 확률로부터 유도되는 디코딩 반복의 디코딩 수렴(convergence)에 대한 조건에 기초하여 상기 LDPC 코드에 대한 LDPC 인코더 출력을 비트 인터리빙하도록 구성되는, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 장치.

청구항 15

제 12항에 있어서,

상기 프로세서는

에지 관점에서 상기 LDPC 코드의 VND 및 CND 차수 분포를 식별하고 각 BEC의 상기 소거확률의 컨벡스 조합을 함으로써, 상기 평균 소거 확률을 결정하는, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 장치.

청구항 16

제 12항에 있어서,

상기 밀도 진화 모델링은

$$\begin{aligned}\varepsilon_q^l &= \varepsilon_q^0 \lambda_q(\alpha^l), \\ \alpha^l &= 1 - \rho(1 - \beta_{l-1}) \\ \beta^{l-1} &= \sum_{q=1}^Q w_q \varepsilon_q^{l-1},\end{aligned}$$

로부터 유도되고,

상기 위첨자 l과 아래첨자 q는 반복 인덱스와 BEC 서브채널 수를 각각 나타내고, 상기 ε_q^l 는 l번째 반복에서 q번째 BEC출력에서의 소거확률을 나타내고, 상기 α 와 β 는 LDPC 코드의 CND와 VND의 출력단에서의 평균화된 소거확률을 각각 나타내고, 상기 w_q 는 q번째 BEC에 따르고 q번째 LDPC 서브코드에 할당되는 에지의 비율이고, 상기 ρ 는 CND에 연결된 에지의 비율이고, 상기 λ_q 는 q번째 서브코드에 대한 에지-퍼스펙티브(edge-perspective) VND 차수 분포인, 비트 인터리버를 LDPC 코드와 변조에 적용하기 위한 장치.

청구항 17

비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 방법으로서,

Q 비균일 병렬 AWGN 채널의 비트별 용량을 계산하는 단계;

상기 Q 비균일 병렬 AWGN 채널을 소거 확률로 Q 서로게이트 2진 소거채널(BEC) 세트와 근사화하는 단계;

LDPC 코드의 밀도 진화에 기초한 소거 확률을 이용하여 디코딩 임계 SNR(threshold signal-to-noise ratio)이 비트 인터리버 구성에 대한 최저 디코딩 임계 SNR이 되는지 여부를 결정하는 단계; 및

상기 결정된 최저 디코딩 임계 SNR에 대응하는 상기 비트 인터리버 구성에 기초하여 상기 비트 디인터리버를 구성하는 단계를 포함하되,

상기 비트 디인터리버는 상기 비트 인터리버의 기능을 역으로 수행하는 것이고,

상기 각 BEC는 대응 소거 확률을 갖는 것을 특징으로 하는, 비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 18

제 17항에 있어서,

디코딩 임계 SNR이 비트 인터리버 구성에 대한 최저 디코딩 임계 SNR이 되는지 여부를 결정하는 상기 단계는,

상기 소거 확률이 0에 수렴하는 경우 상기 SNR을 미리 결정된 단계 크기(step size)만큼 감소시키는 단계;

상기 감소된 SNR에 대한 소거 확률을 결정하는 단계;

상기 감소된 SNR에 대한 소거 확률이 0에 수렴하는지 여부를 결정하는 단계; 및

상기 감소된 SNR에 대한 소거 확률이 0에 수렴하지 않는 경우, 상기 감소단계 전의 SNR을 상기 비트 인터리버 구성에 대한 상기 디코딩 임계 SNR로서 식별하는 단계를

추가로 더 포함하는, 비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 19

제 18항에 있어서,

디코딩 임계 SNR이 비트 인터리버 구성에 대한 최저 디코딩 임계 SNR이 되는지 여부를 결정하는 상기 단계는

상기 소거 확률이 0에 수렴하지 않는 경우 상기 SNR을 미리 결정된 단계 크기만큼 증가시키는 단계;

상기 증가된 SNR에 대한 소거 확률을 결정하는 단계;

상기 증가된 SNR에 대한 소거 확률이 0에 수렴하는지 여부를 결정하는 단계; 및

상기 증가된 SNR에 대한 소거 확률이 0에 수렴하는 경우, 상기 증가된 SNR을 상기 비트 인터리버 구성에 대한 상기 디코딩 임계 SNR로서 식별하는 단계를

추가로 더 포함하는, 비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 20

제 19항에 있어서,

각각의 비트 인터리버 구성 및 대응하는 결정된 최저 디코딩 임계 SNR을 저장하는 단계;

상기 비트 인터리버 구성(Δ)을 변경하는 단계;

상기 변경된 비트 인터리버 구성에 대한 상기 디코딩 임계 SNR을 결정하기 위하여 디코딩 임계 SNR이 비트 인터리버 구성에 대한 최저 디코딩 임계 SNR이 되는지 여부를 결정하는 상기 단계를 수행하는 단계;

최저 디코딩 임계 SNR을 갖는 비트 인터리버 구성을 선택하는 단계; 및

상기 선택된 구성으로 상기 비트 인터리버를 구성하는 단계
를 추가로 더 포함하는,
비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 21

제 17항에 있어서,
상기 계산된 비트별 용량은 상기 병렬 AWGN 채널의 2진 입력과 유효 출력 간의 상호 정보에 기초하여 상기 비트
별 용량을 계산하는 단계를 추가로 더포함하고, 상기 근사화 단계는 상기 계산된 비트별 용량의 균등성
(equivalence)에 기초하는, 비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 22

제 17항에 있어서,
QAM 복조기 출력을 상기 구성된 비트 디인터리버로 디인터리빙하는 단계를 더 포함하는, 비트 디인터리버를
LDPC 코드와 변조에 적용하기 위한 방법.

청구항 23

제 18항에 있어서,
상기 감소된 SNR에 대한 소거 확률이 0으로 수렴하는지 여부를 결정하는 단계는 미리 결정된 선형 차분 방정식
으로부터 모델링된 밀도 진화에 기초한 평균 소거확률을 상기 디코딩 임계 SNR을 이용하여 결정하는 단계를 추
가로 더포함하는, 비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 24

제 23항에 있어서,
상기 평균 소거확률의 결정 단계는
에지 관점에서 상기 LDPC 코드의 VND 및 CND 차수 분포를 식별하는 단계; 및
각 BEC의 상기 소거확률의 컨벡스 조합 단계를
추가로 더 포함하는, 비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 25

제 23항에 있어서,
상기 밀도 진화 모델링은

$$\begin{aligned}\varepsilon_q' &= \varepsilon_q^0 \lambda_q(\alpha'), \\ \alpha' &= 1 - \rho(1 - \beta_{l-1}) \\ \beta^{l-1} &= \sum_{q=1}^Q w_q \varepsilon_q^{l-1},\end{aligned}$$

로부터 유도되고,

상기 위첨자 l 과 아래첨자 q 는 반복 인덱스와 BEC 서브채널 수를 각각 나타내고, 상기 ε_q^l 는 l 번째 반복에서 q 번째 BEC출력에서의 소거확률을 나타내고, 상기 α 와 β 는 LDPC 코드의 VND와 VND의 출력단에서의 평균화된 소거확률을 각각 나타내고, 상기 w_q 는 q 번째 BEC에 따르고 q 번째 LDPC 서브코드에 할당되는 에지의 비율이고, 상기 ρ 는 VND에 연결된 에지의 비율이고, 상기 λ_q 는 q 번째 서브코드에 대한 에지-퍼스펙티브(edge-perspective) VND 차수 분포인, 비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 26

제 19항에 있어서,

상기 LDPC 코드의 VND 및 VND 차수 분포 상의 제약을 받는 상기 비트 인터리버의 차수 프로파일의 제약 최적화에 의해 메시지 전달 알고리즘을 이용하여 상기 디코딩 임계 SNR을 최소화하는 단계를 추가로 더포함하는, 비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 방법.

청구항 27

비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 장치로서,

Q 비균일 병렬 AWGN 채널의 비트별 용량을 계산하고, 상기 Q 비균일 병렬 AWGN 채널을 Q 서로게이트 2진 소거채널(BEC) 세트와 근사화하고, LDPC 코드의 밀도 진화에 기초한 소거 확률을 이용하여 하나 이상의 비트 인터리버 구성의 각각에 대하여 디코딩 임계 SNR(signal-to-noise ratio)을 결정하도록 구성된 프로세서;

상기 하나 이상의 결정된 디코딩 임계 SNR 및 대응하는 비트 인터리버 구성을 저장하기 위한 메모리; 및

상기 저장된 하나 이상의 결정된 디코딩 임계 SNR로부터 선택되는 최저 디코딩 임계 SNR에 대응하는 상기 비트 인터리버 구성에 기초하여 상기 프로세서에 의해 구성되는 비트 디인터리버를 포함하고,

상기 비트 디인터리버는 상기 비트 인터리버의 기능을 역으로 수행하는 것이고,

상기 각 BEC는 대응 소거 확률을 갖는 것을 특징으로 하는, 비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 장치.

청구항 28

제 27항에 있어서,

상기 프로세서는 미리 결정된 선형 차분 방정식으로부터 모델링된 밀도 진화에 기초한 평균 소거확률을 상기 결정된 하나 이상의 디코딩 임계 SNR을 이용하여 더 결정하는, 비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 장치.

청구항 29

제 27항에 있어서,

상기 프로세서는 상기 Q 비균일 병렬 AWGN 채널의 2진 입력과 유효 출력 간의 상호 정보에 기초하여 상기 비트별 용량을 계산하는, 비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 장치.

청구항 30

제 27항에 있어서,

상기 비트 디인터리버는 각각의 임계 SNR에 대응하는 각각의 결정된 소거 확률로부터 유도되는 디코딩 반복의 디코딩 수렴에 대한 조건에 기초하여 QAM 복조기 출력을 비트 디인터리빙하도록 구성되는, 비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 장치.

청구항 31

제 28항에 있어서,

상기 프로세서는 에지 관점에서 상기 LDPC 코드의 VND 및 CND 차수 분포를 식별하고 각 BEC의 상기 소거확률의 컨벡스 조합을 함으로써, 상기 평균 소거 확률을 결정하는, 비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 장치.

청구항 32

제 28항에 있어서,

상기 밀도 진화 모델링은

$$\begin{aligned}\varepsilon_q^l &= \varepsilon_q^0 \lambda_q(\alpha^l), \\ \alpha^l &= 1 - \rho(1 - \beta_{l-1}) \\ \beta^{l-1} &= \sum_{q=1}^Q w_q \varepsilon_q^{l-1},\end{aligned}$$

로부터 유도되고,

상기 위첨자 l 과 아래첨자 q 는 반복 인덱스와 BEC 서브채널 수를 각각 나타내고, 상기 ε_q^l 는 l 번째 반복에서 q 번째 BEC출력에서의 소거확률을 나타내고, 상기 α 와 β 는 LDPC 코드의 CND와 VND의 출력단에서의 평균화된 소거확률을 각각 나타내고, 상기 w_q 는 q 번째 BEC에 따르고 q 번째 LDPC 서브코드에 할당되는 에지의 비율이고, 상기 ρ 는 CND에 연결된 에지의 비율이고, 상기 λ_q 는 q 번째 서브코드에 대한 에지-퍼스펙티브(edge-perspective) VND 차수 분포인, 비트 디인터리버를 LDPC 코드와 변조에 적용하기 위한 장치.

발명의 설명

기술 분야

[0001] 본 출원은 2008년 10월 3일 및 2008년 10월 21일에 각각 출원된 US Provisional Application Serial No. 61/102517 및 61/196889의 우선권을 주장하며, 상기 출원 둘 모두는 전체 내용에 있어 참조로서 통합된다.

[0002] 본 발명은 병렬 비균일 채널(parallel non-uniform channel)에 대한 코드 종속 비트 인터리버(code-dependent bit interleavers)에 관련된다. 더 구체적으로는, 본 발명은 서로게이트 이진 소거 채널(surrogate binary

erasure channels)(BEC) 세트를 이용하는 코드 정합 인터리빙에 관련된다.

배경 기술

- [0003] 케이블, 위성 및 지상파 네트워크는 디지털 방송 서비스를 최종 고객에게 전달하는 3개의 주요한 매체들이다. 위성과 지상파 전송과는 달리, 케이블 채널은 심각한 시간 및 주파수 선택특성을 보이지는 않는다. 결과적으로, HDTV와 VoD와 같은 광대역 소비 서비스의 용량 수요를 만족시키고 디지털 비디오 방송의 진출을 강화하기 위하여, 스펙트럼적으로 효율적인 변조(즉, 256-QAM 및 1024-QAM)가 케이블 네트워크에 채용된다. 최근, 설계 유연성, 디코딩 단순성 및 다양한 채널 타입에 걸쳐 범용적으로 뛰어난 오류 보정 능력으로 인해, 저밀도 패리티 체크(low-density parity-check, LDPC) 코드가 DVB-S2와 DVB-T2 표준에 도입되었다.
- [0004] 실행 단순성 및 구성요소 상호 운용성(component operability)에 대한 고려를 통해, DVB-S2 표준에 규정된 LDPC 코드가 차세대 DVB-C 시스템을 위해 재사용되도록 강하게 권장되고 있다. 그럼에도 불구하고, 이진 변조에 최적화된 LDPC 코드 앙상블은 고차 변조(higher-order modulations)에 대해 양호하게 동작하지 않으며, 그것은 변조에 의해 발생하는 불균일한 오류 보호(unequal error protection)에 기인한다. 비한정 코드 길이에 대한 멀티레벨 코딩(MLC)의 점근적 특성(asymptotic performance)이 탐색되어 왔고, 그것은 다단계 디코딩(multistage decoding, MSD)이 채용될 때 용량 접근 전략으로서 그 최적합성을 입증했다. 하지만, MSD 알고리즘은 하위 디코딩단계로부터 상위 디코딩단계로 전달되는 결정을 요구하며, 그것은 고속 어플리케이션에서는 수용될 수 없는 큰 디코딩 레이턴시(decoding latency)를 초래한다.
- [0005] 통신 시스템의 당업자라면 알 수 있는 바와 같이, 인터리빙(interleaving)은 상이한 목적을 달성하기 위하여 시퀀스의 순서를 재배열하기 위한 절차이다. 시간 및 주파수 도메인에 걸쳐 선택적 페이딩(selective fading)되는 채널에 대하여, 오류 버스트(error bursts)를 분배하기 위하여 비트 및/또는 심볼 인터리빙이 채널 코딩과 함께 사용되어 왔다. 추가적으로, 비트 인터리빙은 정보 비트를 제 2 구성 인코더에 제공하여 긴 랜덤 코드(random code)가 생성되도록 하기 위하여 연결 코드(concatenated codes), 특히 터보 코드에 의해 채용된다.
- [0006] LDPC 코드의 결과로서, 예를 들어 밀도진화(density evolution), 차분 진화(differential evolution) 및 EXIT(extrinsic information transfer) 차트와 같은 프레임워크가 코드 앙상블(code ensemble)의 차수 프로파일(degree profile)을 설계 및 분석하기 위하여 개발되었다. 블록 길이가 한정되어 있지 않고 코드 구조가 랜덤이며 디코딩 반복의 횟수가 한정되어 있지 않다고 가정하면, 디코딩 수렴(decoding convergence)에 대한 임계 SNR에 있어서, 상기 프레임워크에 따라 구성되는 코드들은 샤논 한계(Shannon limit)에 가까이 근접할 수 있다. 하지만, 실제 실행의 측면에서, 랜덤 구조는 통상적으로 매우 높은 인코딩/디코딩 복잡도와 메모리 요건으로 이어진다. 이 때문에, 전력 효율과 실행 단순성 간의 더 나은 교환을 얻을 수 있는 구조화된 LDPC 코드가 시스템 설계자에게는 더 어필하는 선택이 되었다. 예를 들어, 위성채널(DVB-S2)에 대한 ETSI 2세대 디지털 비디오 방송 표준(Second Generation Digital Video Broadcasting Standard), IEEE 802.11n 및 IEEE 802.11e 표준에 의해 채용된 오류 제어 코드는 구조화된 LDPC 코드의 카테고리에 속한다.
- [0007] 이에 반해, 원래 위성 통신에서 정방향 오류 제어를 위해 설계된 DVB-S2 LDPC 패밀리는 DVB-T2(지상파 채널을 위한 2세대 DVB 표준)에 의해 재사용되었고 DVB-C2(케이블 채널을 위한 2세대 DVB 표준)에 대하여 강하게 권장되고 있다. 시스템 적합성에 대한 고려에 더하여, DVB-S2 코드의 재사용 이면의 주요한 이유는 다양한 채널 조건 하에서의 보편적인 뛰어난 성능 때문이다. 하지만, 더 높은 스펙트럼 효율과 유연한 처리량에 대한 케이블 오퍼레이터에 의한 요구를 만족시키기 위하여, DVB-C2에서의 DVB-S2 코드의 재사용에 대한 기술적인 도전은 주어진 코드들을 256-QAM에서 4096-QAM에 이르는 매우 높은 차수의 컨스텔레이션(constellations)에 맵핑하는 데에 있다.

발명의 내용

해결하려는 과제

- [0008] 본 발명은 서로게이트 채널 접근법을 이용하여 코드-중속 비트 인터리버의 디자인을 단순화하는 것을 제안한다.
- [0009] CODEC의 단순한 구조를 유지하면서 전력과 스펙트럼 효율 간의 좋은 교환을 얻기 위하여, 본 발명은 채널 인코

더/디코더와 변조기/복조기 사이에 비트 인터리버/디인터리버(de-interleaver)를 각각 삽입하는 것을 제안한다.

- [0010] 또한, 고차(high-order) 변조(예를 들어 256-QAM)에 대하여 불규칙한 LDPC 코드와 컨스텔레이션 맵퍼(변조기)가 주어지면, 비트 인터리버는 코드의 비동등 오류 보정을 2진 라벨링 스킴(binary labeling scheme)에 기인하는 비대칭 비트 유클리드 거리(asymmetric bitwise Euclidean distance)에 매칭하기 위하여 이용될 수 있다.

과제의 해결 수단

- [0011] 일 실시형태에 따르면, 비트 인터리버를 AWGN 채널조건 하에서 LDPC 코드와 변조에 적용하기 위한 방법은, 비균일 병렬 AWGN 채널의 비트별 용량(bitwise capacity)을 계산하는 단계, 상기 AWGN 채널을 소거 확률(eraser probability)로 Q 서로게이트 이진 소거채널(BEC) 세트와 근사화하는 단계, 디코딩 임계 SNR이 비트 인터리버 구성에 대한 최저 디코딩 임계 SNR이 되는지 여부를 결정하는 단계, 및 상기 결정된 최저 디코딩 임계 SNR에 대응하는 상기 비트 인터리버 구성에 기초하여 상기 비트 인터리버를 구성하는 단계를 포함하여 구성된다.
- [0012] 다른 실행 형태에 있어서, 비트 인터리버를 AWGN 채널조건 하에서 LDPC 코드와 변조에 적용하기 위한 장치는 프로세서를 포함하고, 상기 프로세서는 i) 비균일 병렬 AWGN 채널의 비트별 용량(bitwise capacity)을 계산하고, ii) 상기 AWGN 채널을 서로게이트 이진 소거채널 세트와 근사화하며, iii) 하나 이상의 비트 인터리버 구성의 각각에 대하여 디코딩 임계 SNR을 결정하도록 구성된다. 상기 프로세서는 또한 각각의 결정된 SNR에 대한 소거 확률(eraser probability)를 결정한다. 메모리는 상기 하나 이상의 결정된 디코딩 임계 SNR 및 대응하는 비트 인터리버 구성을 저장한다. 상기 비트 인터리버는 상기 저장된 하나 이상의 결정된 디코딩 임계 SNR로부터 선택되는 최저 디코딩 임계 SNR에 대응하는 상기 비트 인터리버 구성에 기초하여 상기 프로세서에 의해 구성된다.
- [0013] 본 발명의 상기 및 다른 측면, 특징 및 이점은 실시예에 관한 이하의 상세한 설명으로부터 명확하게 될 것이며, 이것은 첨부된 도면과 연계하여 이해될 것이다.

발명의 효과

- [0014] 본 발명에 따르면 종래 기술을 개선할 수 있다.

도면의 간단한 설명

- [0015] 본 발명은 이하의 실시예적인 도면에 따라 더욱 잘 이해될 수 있다.
- 도 1a는 본 발명의 일실시예에 따른 코드 정합 인터리빙을 위한 장치의 블록도이다.
- 도 1b는 본 발명의 일실시예에 따른 코드 정합 인터리빙을 위한 장치의 블록도이다.
- 도 1c는 본 발명의 일실시예에 따른 패리티 비트(parity bits)의 블록 인터리빙에 관한 그래픽 표현이다.
- 도 1d는 본 발명의 일실시예에 따라 인터리빙된 비트의 계층적 할당(hierarchical allocation)에 관한 그래픽 표현이다.
- 도 1e는 본 발명의 코드 정합 인터리빙의 일 실시예의 통신 시스템 구현에 관한 블록도이다.
- 도 1f는 도 1e에 도시된 것에 관한 더 구체적인 시스템도이다.
- 도 1g는 본 발명의 일실시예에 따른 코드 정합 인터리빙을 위한 장치의 시뮬레이션 설정이다.
- 도 2a 및 2b는 본 발명의 일 실시예에 따른 예시적인 컨스텔레이션 맵퍼에 대한 채널 조건의 그래픽 표현이다.
- 도 3a는 미리 결정된 용량을 가진 AWGN 채널의 블록도를 나타낸다.
- 도 3b는 본 발명의 일 실시예에 따라 소거 확률을 갖는 이진 소거 채널(BEC)을 나타낸다.
- 도 4는 본 발명의 일 실시예에 따라 서로게이트 채널을 통한 코드 정합 인터리빙을 위한 방법에 관한 흐름도이다.
- 도 5-8은 본 발명의 장치 및 방법에 의해 제공되는 두가지 레이트(rate)의 디코딩된 BER의 비교 및 그 결과로서

의 전력 저감에 고나한 그래픽 표현이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 본 발명은 서로게이트 채널(surrogate channels)에 걸친 코드 정합(code-matched) 인터리빙을 위한 방법 및 장치에 관한 것이다.
- [0017] 본 기재내용은 본 발명의 원리를 나타낸다. 비록 여기에 명시적으로 기재 또는 도시되어 있지 않더라도, 본 기술분야의 당업자라면 본 발명 원리를 구체화하고 그 사상 및 범위 내에 포함되어 있는 다양한 배치를 고안할 수 있을 것이라는 점이 이해되어야 한다.
- [0018] 여기에 언급된 모든 실시예 및 조건적 언어는, 발명자에 의해 본 기술분야를 발전시키도록 제공된 본 발명 원리 및 개념을 읽는 사람이 이해하는 것을 돕기 위한 교육적인 목적으로 제공되며, 그러한 구체적으로 언급된 실시예 및 조건에 한정되지 않는 것으로 해석된다.
- [0019] 또한, 구체적인 실시예 뿐만 아니라 여기서 본 발명의 원리, 측면 및 실시예를 언급하고 있는 모든 서술내용은 구조적 및 기능적 균등물 모두를 포함하도록 의도된다. 추가적으로, 상기 균등물은 미래에 개발될 균등물 뿐만 아니라 현재 알려진 균등물 모두, 즉 구조에 상관없이 동일한 기능을 수행하는 개발된 어떠한 요소라도 포함한다.
- [0020] 이와 같이, 예를 들어, 여기에 제시된 블록도는 본 발명 원리를 구체화하는 예시적인 회로에 관한 개념도를 나타낸다는 것을 당업자라면 이해할 것이다. 마찬가지로, 모든 흐름 차트, 흐름도, 상태천이도, 의사코드 등은, 컴퓨터 판독가능 미디어에서 실질적으로 표시될 수 있고 컴퓨터나 프로세서에 의해 실행될 수 있는 다양한 프로세스를 나타내며, 이는 상기와 같은 컴퓨터나 프로세서가 명시적으로 도시되어 있는지 여부에 상관없이 그러하다.
- [0021] 도면에 도시된 다양한 구성요소의 기능들은 적합한 소프트웨어와 관련하여 소프트웨어를 실행할 수 있는 하드웨어뿐만 아니라 전용 하드웨어의 사용을 통하여 제공될 수 있다. 프로세서에 의해 제공되는 경우, 상기 기능들은 단일 전용 프로세서에 의해, 단일 공유 프로세서에 의해, 또는 일부는 공유될 수도 있는 복수의 개별 프로세서에 의해 제공될 수 있다. 또한, "프로세서" 또는 "제어기"의 명시적인 사용은 소프트웨어를 실행할 수 있는 하드웨어를 배타적으로 언급하는 것으로 해석되어서는 안 되고, 제한없이 디지털 신호 프로세서(digital signal processor, DSP) 하드웨어, 소프트웨어 저장을 위한 ROM(read only memory), RAM(random access memory) 및 비휘발성 저장매체를 암시적으로 포함할 수 있다.
- [0022] 종래 및/또는 통상의 다른 하드웨어도 또한 포함될 수 있다. 마찬가지로, 도면에 도시된 어떠한 스위치들도 단지 개념적인 것이다. 그것들의 기능은 프로그램 로직의 동작을 통해, 전용 로직을 통해, 프로그래밍 제어와 전용 로직의 상호작용을 통해, 또는 심지어는 수동으로 수행될 수 있고, 그 구체적인 기술은 문맥을 통해 더욱 명확하게 이해될 수 있는 바와 같이 실행자에 의해 선택될 수 있다.
- [0023] 여기서의 청구항에서, 특정 기능을 수행하기 위한 수단으로서 표현된 모든 구성요소는 상기 기능을 수행하는 어떠한 방법이라도 포함하도록 의도되고, 이는 예를 들어 a) 상기 기능을 수행하는 회로 구성요소들의 조합 또는 b) 기능을 수행하기 위해 소프트웨어를 실행하기 위한 적정 회로와 결합된 어떤 형태의 소프트웨어라도 포함하며, 이 소프트웨어는 펌웨어, 마이크로코드 등등을 포함한다. 상기 청구항에 의해 정의되는 본 발명의 원리는, 다양한 언급된 수단들에 의해 제공되는 기능들이 상기 청구항이 청구하는 바에 따라 통합되고 결합된다는 사실에 귀속된다. 따라서, 상기 기능들을 제공할 수 있는 어떠한 수단들도 여기에 설명되는 수단들과 균등하다고 여겨진다.
- [0024] 다른 다양한 변형에 뿐만 아니라 본 명세서에서 본 발명 원리에 따른 "일 실시예" 또는 "어떤 실시예"라고 언급된 것은, 상기 실시예와 관련하여 기재된 특징의 특징, 구조, 특성 등등이 본 발명의 적어도 일 실시예에 포함된다는 것을 의미한다. 이와 같이, 명세서를 통하여 다양한 곳에서 나타나는 "일 실시예에서" 또는 "어떤 실시예에서"라는 문구의 사용(다른 변형에 뿐만 아니라)은 모두 반드시 동일 실시예를 언급하는 것은 아니다.
- [0025] 본 발명은 서로게이트 채널 접근법을 이용하는 코드-중속 비트 인터리버의 설계를 단순화하는 것을 제안한다.
- [0026] 기본적으로, 메시지 전달 디코더의 동작에 관한 분석은 2가지 중요한 선택을 포함한다. 하나는 유효 채널(effective channel)의 모델링이고, 다른 하나는 반복적인 디코딩 프로세스를 추적하기 위한 분석 톨의 선택이다. 지금까지, LDPC 코드 앙상블(ensemble)의 동작은 이진 입력을 갖는 다양한 타입의 채널 하에서 검사되었다.

이론적인 분석과 시뮬레이션 결과 모두는 디코딩 임계가 채널 타입에 그다지 의존하지 않고 다만 유효 채널의 입력과 출력 간의 상호 정보(mutual information)에 의존한다는 것을 보여준다.

[0027] 이에 반해, 반복적 디코딩의 분석을 단순화하기 위하여 다양한 1차원 가우스 근사(gaussian approximation, GA)가 도입되었으며, 이것은 밀도진화(density evolution)의 복잡도를 감소시킬 뿐만 아니라 디코딩 알고리즘을 이해하기 위한 유용한 통찰을 제공한다. 그럼에도 불구하고, 가우스 모델은 체크 노드(CND)로부터 가변 노드(VND)로의 메시지 전달의 확률분포를 신뢰적으로 캡처하지 못하기 때문에, GA는 고도 매체에 있어 특히 낮은 코드 레이트와 CNDs에 대하여 실용적이지만 정밀하지 않은 접근법이다.

[0028] 이러한 문제점을 극복하기 위하여, 디코딩 프로세스의 역학(dynamics)에 대한 더 정확한 근사를 가능하게 하기 위해 2차원 가우스 모델에 기초한 확률적 프레임워크(stochastic framework)가 제안되었다. 하지만, 복잡성으로 인해, 이 접근법은 고차 변조(high-order modulations)에 의해 생기는 병렬 채널, OFDM 및 비균등 오류 보호 요건을 갖는 디스크 채널과 같은 비균일 채널(non-uniform channels)에 확장하는 것이 어렵다.

[0029] GA의 한계를 피하기 위하여, 본 발명은 서로게이트 이진 소거채널(BEC) 세트에 의해 비균일 병렬 채널을 모델링 하며, 채널의 근사화는 비트별 용량(bitwise capacity)의 등가에 기초하는데, 이것은 병렬 AWGN 채널의 유효출력과 이진 입력 간의 상호 정보(mutual information)를 나타낸다. 그 결과, 평균 소거 확률의 진화(evolution)는 일련의 순환 등식 세트에 의해 완전히 특징지어진다. 또한, (디코딩 임계에 근접한) SNR 영역 하에서, 디코더의 역학은 동차 선형차분 방정식(homogeneous linear difference equation)에 의해 더 단순화될 수 있으며, 이로부터 필요 조건이 디코딩 수렴(decoding convergence)에 대해 유도되어 비트 인터리버를 구성하도록 이용될 수 있다.

[0030] 무선 통신과는 달리, 케이블 채널은 통상적으로 높은 SNR 영역(signal to noise ratio regime)에서 동작하고, 신호 전송 진행 중 선택적 페이딩(fading)과는 거의 또는 전혀 마주치지 않는다. 따라서, 상기 케이블 채널을 AWGN(additive white Gaussian noise) 채널로 공식화할 수 있으며, 이를 통해 256-QAM 및 4096-QAM과 같은 스펙트럼 유효 변조(spectrally-efficient modulation)가 전개될 수 있다. 평균 전송 전력에 대한 제약을 받는 통신 신뢰도를 보장하기 위하여, LDPC와 같은 용량접근(capacity-approaching) 오류 보정 코드가 상기 고차 변조와 결합하여 채용될 필요가 있다. 보편성의 오류없이, 변조 포맷은 2^Q 차수의 구형 QAM(square QAM)이다.

[0031] BRGC(binary reflected gray coding)는 그 입증된 최적합성으로 인해 컨스텔레이션 맵퍼(예를 들어, QAM 변조

기)를 라벨링하는데 채용될 것이다. 이러한 실행예에서, Q개의 코딩된 비트 $\{C_{l,q}\}_{q=1}^Q$ 가 그룹화되어 QAM 심볼 x_l 로 맵핑되어 있는 것으로 가능하다(1은 심볼 인덱스임). 특히, 비트 $C_{1,q}$ 와 $C_{1,q+Q/2}$ ($q=1, 2, \dots, Q/2$)는 QAM 컨스텔레이션의 in-phase(I)와 quadrature(Q) 가지를 각각 라벨링하는 데 사용된다. 그 결과, 그것들은 병렬 디코딩이 채용될 때 동일한 비트별 용량을 갖게 될 것이다. AWGN 채널의 출력단에서, 1번째 수신된 심볼은

$$y_l = x_l + w_l, \quad (1)$$

[0032]

에 의해 주어진다. 여기서, w 는 양면 스펙트럼 밀도(double-sided spectral density) $N_0/2$ 를 갖는 원형-대칭, 복소 가우스 노이즈(complex Gaussian noise)의 샘플을 나타내며, x_l 에 대한 평균 심볼 에너지는 E_s 로 추정된다.

[0034] 컨스텔레이션 이론의 적용을 고차 변조에 의해 유도된 비균일 비트 서브채널(bitwise sub-channel)로 확장하기 위하여, 강화된 채널 어댑터가 채널 대칭성을 강화하기 위해 도입되었다. 그 결과, 전체 코드북(codebook)의 동작을 예측하기 위해서는, 올제로(all-zero) 코드워드의 밀도 진화(DE)를 추적하는 것으로 충분하다. 본 기술분야의 당업자라면 밀도진화(DE)가 반복 시스템의 설계 및 분석에 있어 근본적인 역할을 담당한다는 것을 알 것이다. 특히, DE는 코드 앙상블의 점근적 동작성을 정확하게 예측할 수 있기 때문에, DE는 용량 접근 LDPC 코드(capacity approaching LDPC codes)를 설계하기 위한 실용적인 툴로서의 역할을 수행한다. 기본적으로, DE는 2개의 상이한 컨볼루션(convolution)의 실행을 요구하며, 그 하나는 VND 측에 대한 것이고 다른 하나는 CND측에 대한 것이다.

[0035] 도 1a와 1b는 본 발명 원리의 일실시예에 따른 LDPC 코딩된 비트 인터리버 변조 시스템의 시스템 모델에 관한 고-레벨 블록도이다. 도시된 바와 같이, 비트 인터리버(10)는 입력 LDPC 코드(12)(즉, 인코더)와 변조기(14) 사이에 삽입된다. 이러한 디자인에 있어, 디코딩 임계와 오류마루(error floor)는 더욱 쉽게 식별 및 결정된다.

도 1b에 도시된 바와 같이, 비트 인터리버는 패리티 비트의 블록 인터리빙(16)과, 인터리빙된 비트의 계층적 할당(18)을 포함할 수 있다. 도 1c는 패리티 비트의 블록 인터리빙(16)의 일 예를 나타내며, 도 1d는 부분적 인터리빙된 코딩된 비트의 계층적 할당의 일 예를 나타낸다.

[0036] 도 1e는 본 발명의 일 실시예에 따른 LDPC 코딩된 비트-인터리버 변조 시스템(20)의 통신 시스템 모델을 나타낸다. 송신기 측은 BCH 및 LDPC 인코더(12), 비트 인터리버(10) 및 변조기(14)(컨스텔레이션 맵퍼)를 포함한다. 추가적으로, 본 기술분야의 당업자라면, 프로세서(8a)와 메모리(9a)가 여기 개시된 프로세서와 방법을 관리하는데에 사용될 수 있다는 것을 알 것이다. 수신기측은 복조기(24), 비트 디-인터리버(30), LDPC 및 BCH 디코더(26), 및 프로세서(8b)와 메모리(9b)를 포함한다. 이러한 이진 LDPC-코딩된 시스템에서는, 코딩된 모든 비트는 세트{0,1} 상에서 균일한 분포를 갖는다. C와 Y는 채널 인코더의 출력과 AWGN 채널의 출력을 각각 나타낸다.

[0037] 도 1f에 도시된 실시예에서, 독립적인 동일하게 분포된(independent identically distributed, I.I.D.) 비트 생성기(32)가 일반적인 BICM(bit interleaved coded modulation) 시스템 모델 상에 부과된다. 그 결과, 입력 C(코딩된 비트)와 출력 Z(복조기 출력의 비트별 LLR(bitwise LLR)) 사이의 강화된 채널은 이하 식의 대칭 조건을 만족한다.

[0038]
$$P(Z = z|C = 0) = P(Z = -z|C = 1) \quad (2)$$

[0039] 특정 라벨링(labeling) 전략에 의해 발생하는 비균일 유클리드 거리 스펙트럼에 기인하여, 비트 오류 보호(bitwise error protection)는 라벨링 스트링의 비트 인덱스에 의존한다.

[0040] 이러한 관점에서, 2^Q 진(2^Q -ary) QAM 컨스텔레이션 맵퍼(변조기)(14), AWGN 채널(22) 및 복조기(24)를 포함하는 합성 채널(composite channel)이 Q 이진-입력 AWGN(BIAWGN) 서브-채널로 분해된다. 서브-채널 q의 입력이 개별 세트{0,1}에 걸쳐 균일한 분포를 갖는다고 가정하면, 그것의 용량은 입력 $C_{1,q}$ 와 복조기(24)의 출력단에서의 로그 우도 비율(LLR, Log Likelihood Ratio) $Z_{1,q}$ 간의 상호 정보(mutual information)와 같다. 구체적으로 살펴보기 위해, BRGC 라벨링된 균일 1024-QAM 컨스텔레이션을 참조한다. 실제로, I와 Q 가지(branch)에 대한 라벨링 스킴이 동일하면 $(\log_2 1024)/2 = 5$ 개의 개별적인 서브채널이 비트 레벨 상에 존재하며, 상기 가지는 평균 LLR(mean LLR)의 하강 크기에 따라 I에서 V로 인덱스된다. 도 2a와 2b는 심볼 SNR의 함수로서 비트별 평균 LLR(bitwise mean LLR)(2a)와 비트별 용량(bitwise capacity)(2b)의 그래프 표현을 각각 나타내며, 비트별 채널(bitwise channel)은 대칭 BIAWGN의 카테고리에 속하고 조건적 확률 $P(Z_{1,q} | C_{1,q})$, $q = 1, 2, \dots, 5$ 의 함수이다. 상기 그래프 표현으로부터, 특정 비트별 채널의 신뢰도는 비트별 평균 LLR(bitwise mean LLR)과 비트별 용량에 비례한다는 것을 알 수 있다. 또한, 이러한 2개의 메트릭에 의해 반영되는 신뢰도의 배치는 서로 일치한다.

[0041] 도 1g는 본 발명의 시뮬레이션 단계의 블록/흐름도를 나타낸다. 입력과 출력이 비교되고(34) 비트 오류율(BER)이 연산된다.

[0042] 서로게이트 채널을 이용한 비트 인터리버 설계

[0043] 서로게이트 BEC 채널

[0044] 상술한 바와 같이, 본 기술분야의 당업자는 주어진 LDPC 코드 양상블의 디코딩 임계는 채널 타입보다는 유효 채널의 입력과 출력 간의 상호 정보에 주로 의존한다. 이 때문에, Q 이진 소거채널(BEC)에 의해 상기에서 형성된 Q 비균일 채널을 소거 확률 $\{\epsilon_q^0\}_{q=1}^Q$ 로 대체할 수 있고, 이 대체는 다음 식의 등가성에 기초한다.

[0045]
$$I(Z_{1,q}; C_{1,q}) = 1 - \epsilon_q^0, q = 1, 2, \dots, Q, \quad (3)$$

[0046] 여기서, 상기 등식의 좌변의 용어는 균일 입력(uniform input)을 갖는 (BIAWGN) 서브채널 q의 비트별 용량을 나타내고, 등식의 우변은 BEC 서브채널 q의 정확한 용량을 나타낸다.

[0047] 도 3a는 이진 입력 C와 연속 출력 Z를 갖는 AWGN 채널을 나타낸다. 도 3b는 소거 확률 $1-I(Z;C)$ 를 갖는 도 3a에 도시된 AWGN 채널에 대한 BEC 서로게이트 채널을 나타낸다. 등식(3)으로부터, 이진 AWGN 채널과 이진 BEC 서로게이트 채널은 상기 두 채널의 입력과 출력 간에 동일한 상호 정보를 갖는다. 서로게이트 BEC의 사용에 기초하여, 디코딩 궤적(decoding trajectory)을 추적하는 작업이 각 채널 상의 소거 확률의 진화를 관찰(observe)하는

것으로 감소되기 때문에, 디코딩 동작에 대한 탐색은 매우 간단해진다. 그 결과, 통상적인 밀도진화 알고리즘의 "무한차원 대수(infinite dimensional algebra)"에 의해 발생하는 금지적 복잡성은 회피된다. 추가적으로, 등식 (3)에서의 BEC 대체는 후속 분석에서 가우스 근사에 의지할 필요가 없게 하는데, 이는 진정 디코딩 궤적으로부터의 이탈에 대한 주된 원인이 된다.

[0048] 실제로, 본 기술분야의 당업자라면, 등식 (3)의 대체가 컨스텔레이션 맵퍼(예를 들어, 변조기), AWGN 채널 및 복조기를 포함하는 합성채널에 한정되지 않는다는 것을 이해할 수 있을 것인데, 이는 상기 합성채널이 비균일 오류 정정 능력(non-uniform error correction capabilities)을 갖는 임의의 무메모리 병렬 채널 세트에 일반화될 수 있기 때문이다. 실시예로서, OFDM 시스템 내 주파수-선택 서브채널(frequency-selective subchannels) 및 오류 저항에 대한 비균등 요건(unequal requirements)을 갖는 VHM(volume holographic memory)이 포함된다.

[0049] LDPC 코딩된 변조를 위한 비트 인터리버

[0050] 표 1은 코딩율의 범위가 1/4 내지 9/10인, DVB-S2에 표준화되어 있는 11 LDPC 코드에 대한 VND 및 CND 차수분포(degree distribution)의 예를 나타낸다. 단 하나의 차수-1 VND가 존재하기 때문에, 차수 프로파일(degree profile)에 대한 기재를 단순화하기 위해, VND 차수 타입은 3으로 감소될 수 있다. 또한, 차수가 그 상대방과 상이한 단일 CND가 존재하기 때문에, CND 규칙성을 추정할 수 있다. 이러한 작은 교란(perturbation)은 대응하는 코드 양상불의 동작에 무시할 수 있는 효과를 미친다고 알려져 있다. 하지만, 이러한 단순화는 본 발명의 비트 인터리버의 설계 복잡도를 크게 감소시킨다.

표 1

Rate	VND Degree Category	# of VND in Each Category	CND Degree Category	# of CND in Each Category
1/4	(12, 3, 2, 1)	(5400, 10800, 48599, 1)	(3, 4)	(1, 48599)
1/3	(12, 3, 2, 1)	(7200, 14400, 43199, 1)	(4, 5)	(1, 43199)
2/5	(12, 3, 2, 1)	(8640, 17280, 38879, 1)	(5, 6)	(1, 38879)
1/2	(8, 3, 2, 1)	(12960, 19440, 32399, 1)	(6, 7)	(1, 32399)
3/5	(12, 3, 2, 1)	(12960, 25920, 25919, 1)	(10, 11)	(1, 25919)
2/3	(13, 3, 2, 1)	(4320, 38880, 21599, 1)	(9, 10)	(1, 21599)
3/4	(12, 3, 2, 1)	(5400, 43200, 16199, 1)	(13, 14)	(1, 16199)
4/5	(11, 3, 2, 1)	(6480, 45360, 12959, 1)	(17, 18)	(1, 12959)
5/6	(13, 3, 2, 1)	(5400, 48600, 10799, 1)	(21, 22)	(1, 10799)
8/9	(4, 3, 2, 1)	(7200, 50400, 7199, 1)	(26, 27)	(1, 7199)
9/10	(4, 3, 2, 1)	(6480, 51840, 6479, 1)	(29, 30)	(1, 6479)

[0051]

[0052] 본 발명의 일 실시예에 따르면, 2진 LDPC 코드의 에지-퍼스펙티브(edge-perspective) 가변 노드(VND) 및 체크노드(CND) 차수분포는 각각 다음과 같이 주어지는 것으로 가정한다.

$$\lambda(x) = \sum_{i=1}^{d_v} \lambda_i x^{i-1}, \quad (4)$$

[0053]

$$\rho(x) = \sum_{j=1}^{d_c} \rho_j x^{j-1}, \quad (5)$$

[0054]

[0055] $\{\lambda_i\}$ 와 $\{\rho_j\}$ 는 차수-i VND와 차수-j CND에 연결된 에지의 비율을 나타낸다.

[0056] 본 발명의 비트 인터리버의 기본적인 기능은 L 코딩된 비트를 크기 L/Q의 Q 서브세트로 배타적으로 분할하고 그것들을 q번째(q=1, 2, ..., Q) BEC 채널에 할당하는 것이다. 편의를 위해, 길이-L 코드는 여기서 "모코드(mother code)"라 칭하고 Q 서브세트의 각각은 "서브코드"라 칭한다. 서브코드 q의 코딩된 모든 비트는 q로 색인된 서로 게이트 BEC 에 할당될 것이다. Q 서브코드가 동일한 CND 패리티 제약(parity constraint)을 공유하기 때문에, 그것들은 비트 인터리버의 커플링을 통하여 서로 상호작용할 것이다.

[0057] LDPC 코드의 노드/에지 퍼스펙티브 차수분포가 주어지면, 평균 소거확률은 서브채널 소거확률의 컨벡스 조합(convex combination)이 되고, 가중치는 비트 인터리버의 프로파일에 의해 결정된다. 그러므로, 비트 인터리버

설계의 목표는 (모코드의 VND 및 CND 차수분포 상의 제약을 받는) 차수 프로파일의 제약 최적화(constrained optimization)로 요약되며, 디코딩 임계 SNR(메시지 전달 알고리즘을 이용하는 것으로 가정)은 최소화된다.

Q서브세트들의 카디널리티(cardinality)가 동일함에도 불구하고, 서브세트들의 VND 차수분포는 상이한 형태를 갖는다. q번째 BEC 서브채널에 부수적인 에지의 수가 E_q 로 주어지고 모코드의 총 에지 수가 E가 된다고 가정하면, q번째 서브코드에 할당되는 에지의 비율은 다음과 같이 주어진다.

$$w_q = \frac{E_q}{E}. \quad (6)$$

등식 (4)에 따라, q번째 서브코드의 에지-퍼스펙티브(edge-perspective) VND 차수분포는

$$\lambda_q(x) = \sum_{i=1}^{d_v} \lambda_{q,i} x^{i-1}, \quad (7)$$

이 된다. 이 때, $\lambda_{q,i}$ 는 차수 i의 VND에 부수적이며 BEC 채널 q에 할당되는 에지들의 비율을 나타내며, $\lambda_i = \sum_{q=1}^Q w_q \lambda_{q,i}$ 이고 $\sum_{i=1}^{d_v} \lambda_{q,i} = 1$, for $q=1,2,\dots,Q$ 이다. 그러면,

$$\lambda(x) = \sum_{q=1}^Q w_q \lambda_q(x) \quad (8)$$

이다.

LDPC 코드 양상블의 차수 프로파일에 대한 정의를 따라, 비트 인터리버 양상블(Λ)의 구성은 Q 에지-퍼스펙티브 차수 시퀀스(Q edge-perspective degree sequences) $\Lambda \triangleq \{\lambda_{q,i}; 1 \leq q \leq Q, 1 \leq i \leq d_v\}$ 에 의해 특히하게 결정될 수 있다. 병렬 BEC 채널에 걸친 디코딩 프로세스가 에르고드적(ergodic)이라고 가정하면, 밀도진화(DE)는 평균 소거확률에 대한 1차원 재귀로 감소된다. 즉,

$$\varepsilon_q^l = \varepsilon_q^0 \lambda_q(\alpha^l), \quad (9a)$$

$$\alpha^l = 1 - \rho(1 - \beta^{l-1}) \quad (9b)$$

$$\beta^{l-1} = \sum_{q=1}^Q w_q \varepsilon_q^{l-1}, \quad (9c)$$

이 때, 위첨자 l과 아래첨자 q는 반복 인덱스와 BEC 서브채널 수를 각각 나타내고, ε 는 단일 BEC 서브채널의 출력단에서의 소거확률을 나타내고, α 와 β 는 CND와 VND의 출력단에서의 평균화된 소거확률을 각각 나타낸다. 마지막으로, 등식 (6)에 의해 정의된 서브채널 q의 에지비율(edge proportion)은 Λ 의 함수로서 다시 쓸 수 있다.

$$w_q = \frac{1}{\sum_{i=1}^{d_v} (\lambda_{q,i}/i)} \cdot \frac{1}{\sum_{q=1}^Q \left(\frac{1}{\sum_{i=1}^{d_v} \lambda_{q,i}/i} \right)}, \quad q=1,2,\dots,Q. \quad (10)$$

등식 (9a)-(9c)를 등식 (10)과 조합함으로써, 디코딩 궤적(trajecory)이 Λ , 비트 인터리버 양상블의 차수 프로파일에 의해 결정된다는 것을 알 수 있다. ε_k^{l-1} 에 대한 ε_q^l 의 편도함수를 취하면,

$$\frac{\partial \varepsilon_q^l}{\partial \varepsilon_k^{l-1}} = \varepsilon_q^0 w_k \frac{\partial \lambda_q(u)}{\partial u} \frac{\partial \rho(r)}{\partial r}, \quad (11)$$

이 얻어지며, $u = 1 - \rho(r)$, $r = 1 - \sum_{k=1}^Q w_k \varepsilon_k^{l-1}$ 이다. SNR이 디코딩 임계값에 가까우면,

$$\lim_{\varepsilon_k^{l-1} \rightarrow 0} r = 1, \quad (12a)$$

$$\lim_{\varepsilon_k^{l-1} \rightarrow 0} u = 0, \quad (12b)$$

$$\lim_{u \rightarrow 0} \lambda_q'(u) = \lambda_{q,2}, \quad (12c)$$

$$\lim_{r \rightarrow 1} \rho'(r) = \sum_{j=2}^{d_c} (j-1) \rho_j. \quad (12d)$$

이다.

테일러 시리즈를 적용하면, 등식 (11)은 $\varepsilon_k^{l-1} \approx 0$ 부근으로 확장될 수 있다. 등식 (12c)와 (12d)에서 1차항을 유지하고 극한값을 고려하면,

$$\varepsilon_q^l = \varepsilon_q^0 \rho'(1) \lambda_{q,2} \sum_{k=1}^Q w_k \varepsilon_k^{l-1}, \quad l > 0, 1 \leq q \leq Q. \quad (13)$$

이 얻어진다.

$\{\varepsilon_q^l, 1 \leq q \leq Q\}$ 를 컬럼벡터 $\Theta^l = [\varepsilon_1^l \ \varepsilon_2^l \ \dots \ \varepsilon_Q^l]^T$ 로 취하면(여기서 T는 전치행렬(transpose)을 나타냄), 행렬 Ψ 를 얻을 수 있으며 이 때 (q,k) 성분은 다음과 같이 정의된다.

$$\eta_{q,k} = \varepsilon_q^0 \rho'(1) \lambda_{q,2} w_k, \quad 1 \leq q, k \leq Q. \quad (14)$$

디코딩 임계값 SNR 부근에서의 메시지-전달 디코더의 동적 동작은 1차 선형 차분방정식(difference equation):

$$\Theta^l = \Psi \Theta^{l-1}. \quad (15)$$

에 의해 근사화될 수 있다.

일반화의 손실없이, Ψ 는 대각선화(diagonalized)될 수 있고 그 고유치의 크기는 $|\tau_1| \geq |\tau_2| \geq \dots \geq |\tau_Q|$ 와 같이 내림 차순으로 정렬되는 것으로 가정한다. 반복 디코딩의 수렴에 대한 필요 조건은

$$|\tau_1| < 1 \quad (16)$$

이다.

요약하면, 주어진 LDPC 코드가 Q 비균일 채널을 통해 전송되고 메시지-전달 알고리즘에 의해 디코딩되는 경우, 그 동작특성은 인코더와 채널 사이에 삽입되는 비트 인터리버의 차수 프로파일 Λ 에 따를 것이다. 특히, 디코딩 임계값 SNR γ 가 Λ 의 함수이고 그 종속성이 명시적으로 $\gamma(\Lambda)$ 으로 표현될 수 있다. 등식 (4), (7), (10) 및 (16)의 한정을 조합하면, 코드-종속 비트 인터리버의 구성은 이하의 제약 (10) 최적화 문제에 대한 해답으로서 수식화될 수 있다:

$$\min_{\Lambda} \gamma(\Lambda) \quad (17a)$$

$$\text{subject to} \quad |\tau_1| < 1; \quad (17b)$$

$$\sum_{q=1}^Q w_q \lambda_{q,i} = \lambda_i, \quad 1 \leq i \leq d_v; \quad (17c)$$

$$\sum_{i=1}^{d_v} \lambda_{q,i} = 1, \quad 1 \leq q \leq Q; \quad (17d)$$

$$w_q = \frac{\frac{1}{\sum_i (\lambda_{q,i}/i)}}{\sum_{q=1}^Q \left(\frac{1}{\sum_i (\lambda_{q,i}/i)} \right)}, \quad 1 \leq q \leq Q; \quad (17e)$$

$$\lambda_{q,i} \geq 0, \quad 1 \leq q \leq Q, 1 \leq i \leq d_v \quad (17f)$$

[0089]

[0090] 여기서, $\{\lambda_i\}_{i=1}^{d_v}$ 는 선형적으로 모코드(mother code)의 에지-퍼스펙티브 VND 차수분포로서 알려져 있다.

[0091]

도 4는 본 발명의 일 실시예에 따라 비트 인터리버를 LDPC 코드와 AWGN 채널조건 하에서의 변조에 적용하기 위한 방법(40)에 관한 고레벨 흐름도를 나타낸다. 상술한 바와 같이, 변조기, 복조기 및 초기 SNR을 갖는 AWGN 채널을 포함하는 복합채널에 대하여, 및 Λ 에 의해 결정된 주어진 비트 인터리버 구성에 대하여, 균등 Q 병렬 BIAWGN 채널의 용량이 초기적으로 계산된다(42). 일단 계산되면, Q BIAWGN 채널은 초기 소거확률을 얻기 위하여 상기 계산된 용량의 균등성(등가성)에 기초하여 Q 서로게이트 2진 소거채널(BEC)에 의해 모델링된다(근사화)(44)(등식 3 참조). 이어서, 소거확률이 영(0)에 수렴하는지 여부에 관한 반복적인 밀도진화 결정이 행해진다: (I) 만약 그렇다면, SNR은 주어진 단계-크기(step-size)만큼 감소된다. 상기 주어진 단계 크기가 예를 들어 소망하는 해상도에 기초할 수 있고 예시적인 목적으로는 0.1db가 될 수 있다는 것을 본 기술분야의 당업자라면 할 수 있을 것이다.

[0092]

이어서, 초기 소거 확률이 결정되고(48), 소거 확률의 0으로의 수렴을 결정하는 데에 밀도진화(density evolution)가 사용된다(46b). 만약 46b에서 그렇다면(예), SNR이 다시 감소되고(47) 프로세스가 반복된다. 만약 46b에서 그렇지 않다면(아니오) 이전의 SNR은 주어진 비트 인터리버 구성 Λ 에 대하여 임계 SNR로서 식별되어(50) 저장된다(58). (II) 만약 단계(46a)에서 소거확률이 영으로 수렴하지 않으면, SNR은 주어진 단계-크기만큼 증가하고, 상기에서 언급한 동일한 프로세스가 반복되는데, 증가된 SNR에 대한 소거확률이 결정되고(54) 밀도진화는 소거가 영으로 수렴하는지 여부를 결정하는 데에 사용된다(46c). 46c에서 소거확률이 0으로는 수렴하는 경우, SNR은 주어진 비트 인터리버 구성 Λ 에 대하여 디코딩 임계 SNR로서 식별되고(56) 또한 저장된다(58). 단계(46c)에서 소거확률이 0으로 수렴하지 않는 경우, SNR은 다시 증가되고(52) 상기 프로세스는 상술한 바와 같이 계속된다. 본 기술분야의 당업자라면, 본 발명의 사상에 따르면 주어진 비트 인터리버 구성에 대하여 임계 SNR을 결정하는 다수의 방법이 있다는 것을 알 것이다. 일단 주어진 또는 초기의 비트 인터리버 구성 Λ 에 대하여 내부 루프가 수행되면, 비트 인터리버 구성 Λ 는 변경되고(60) 프로세스는 다시 진행된다. 상기 프로세스 내의 일부 지점에서, 예를 들어 시간 제약 및/또는 정확도 요건에 따라, 비트 인터리버 구성이 선택되고 비트 인터리버는 그 선택에 따라 구성된다(62).

[0093]

최소 임계 SNR을 얻거나 취하기 위해서는 비트 인터리버의 구성 Λ 을 변경해야한다는 것을 본 기술분야의 당업자라면 또한 알 것이다. 이를 행함에 있어, 가장 낮은 디코딩 임계 SNR이 생기게 하는 올바른 Λ 를 발견하는 것은 어려울 수 있고 테스트되고 있는 많은 샘플이 될 수 있다. 이와 같이, 정지 지점(62)이 주관적이고 사용자/설계자에 의해 설정되는 다른 변형예가 있을 수 있다. 이것은, 테스트를 정지하고 상기 지점에서 획득된 최선의 또는 가장 낮은 디코딩 임계 SNR을 취하는, 브루트 포스 방법(brute force method)라고 칭할 수 있다. 예를 들어, 브루트 포스방법의 한 예는 단순히 디코딩 임계 SNR의 테스트에 대한 타이밍 제약일 수 있다.

[0094]

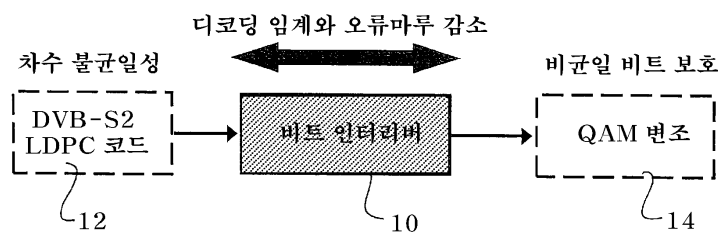
최소 또는 가장 낮은 임계 SNR이 결정 또는 선택되면(62), 비트 인터리버는 대응하는 비트 인터리버 구성 Λ 에

따라 구성된다. 일단 구성되면, 코드는 비트 인터리빙된다.

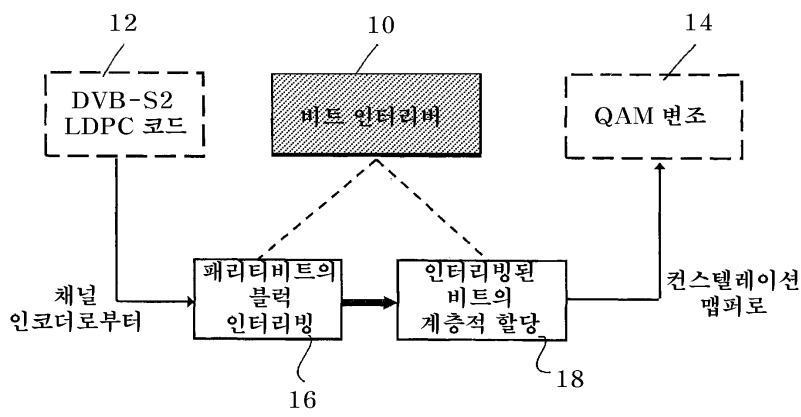
- [0095] 비트 인터리버에 대해 제안된 설계방법론의 효과를 테스트하기 위하여, DVB-S2/T2 표준에 규정된 짧은 블록길이(L=16200) LDPC 코드를 비트 인터리버의 모코드로서 사용하고, BRGC 라벨링된 구형 1024-QAM 및 4096-QAM 컨스텔레이션을 고려하는데, 상기 컨스텔레이션은 케이블 채널의 차세대에서 배치되도록 제안된다.
- [0096] 본 발명에 의해 제안된 분석적인 연구와는 대조적으로, "CND 충돌(CND collision)"의 회피에 기초하는 애드혹(ad hoc) 비트인터리빙 방법은 DVB-T2에서 사용되었고 DVB-C2에 대해 또한 제안되는데, 여기서 "CND 충돌"이라는 용어는 동일한 심볼에 맵핑되어 동일한 패리티 등식에 의해 체크되는 2 비트 이상의 비트가 존재하는 현상을 일컫는다. 일반적으로, CND 충돌의 절대적인 회피는 힘들며, 실행가능한 구현에 대한 브루트-포스 서치는 조합적 프로그래밍 문제(combinatorial programming problem)를 포함하는데, 이 문제는 연산적으로 집중적이다. 그럼에도 불구하고, DVB-S2 코드의 준순환 구조(quasi-cyclic structure)에서의 정규성을 이용함으로써, 연구원들은 코드율(code rates) 서브세트에 대한 CND 충돌의 발생을 회피할 수 있는 비트 인터리빙 전략을 생각해냈다.
- [0097] 하지만, CND 충돌의 발생은 반드시 나쁘지만은 않은데, 특히 고차수(high-derece) VND가 공통 CND를 통하여 저차수 VND에 연결될 때 그러하다. 이것은 고차수 VND는 흔히 더 높은 신뢰도의 LLR 메시지를 운반하기 때문인데, 이것은 저차수 VND가 고속 디코딩 수렴(convergence)을 달성할 수 있도록 도울 수 있다. 따라서, 본 설계 및 시뮬레이션에서는, CND 충돌의 발생을 무시하고, 비트의 자연 차수에 있어 Δ 에 의해 규정된 최적화된 차수 프로파일에 따라 상기 코딩된 비트들을 컨스텔레이션 맵퍼에 단순히 할당한다.
- [0098] 이러한 선택에 걸쳐, 우리는 Monte-Carlo 시뮬레이션 결과를 고려하고 공통 벤치마크로서 "무-인터리빙(no-interleaving)"(연속적인 비트 그룹핑 및 컨스텔레이션 맵퍼로 맵핑)을 이용한다. 인터리빙/무-인터리빙의 각 타입에 대하여, 시뮬레이션 시험은 50 프레임 오류가 검출되면 종료된다. 정보 비트에 대한 디코딩된 BER의 비교가 두 코드율(11/15 및 7/9) 및 두 변조 포맷(4096- 및 1024-QAM)에 대하여 도 5 내지 도 8에 주어진다. 이 곡선들로부터, 서로게이트 BEC 채널을 이용하여 설계된 비트 인터리버가 CND-충돌의 회피를 추구하는 인터리버를 통해 상당한 전력 저감(0.4-0.7dB의 이득(gain))을 달성할 수 있다는 것을 확인할 수 있다. 게다가, 양측 모두는 비트 인터리빙없는 시나리오를 능가하는데, 이는 비정규적인 LDPC 코드가 비균일 채널을 통해 전송될 때 스펙트럼 효율과 전력 효율을 향상시키기 위해 전용 비트 인터리버가 필요하다는 것을 나타낸다.
- [0099] 본 발명 원리의 상기 및 다른 특징 및 이점들은 상기 기재내용에 기초하여 본 기술분야의 당업자라면 쉽게 확인될 수 있다. 본 발명 원리는 다양한 형태의 하드웨어, 소프트웨어, 펌웨어, 특수 목적 프로세서 또는 그들의 조합의 형태로 실행될 수 있다.
- [0100] 매우 바람직하게는, 본 발명의 상기 기재내용은 하드웨어 및 소프트웨어의 조합으로서 실행된다. 나아가, 소프트웨어는 프로그램 저장유닛 상에 실제로 구현되는 애플리케이션 프로그램으로서 실행될 수 있다. 그 애플리케이션 프로그램은 어떤 적당한 아키텍처를 포함하는 장치에 업로드되고 그 장치에 의해 실행될 수 있다. 바람직하게는, 그 장치는 하나 이상의 중앙처리유닛("CPU"), 램덤 액세스 메모리("RAM") 및 입력/출력("I/O") 인터페이스와 같은 하드웨어를 갖는 컴퓨터 플랫폼 상에서 실행된다. 상기 컴퓨터 플랫폼은 또한 운영시스템(operating system) 및 마이크로명령 코드를 포함할 수 있다. 여기에 기재된 다양한 프로세스 및 기능은 마이크로명령 코드의 일부, 응용 프로그램의 일부 또는 그들의 조합일 수 있으며, 그것은 CPU에 의해 실행될 수 있다. 또한, 부가적 데이터 저장유닛 및 프린팅 유닛과 같은 다양한 다른 주변 장치가 컴퓨터 플랫폼에 연결될 수 있다.
- [0101] 첨부된 도면에 도시된 구성적 시스템 요소 및 방법의 몇몇은 바람직하게는 소프트웨어에서 실행되기 때문에, 시스템 요소 간 또는 프로세스 기능블럭 간의 실제 연결은 본 발명이 프로그램되는 방식에 따라 달라질 수 있다. 여기에 기재된 내용이 일단 제공되면, 관련분야의 통상의 지식을 가진 자라면 본 발명의 상기 및 이와 유사한 실행에 또는 구성을 생각해 낼 수 있을 것이다.
- [0102] 첨부된 도면을 참조하여 예시적인 실시예가 여기에 기재되었지만, 본 발명은 그러한 구체적인 실시예에 한정되지 않으며, 본 발명의 범위 또는 사상을 벗어나지 않는 한 관련 기술분야의 통상의 지식을 가진 자에 의하여 다양한 변경 및 수정이 거기에 행해질 수 있다는 점을 이해해야 한다. 그러한 모든 변경 및 수정은 첨부된 청구범위에 기재된 바와 같은 본 발명의 범위에 포함되도록 의도된다.

도면

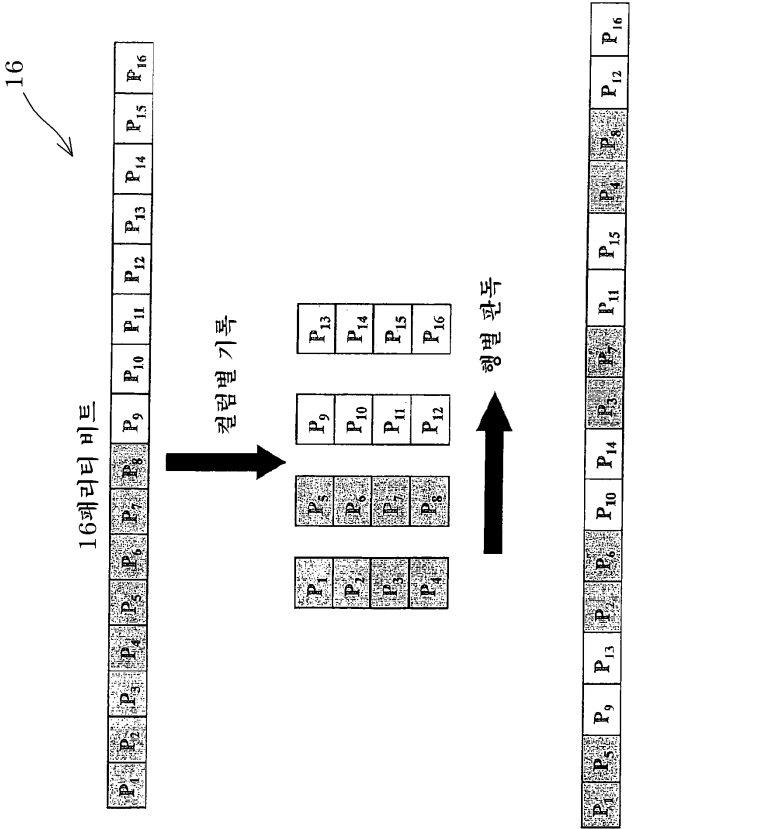
도면1a



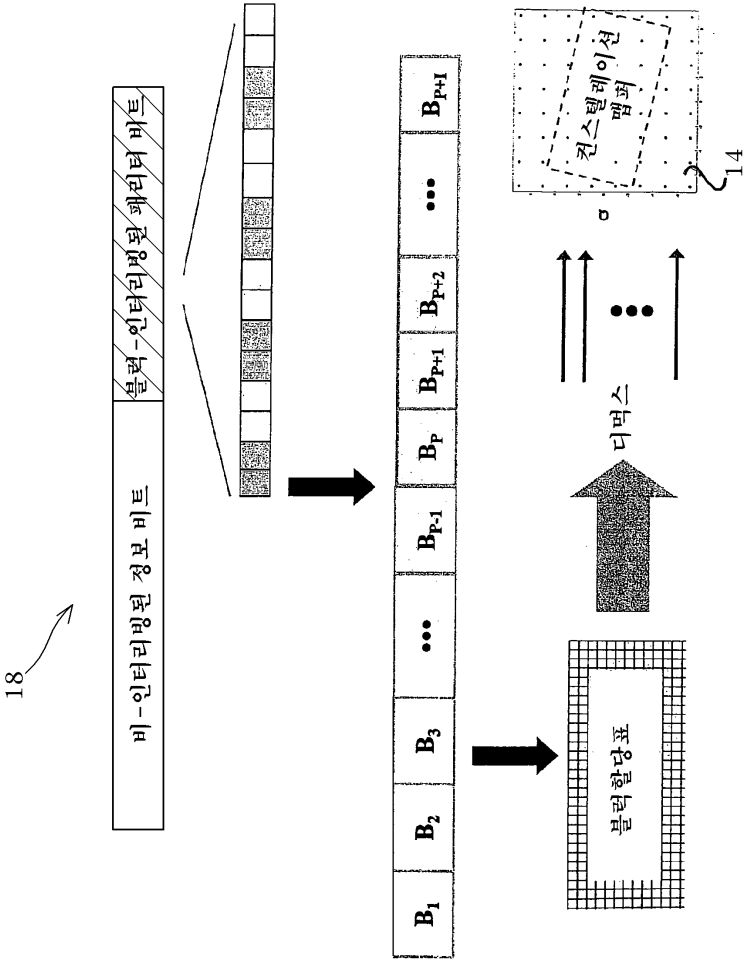
도면1b



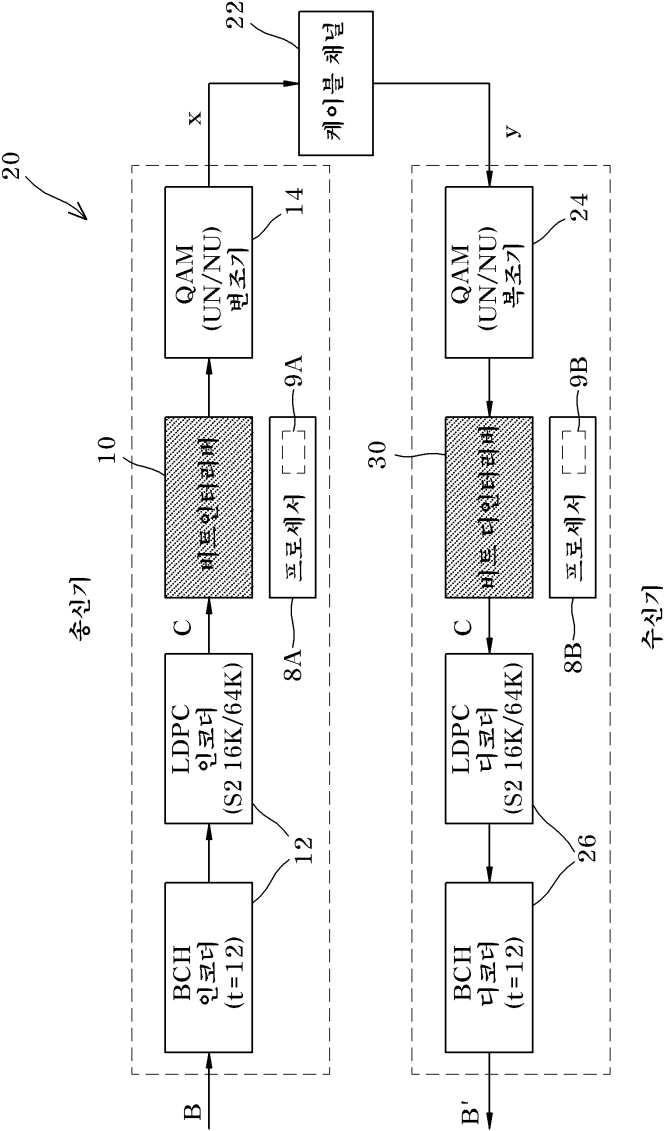
도면1c



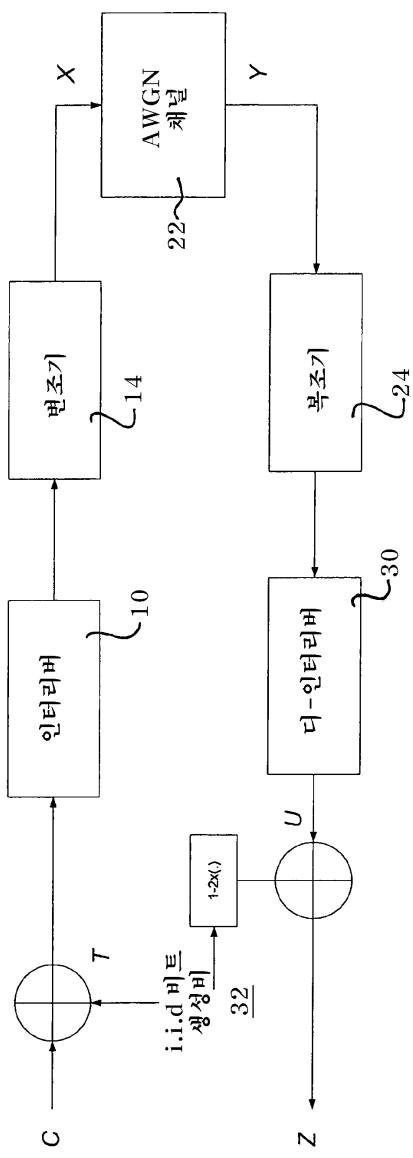
도면1d



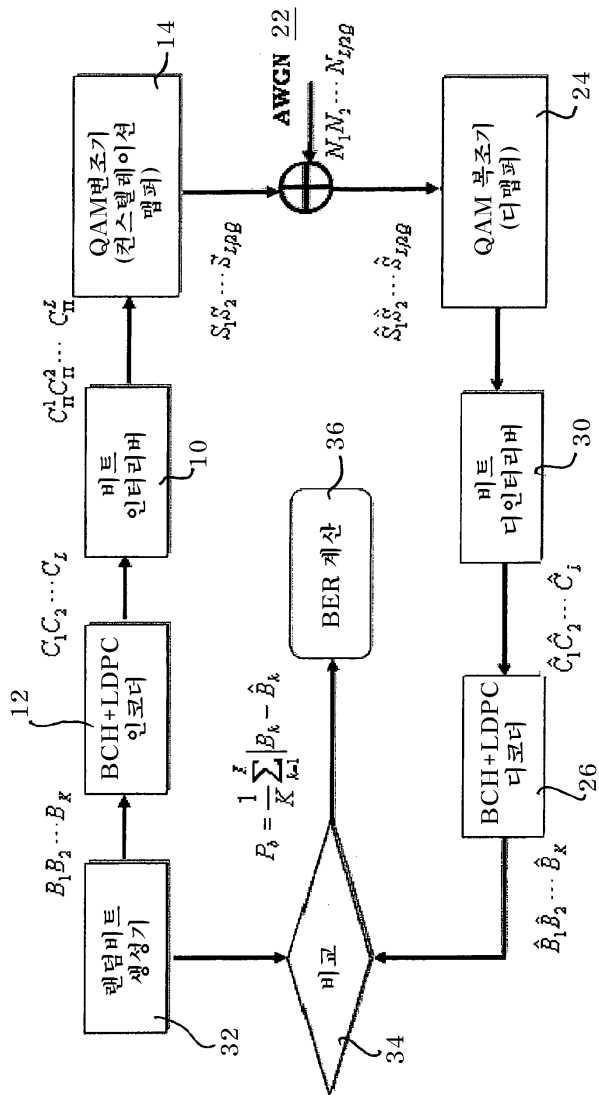
도면1e



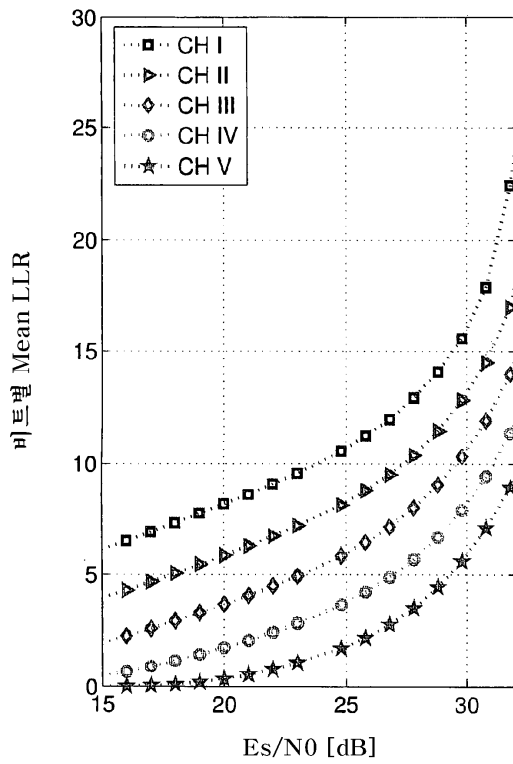
도면1f



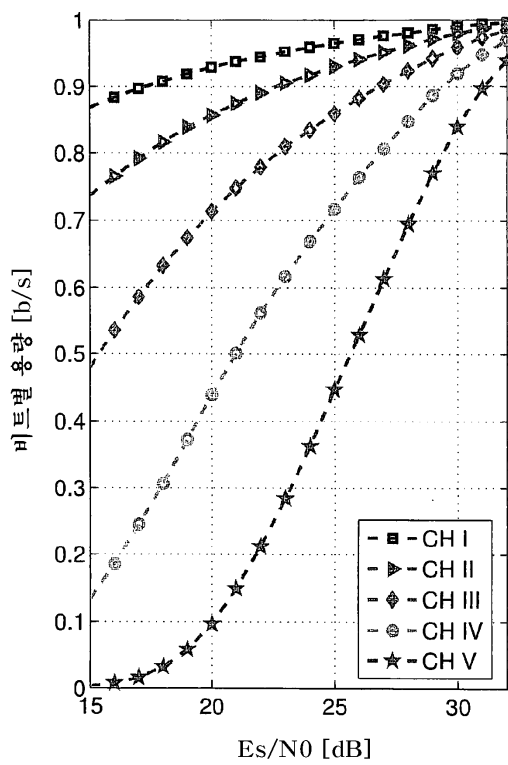
도면1g



도면2a



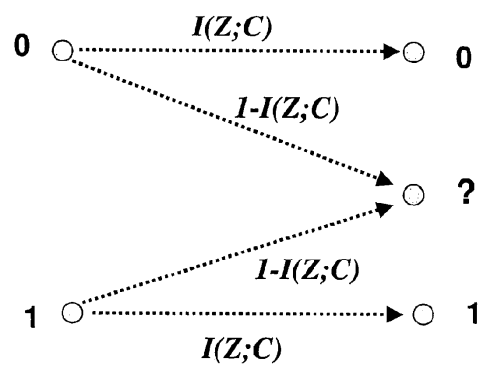
도면2b



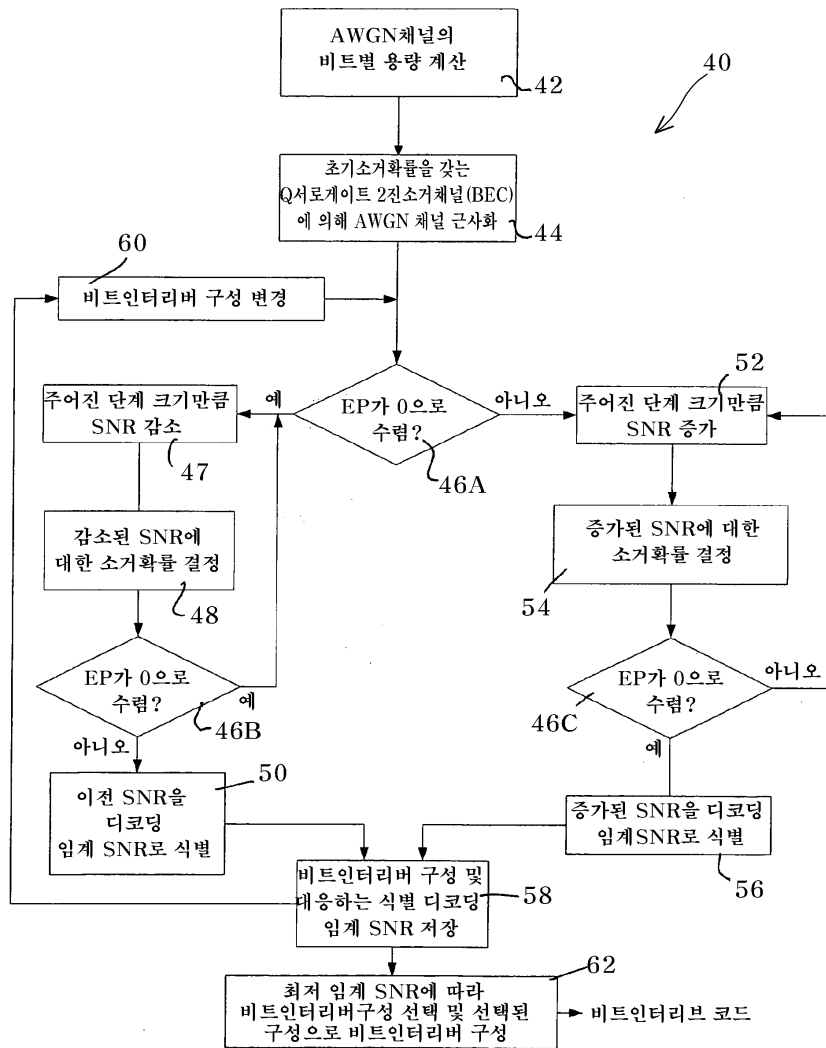
도면3a



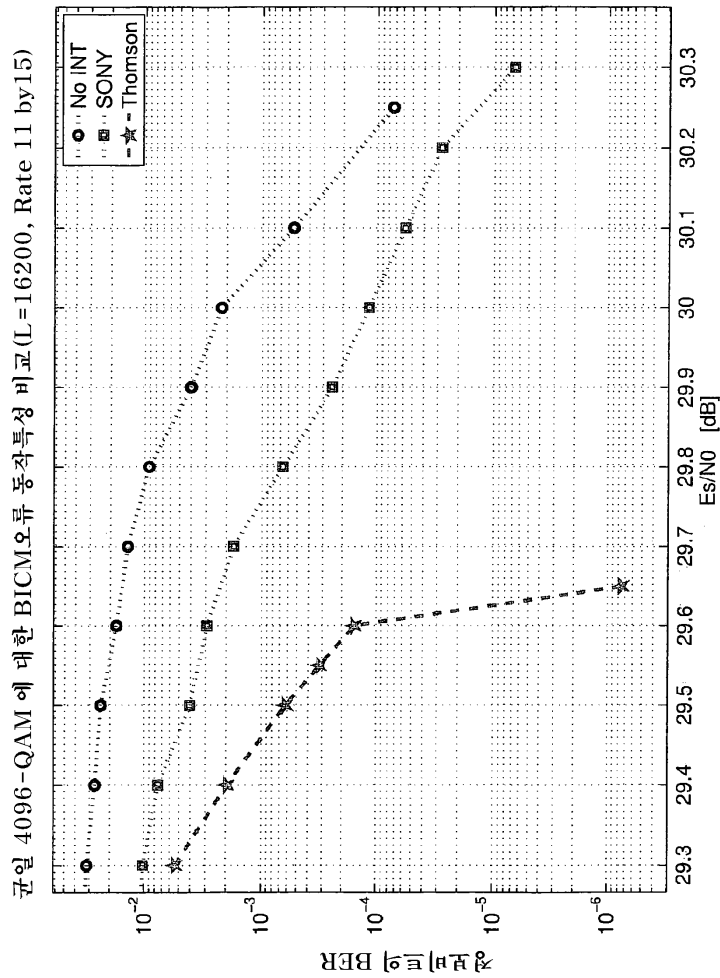
도면3b



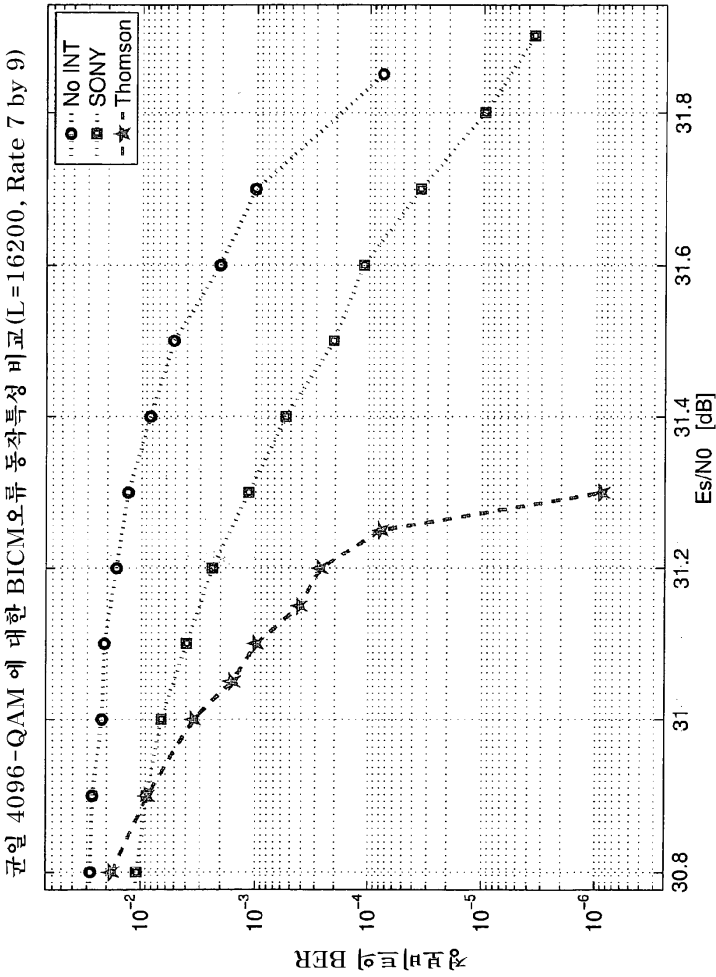
도면4



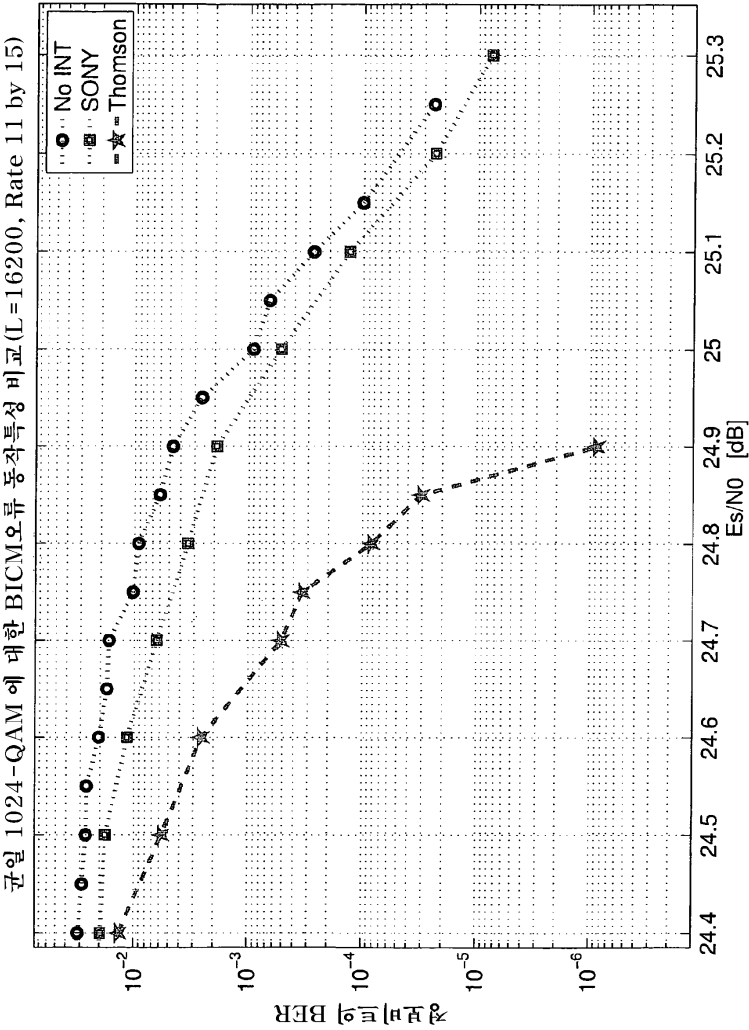
도면5



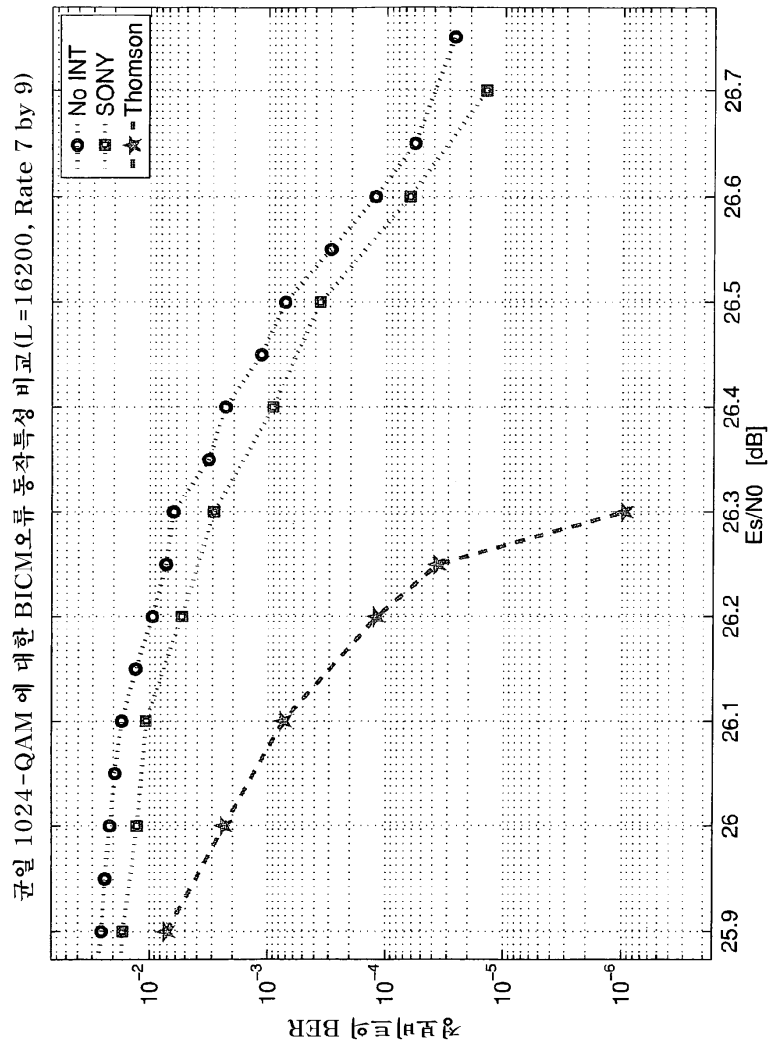
도면6



도면7



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

상기 비균일 병렬 Q AWGN 채널

【변경후】

상기 Q 비균일 병렬 AWGN 채널