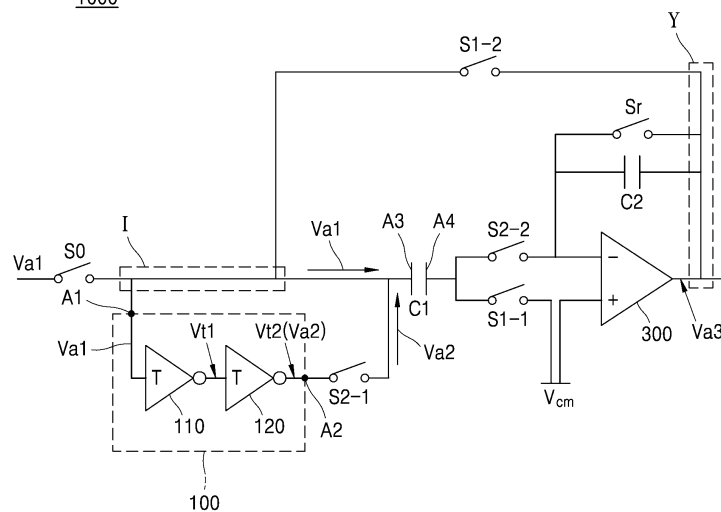


- (73) 특허권자
울산과학기술원
 울산광역시 울주군 언양읍 유니스트길 50
- (72) 발명자
김성진
 울산광역시 울주군 언양읍 유니스트길 50
한수현
 울산광역시 울주군 언양읍 유니스트길 50
- (74) 대리인
리앤목특허법인

심사관 : 조춘근

본 발명의 일 실시예에 따른 순환 아날로그 디지털 변환기(Analog to Digital Converter; ADC)는 제1 아날로그 신호가 인가되는 입력단; 상기 제1 아날로그 신호를 터너리(ternary) 변환하여 터너리 데이터를 출력하는 아날로그 터너리 변환기(Analog to Ternary Converter; ATC); 상기 터너리 데이터를 인가 받는 제1 커패시터; 및 상기 제1 아날로그 신호 및 상기 터너리 데이터를 기초로 연산된 제3 아날로그 신호가 출력되는 출력단;을 포함하고, 상기 터너리 데이터는 상기 ATC의 출력 전압에 매칭되어 아날로그화된 제2 아날로그 신호에 대응하는 신호이다.

1000



이 발명을 지원한 국가연구개발사업

과제고유번호	SRFC-TA1703-07
과제번호	SRFC-TA1703-07
부처명	삼성전자(주)
과제관리(전문)기관명	삼성전자 미래기술육성센터
연구사업명	삼성미래기술육성사업
연구과제명	페타급 연결을 위한 신개념 터너리 CMOS 소자 기술 및 초절전 신경망 표준셀 구현
기 여 율	9/10
과제수행기관명	울산과학기술원
연구기간	2017.09.01 ~ 2020.08.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1.200033.01
과제번호	1.200033.01
부처명	울산과학기술원
과제관리(전문)기관명	울산과학기술원
연구사업명	U-K BRAND 육성사업(미래핵심연구)
연구과제명	다치로직 기반 초저전력 신경망 컴퓨터
기 여 율	1/10
과제수행기관명	울산과학기술원
연구기간	2019.01.31 ~ 2023.12.31

명세서

청구범위

청구항 1

제1 아날로그 신호가 인가되는 입력단;

상기 제1 아날로그 신호를 터너리(ternary) 변환하여 터너리 데이터를 출력하는 아날로그 터너리 변환기(Analog to Ternary Converter; ATC);

상기 터너리 데이터를 인가 받는 제1 커패시터; 및

상기 제1 아날로그 신호 및 상기 터너리 데이터를 기초로 연산된 제3 아날로그 신호가 출력되는 출력단;을 포함하고,

상기 터너리 데이터는 상기 ATC의 출력 전압에 매칭되어 아날로그화된 제2 아날로그 신호에 대응하는 신호인, 순환 아날로그 디지털 변환기(Analog to Digital Converter; ADC).

청구항 2

제1항에 있어서,

상기 ATC는 서로 직렬 연결된 제1 터너리 인버터 및 제2 터너리 인버터를 포함하고,

상기 제1 터너리 인버터는 상기 제1 아날로그 신호를 터너리 변환하여 제1 터너리 데이터를 출력하는, 순환 아날로그 디지털 변환기.

청구항 3

제2항에 있어서,

상기 제2 터너리 인버터는, 상기 제1 터너리 데이터를 인버팅하여 제2 터너리 데이터를 출력하고, 상기 제2 터너리 데이터를 각각의 제2 터너리 데이터에 대응하는 아날로그 전압에 매칭시켜 상기 제2 아날로그 신호를 출력하는, 순환 아날로그 디지털 변환기.

청구항 4

제3항에 있어서,

상기 제1 커패시터는,

상기 제1 아날로그 신호에서 상기 제2 아날로그 신호를 감산하여 잔여 전압을 획득하고,

상기 제1 커패시터의 일 단은 상기 입력단과 연결되고, 상기 제1 커패시터의 타 단은 증폭기와 연결되고, 상기 증폭기는 상기 잔여 전압을 두 배 증폭하여 상기 제3 아날로그 신호를 출력하는, 순환 아날로그 디지털 변환기.

청구항 5

제3항에 있어서,

상기 ADC는,

상기 ATC에 의해 생성되는 상기 제2 아날로그 신호를 2진 데이터로 변환하는 터너리 인코더를 더 포함하고,

상기 터너리 인코더를 이용하여 상기 2진 데이터를 아날로그 변환하여 제4 아날로그 전압을 출력하는, 순환 아날로그 디지털 변환기.

청구항 6

제1항에 있어서,

상기 출력단 및 상기 입력단 사이에 경로 스위치가 배치되고,

상기 경로 스위치가 켜지면 상기 제3 아날로그 신호가 상기 입력단으로 재인가되는, 순환 아날로그 디지털 변환기.

청구항 7

제1항에 있어서,

상기 ADC는, 상기 ATC에 의해 출력되는 상기 터너리 데이터를 아날로그 변환하는 터너리 인코더를 더 포함하고,

상기 터너리 인코더는,

상기 터너리 데이터를 인가 받는 입력단;

상기 입력단에 각각 연결되는 제1 인버터 및 제2 인버터를 포함하고, 상기 터너리 데이터를 2진 데이터로 변환하는 변환부; 및

상기 2진 데이터가 아날로그 변환된 아날로그 신호가 출력되는 출력단;을 포함하는, 순환 아날로그 디지털 변환기.

청구항 8

제7항에 있어서,

상기 제1 인버터의 제1 경계 전압은 기준 경계 전압보다 낮은 값을 가지고, 상기 제1 경계 전압은 상기 제1 인버터에 의해 출력되는 2진 데이터를 결정하는 전압이며,

상기 제2 인버터의 제2 경계 전압은 상기 기준 경계 전압보다 높은 값을 가지고, 상기 제2 경계 전압은 상기 제2 인버터에 의해 출력되는 2진 데이터를 결정하는 전압인, 순환 아날로그 디지털 변환기.

청구항 9

제8항에 있어서,

상기 변환부는,

상기 제1 인버터와 직렬 연결되고, 상기 제1 인버터에 의해 출력되는 바이너리 데이터를 다시 인버팅하는 제3 인버터; 및

상기 제2 인버터와 직렬 연결되고, 상기 제2 인버터에 의해 출력되는 바이너리 데이터를 다시 인버팅하는 제4 인버터;를 더 포함하는, 순환 아날로그 디지털 변환기.

발명의 설명

기술 분야

[0001] 본 발명은 터너리 소자를 이용한 순환 아날로그 디지털 변환기 및 이에 포함되는 터너리 인코더에 관한 것이다.

배경 기술

[0002] 스마트폰, 노트북, 태블릿 PC 등과 같은 전자 기기들이 소형화되고 다양한 기능들이 추가되는 등 성능이 향상되고 있다. 이에 따라 전자 기기에 있어서 전력 소모량 및 센서의 크기 등이 중요한 요소로 부각되고 있다. 따라서 센서의 주요 요소인 아날로그 디지털 컨버터의 크기와 소모 전력의 감소에 대한 필요성이 증대되고 있다.

[0003] 아날로그 디지털 컨버터의 한 종류인 순환 아날로그 디지털 컨버터(Cyclic Analog-to-Digital Converter; Cyclic ADC)는 아날로그 증폭기(amplifier), 비교기, 및 기준 전압 생성 회로를 포함하기 때문에 전력 소모가 크고, 소형화에도 한계가 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명은 전술한 문제점을 해결하기 위한 것으로, 터너리 소자를 이용하여 아날로그 데이터 및 디지털 데이터 간에 상호 변환함으로써 크기를 최소화하고 전력 소모를 저감시킬 수 있는 순환 아날로그 디지털 변환기를 제공하고자 한다.
- [0005] 또한, 인버터 내의 반도체 소자의 크기를 조절함으로써 데이터 변환의 정확도가 향상된 터너리 인코더를 제공하고자 한다.

과제의 해결 수단

- [0006] 본 발명의 일 실시예에 따른 순환 아날로그 디지털 변환기(Analog to Digital Converter; ADC)는 제1 아날로그 신호가 인가되는 입력단; 상기 제1 아날로그 신호를 터너리(ternary) 변환하여 터너리 데이터를 출력하는 아날로그 터너리 변환기(Analog to Ternary Converter; ATC); 상기 터너리 데이터를 인가 받는 제1 커패시터; 및 상기 제1 아날로그 신호 및 상기 터너리 데이터를 기초로 연산된 제3 아날로그 신호가 출력되는 출력단;을 포함하고, 상기 터너리 데이터는 상기 ATC의 출력 전압에 매칭되어 아날로그화된 제2 아날로그 신호에 대응하는 신호이다.
- [0007] 상기 ATC는 서로 직렬 연결된 제1 터너리 인버터 및 제2 터너리 인버터를 포함하고, 상기 제1 터너리 인버터는 상기 제1 아날로그 신호를 터너리 변환하여 제1 터너리 데이터를 출력할 수 있다.
- [0008] 상기 제2 터너리 인버터는, 상기 제1 터너리 데이터를 인버팅하여 제2 터너리 데이터를 출력하고, 상기 제2 터너리 데이터를 각각의 제2 터너리 데이터에 대응하는 아날로그 전압에 매칭시켜 상기 제2 아날로그 신호를 출력할 수 있다.
- [0009] 상기 제1 커패시터는, 상기 제1 아날로그 신호에서 상기 제2 아날로그 신호를 감산하여 잔여 전압을 획득하고, 상기 제1 커패시터의 일 단은 상기 입력단과 연결되고, 상기 제1 커패시터의 타 단은 증폭기와 연결되고, 상기 증폭기는 상기 잔여 전압을 두 배 증폭하여 상기 제3 아날로그 신호를 출력할 수 있다.
- [0010] 상기 ADC는, 상기 ATC에 의해 생성되는 상기 제2 아날로그 신호를 2진 데이터로 변환하는 터너리 인코더를 더 포함하고, 상기 터너리 인코더를 이용하여 상기 2진 데이터를 아날로그 변환하여 제4 아날로그 전압을 출력할 수 있다.
- [0011] 상기 출력단 및 상기 입력단 사이에 경로 스위치가 배치되고, 상기 경로 스위치가 켜지면 상기 제3 아날로그 신호가 상기 입력단으로 재인가될 수 있다.
- [0012] 본 발명의 일 실시예에 따른 터너리 인코더는, 터너리 데이터를 인가 받는 입력단; 상기 입력단에 각각 연결되는 제1 인버터 및 제2 인버터를 포함하고, 상기 터너리 데이터를 2진 데이터로 변환하는 변환부; 및 상기 2진 데이터가 아날로그 변환된 아날로그 신호가 출력되는 출력단을 포함한다.
- [0013] 상기 제1 인버터의 제1 경계 전압은 기준 경계 전압보다 낮은 값을 가지고, 상기 제1 경계 전압은 상기 제1 인버터에 의해 출력되는 2진 데이터를 결정하는 전압이며, 상기 제2 인버터의 제2 경계 전압은 상기 기준 경계 전압보다 높은 값을 가지고, 상기 제2 경계 전압은 상기 제2 인버터에 의해 출력되는 2진 데이터를 결정하는 전압일 수 있다.
- [0014] 상기 변환부는, 상기 제1 인버터와 직렬 연결되고, 상기 제1 인버터에 의해 출력되는 터너리 데이터를 다시 인버팅하는 제3 인버터; 및 상기 제2 인버터와 직렬 연결되고, 상기 제2 인버터에 의해 출력되는 터너리 데이터를 다시 인버팅하는 제4 인버터;를 더 포함할 수 있다.

발명의 효과

- [0015] 본 발명의 실시예들에 따른 순환 아날로그 디지털 변환기는 터너리 소자를 이용하여 아날로그 데이터 및 디지털 데이터 간에 상호 변환함으로써 크기를 최소화하고 전력 소모를 저감시킬 수 있다.
- [0016] 또한, 본 발명의 실시예들에 따른 터너리 인코더는 인버터 내의 반도체 소자의 크기를 조절함으로써 데이터 변환의 정확도를 향상시킬 수 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 일 실시예에 따른 아날로그 디지털 변환기의 구조를 나타내는 회로도이다.

도 2는 본 발명의 일 실시예에 따른 아날로그 터너리 변환기가 포함하는 3진 소자의 입출력 특성을 나타내는 그래프이다.

도 3은 본 발명의 일 실시예에 따른 아날로그 터너리 변환기의 입출력 특성을 나타내는 그래프이다.

도 4는 본 발명의 일 실시예에 따른 아날로그 디지털 변환기의 일 동작 모드를 설명하기 위한 회로도이다.

도 5는 본 발명의 일 실시예에 따른 아날로그 디지털 변환기의 다른 동작 모드를 설명하기 위한 회로도이다.

도 6은 본 발명의 다른 실시예에 따른 아날로그 디지털 변환기의 구조를 나타내는 회로도이다.

도 7은 본 발명의 일 실시예에 따른 터너리 인코더의 구성을 개략적으로 도시한 구조도이다.

도 8은 본 발명의 일 실시예에 따른 인버터의 입출력 특성을 나타내는 그래프이다.

도 9는 본 발명의 일 실시예에 따른 터너리 인코더의 입출력 특성을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0019] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0020] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다. 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다. 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 형태는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0021] 도 1은 본 발명의 일 실시예에 따른 아날로그 디지털 변환기(Analog to Digital Converter; 이하 'ADC'라 지칭한다.)의 구조를 나타내는 회로도이고, 도 2는 본 발명의 일 실시예에 따른 아날로그 터너리 변환기가 포함하는 3진 소자의 입출력 특성을 나타내는 그래프이다.
- [0022] ADC(1000)는 입력단(I), ATC(Analog to Ternary Converter; 이하, 'ATC'라 지칭한다.)(100), 제1 커패시터(C1), 제2 커패시터(C2), 제1 스위치쌍(S1), 제2 스위치쌍(S2), 증폭기(300) 및 출력단(Y)을 포함할 수 있다.
- [0023] ADC(1000)는 입력 스위치(S0)가 켜지면 입력단(I)을 통해 제1 아날로그 신호(Va1)를 인가 받을 수 있다. 상기 입력단(I)은 ATC(100)의 제1 단(A1)과 연결될 수 있다.
- [0024] ATC(100)는 터너리 인버터들(110, 120)을 이용하여 상기 제1 아날로그 신호(Va1)를 터너리(ternary) 신호로 변환(이하, '터너리 변환'으로 간략히 설명할 수 있다.)하여 터너리 데이터를 출력하고, ATC(100)는 상기 터너리 데이터를 각각의 터너리 데이터에 대응되는 아날로그 신호에 매칭시켜 최종적으로 제2 아날로그 신호(Va2)를 출력할 수 있다. ATC(100)의 동작에 관하여는 후술하는 도 3에서 더 상세히 설명한다. ATC(100)는 제1 터너리 인버터(110) 및 제2 터너리 인버터(120)를 포함할 수 있다.
- [0025] 도 2를 함께 참고하여, 터너리 인버터들(110, 120)의 입출력 특성에 대하여 설명한다. 제1 터너리 인버터(110) 및 제2 터너리 인버터(120)는 3진(Ternary) 데이터를 처리할 수 있는 3진 소자를 포함할 수 있다.
- [0026] 도 2를 참조하면, 반도체 소자의 두 가지 경우의 입출력 프로파일(G1, G2)이 도시되어 있다. 2진(Binary) 소자의 경우 제1 프로파일(G1)과 같이 0 또는 1의 2진 데이터를 쓰고 읽는 입출력 특성을 나타낸다. 반면, 본 발명의 일 실시예에 따른 3진 소자는, 제2 프로파일(G2)과 같이 0(P1), 1/2(P2), 1(P3)의 3진 데이터를 쓰고 읽는 입출력 특성을 나타낼 수 있다. 이하, '터너리 데이터'는 0, 1/2, 1로 레이블링 된 3 가지 상태(state)의 데이터들을 포함하는 개념으로 이해될 수 있다.
- [0027] 터너리 인버터(110, 120)의 경우 상기 터너리 데이터(또는 트릿(trit) 데이터)를 저장/처리할 수 있어, 같은 크

기의 바이너리 소자 대비 1.5배의 저장 공간을 가지고, 소형화가 가능한 이점이 있다. 이하, 상기 0, 1/2, 1의 터너리 데이터는 설명의 편의를 위해 0, 1, 2의 터너리 데이터로 설명할 수도 있다. 본 발명의 일 실시예에 따른 ADC(1000)를 구동시키기 위한 전압을 구동 전압(VDD)이라 할 때, 상기 0, 1/2, 1로 레이블링 된 터너리 데이터 각각은 순서대로 0, 하프 구동 전압(VDD/2), 구동 전압(VDD)을 가지는 데이터에 대응될 수 있다.

[0028] 다시 도 1을 참조하면, 제1 터너리 인버터(110)는 입력단(I)을 통해 인가되는 제1 아날로그 신호(Va1)를 터너리 변환하여 제1 터너리 데이터(Vt1)를 출력할 수 있다. 제1 터너리 인버터(110)의 입출력 특성에 관하여는 후술하는 도 3에서 더 상세히 설명한다.

[0029] 제2 터너리 인버터(120)는 제1 터너리 인버터(110)와 직렬로 연결될 수 있다. 제2 터너리 인버터(120)는 상기 제1 터너리 데이터(Vt1)를 인버팅하여 ATC(100)의 제2 단(A2)에 제2 터너리 데이터(Vt2)를 출력할 수 있다. 제2 터너리 인버터(120)는 이미 터너리 변환된 제1 터너리 데이터(Vt1)를 다시 인버팅함으로써, ATC(100)에 의해 출력되는 신호의 전압 대소 경향이 초기 입력 신호인 제1 아날로그 신호(Va1)와 대응되도록 할 수 있다. 가령, 제1 터너리 인버터(110)를 통해 제1 아날로그 신호(Va1)가 터너리 변환 시 '0'에서 '1'로 변환되는 경우, 제2 터너리 인버터(120)는 '1'을 다시 '0'으로 인버팅하여 제1 아날로그 신호(Va1)와 대응시킬 수 있다.

[0030] ATC(100)에 의한 제2 터너리 데이터(Vt2)는 트릿 데이터로는 '0, 1, 2'의 데이터가 될 수 있으나, 아날로그 신호의 관점에서는 '0, 1, 2'의 데이터는 각각 '0, VDD/2, VDD'에 대응될 수 있다. 제2 터너리 인버터(120)는 생성된 '0, 1, 2'의 제2 터너리 데이터(Vt2) 각각을 '0, VDD/2, VDD'의 아날로그 신호로 동작시킬 수 있다. 이와 같이, ATC(100)는 3개의 2비트 디지털 신호를 출력하여 1.5 비트 아날로그 디지털 변환기와 동일한 기능을 가질 수 있다.

[0031] 제1 커패시터(C1)는 제1 아날로그 신호(Va1)와 ATC(100)에 의해 출력되는 제2 아날로그 신호(Va2)의 차이를 계산하여 잔여 전압(Vres)을 획득할 수 있다. 제1 커패시터(C1)의 일 단(A3)은 ADC(1000)의 입력단(I)과 연결되고, 제1 커패시터(C1)의 타 단(A4)은 스위치들(S1-1, S2-2) 각각의 일 단과 연결될 수 있다. 제1 커패시터(C1)의 일 단(A3)에는 제1 아날로그 신호(Va1)나 제2 아날로그 신호(Va2)가 저장될 수 있고, 타 단(A4)은 부귀환(negative feedback)을 통해 제1-1 스위치(S1-1)나 제2-2 스위치(S2-2)가 연결될 때 기준 전압(Vcm)으로 고정될 수 있다. 기준 전압(Vcm)은 증폭기(300)의 양극 입력단에 연결되는 전압으로, 증폭기(300)의 동작 영역과 ADC(1000)의 입력 신호의 최대 크기를 고려하여 결정될 수 있다. 일 예로, 기준 전압(Vcm)은 하프 구동 전압(VDD/2)일 수 있다.

[0032] 제1 커패시터(C1)의 양 단(A3, A4)과 스위치들의 동작 관계에 관하여는 후술하는 도 4 및 도 5에서 더 상세히 설명한다.

[0033] 이후, 스위치들(S1-1, S2-2)의 동작에 의해 상기 잔여 전압(Vres)은 증폭기(300)에 전달될 수 있다.

[0034] 제1 스위치쌍(S1)은 제1-1 스위치(S1-1) 및 제1-2 스위치(S1-2)(이하, '경로 스위치'라 지칭할 수 있다.)를 포함할 수 있다. 제1 스위치쌍(S1)을 통해 동일한 타이밍의 제1 클럭 신호(CLK1)가 인가될 수 있다. 제2 스위치쌍(S2)은 제2-1 스위치(S2-1) 및 제2-2 스위치(S2-2)를 포함할 수 있다. 제2 스위치쌍(S2)을 통해 동일한 타이밍의 제2 클럭 신호(CLK2)가 인가될 수 있고, 제2 클럭 신호(CLK2)는 전술한 제1 클럭 신호(CLK1)와 다른 타이밍의 신호일 수 있다. 각 스위치쌍(S1, S2)의 동작에 관하여는 후술하는 도 4 및 도 5에서 더 상세히 설명한다.

[0035] 증폭기(300)는 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 기초로 연산된 제3 아날로그 신호(Va3)를 출력할 수 있다. 구체적으로, 증폭기(300)는 잔여 전압(Vres)을 증폭하여 출력단(Y)을 통해 제3 아날로그 신호(Va3)를 출력할 수 있고, 이를 ADC(1000)의 일 '싸이클'이라 할 수 있다. 증폭기(300)의 일 단은 스위치들(S1-1, S2-2) 각각의 타 단과 연결되고, 증폭기(300)의 타 단은 출력단(Y)과 연결될 수 있다. 이때, 본 발명의 일 실시예에 따른 순환 ADC(1000)에 의하면 제3 아날로그 신호(Va3)는 다시 입력단(I)으로 재인가될 수 있다. 여기서, 제1-2 스위치(S1-2)의 일 단은 출력단(Y)에, 타 단은 입력단(I)에 연결되어 이전 싸이클의 출력 신호를 다음 싸이클의 입력 신호로 인가하는 경로 스위치의 역할을 할 수 있다.

[0036] 제2 커패시터(C2)는 리셋 스위치(Sr)와 병렬 연결되고, 제1 커패시터(C1)에 의해 획득된 잔여 전압(Vres)을 출력단(Y)으로 전달할 수 있다. 리셋 스위치(Sr)는 다음 싸이클의 동작을 위해 제2 커패시터(C2)를 리셋하는 역할을 할 수 있다.

[0037] 도 3은 본 발명의 일 실시예에 따른 ATC(100)의 입출력 특성을 나타내는 그래프이다. 도 3의 그래프의 가로축은 ATC(100)에 대한 입력 전압(Vin)(V)이고, 세로축은 ATC(100)의 출력 전압(Vout)(V)을 나타낸다.

- [0038] 입력 전압(V_{in})은 0 이상 $V_{DD}(V)$ 이하의 전압을 가지는 아날로그 신호일 수 있다. 터너리 변환을 하기 위한 기준 전압으로서, 구동 전압(V_{DD}) 이하의 범위에서 미리 설정된 기준에 따라 제1 기준 전압(V_{r1}) 및 제1 기준 전압(V_{r1})보다 큰 제2 기준 전압(V_{r2})을 결정할 수 있다. 입력 전압(V_{in})의 전압값에 따라 출력 전압(V_{out})이 결정될 수 있다.
- [0039] 더 구체적으로는, 입력 전압(V_{in})이 0 이상 제1 기준 전압(V_{r1}) 미만인 경우($0 \leq V_{in} < V_{r1}$), 0(V)의 출력 전압(V_{out})이 출력될 수 있다. 입력 전압(V_{in})이 제1 기준 전압(V_{r1}) 이상 제2 기준 전압(V_{r2}) 미만인 경우($V_{r1} \leq V_{in} < V_{r2}$), $V_{DD}/2(V)$ 의 출력 전압(V_{out})이 출력될 수 있다. 입력 전압(V_{in})이 제2 기준 전압(V_{r2}) 이상 구동 전압(V_{DD}) 이하인 경우($V_{r2} \leq V_{in} \leq V_{DD}$), $V_{DD}(V)$ 의 출력 전압(V_{out})이 출력될 수 있다. 일 예로, 제1 기준 전압(V_{r1})은 $3/8 \times V_{DD}$ 일 수 있고, 제2 기준 전압(V_{r2})은 $5/8 \times V_{DD}$ 일 수 있으나, 기준 전압(V_{r1} , V_{r2})과 구동 전압(V_{DD}) 사이의 관계가 반드시 이에 한정되지는 않는다.
- [0040] 다시 도 1을 함께 참고하면, 입력 전압(V_{in})은 제1 터너리 인버터(110)에 인가되는 제1 아날로그 신호(V_{a1})이고, 출력 전압(V_{out})은 제1 및 제2 터너리 인버터(110, 120)를 거쳐 출력되는 제2 터너리 데이터(V_{t2})가 가지는 전압일 수 있다. 제2 터너리 데이터(V_{t2})는 ATC(100)의 출력 전압(V_{out})에 대응되는 아날로그 신호(0, $V_{DD}/2$, V_{DD})에 매칭되어 아날로그화되어 제2 아날로그 신호(V_{a2})로 출력될 수 있다. 제2 터너리 데이터(V_{t2})와 제2 아날로그 신호(V_{a2})는 실질적으로 동일한 신호일 수 있다.
- [0041] 이와 같이, 일 실시예에 따른 ATC(100)에 의하면, 아날로그 신호(V_{in})를 미리 설정된 기준 전압들(V_{r1} , V_{r2})을 기준으로 터너리 변환하여 0, $V_{DD}/2$ 및 V_{DD} 의 터너리 데이터를 출력할 수 있다. 즉, ATC(100)의 출력 전압(0, $V_{DD}/2$, V_{DD})을 그대로 이용함으로써 외부의 기준 전압 생성 회로를 이용하지 않고 각 터너리 데이터(0, 1, 2)에 대응되는 아날로그 전압(0, $V_{DD}/2$, V_{DD})을 가지는 아날로그 신호를 출력함으로써 ADC(1000)의 설계를 단순화, 간소화할 수 있다. 또한, 3진 데이터를 처리하는 터너리 인버터(110, 120)를 이용하여 ADC(1000)를 포함하는 센서의 초소형화, 저전력화가 가능하다.
- [0042] 이하, 도 4 및 도 5를 사용하여 ADC(1000)의 동작에 관하여 설명한다. 도 1 내지 도 3에서 전술한 내용과 동일한 내용은 설명을 간략히 하거나 생략한다.
- [0043] 도 4는 본 발명의 일 실시예에 따른 ADC의 일 동작 모드인 제1 모드(M1)를 설명하기 위한 회로도이다. 제1 모드(M1)는 샘플링(Sampling) 모드로 지칭할 수 있다. 샘플링 모드에서는 제2 스위치쌍(S2)은 오프 된 상태에서 제1 스위치쌍(S1)이 켜질 수 있다.
- [0044] 이하, 샘플링 모드의 제1 싸이클의 동작에 관하여 설명한다. 샘플링 모드에서 제1 스위치쌍(S1)이 켜지면서 제1 아날로그 신호(V_{a1})가 샘플링 되어 제1 커패시터(C1)에 저장될 수 있다. 이와 동시에 ATC(100)는 상기 샘플링된 제1 아날로그 신호(V_{a1})가 0, 1, 2의 터너리 데이터 중 어떤 데이터인지 판단할 수 있다. 여기서, ATC(100)는 전술한 터너리 인버터(110, 120)에 내장된 회로에 의해 설계되어 있는 기준 전압(V_{r1} , V_{r2})을 이용하여 상기 터너리 데이터의 상태(state)를 판단하므로, 종래의 기준 전압 생성 회로를 생략함으로써 ADC(1000)의 설계를 간소화 및 단순화할 수 있는 이점이 있다.
- [0045] 제1 커패시터(C1)가 제1 아날로그 신호(V_{a1})를 수신하여 샘플링할 때, 제1 커패시터(C1)의 타 단(A4)은 제1-1 스위치(S1-1)를 통해 전술한 기준 전압(V_{cm}) 값에 고정될 수 있다. 이때 제1 커패시터(C1)에는 $C1 \times (V_{a1} - V_{cm})$ 의 전하가 저장될 수 있고 저장된 해당 전하는 일정하게 유지될 수 있다.
- [0046] 도 5는 본 발명의 일 실시예에 따른 ADC(1000)의 다른 동작 모드인 제2 모드(M2)를 설명하기 위한 회로도이다. 제2 모드(M2)는 전하 이동(Charge transfer) 모드로 지칭할 수 있다.
- [0047] ADC(1000)가 전술한 샘플링 모드로 동작하다가 제1 스위치쌍(S1)이 오프 되고, 다음 클럭 신호(일 예로, CLK2)에 의해 제2 스위치쌍(S2)이 켜지면서 전하 이동 모드로 동작할 수 있다.
- [0048] 제2-1 스위치(S2-1)에 의해 제1 커패시터(C1)의 일 단(A3)에는 ATC(100)에 의해 출력되는 제2 아날로그 신호(V_{a2})(또는 제2 터너리 데이터(V_{t2}))가 인가되어 홀딩될 수 있다. 제1 커패시터(C1)는 샘플링 모드에서 홀딩된 제1 아날로그 신호(V_{a1})에서 상기 제2 아날로그 전압(V_{a2})을 감산하여 잔여 전압(V_{res})을 획득하고, 이를 증폭기(300)에 전달할 수 있다. 더 정확히는, 전하량 보존의 법칙에 의해 제1 모드(M1)와 제2 모드(M2) 각각에서 제1 커패시터(C1)와 제2 커패시터(C2)의 전하량의 합은 동일하므로 다음의 수식을 전개할 수 있다. (이때, 하기 수학식들에서 V_y 는 출력단 Y로 출력되는 전압을 의미하고, C1, C2는 커패시터들의 커패시턴스를 의미한다.)

수학식 1

$$C1 \times (Va1 - Vcm) = C1 \times (Va2 - Vcm) + C2 \times (Vy - Vcm)$$

수학식 2

$$Vy = C1/C2 \times (Va1 - Va2) + Vcm$$

상기 [수학식 2]에 따라, 잔여 전압($V_{res} = (Va1 - Va2)$) 값은 커패시터들($C1$, $C2$)의 커패시턴스의 비율에 따라 출력단(Y)에 증폭되어 출력될 수 있다.

증폭기(300)는 제1 커패시터($C1$)로부터 제공되는 잔여 전압(V_{res})의 크기를 두 배 증폭하여 두 배의 이득을 갖는 제3 아날로그 신호($Va3$)를 출력할 수 있다. 다시 도 4를 참조하면, 이러한 제3 아날로그 신호($Va3$)는 다시 입력단(I)으로 인가되어 제2 사이클(다음 사이클)의 입력 전압이 되고, 피드백 샘플링을 수행할 수 있다. 이와 같이 잔여 전압(V_{res})을 증폭하여 사이클을 반복하면서 아날로그-디지털 변환을 함으로써 데이터의 해상도(resolution)를 높일 수 있다.

출력된 제3 아날로그 전압($Va3$)에 대하여 순환 ADC의 처리 비트 수에 따라 경로 스위치($S1-2$)가 커짐으로써 전술한 일 사이클이 반복될 수 있다. 일 예로, 순환 ADC의 처리 비트 수가 ($M+1$)비트(M 은 1보다 크거나 같은 자연수)라고 가정하면, 상술한 사이클이 총 M 회 반복되도록 처리할 수 있다. 이러한 사이클을 반복하면서 ADC(1000)는 초기 입력된 제1 아날로그 신호($Va1$)를 최종적으로 디지털 신호로 변환할 수 있다.

이와 같이, 본 발명의 일 실시예에 따른 ADC(1000)에 의하면, ATC(100)를 이용하여 아날로그-터너리 변환, 터너리-아날로그 변환 및 기준 전압 생성 회로의 기능을 한 번에 수행함으로써 순환 ADC를 소형화, 저전력화 할 수 있다.

도 6은 본 발명의 다른 실시예에 따른 ADC의 구조를 나타내는 회로도이다. 이하, 전술한 실시예와 동일한 구성의 중복하는 내용은 설명을 간략히 하거나 생략할 수 있고, 전술한 실시예와 구별되는 특징을 중심으로 설명한다.

ADC(1000)는 터너리 인코더(400) 및 기준 전압부(500)를 더 포함할 수 있다.

본 발명의 일 실시예에 따른 터너리 인버터(110, 120)가 포함하는 3진 소자의 입출력 특성상, '1/2'의 터너리 데이터가 출력될 때 해당 데이터가 가지는 $VDD/2$ 의 전압 값이 불안정할 수 있다. 이에 따라, 전하 이동 모드에서 제1 커패시터($C1$)에 저장되는 제2 아날로그 신호($Va2$)의 정확도가 떨어지고 결과적으로 ADC(1000)의 해상도가 저하되는 문제점이 발생할 수 있다. 이에, 본 개시에서는 후술하는 바와 같이 터너리 인코더(400)를 이용하여 ADC(1000)의 아날로그-디지털 변환의 정확도를 향상시키고자 한다. 또한, 터너리 인코더(400)를 사용함으로써 디지털 회로 장치와의 호환을 용이하게 할 수 있다.

터너리 인코더(400)는 ATC(100)에 의해 출력되는 제2 아날로그 신호($Va2$)를 2비트의 2진 데이터로 변환하고, 상기 2진 데이터를 기초로 기준 전압부(500)에 입력되는 아날로그 신호(일 예로, VDD , $VDD/2$, 0) 중 하나를 선택하여 제4 아날로그 전압($Va4$)을 출력할 수 있다. 터너리 인코더(400)의 일 단($A5$)은 ATC(100)의 제2 단($A2$)에 연결되고, 타 단($A6$)은 제2-1 스위치($S2-1$)에 연결될 수 있다. 상기 타 단($A6$)은 터너리 인코더(400)에 의해 제4 아날로그 전압($Va4$)이 출력되는 출력단일 수 있다.

터너리 인코더(400)에는 기준 전압부(500)가 연결되어 기준 전압부(500)으로부터 기준 전압(일 예로, VDD , $VDD/2$, 0)을 인가 받을 수 있다. 터너리 인코더(400)는 ATC(100)로부터 전달 받은 제2 터너리 데이터($Vt2$) 각각을 상기 아날로그 기준 전압(VDD , $VDD/2$, 0)과 매치하여 아날로그 변환하여 상기 제4 아날로그 전압($Va4$)을 생성할 수 있다. 가령, 제2 터너리 데이터($Vt2$)가 '1'인 경우 $VDD(V)$ 로, '1/2'인 경우 $VDD/2(V)$ 로, '0'인 경우 0(V)의 아날로그 신호로 변환할 수 있다. 본 실시예에서는, 제1 커패시터($C1$)에 제2-1 스위치($S2-1$)가 켜지면 전술한 제2 아날로그 신호($Va2$) 대신에 제4 아날로그 전압($Va4$)이 인가 되고, 이에 따라 제1 및 제4 아날로그 신호($Va1$, $Va4$) 간의 잔여 전압($V_{res} = Va1 - Va4$)이 획득될 수 있다. 상기 잔여 전압(V_{res})은 증폭기(300)로 전달

되어, 증폭기(300)는 상기 잔여 전압(Vres)을 두 배로 증폭시켜 제3 아날로그 신호(Va3)를 생성할 수 있다.

- [0061] 이와 같이, 본 발명의 일 실시예에 따르면 ATC(100)에 터너리 인코더(400) 및 기준 전압부(500)를 연결함으로써 터너리 데이터 중 '1/2'의 부정확성을 제거하여 제1 커패시터(C1)로 정확한 전압 공급이 가능하고, 이에 따라 출력단(Y)에 의한 출력 신호의 정확성도 향상시킬 수 있다.
- [0062] 이상에서는, 순환 ADC(1000)가 기준 전압부(500)를 포함하는 것을 예로 들어 설명하였으나, 기준 전압부(500) 대신에 디지털-아날로그 변환기(Digital-Analog Converter; DAC)를 포함하여 상기 DAC가 아날로그 변환을 수행할 수도 있다.
- [0063] 이하, 도 7 내지 도 9를 사용하여 일 실시예에 따른 터너리 인코더(400)에 대하여 설명한다. 도 7은 본 발명의 일 실시예에 따른 터너리 인코더(400)의 구성을 개략적으로 도시한 구조도이고, 도 8은 본 발명의 일 실시예에 따른 인버터의 입출력 특성을 나타내는 그래프이고, 도 9는 본 발명의 일 실시예에 따른 터너리 인코더의 입출력 특성을 나타내는 그래프이다.
- [0064] 터너리 인코더(400)는 터너리 데이터를 인가 받는 입력단(I1), 상기 터너리 데이터를 2진 데이터로 변환하는 변환부(E) 및 상기 2진 데이터가 아날로그 변환된 아날로그 신호를 출력하는 출력단(O)을 포함할 수 있다. 입력단(I1)에 인가되는 신호는 전술한 ATC(100)에서 출력된 제2 아날로그 신호(Va2)일 수 있다.
- [0065] 상기 변환부(E)는 4개의 인버터들(410, 420, 430, 440)을 포함하고, 상기 인버터들(410, 420, 430, 440)을 이용하여 터너리 데이터를 2진 데이터로 변환할 수 있다. 본 개시에서 '인버터'는 NMOS 트랜지스터 및 PMOS 트랜지스터의 2개의 트랜지스터(미도시)를 포함하는 CMOS 인버터일 수 있다. 상기 CMOS 인버터에서 NMOS 트랜지스터 및 PMOS 트랜지스터는 직렬 연결되어 있을 수 있다.
- [0066] 더 구체적으로, 변환부(E)는 제1 인버터(410) 및 제2 인버터(420)를 포함할 수 있고, 제1 인버터(410) 및 제2 인버터(420)는 입력단(I1)을 통해 신호를 각각 인가 받을 수 있다. 변환부(E)는 제1 인버터(410)와 직렬 연결되는 제3 인버터(430) 및 제2 인버터(420)와 직렬 연결되는 제4 인버터(440)를 더 포함할 수 있다. 제3 인버터(430)는 제1 인버터(410)가 출력하는 바이너리(2진) 데이터를 다시 인버팅하고, 마찬가지로 제4 인버터(440)는 제2 인버터(420)가 출력하는 바이너리 데이터를 다시 인버팅할 수 있다.
- [0067] 도 8을 함께 참조하면, 제1 인버터(410) 및 제2 인버터(420)는 서로 다른 입출력 특성을 가지도록 설계될 수 있다. 도 8의 그래프의 가로축은 인버터들(410, 420)에 인가되는 입력 전압(Vin1)이고, 세로축은 인버터들(410, 420)에 의한 출력 전압(Vout1)을 나타낸다.
- [0068] 제1 곡선(L1)은 제1 인버터(410)의 입출력 프로파일이고, 제2 곡선(L2)은 제2 인버터(420)의 입출력 프로파일을 나타낸다. 기준 곡선(L0)은 상기 제1 및 제2 곡선(L1, L2)과의 비교 대상으로서, 인버터 내의 NMOS 및 PMOS의 전류 구동 능력이 동일 또는 거의 유사한 인버터(이하, '기준 인버터'로 지칭한다.)의 입출력 프로파일을 나타낼 수 있다. 가로축에 표기된 Vb는 인버터에 의해 0, 1의 데이터 중 어떤 2진 데이터를 출력할 것인지 결정하기 위한 '경계 전압'을 의미할 수 있다. 경계 전압(Vb)은 기준 곡선(L0) 상의 기준 경계 전압(Vb0), 제1 곡선(L1) 상의 제1 경계 전압(Vb1) 및 제2 곡선(L2) 상의 제2 경계 전압(Vb2)을 포함하는 개념으로 설명될 수 있다.
- [0069] 본 개시에서, 일 예로 인버터들(410, 420) 각각 내에 포함된 NMOS, PMOS의 상대적인 크기를 서로 달리 설계함으로써 경계 전압(Vb)을 조절할 수 있다. 트랜지스터의 게이트 단자의 폭을 W, 길이를 L이라 할 때, 경계 전압(Vb)은 인버터의 NMOS의 W/L 값(W/L_n)과 PMOS의 W/L 값(W/L_p)에 의해 결정될 수 있다.
- [0070] 일 예로, 제1 인버터(410)는 'W/L_p'이 'W/L_n'보다 크도록 설계함으로써(W/L_p>W/L_n) 제1 경계 전압(Vb1)을 기준 경계 전압(Vb0)보다 낮출 수 있다. 반대로, 제2 인버터(420)는 'W/L_p'이 'W/L_n'보다 작도록 설계함으로써(W/L_p<W/L_n) 제2 경계 전압(Vb2)을 기준 경계 전압(Vb0)보다 높일 수 있다. 이때, 기준 경계 전압(Vb0)이 하프 구동 전압(VDD/2)이라고 가정하면(Vb0=VDD/2), Vb1<VDD/2, Vb2>VDD/2의 관계식을 만족하도록 인버터들(410, 420)의 입출력 특성을 조절할 수 있다. 이때, 앞 단의 인버터들(410, 420)의 경계 전압(Vb1, Vb2)만 조절하고 뒷 단의 인버터들(430, 440)의 경계 전압은 기준 인버터의 기준 경계 전압(Vb0)으로 설계할 수 있다.
- [0071] 이상에서는, 제1 및 제2 인버터(410, 420)의 경계 전압을 조절하는 실시예를 예로 들어 설명하였으나, 실시예에 따라서 제3 및 제4 인버터(430, 440)의 경계 전압을 함께 조절할 수도 있고, 경계 전압을 조절하는 인버터는 반드시 이에 한정되지 않는다.

- [0072] 이하, 도 9를 함께 참조하여 전술한 인버터를 포함하는 터너리 인코더(400)의 입출력 특성에 대하여 설명한다. 도 9의 그래프의 가로축은 터너리 인코더(400)에 인가되는 입력 전압(Vin2)이고, 세로축은 터너리 인코더(400)에 의한 출력 전압(Vout2)을 나타낸다. 일 예로 도 6을 함께 참고하면, 입력 전압(Vin2)은 제2 아날로그 신호(Va2), 출력 전압(Vout2)은 제4 아날로그 신호(Va4)에 대응될 수 있다.
- [0073] 제1-1 프로파일(M1)은 제1 및 제3 인버터(410, 430)의 입출력 프로파일이고, 제2-1 프로파일(M2)은 제2 및 제4 인버터(420, 440)의 입출력 프로파일이다. 두 프로파일(M1, M2)에 의해 제1 영역(D1)에서는 '00', 제2 영역(D2)에서는 '01', 제3 영역(D3)에서는 '11'의 2진 데이터가 출력될 수 있다.
- [0074] 제2 영역(D2)에서 경계 전압(Vb1, Vb2)을 전술한 바와 같이 조절함으로써, 입력 전압(Vin2)으로 하프 구동 전압(VDD/2) 또는 VDD/2를 기준으로 약간의 오차가 있는 전압(단, 두 경계 전압(Vb1, Vb2) 사이의 범위)이 인가되더라도 제1 인버터(410)에 의해서는 '1'이, 제2 인버터(420)에 의해서는 '0'이 출력되어 최종적으로 '01'의 2진 데이터가 출력될 수 있다. 다시 말해, ATC(100)에서 아날로그 변환 시 '1'의 트릿 데이터(제2 터너리 데이터(Vt2))를 'VDD/2'의 아날로그 신호(제2 아날로그 신호(Va2))로 정확하게 매치시키지 못하더라도, 제2 아날로그 신호(Va2)가 제1 경계 전압(Vb1)과 제2 경계 전압(Vb2) 사이의 범위에 있다면 '01'의 2진 데이터로 변환될 수 있다. 이와 같이, 터너리 인코더(400)를 통해 터너리-아날로그 변환의 정확성을 향상시킬 수 있다.
- [0075] 실시예에 따라서, 제1 경계 전압(Vb1) 및 제2 경계 전압(Vb2)의 대소 관계를 반대로 설계하는 경우, 제2 영역(D2)에서 '10'의 데이터가 출력될 수 있다.
- [0076] 다시 도 7을 참조하면, 터너리 인코더(400)의 출력단(0)에 의해 전술한 2진 데이터가 출력될 수 있고, 출력단(0)은 제1 출력단(01) 및 제2 출력단(02)을 포함할 수 있다. 제1 출력단(01)을 통해 제1 인버터쌍(410, 430)에 의한 제1 비트(B1)가 출력될 수 있고, 제2 출력단(02)을 통해 제2 인버터쌍(420, 440)에 의한 제2 비트(B2)가 출력될 수 있다. 두 인버터 쌍(410, 430)(420, 440)이 순차적으로 연결되도록 설계함으로써 두 비트(B1, B2)로 이루어진 2 비트의 2진 데이터가 출력될 수 있고, 각 비트(B1, B2)의 출력값에 따라 1.5 비트 데이터를 알 수 있다. 터너리 인코더(400)는 상기 2진 데이터를 전술한 기준 전압부(500)로부터 제공 받은 기준 전압에 매치시켜 아날로그 변환하여 전술한 제4 아날로그 신호(Va4)를 출력할 수 있다. 상기 두 비트(B1, B2) 값으로 터너리 인코더(400) 내의 스위치를 조절하여, 기준 전압부(500)에서 어떤 아날로그 신호(일 예로, VDD, VDD/2, 0)를 터너리 인코더(400)의 타 단(A6)에 인가할 것인지를 제어할 수 있다. 이와 같이 두 비트(B1, B2) 값에 따라 선택된 아날로그 신호에 따라 상기 타 단(A6)을 통해 제4 아날로그 신호(Va4)가 출력될 수 있다.
- [0077] 이와 같이, 본 개시에서는 인버터 내의 NMOS 및 PMOS의 상대적인 크기를 조절함으로써 인버터(410, 420)의 입출력 특성(일 예로 경계 전압(Vb))을 차별적으로 설계하고, 결과적으로 터너리 인코더(400)를 통해 터너리-아날로그 변환이 가능하고, 나아가 터너리-아날로그 변환의 정확성을 향상시킬 수 있다. 전술한 실시예에서는 제1 경계 전압(Vb1)이 제2 경계 전압(Vb2)보다 작도록 설계하는 것을 예시로 들어 설명하였으나, 그 반대의 경우가 될 수 있음은 물론이다.
- [0078] 또한, 이상에서는 본 발명의 바람직한 실시 예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특성의 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안될 것이다.
- [0079] 따라서, 본 발명의 사상은 앞에서 설명된 실시예들에 국한하여 정해져서는 아니되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 또는 이로부터 등가적으로 변경된 모든 범위가 본 발명의 사상의 범주에 속한다고 할 것이다.

부호의 설명

- [0080] 1000: ADC
100: ATC
300: 증폭기
400: 터너리 인코더
410, 420, 430, 440: 인버터

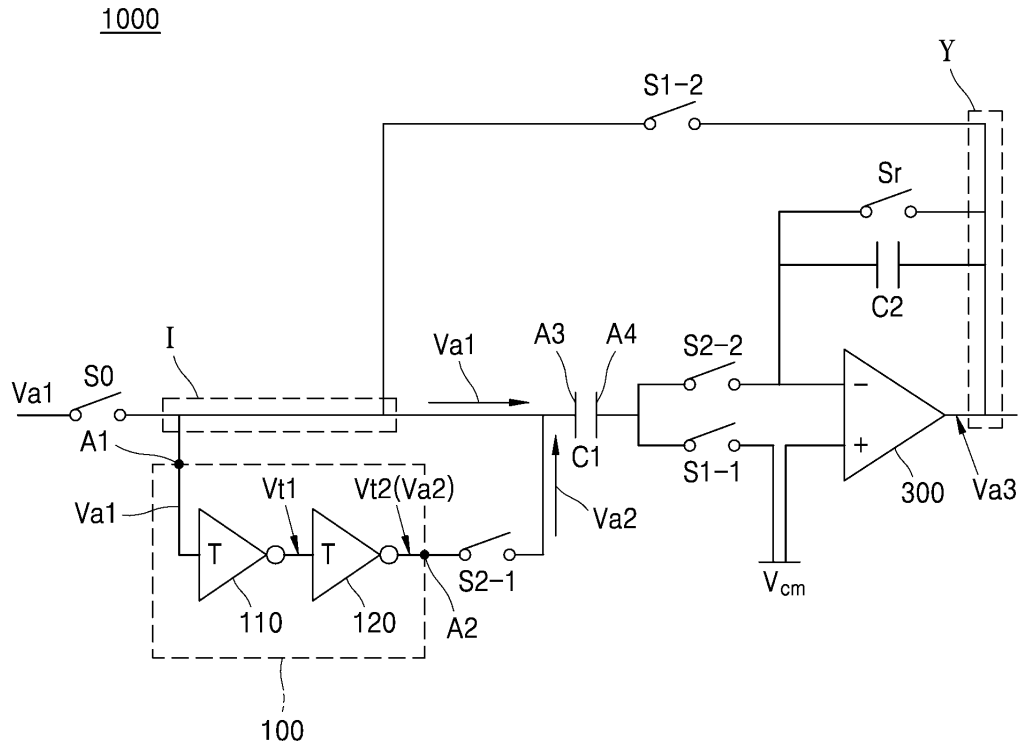
500: 기준 전압부

C1: 제1 커패시터

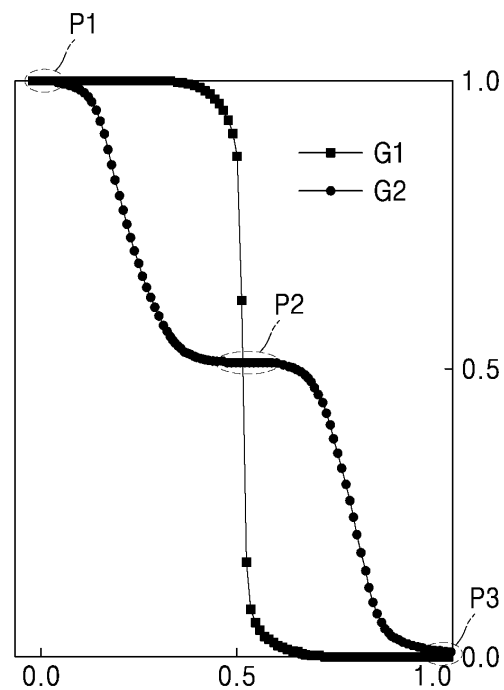
C2: 제2 커패시터

도면

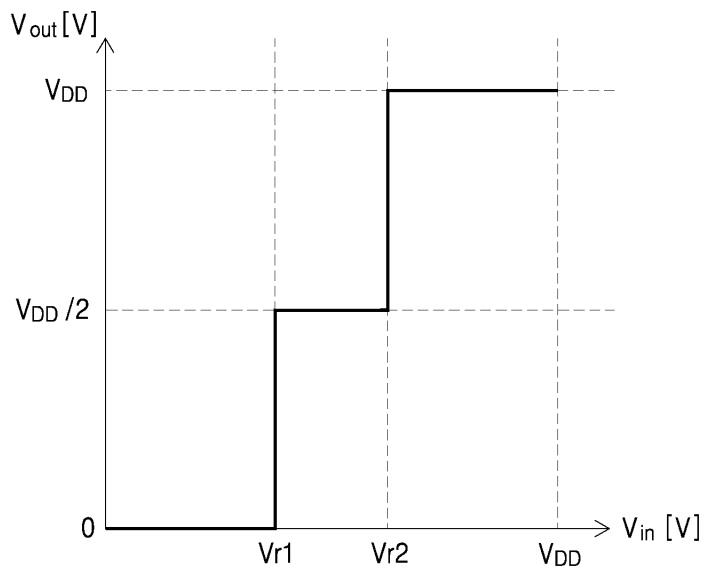
도면1



도면2

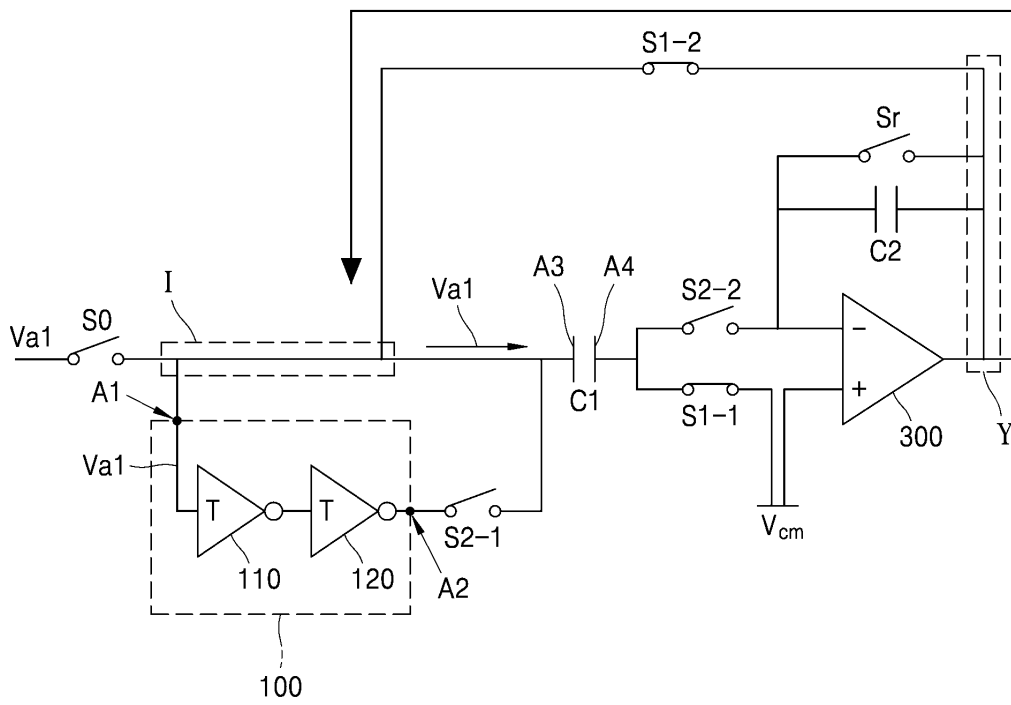


도면3



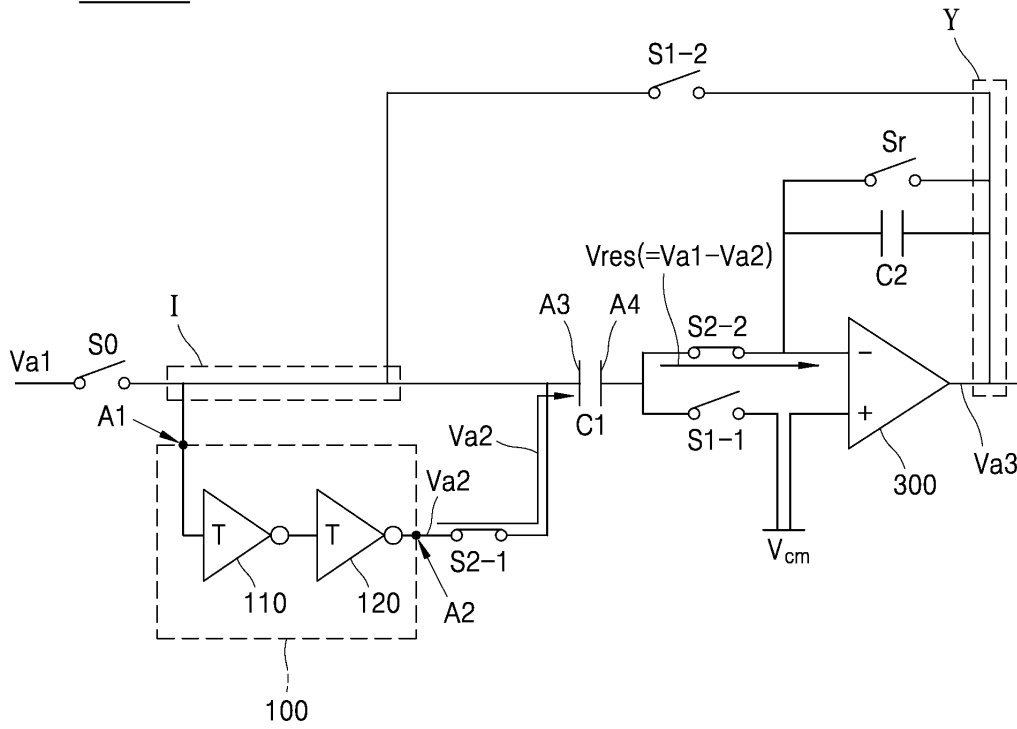
도면4

1000-M1



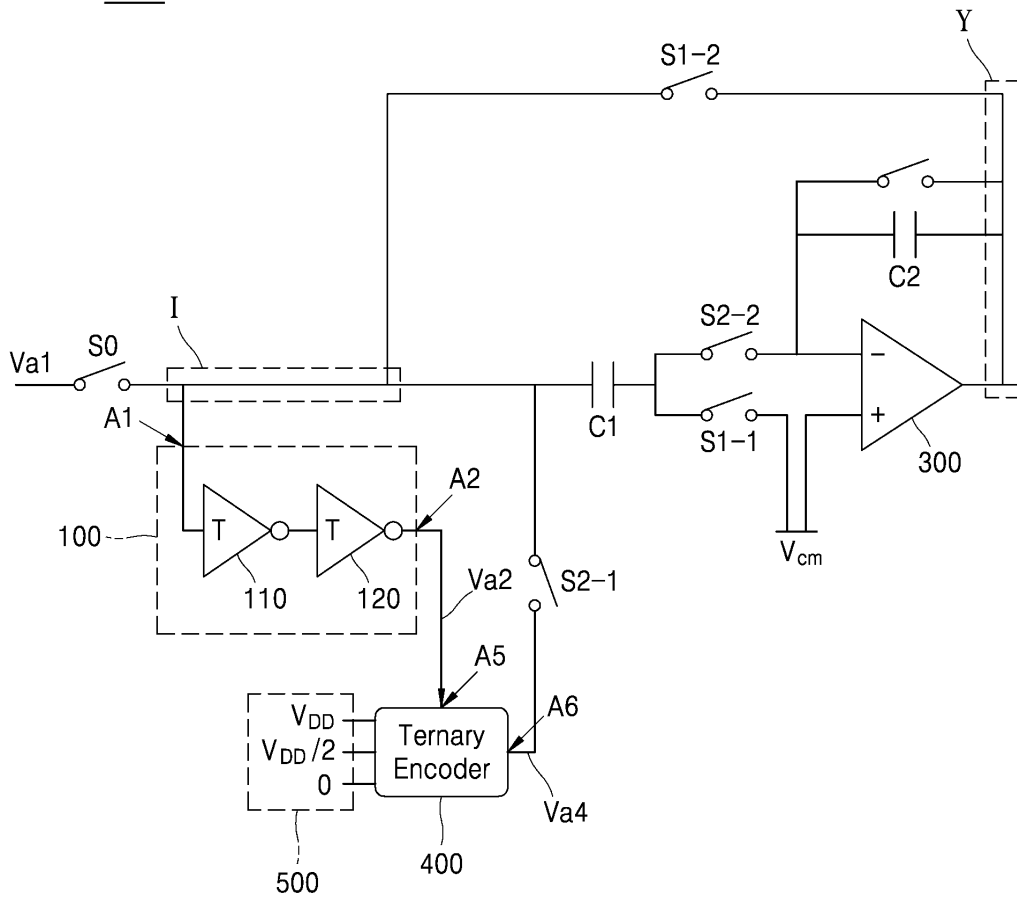
도면5

1000-M2

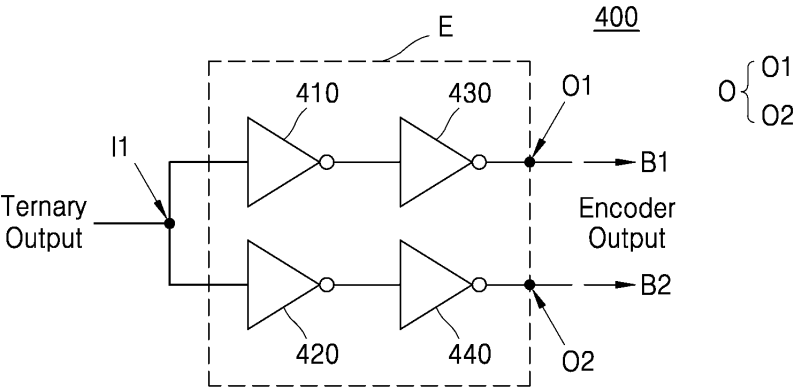


도면6

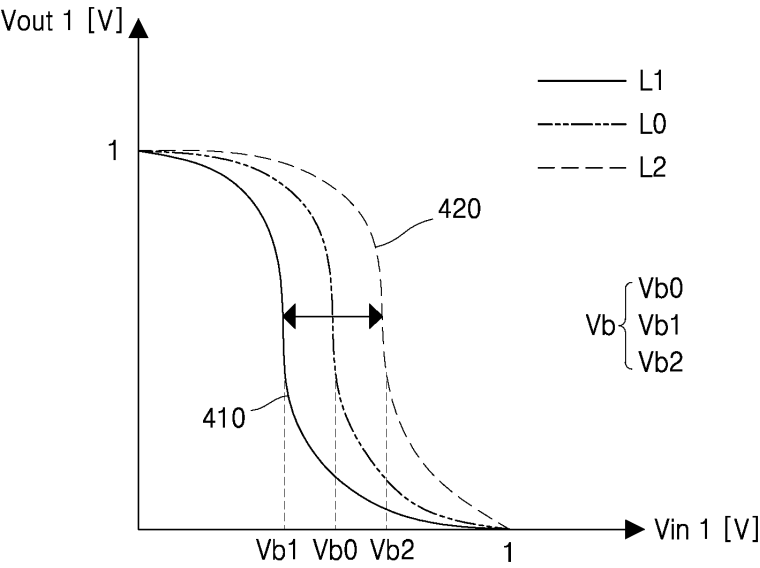
1000



도면7



도면8



도면9

