

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2004-46854
(P2004-46854A)

(43) 公開日 平成16年2月12日 (2004.2.12)

(51) Int.Cl.⁷
G 0 6 F 1 2 / 0 6

F I
G O 6 F 1 2 / 0 6 5 2 5 A

テーマコード (参考)
5 B 0 6 0

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号	特願2003-181599 (P2003-181599)	(71) 出願人	390019839 三星電子株式会社
(22) 出願日	平成15年6月25日 (2003.6.25)		大韓民国京畿道水原市八達区梅灘洞 4 1 6
(31) 優先権主張番号	2002-039632	(74) 代理人	100086368 弁理士 萩原 誠
(32) 優先日	平成14年7月9日 (2002.7.9)	(72) 発明者	張 ▲チョル▼ 雄 大韓民国京畿道水原市八達区靈通洞 シン ナムシル キュクドンアパート 6 1 4 棟 1 1 0 4 号
(33) 優先権主張国	韓国 (KR)	(72) 発明者	崔 永 準 大韓民国京畿道城南市盆唐区金谷洞 1 4 2 番地 チャンソルタウン 8 1 4 - 1 8 0 2
		Fターム(参考)	5B060 CA12

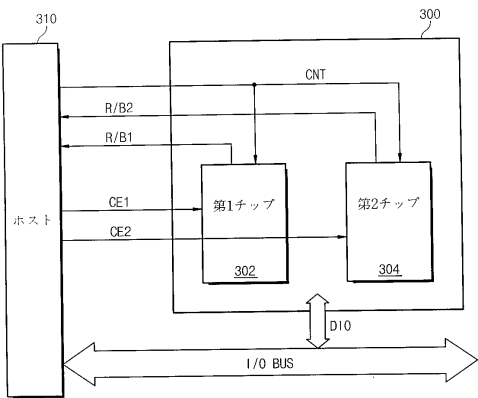
(54) 【発明の名称】 マルチチップ

(57) 【要約】

【課題】内蔵された各チップの性能を十分に動作させることができるマルチチップを提供する。

【解決手段】本発明のマルチチップは、第1チップ選択信号によりイネーブルされ、第1レディー／ビジー信号に自己の状態を知らせる第1チップと、第2チップ選択信号によりイネーブルされ、第2レディー／ビジー信号に自己の状態を知らせる第2チップとを含み、外部ホストとの相互作用のために、制御信号が第1及び第2チップに連結される。本発明のマルチチップによれば、マルチチップに内蔵されるチップに各々対応されて、該当のチップの状態を示すレディー／ビジー信号を有し、レディー状態のチップは、他のチップのビジー状態が終わることを待つ必要なしに外部ホストから命令される動作を実行することができる。これにより、マルチチップを内蔵するメモリシステムは、従来のT l o s sのような時間の損失を無くすことができ、メモリシステムの性能が向上する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

多数のチップを内蔵するマルチチップにおいて、
第 1 チップ選択信号によりイネーブルされ、第 1 レディー / ビジー信号に自己の状態を知らせる第 1 チップと、
第 2 チップ選択信号によりイネーブルされ、第 2 レディー / ビジー信号に自己の状態を知らせる第 2 チップと、を具備する、ことを特徴とするマルチチップ。

【請求項 2】

前記マルチチップは、
外部ホストとの相互動作のために制御信号が前記第 1 及び第 2 チップに連結される、ことを特徴とする請求項 1 に記載のマルチチップ。 10

【請求項 3】

前記マルチチップは、
前記第 1 チップ選択信号によりイネーブルされ、前記第 1 レディー / ビジー信号に自己の状態を知らせ、前記第 1 チップと並列に連結される第 3 チップと、
前記第 2 チップ選択信号によりイネーブルされ、前記第 2 レディー / ビジー信号に自己の状態を知らせ、前記第 2 チップと並列に連結される第 4 チップと、をさらに具備する、ことを特徴とする請求項 1 に記載のマルチチップ。

【発明の詳細な説明】

【0001】

20

【発明が属する技術分野】

本発明は半導体メモリ装置に関するものであり、特に、多数の不揮発性メモリ装置で構成されるマルチチップに関するものである。

【0002】

【従来の技術】

最近、電氣的にプログラム / 消去可能な不揮発性メモリ装置の需要が増加している。特に、大容量のデータを貯蔵するためのメモリセルの高集積化と高速動作のための高性能化を揃えた不揮発性メモリ装置は、さらに脚光を浴びている。デジタルマルチメディアの中のデータ貯蔵装置であるソリッド - ステート - ディスク (Solid - State - Disk : 以下 “SSD” という) と、拡張メモリカードでの大容量を実現するために、多数の不揮発性メモリ装置を一つのチップに内蔵するマルチチップが開発されている。 30

【0003】

図 1 は従来のマルチチップを含むメモリシステムを示す図面である。図 1 を参照すれば、マルチチップ 100 の内部には第 1 チップと第 2 チップ 102、104 が含まれ、ホスト 110 とマルチチップ 100 は、制御信号 CNT とレディー / ビジー信号 R / B、入出力バス I / O BUS、及びチップイネーブル信号 CE1、CE2 を通じて連結される。第 1 チップイネーブル信号 CE1 は、第 1 チップ 102 を選択する信号であり、第 2 チップイネーブル信号 CE2 は、第 2 チップ 104 を選択する信号である。レディー / ビジー信号 R / B は第 1 チップ 102 と第 2 チップ 104 に連結され、第 1 チップ 102 の状態を示す第 1 レディー / ビジー信号 R / B1 と、第 2 チップ 104 の状態を示す第 2 レディー / ビジー信号 R / B2 と、連結される。図 1 のメモリシステムの動作タイミングは、図 2 の通りである。 40

【0004】

図 2 を参照すれば、入出力バス I / O BUS のデータローディングに先立って、メモリシステムのセットアップコマンドと第 1 及び第 2 チップに各々対応されるアドレスが入力される。次に、第 1 及び第 2 チップに対応されるデータが入力され、DATA10、DATA11、DATA12 データは第 1 チップに対応され、DATA20、DATA21、DATA22 データは第 2 チップに対応される。例えば、入出力ライン I / O BUS にローディングされる DATA10 乃至 DATA22 データが、第 1 及び第 2 チップ (102、104、図 1) に各々プログラミングされるデータと仮定すれば、DATA10、DATA 50

A 1 1、D A T A 1 2データが第 1チップ (1 0 2、図 1) に完全にプログラムされるまで、第 1レディー / ビジー信号 R / B 1は、ローレベルで活性化される区間 B U S Y _ 1 0、B U S Y _ 1 1、B U S Y 1 2を有する。そして、D A T A 2 0、D A T A 2 1、D A T A 2 2データが第 2チップ (1 0 4、図 1) に完全にプログラムされるまで、第 2レディー / ビジー信号 R / B 2は、ローレベルで活性化される区間 B U S Y _ 2 0、B U S Y _ 2 1、B U S Y _ 2 2を有する。これによって、マルチチップ 1 0 0の出力であるレディー / ビジー信号 R / Bは、第 1レディー / ビジー信号 R / B 2と第 2レディー / ビジー信号 R / B 2のうちいずれか一つでもローレベルで活性化されれば、ローレベルで発生する。ローレベルのレディー / ビジー信号 R / Bは、マルチチップ (1 0 0、図 1) の状態がビジー (b u s y) 状態なので、他の命令を実行することができないことを示す。 10

【 0 0 0 5 】

ところで、このようなメモリシステムはマルチチップ (1 0 0、図 1) 内の第 1チップ (1 0 2、図 1) が、ビジー状態が終わって他の命令を受け入れることができるレディー状態にあるにもかかわらず、マルチチップ (1 0 0、図 1) 内の第 2チップ (1 0 4、第 1) のビジー状態により発生するマルチチップ 1 0 0のレディー / ビジー信号 R / Bによって、第 1チップ (1 0 2、図 1) は、第 2チップ (1 0 4、図 1) のビジー状態が終わるまで、T l o s s 時間の間待たなければならない。この T l o s s 時間は、メモリシステムの立場では、一種の時間の損失になって、マルチチップの性能を低下させる要因になる。

【 0 0 0 6 】

したがって、内蔵された各チップの性能を十分に動作させることができるマルチチップが要求される。 20

【 0 0 0 7 】

【 発明が解決しようとする課題 】

本発明の目的は、内蔵された各チップの性能を十分に動作させることができるマルチチップを提供することにある。

【 0 0 0 8 】

【 課題を解決するための手段 】

上述の目的を達成するために、一実施の形態による本発明は、多数のチップを内蔵するマルチチップにおいて、第 1チップ選択信号によりイネーブルされ、第 1レディー / ビジー信号に自己の状態を知らせる第 1チップと、第 2チップ選択信号によりイネーブルされ、第 2レディー / ビジー信号に自己の状態を知らせる第 2チップとを含む。マルチチップは、外部ホストとの相互動作のために、制御信号が第 1及び第 2チップに連結される。 30

【 0 0 0 9 】

他の実施の形態によるマルチチップでは、第 1チップ選択信号によりイネーブルされ、第 1レディー / ビジー信号に自己の状態を知らせる第 1チップと第 3チップが、並列に連結され、第 2チップ選択信号によりイネーブルされ、第 2レディー / ビジー信号に自己の状態を知らせる第 2チップと第 4チップが、並列に連結される。

【 0 0 1 0 】

したがって、本発明によれば、マルチチップに内蔵されるチップに各々対応されて、該当のチップの状態を示すレディー / ビジー信号を有する。レディー状態のチップは、他のチップのビジー状態が終わることを待つ必要なしに、外部ホストから命令される動作を実行することができる。これによって、マルチチップを内蔵するメモリシステムは、従来の T l o s s のような時間の損失を無くすることができるので、メモリシステムの性能が向上する。 40

【 0 0 1 1 】

以下、本発明は、多数のチップを一つのパッケージに内蔵したマルチチップについて記述される。マルチチップ内に内蔵されるチップは、半導体メモリ装置のうちでも不揮発性メモリ装置である、ことを例としてあげて記述される。

【 0 0 1 2 】

図 3 は、本発明の第 1 実施の形態によるマルチチップを含むメモリシステムを示す図面である。マルチチップ 300 は、内部的に第 1 及び第 2 チップ 302、304 を内蔵し、外部的に制御信号 CNT、第 1 チップ選択信号 CE1、第 2 チップ選択信号 CE2、第 1 レディー/ビジー信号 R/B1、第 2 レディー/ビジー信号 R/B2、及び入出力バス I/O BUS と連結される入出力データ DI0 を通じて、ホスト 310 と連結される。ホスト 310 は、マイクロプロセッサを含み、メモリシステムを制御する。第 1 チップ 302 は、第 1 チップ選択信号 CE1 と第 1 レディー/ビジー信号 R/B1 に、そして第 2 チップ 304 は、第 2 チップ選択信号 CE2 と第 2 レディー/ビジー信号 R/B2 に各々連結され、第 1 及び第 2 チップ 302、304 は、制御信号 CNT と入出力データ DI0 に共通に連結される。本実施の形態のメモリシステム動作は、図 4 に示す。

10

【0013】

図 4 を参照すれば、第 1 チップ 302 にプログラミングされる第 1 データ DATA10、DATA11、DATA12 と、第 2 チップ 04 にプログラミングされる第 2 データ DATA20、DATA21、DATA22 とが、入出力バス I/O BUS にローディングされる。第 1 データ DATA10、DATA11、DATA12 が、第 1 チップ 302 にプログラムされる間、第 1 レディー/ビジー信号 R/B1 が、ローレベルで活性化 (BUSY-10、BUSY-11、BUSY-12) されて、第 1 チップ 302 がビジー状態にあることを、ホスト 310 に伝達する。第 2 データ DATA20、DATA21、DATA22 が、第 2 チップ 304 にプログラムされる間、第 2 レディー/ビジー信号 R/B2 がローレベルで活性化 (BUSY-20、BUSY-21、BUSY-22) されて、第 2 チップ 04 がビジー状態にあることをホスト 310 に伝達する。

20

【0014】

したがって、本実施の形態のメモリシステムでは、第 1 及び第 2 レディー/ビジー信号 R/B1、R/B2 が、第 1 及び第 2 チップ 302、304 の状態をホスト 310 に独立的に知らせるので、第 2 チップ 304 がビジー状態にあっても、第 1 チップ 302 がレディー状態にあれば、ホスト 310 は第 1 チップ 302 に命令を送ることができる。これによって、第 1 チップ 302 は、従来の第 2 チップ 304 のビジー状態が終わることを待つ必要なしに、ホスト 310 から命令される動作を実行することができる。

【0015】

図 5 は、本発明の第 2 の実施の形態によるマルチチップを含むメモリシステムを示す図面である。図 5 を参照すれば、マルチチップ 500 は、第 1 乃至第 4 チップ 502、504、506、508 を内蔵する。マルチチップ 500 は、外部的に制御信号 CNT、第 1 チップ選択信号 CE1、第 2 チップ選択信号 CE2、第 1 レディー/ビジー信号 R/B1、第 2 レディー/ビジー信号 R/B2 及び入出力バス I/O BUS と連結される入出力データ DI0 を通じて、ホスト 510 と連結される。第 1 及び第 2 チップ 502、504 は、第 1 チップ選択信号 CE1 と第 1 レディー/ビジー信号 R/B1 に連結され、第 3 及び第 4 チップ 506、508 は、第 2 チップ選択信号 CE2 と第 2 レディー/ビジー信号 R/B2 に連結される。制御信号 CNT と入出力データ DI0 は、共通に第 1 乃至第 4 チップ 502、504、506、508 に連結される。

30

【0016】

本実施の形態のマルチチップ 500 は、図 3 のマルチチップ 300 と比較して、図 3 の第 1 チップ 302 が第 1 及び第 2 チップ 502、504 で構成され、図 3 の第 2 チップ 304 が第 3 及び第 4 チップ 506、508 で構成される。これは、図 3 のマルチチップ 300 に比べて 2 倍として、大容量化したマルチチップ 500 である。そして、第 1 レディー/ビジー信号 R/B1 が第 1 及び第 2 チップ 302、304 の状態を、そして第 2 レディー/ビジー信号 R/B2 が第 3 及び第 4 チップ 306、308 の状態を、各々ホスト 310 に独立的に知らせる。第 3 及び第 4 チップ 506、508 がビジー状態にあっても、第 1 及び第 2 チップ 502、504 がレディー状態にあれば、ホスト 510 は、第 1 及び第 2 チップ 502、504 に命令を送ることができる。これによって、第 1 及び第 2 チップ 502、504 は、第 3 及び第 4 チップ 506、508 のビジー状態が終わることを待つ

40

50

必要なしに、ホスト 510 から命令される動作を実行することができる。

【0017】

以上、本発明について、実施の形態を挙げて記述してきたが、これは例示的なことに過ぎず、本発明の技術的思想及び範囲を制限または限定するものではない。したがって、マルチチップに内蔵されるチップに各々対応されるレディー／ビジー信号 R / B を置いて、各チップの状態を外部ホストで認識し制御できるようにすることは勿論である。したがって、本発明の技術的思想及び範囲を逸脱しない限度内で、多様な変化及び変更が可能であることは勿論である。

【0018】

【発明の効果】

上述の本発明のマルチチップによれば、マルチチップに内蔵するチップに各々対応され、該当チップの状態を示すレディー／ビジー信号を有する。レディー状態のチップは、他のチップのビジー状態が終わることを待つ必要なしに、外部ホストから命令される動作を実行することができる。これによって、マルチチップを内蔵するメモリシステムは、従来の T l o s s のような時間の損失を無くすることができるので、メモリシステムの性能が向上する。

【図面の簡単な説明】

【図1】従来のマルチチップを含むメモリシステムを示す図面である。

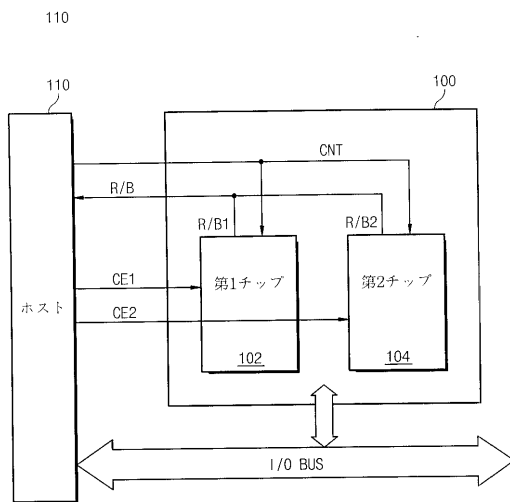
【図2】図1のメモリシステムの動作タイミング図を示す図面である。

【図3】本発明の第1の実施の形態によるマルチチップを含むメモリシステムを示す図面である。 20

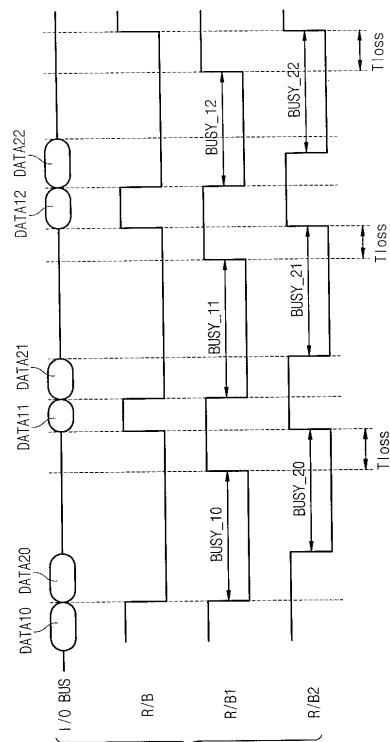
【図4】図3のメモリシステムの動作タイミング図を示す図面である。

【図5】本発明の第2の実施の形態によるマルチチップを含むメモリシステムを示す図面である。

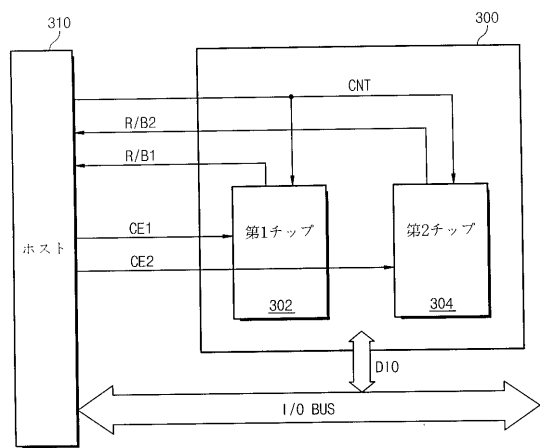
【図1】



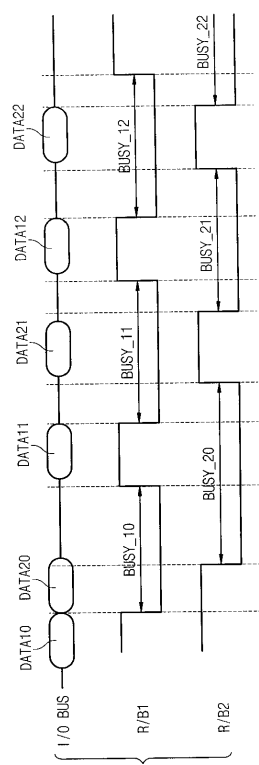
【図2】



【図 3】



【図 4】



【図 5】

