

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5416281号
(P5416281)

(45) 発行日 平成26年2月12日 (2014. 2. 12)

(24) 登録日 平成25年11月22日 (2013. 11. 22)

(51) Int. Cl.		F I	
H04B	1/04	(2006.01)	H04B 1/04 A
H03C	5/00	(2006.01)	H03C 5/00 A
H03C	1/00	(2006.01)	H03C 1/00 A
H03D	7/00	(2006.01)	H03D 7/00 B
			H03D 7/00 D

請求項の数 8 (全 13 頁)

(21) 出願番号	特願2012-534475 (P2012-534475)	(73) 特許権者	303046277
(86) (22) 出願日	平成24年5月23日 (2012. 5. 23)		旭化成エレクトロニクス株式会社
(86) 国際出願番号	PCT/JP2012/003373		東京都千代田区神田神保町一丁目105番地
(87) 国際公開番号	W02012/164876	(74) 代理人	100066980
(87) 国際公開日	平成24年12月6日 (2012. 12. 6)		弁理士 森 哲也
審査請求日	平成24年7月30日 (2012. 7. 30)	(74) 代理人	100109380
(31) 優先権主張番号	特願2011-125815 (P2011-125815)		弁理士 小西 恵
(32) 優先日	平成23年6月3日 (2011. 6. 3)	(74) 代理人	100103850
(33) 優先権主張国	日本国 (JP)		弁理士 田中 秀▲てつ▼
		(72) 発明者	福田 州一
			東京都千代田区神田神保町一丁目105番地
		審査官	佐藤 敬介

最終頁に続く

(54) 【発明の名称】 送信器

(57) 【特許請求の範囲】

【請求項 1】

並列に接続された複数の直接 R F 変換器と、
前記複数の直接 R F 変換器に入力されるデジタルベースバンド入力信号を遅延させる複数の遅延回路と、

前記複数の直接 R F 変換器から出力される各出力信号を加算する加算部と、
を含み、

前記直接 R F 変換器は、

前記デジタルベースバンド入力信号と共に R F 信号を入力し、前記デジタルベースバンド入力信号によって前記 R F 信号を変調し、前記出力信号として出力することを特徴とする送信器。

【請求項 2】

前記複数の遅延回路は、前記複数の直接 R F 変換器と一対一に接続されることを特徴とする請求項 1 に記載の送信器。

【請求項 3】

前記複数の直接 R F 変換器が、N 個の前記直接 R F 変換器を含む第 1 ブロックと、
M 個の前記直接 R F 変換器を含む第 2 ブロックと、を含み、
前記第 1 ブロックに含まれる前記直接 R F 変換器は、
同相デジタルベースバンド入力信号と共に第 1 R F 信号を入力し、前記同相デジタルベースバンド入力信号によって前記第 1 R F 信号を変調して第 1 出力信号として出力し、

10

20

前記第 2 ブロックに含まれる前記直接 R F 変換器は、

直交デジタルベースバンド入力信号と共に前記第 1 R F 信号と位相が 90 度相違する第 2 R F 信号を入力し、前記直交デジタルベースバンド入力信号によって前記第 2 R F 信号を変調して第 2 出力信号として出力し、

前記加算部は、

前記第 1 ブロックに含まれる N 個 (N は自然数) の前記直接 R F 変換器のそれぞれから出力される前記第 1 出力信号と、前記第 2 ブロックに含まれる M 個 (M は自然数) の前記直接 R F 変換器のそれぞれから出力される前記第 2 出力信号と、を加算することを特徴とする請求項 1 に記載の送信器。

【請求項 4】

10

前記複数の遅延回路の各々に対し、前記デジタルベースバンド入力信号の遅延量を設定する遅延制御回路をさらに含むことを特徴とする請求項 1 に記載の送信器。

【請求項 5】

前記複数の遅延回路の各々に対し、前記デジタルベースバンド入力信号の遅延量を設定する遅延制御回路をさらに含み、

前記遅延制御回路は、

前記第 1 ブロックに含まれる前記 N 個の直接 R F 変換器と接続された前記遅延回路の各々が前記同相デジタルベースバンド入力信号を遅延させる遅延量を設定し、

前記第 2 ブロックに含まれる前記 M 個の直接 R F 変換器と接続された前記遅延回路の各々が前記直交デジタルベースバンド入力信号を遅延させる遅延量を設定することを特徴とする請求項 3 に記載の送信器。

20

【請求項 6】

前記第 1 ブロックと前記第 2 ブロックとがいずれも前記 N 個の直接 R F 変換器を含み (M = N)、

前記遅延制御回路は、前記第 1 ブロックに含まれる前記直接 R F 変換器の i 番目 (i は 1 以上、N 以下の自然数) の前記直接 R F 変換器と、前記第 2 ブロックに含まれる前記直接 R F 変換器の i 番目の前記直接 R F 変換器とに、同じ遅延量を設定することを特徴とする請求項 5 に記載の送信器。

【請求項 7】

前記遅延回路は、

30

前記デジタルベースバンド入力信号を、該デジタルベースバンド入力信号の信号レートの周期を遅延量に応じた整数倍遅延させた遅延デジタル信号を生成することを特徴とする請求項 1 から 6 のいずれか 1 項に記載の送信器。

【請求項 8】

前記遅延回路は、前記整数に等しい数のフリップフロップ回路を含むことを特徴とする請求項 7 に記載の送信器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、送信器に係り、特に、デジタル／アナログ変換器を含む送信器に関する。

40

【背景技術】

【0002】

現在、複数の無線通信規格や複数の周波数のバンドに対応することができる携帯型の通信端末装置 (以下、本明細書では携帯端末と記す) がある。複数の規格に対応することをマルチモード対応といい、複数の周波数のバンドに対応することをマルチバンド対応という。

このようなマルチモード／マルチバンド対応端末の送信に係る構成として、デジタルベースバンド信号をアナログ信号に変換 (デジタル／アナログ変換) する際に、そのまま R F 送信キャリア周波数への周波数変換も行い、デジタルから R F 周波数に直接に変調する送信器が近年知られている。このような送信器は、例えば、特許文献 1 に記載されている

50

。

【0003】

特許文献1に記載された発明では、広く知られた電流制御型デジタル／アナログ変換回路におけるトランジスタの縦積み回路の一部に、ギルバートセルミキサに類似した構成のRF周波数変換回路を組み込んでいる。このような構成によれば、デジタル／アナログ変換器とRF周波数変換器、あるいはRF変調器とを独立した回路とし、デジタル／アナログ変換とRF周波数変換とを複合化して同時に行うことを可能としている。

【0004】

特許文献1に記載された送信器は、デジタル／RF変換器(Digital-to-RF-converter)、直接RF変換器(Direct RF converter)、あるいはそれによって構成される直接RF変調送信器(Direct RF Modulation Transmitter)等と呼ばれることがあり、従来型の分離動作する送信器においては通常必要とされる、デジタル／アナログ変換器とRF周波数変換器との間のアナログベースバンドフィルタ回路を省略できる等、いくつかの利点を有している。

図6は、上記した構成の直接RF変調送信器の構成を例示した図である。図6に示した直接RF変調送信器は、2つのデジタル／RF変換器(Digital-to-RF-converter: DRC)1、2と、2分周器3と、出力整合回路4とから構成される。

【0005】

2分周器3には、周波数掛算用のRF信号(以下、送信ローカルRF信号と記す) $L_{o\text{in}+}$ 、送信ローカルRF信号 $L_{o\text{in}+}$ の位相が反転された送信ローカルRF信号 $L_{o\text{in}-}$ が外部から供給されている。2分周器3は、送信ローカルRF信号 $L_{o\text{in}+}$ 、 $L_{o\text{in}-}$ を入力し、90度位相の異なる二対の差動ローカル信号 T_{xLoI+} 、 T_{xLoI-} 、 T_{xLoQ+} 、 T_{xLoQ-} を生成してDRC1、2に各々出力する。この例では、2分周器3によって0度と90度の差動ローカル信号を生成するため、送信ローカルRF信号 $L_{o\text{in}+}$ 、 $L_{o\text{in}-}$ の周波数は目的とする送信キャリア波の周波数の2倍になる。差動ローカル信号 T_{xLoI+} 、 T_{xLoI-} 、 T_{xLoQ+} 、 T_{xLoQ-} の周波数は送信キャリア波の周波数となる。差動ローカル信号 T_{xLoI+} 、 T_{xLoI-} と、 T_{xLoQ+} 、 T_{xLoQ-} との間には、90度の位相差がある。

【0006】

DRC1とDRC2とは、同様の構成を有している。DRC1とDRC2とは、いわゆるIQ直交変調器と同じ形式の位相関係で差動ローカル信号 T_{xLoI+} 、 T_{xLoI-} と、 T_{xLoQ+} 、 T_{xLoQ-} が供給されることによって直接RF変調送信器が構成される。すなわち、DRC1にはI(In-Phase:同相)デジタルベースバンド信号(図中に「IBBData」と記す)が入力される。また、DRC2には、Q(Quadrature:直交)デジタルベースバンド信号(図中に「QBBData」と記す)が入力される。

【0007】

また、DRC1、2には、サンプリングクロック信号 CLK_{BB} が入力される。DRC1、2は、いずれもデジタル／アナログ変換機能とベースバンド信号をRF信号に周波数変換する周波数掛算機能とを統合した機能を有する信号変換回路である。このような機能により、DRC1は、クロック信号 CLK_{BB} 、Iデジタルベースバンド信号、差動ローカル信号から出力差動信号を出力する。また、DRC2は、クロック信号 CLK_{BB} 、Qデジタルベースバンド信号、差動ローカル信号から出力差動信号を出力する。DRC1、2から出力された出力差動信号は加算され、出力整合回路4、次段のパワーアンプ(図中に「PA」と記す)5を通して搬送波として出力される。

【0008】

出力整合回路4は、容量やインダクタ素子等の受動素子で構成され、送信キャリア波の周波数を中心周波数とするバンドパス型のゲイン特性を有する回路である。なお、図6に示した直接RF変調送信器では、DRC1、2が電流を出力することを想定していて、DRC1が出力した出力差動信号と、DRC2が出力した出力差動信号との加算は、信号経路を直接結合することによって実現される。

【0009】

10

20

30

40

50

図7は、上記した特許文献1に記載されているDRC1、DRC2の構成を示した回路である。DRC1及びDRC2は、LSB (Least Significant Bit) 側の信号を処理するブロックと、MSB (Most Significant Bit) 側の信号を処理するブロックとを備えている。LSB側のブロックは、ユニットセルがバイナリで重み付けされた電流源200、201、…20kと、ギルバートセル型に配置されたローカル信号用スイッチ220、221、…22kと、データ信号用スイッチ240、241、…24kとで構成されている。

【0010】

また、MSB (Most Significant Bit) 側のブロックは、同じ値に重み付けされた電流源210と、ギルバートセル型に配置されたローカル信号用スイッチ230とデータ信号用スイッチ250とが必要なビット分だけ並列に接続された構成を有している。このような構成により、特許文献1に記載された直接RF変調送信器では、デジタル／アナログ変換と周波数掛算とを同時に行うことができる。なお、図7に示した例では、DRCの外部に設けられた外部負荷によって全セルの電流出力が電圧変換されることとなっている。

【0011】

図8は、デジタル／RF変換器、あるいは直接RF変換器と呼ばれる回路の一般的な動作を説明するための図である。このような回路では、RF信号、デジタルベースバンド信号が入力され、RF信号がデジタルベースバンド信号によって変調されて出力される。変調された信号は、デジタルベースバンド信号が切り替わるタイミングで送信キャリア波の位相を反転した信号を出力する。

【0012】

ここで、直接RF変調送信器から出力される出力信号のノイズについて説明する。直接RF変調送信器において、出力信号の搬送波近傍のノイズフロアを決定する主要要因は、内部素子から発生する熱雑音やフリッカ雑音と、デジタル／アナログ変換過程で発生する量子化雑音である。デジタル／アナログ変換と周波数掛算を別個の回路ブロックで行う送信器では、デジタル／アナログ変換直後にアナログフィルタを設置することが可能である。このため、周波数変換後の信号に量子化ノイズはほとんど含まれない。

【0013】

ところが、図7に示した従来のDRCは、上述したように、デジタル／アナログ変換機能と周波数掛算機能とを統合した機能を有している。このため、デジタル／アナログ変換で生じた量子化雑音が、そのまま搬送波近傍の雑音として出力される。このため、図7に示した従来のDRCでは、デジタル／アナログ変換における量子化雑音の発生を低く抑えることが必要である。

以下に示す式(1)は通常のデジタル／アナログ変換器がフルスケールの希望波信号を出力したとき、デジタル／アナログ変換で発生する量子化雑音量を示している。式(1)は希望波信号レベルを基準としたときのノイズ量であり、Bはビット数、fsはサンプリング周波数を示している。

【0014】

【数1】

$$NoiseFloor (dBc/Hz) = -\{6.02 \cdot B + 1.76 + 10 \cdot \log(f_s/2)\} \quad \dots \text{式(1)}$$

【0015】

式(2)は、図7に示したDRCがフルスケールの希望波信号を出力したとき、デジタル／アナログ変換された信号が周波数掛算されて、高周波に周波数変換された場合の量子化雑音量を示している。式(1)、式(2)により、ノイズを低減するためには、ビット数Bの増加もしくはサンプリング周波数fsの増加が必要であることが分かる。CMOS (Complementary Metal Oxide Semiconductor)回路において低い量子化雑音の実現を考えた場合、サンプリング周波数を実現可能な最大周波数とし、ノイズの低減に不足する分はビット数の増加で補うが必要になる。

【0016】

【数2】

$$NoiseFloor (dBc/Hz) = -\{6.02 \cdot B + 1.76 + 10 \cdot \log(f_s/2) + 10 \cdot \log(2)\} \quad \dots \text{式 (2)}$$

【0017】

図7に示したDRC1、2をMOSトランジスタで実現すると、DRC1、2の面積の大部分を電流源200～20k、210が占めることになる。電流源200～20k、210の面積は、入力されるデジタル信号のビット数と必要な線形性（歪特性）から計算される電流ばらつきの精度で決定される。ここで、入力されるデジタル信号のビット数と、

10

【0018】

MOSトランジスタから出力される電流の相対的なばらつきを、式(3)に示す。式(3)中の $\sigma I/I$ は電流の相対的なばらつきの標準偏差である。 A_β 、 A_{VT} は半導体プロセスに依存するばらつきのパラメータ、 V_{GS} はMOSトランジスタのゲート、ソース間の電圧、 V_t はMOSトランジスタの閾値電圧、 W はMOSトランジスタのチャネル幅、 L はMOSトランジスタのチャネル長を示している。

【0019】

【数3】

$$\left(\frac{\sigma I}{I}\right) = \sqrt{\frac{\frac{1}{2} \left[A_\beta^2 + \frac{4 A_{VT}^2}{(V_{GS} - V_t)^2} \right]}{(WL)_{\min}}} \quad \dots \text{式 (3)}$$

20

【0020】

ここで、変換の対象となるデジタル信号のビット数が増加した場合、増加の前後で線形性の性能を同等に保つことを考える。電流の相対的なばらつきの要求値が $1/2^{1/2}$ になる点を考慮すると、前記した式(3)により、デジタル信号の1ビットの増加で電流源が占める面積を2倍にする必要がある。さらに、1ビットの増加でDRC1、2の構成に必要な素子数は2倍になることから、電流源面積は全体で4倍となる。このことより量子化ノイズの低減のためにビット数を増やす方法は、DRC1、2の面積の増大という不利益を生じる。

30

【0021】

また、無線通信器用のRF送信器は出力されるRF信号のノイズには、一般的に全周波数帯域で一様な値が要求されるわけではなく、ノイズに関する要求の厳しい周波数帯とそうでない周波数帯とが混在している。例えば、携帯電話規格であるW-CDMAでは、受信と送信が同時に行われるFDD (Frequency Division Duplex) システムに適用され、受信周波数付近のノイズに関する要求が最も厳しくなっている。

【先行技術文献】

【特許文献】

40

【0022】

【特許文献1】 Patent Application Publication US 2005/0111573 A1

【発明の概要】

【発明が解決しようとする課題】

【0023】

しかし、従来の直接RF変調送信器をCMOS半導体で実現した場合、量子化雑音の低減を図るためには、デジタル/アナログ変換のビット数を増加させることが必要であり、ビット数増加のためには、電流源となる素子間の電流の相対的なばらつきを抑えることが必要となる。電流の相対的なばらつきを抑えるためには、特性のばらつきが生じやすい微細な素子を直接RF変調送信器に使用し難くなる。このため、直接RF変調送信器では、

50

ビット数の増加に伴って回路面積が増大する。回路面積の増大は、製造コストの増加に直結するため大きな問題である。

本発明は、上記の点に鑑み、低ノイズであって、かつ、回路面積が増大することを回避することができる送信器を提供することを目的とする。

【課題を解決するための手段】

【0024】

上記した課題を解決するため、本発明の一態様の送信器は、並列に接続された複数の直接RF変換器（例えば図1に示したDRC302a～302n、306a～306m）と、上記複数の直接RF変換器に入力されるデジタルベースバンド入力信号（例えば図1に示したIBBDa t a、QBBDa t a）を遅延させる複数の遅延回路（例えば図1に示した遅延回路304a～304n、307a～307m）と、上記複数の直接RF変換器から出力される各出力信号を加算する加算部（例えば図1に示した出力整合回路305）と、を含み、上記直接RF変換器が、上記デジタルベースバンド入力信号と共にRF信号を入力し、上記デジタルベースバンド入力信号によって上記RF信号を変調し、上記出力信号として出力することを特徴とする。

10

【0025】

また、本発明の一態様の送信器は、上記した発明において、上記複数の遅延回路が、上記複数の直接RF変換器と一対一に接続されるようにしてもよい。

また、本発明の一態様の送信器は、上記した発明において、上記複数の直接RF変換器が、N個の上記直接RF変換器を含む第1ブロックと、M個の上記直接RF変換器を含む第2ブロックと、を含み、上記第1ブロックに含まれる上記直接RF変換器が、同相デジタルベースバンド入力信号と共に第1RF信号を入力し、上記同相デジタルベースバンド入力信号によって上記第1RF信号を変調して第1出力信号として出力し、上記第2ブロックに含まれる上記直接RF変換器が、直交デジタルベースバンド入力信号と共に上記第1RF信号と位相が90度相違する第2RF信号を入力し、上記直交デジタルベースバンド入力信号によって上記第2RF信号を変調して第2出力信号として出力し、上記加算部が、上記第1ブロックに含まれるN個（Nは自然数）の上記直接RF変換器のそれぞれから出力される上記第1出力信号と、上記第2ブロックに含まれるM個（Mは自然数）の上記直接RF変換器のそれぞれから出力される上記第2出力信号と、を加算するようにしてもよい。

20

30

【0026】

また、本発明の一態様の送信器は、上記した発明において、上記複数の遅延回路の各々に対し、上記デジタルベースバンド入力信号の遅延量を設定する遅延制御回路（例えば図1に示した遅延制御回路309）をさらに含むようにしてもよい。

また、本発明の一態様の送信器は、上記した発明において、上記遅延制御回路が、上記第1ブロックに含まれる上記N個の直接RF変換器と接続された上記遅延回路の各々が上記同相デジタルベースバンド入力信号を遅延させる遅延量を設定し、上記第2ブロックに含まれる上記M個の直接RF変換器と接続された上記遅延回路の各々が上記直交デジタルベースバンド入力信号を遅延させる遅延量を設定するようにしてもよい。

【0027】

40

また、本発明の送信器は、上記した発明において、上記第1ブロックと上記第2ブロックとがいずれも上記N個の直接RF変換器を含み（ $M=N$ ）、上記遅延制御回路は、上記第1ブロックに含まれる上記直接RF変換器のi番目（iは1以上、N以下の自然数）の上記直接RF変換器と、上記第2ブロックに含まれる上記直接RF変換器のi番目の上記直接RF変換器とに、同じ遅延量を設定するようにしてもよい。

【0028】

また、本発明の送信器は、上記した発明において、上記遅延回路が、上記デジタルベースバンド入力信号を、該デジタルベースバンド入力信号の信号レートの周期を遅延量に応じた整数倍遅延させた遅延デジタル信号を生成するようにしてもよい。

また、本発明の送信器は、上記遅延回路が、上記整数に等しい数のフリップフロップ回

50

路（例えば図 3 に示したフリップフロップ回路 501a～501k）を含むようにしてもよい。

【発明の効果】

【0029】

上記態様の送信器は、複数の入力信号遅延機能付直接 RF 変換器を並列に用いることで、後述するノッチ周波数を任意の周波数に設定することが可能になり、よって量子化ノイズのフィルタリングを適宜必要な周波数帯域に対して行うことが可能になる。

そのため、このような送信器を半導体集積回路で実現した場合、量子化ノイズに対する上述ビット数の増加要求が緩和され、デジタル／アナログ変換のビット数を従来に比べ少なくできるため、面積の小型化を図ることができる。

10

以上のことから、本発明によれば、低ノイズであって、かつ、回路面積が増大することを回避することができる直接 RF 変調送信器を提供することができる。

【図面の簡単な説明】

【0030】

【図 1】本発明の一実施形態の直接 RF 変調送信器の回路図である。

【図 2】図 1 に示した DDRC に入力される入力データを説明するための図である。

【図 3】図 2 に示した遅延回路の構成を説明するための図である。

【図 4】本発明の一実施形態の等価的機能特性を示した図である。

【図 5】本発明の一実施形態の量子化雑音がかかるゲイン特性を例示した図である。

【図 6】従来技術の直接 RF 変調送信器の構成を例示した図である。

20

【図 7】従来技術の DRC の構成を説明するための図である。

【図 8】デジタル／RF 変換器等の一般的な動作を説明するための図である。

【発明を実施するための形態】

【0031】

以下、本発明の一実施形態の送信器を説明する。

[回路構成]

図 1 は、本実施形態の送信器である直接 RF 変調送信器の回路図である。本実施形態の直接 RF 変調送信器は、IQ 直交変調方式型（CARTESIAN 型）の直接 RF 変調送信器である。本実施形態の直接 RF 変調送信器は、I デジタルベースバンド信号が入力される N 個の直接 RF 変換器（Direct RF Converter：以下、「DRC」と記す）302a～302n と、Q デジタルベースバンド信号が入力される M 個の DRC 306a～306m と、を含んでいる。

30

【0032】

本実施形態では、DRC 302a～302n が DRC の第 1 ブロックを構成し、DRC 306a～306m が DRC の第 2 ブロックを構成するものとする。

DRC 302a～302n は、各々対応する遅延回路 304a～304n（数字の後に付された a、b、…n が同じ遅延回路）と接続されて入力信号遅延機能付直接 RF 変換器（Delay-attached Direct RF Converter：以下、「DDRC」と記す）301a～301n を構成する。また、DRC 306a～306m は、各々対応する遅延回路 307a～307m（数字の後に付された a、b、…n が同じ遅延回路）と接続されて DDRC 308a～308m を構成する。

40

【0033】

さらに、本実施形態の直接 RF 変調送信器は、送信ローカル RF 信号 $L_{o\text{in}+}$ 、 $L_{o\text{in}-}$ を入力し、互いに 90 度位相が異なる一対の差動ローカル信号 $T_{x\text{LoI}+}$ 、 $T_{x\text{LoI}-}$ と、他の一対の差動ローカル信号 $T_{x\text{LoQ}+}$ 、 $T_{x\text{LoQ}-}$ を生成する 2 分周器 303 と、出力整合回路 305 と、N 個の DDRC 301、M 個の DDRC 308 に入力される入力データの遅延量を制御する遅延制御回路 309 と、から構成されている。

【0034】

出力整合回路 305 は、容量やインダクタ素子等の受動素子で構成され、送信キャリア波の周波数を中心周波数とするバンドパス型のゲイン特性を有する回路である。なお、図

50

1に示した直接RF変調送信器では、DRC302a～302n、DRC306a～306mが電流を出力することを想定していて、DRC302a～302nが出力した出力差動信号と、DRC306a～306mが出力した出力差動信号との加算は、信号経路を直接結合することによって実現されているが、出力整合回路305で加算してもよい。

【0035】

遅延制御回路309は、DDRC301a～301n、DDRC308a～308mの入力データの遅延量を各々独立に設定することができる。DDRC301a～301nの入力データの遅延量をそれぞれD1、D2、…DNとし、DDRC308a～308mの入力データの遅延量をD1、D2、…DMとする。

【0036】

図2は、図1に示したDDRC（図2ではDDRC301aとする）に入力される入力データを説明するための図である。DDRC301aには、Iデジタルベースバンド信号（図2中に「IBBDat a」と記す）と、サンプリングクロック信号CLK_{BB}とが入力される。Iデジタルベースバンド信号は、図1に示した遅延制御回路309から出力される遅延制御信号によって遅延された後、DRC302aに入力される。

【0037】

なお、図1に示したDDRC301b～301nには、図2に示した構成と同様に、Iデジタルベースバンド信号、サンプリングクロック信号CLK_{BB}、遅延制御信号が入力され、遅延されたIデジタルベースバンド信号が各々対応するDRCに入力される。また、図1に示したDDRC308a～308mにはQデジタルベースバンド信号、サンプリングクロック信号CLK_{BB}、遅延制御信号が入力され、遅延されたQデジタルベースバンド信号が各々対応するDRCに入力される。

【0038】

図3は、図2に示した遅延回路304aの構成を説明するための図である。なお、遅延回路304a～304n、遅延回路307a～307mは、全て同様に構成されている。遅延回路304aは、k個のフリップフロップ回路501a～501kと、k+1個の入力端子を有し遅延制御回路309から出力される遅延制御信号によって選択制御されるマルチプレクサ502と、によって構成されている。サンプリングクロックCLK_{BB}の1クロックをT_{clkbb}とすると、遅延回路304aは、遅延量が0からk×T_{clkbb}の時間T_{clkbb}間隔の遅延、つまり、Iデジタルベースバンド信号を任意のサンプリングクロックCLK_{BB}の整数（0～k）倍遅延させることが可能である。

【0039】

図1に示したDDRC301a～301nの入力データの各遅延量は、遅延制御回路309から出力される遅延制御信号によって、例えば、以下のように設定される。なお、下記の式中のaは任意の自然数である。

$$D1 = 0$$

$$D2 = T_{clkbb} \times a$$

$$D3 = 2 \times T_{clkbb} \times a \cdots$$

$$DN = (N-1) \times T_{clkbb} \times a$$

【0040】

また、図1に示したDDRC308a～308mの入力データの各遅延量は、遅延制御回路309から出力される遅延制御信号によって、例えば、以下のように設定される。なお、下記の式中のaは任意の自然数である。

$$D1 = 0$$

$$D2 = T_{clkbb} \times a$$

$$D3 = 2 \times T_{clkbb} \times a \cdots$$

$$DM = (M-1) \times T_{clkbb} \times a$$

【0041】

[量子化ノイズ]

次に、図1に示した直接RF変調送信器で発生する量子化ノイズについて説明する。図

10

20

30

40

50

1に示したDDRC301a～301nにおけるデジタル／アナログ変換で発生した量子化ノイズは、直接RF変調送信器の出力において、送信キャリア周波数より高周波側では送信キャリア周波数を起点として下記の式(4)に示したフィルタリング効果を受ける。また、送信キャリア周波数よりも低周波側では、送信キャリア周波数を起点として高周波側の伝達特性を折り返した低周波側へのフィルタリング効果を受ける。

【0042】

式(4)は、サンプリングクロック周波数 f_s を基準としたZ関数を用いて、このフィルタリング効果を表現したものである。式(4)中の a は遅延量をサンプリングクロック(T_{clkb})の単位で規格化した自然数で、 n は図1に示したDDRC301a～301nの個数 N に対して $n=N-1$ となる整数、また N 個のDDRCに施される遅延は、1番目から N 番目のDDRCに対しそれぞれ0、 $T_{clkb} \times a$ 、 $2 \times T_{clkb} \times a$ 、 $\dots$ 、 $n \times T_{clkb} \times a$ である。なお、 f_{off} は送信キャリア周波数からの離調周波数である。

【0043】

【数4】

$$(1 + Z^{-a} + Z^{-2a} + \dots + Z^{-na}) \cdot \frac{\sin\left(\frac{\pi \cdot f_{off}}{f_s}\right)}{\left(\frac{\pi \cdot f_{off}}{f_s}\right)} \quad \dots \text{式(4)}$$

【0044】

上記した式(4)は、 n を $n=M-1$ とすることによってDDRC308a～308mについても適用することができる。

フィルタリング効果が式(4)によって表されることは、図1に示した直接RF変調送信器において差動ローカル信号 T_{xLoI+} 、 T_{xLoI-} 、 T_{xLoQ+} 、 T_{xLoQ-} の周波数がゼロである場合を思考モデル的に考えると説明が容易かつ明瞭になる。この場合、DRC302a～302n、DRC306a～306mは周波数変換を行わない単純なデジタル／アナログ変換器となる。デジタル／アナログ変換はゲイン1の等価変換であり、Iデジタルベースバンド信号に注目すると、図4のように、Z変換の伝達関数を用いて表される等価の機能特性を考えることができる。これは一般的に良く知られたFIR(Finite impulse response：有限インパルス応答)フィルタであり、このことから直接RF変調送信器においても量子化ノイズが式(4)に示した抑圧をうけることが分かる。

【0045】

図5は、一例として $f_s=1\text{Hz}$ 、ローカル周波数 $=100\text{Hz}$ 、 $N=2$ 、 $a=1$ としたときの量子化雑音がかかるゲイン特性を示している。図5の縦軸は直接RF変調送信器のゲインを示し、横軸は信号の周波数を示している。縦軸に示したゲインが極小となる周波数は、一般的にノッチ周波数と呼ばれている。ノッチ周波数近傍では、デジタル／アナログ変換のビット数から計算される量子化雑音が大きくフィルタリングされることにより、低い量子化ノイズを実現することが可能である。

【0046】

ノッチ周波数は、DDRCの段数 N とサンプリング周波数 f_s との組み合わせによって任意に設定することが可能である。本実施形態では、ノッチ周波数を、無線通信で低ノイズが要求される周波数帯に対して調整することで、各DRCに要求されるデジタル／アナログ変換のビット数を抑えることが可能となる。

また、図1に示した直接RF変調送信器において、DRC302a～302nの個数 N とDRC306a～306mの個数 M とが同じ(説明の便宜上、DRC302a～302nとDRC306a～306mとがいずれも N 個とする)であって、DRC302a～302nの i 番目(i は1以上、 N 以下の数)のDRCと、DRC306a～306mの i 番目のDRCとに対し、遅延制御回路309が同じ遅延量を設定するものとする。

【0047】

このとき、Iデジタルベースバンド信号のデジタル／アナログ変換で発生した量子化ノ

10

20

30

40

50

イズと、Q デジタルベースバンド信号のデジタル／アナログ変換で発生した量子化ノイズが受けるフィルタリングのフィルタリング特性は同一となる。、また、このとき、所定の離調周波数でのフィルタリング効果が一番高いことも F I R フィルタの性質から分かる。

【0048】

[回路面積]

次に、従来の D R C を用いた直接 R F 変調器回路の電流源全体の面積と、本発明を適用した D R C 及び遅延制御回路から構成される直接 R F 変調器の電流源全体の面積とを具体的な数値を用いて比較する。

従来の直接変調 R F 送信器における 10 ビット D R C の電流源全体の面積を S_0 とする。量子化ノイズの低減のため仮に 1 ビットだけ分ビット数を増やした場合、その電流源全体の面積は 4 倍の $4 \times S_0$ となる。2 ビット分だけビット数を増やした場合、その電流源全体の面積は 16 倍の $16 \times S_0$ となる。これらによるノイズ低減効果は、前記した式 (2) より、それぞれ 6 dB、12 dB となる。

【0049】

一方、本発明を適用することにより 10 ビットの D R C を並列に 2 つならべること、すなわち $N=M=2$ とすることで周波数を部分的に低ノイズ化した場合、その電流源全体の面積は元の面積 S_0 の 2 倍の $2 \times S_0$ ですむ。また、 $N=M=4$ とした場合でも、元の面積 S_0 の 4 倍にしかない。

【0050】

このような本実施形態によれば、従来の直接変調 R F 送信器を単純にビット増しして構成する上記例の場合よりも小さい面積で低ノイズの送信器が実現できる。また、本実施形態の場合、ノイズフィルタリングによってノイズを低減しているためノイズフロア全体が低減できるわけではない。しかし、上述したように、通信システムでは、所定の範囲の周波数帯においてノイズの低減が強く要求される。このため、ノイズ低減が要求される周波数帯域に応じ、式 (4) を使ってサンプリング周波数を調整すれば、D R C の数 N を比較的少ない数に抑えることが可能である。

【0051】

また、多くの場合、上述したように、図 5 に示したようなノッチによって目的帯域 (ノイズ低減が要求される周波数帯域) 付近のノイズは上述の 6 dB、12 dB に比しても大幅に低減することが可能となる。以上のことから、本実施形態によれば、従来の方法に比べて低ノイズであり、小面積の直接 R F 変調送信器を実現することが可能となる。なお、以上説明した本発明の範囲は、図示され記載された例示的な実施形態に限定されるものではなく、本発明が目的とするものと均等な効果をもたらすすべての実施形態をも含む。さらに、本発明の範囲は、特許請求の範囲により画される発明の特徴の組み合わせに限定されるものではなく、すべての開示されたそれぞれの特徴のうち特定の特徴のあらゆる所望する組み合わせによって画されうる。

【産業上の利用可能性】

【0052】

本発明の送信器は、ノイズが少ないうえに回路規模を小型化できるので、携帯電話機等の小型機器に好適な構成である。

【符号の説明】

【0053】

301a ~ 301n、308a ~ 308m D R C

302a ~ 302n、306a ~ 306m D R C

303 2 分周器

304a ~ 304n、307a ~ 307m 遅延回路

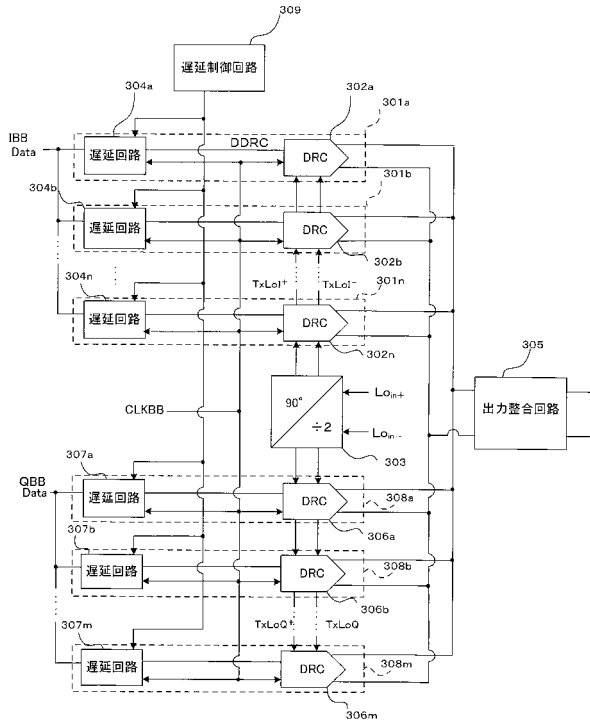
305 出力整合回路

309 遅延制御回路

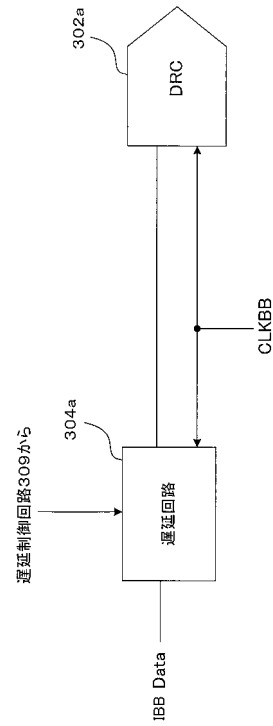
501a ~ 501k フリップフロップ回路

502 マルチプレクサ

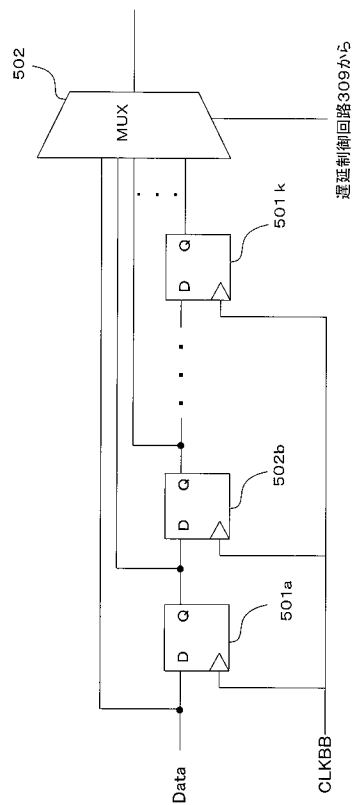
【図 1】



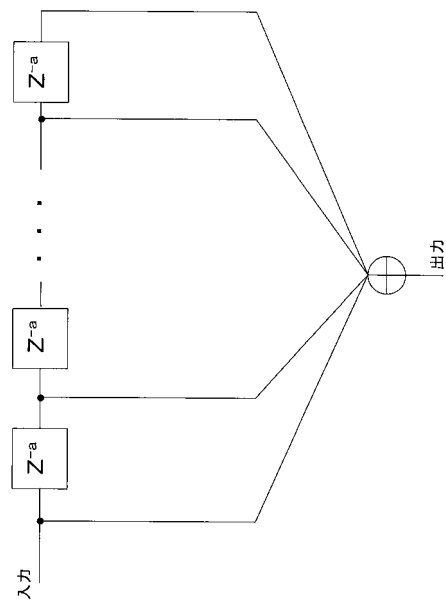
【図 2】



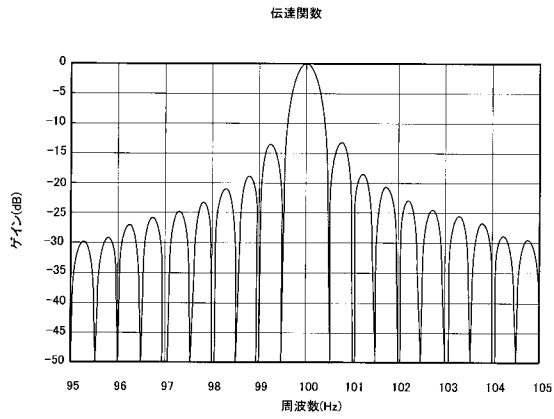
【図 3】



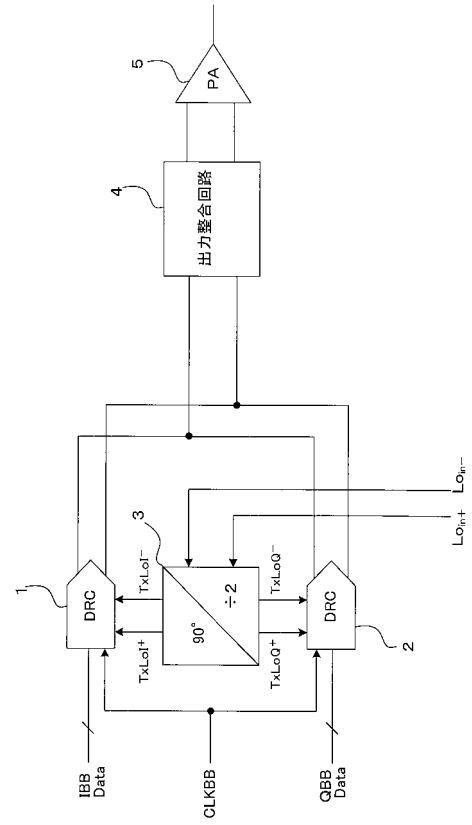
【図 4】



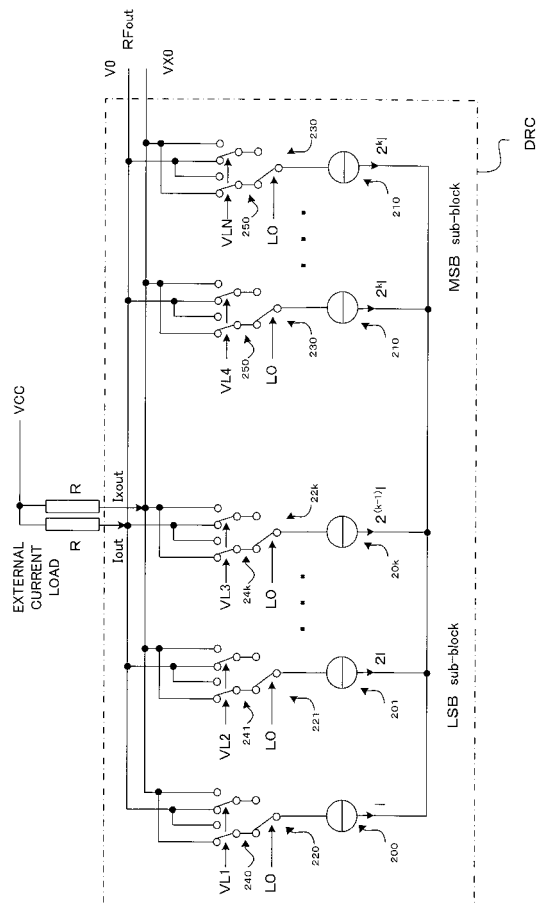
【図 5】



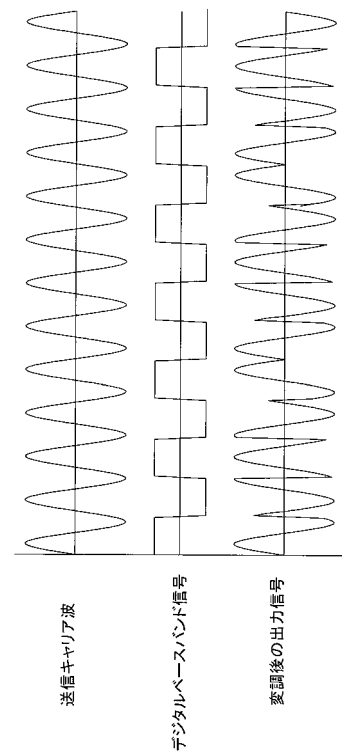
【図 6】



【図 7】



【図 8】



フロントページの続き

(56)参考文献 特開2010-245962 (JP, A)
特開平10-304001 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04B	1/04
H03C	1/00
H03C	5/00
H03D	7/00