

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年10月21日(21.10.2021)



(10) 国際公開番号

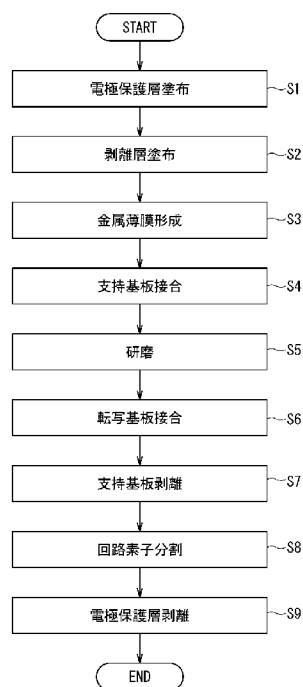
WO 2021/210047 A1

- (51) 国際特許分類:
H01L 21/304 (2006.01)
- (21) 国際出願番号: PCT/JP2020/016312
- (22) 国際出願日: 2020年4月13日(13.04.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 藤川 正洋 (FUJIKAWA Masahiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区域見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子の製造方法

[図2]



- S1...Apply electrode protection layer
S2...Apply delamination layer
S3...Form metal thin-film
S4...Bond support substrate
S5...Grind
S6...Bond transfer substrate
S7...Delaminate support substrate
S8...Divide circuit element
S9...Delaminate electrode protection layer

(57) Abstract: The purpose of the present disclosure is to provide a method for manufacturing a semiconductor element that has low defect rate and is thin. The method for manufacturing a semiconductor element according to the present disclosure comprises: preparing a circuit element substrate (7) comprising a semiconductor substrate (1) and a circuit element (2) on the semiconductor substrate (1); forming an electrode protection layer (3) on the circuit element (2); preparing a support substrate (8); forming in vacuum a metal thin-film (6) on each of the electrode protection layer (3) of

WO 2021/210047 A1

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

the circuit element substrate (7) and the support substrate (8); bonding the circuit element substrate (7) and the support substrate (8) together by affixing the metal thin-films (6) of the circuit element substrate and the support substrate to each other by an atomic diffusion bonding method; exposing the circuit element (2) by grinding and removing the semiconductor substrate (1); bonding a transfer substrate (10) onto an exposed surface of the circuit element (2); and delaminating the support substrate (8) from the circuit element (2) after the transfer substrate (10) is bonded.

(57) 要約 : 本開示は、不良率が低く薄い半導体素子の製造方法の提供を目的とする。本開示に係る半導体素子の製造方法は、半導体基板(1)と半導体基板(1)上の回路素子(2)とを備える回路素子基板(7)を用意し、回路素子(2)上に電極保護層(3)を形成し、支持基板(8)を用意し、真空中で回路素子基板(7)の電極保護層(3)上と支持基板(8)上とに金属薄膜(6)を形成し、回路素子基板および支持基板の金属薄膜(6)同士を原子拡散接合法により貼り合わせることにより、回路素子基板(7)および支持基板(8)を接合し、半導体基板(1)を研磨除去して回路素子(2)を露出し、回路素子(2)の露出面に転写基板(10)を接合し、転写基板(10)の接合後に支持基板(8)を回路素子(2)から剥離する。

明 細 書

発明の名称：半導体素子の製造方法

技術分野

[0001] 本開示は、半導体素子の製造方法に関する。

背景技術

[0002] 従来、半導体素子を高密度にパッケージして半導体モジュールを小型化するため、または半導体素子に放熱基板を接合して高性能化するため、半導体素子の厚みを薄くすること（以下、「薄肉化」とも称する）が求められている。半導体素子の薄肉化は以下の工程により行われる。まず、半導体素子の回路素子面を支持基板に接着し、反対側の面を機械的および化学的に研磨する。次に、支持基板を半導体素子から剥離する。これらの工程で、薄肉化した半導体素子にクラックまたは破損が生じないようにする必要がある。

[0003] 特許文献1には、厚さ1130 μ mの半導体基板をエレクトロンワックスにより支持基板と接着し、半導体基板の裏面を研磨し、半導体基板の裏面に転写基板を接合し、加熱して支持基板を剥離する方法が示されている。

[0004] 特許文献2には、研磨ではなくエッチングで基板を除去する方法が開示されている。具体的には、Si_i基板上の半導体層上に、Si_i基板と半導体層が構成するウエハの端部を除いて有機絶縁膜が塗布される。次に、有機絶縁膜を覆うように無機絶縁膜が形成される。その後、真空中でウエハと支持基板の表面が活性化され、ウエハが支持基板に貼り合わされる。その後、エッチングによりSi_i基板が除去される。

[0005] 特許文献3には、チップオンチップ構造の半導体素子の製造方法が記載されている。特許文献3の製造方法において半導体ウエハは、Si_i基板とSi_i基板上の素子層を備えている。Si_i基板と素子層には両者に跨る貫通電極が形成されている。素子層の上に絶縁膜および金属層が順に形成された後、半導体ウエハの金属層が支持基板の金属層に貼り合わされる。貫通電極が裏面から露出するまでウエハの裏面が研磨された後、研磨およびエッチングによ

って支持基板が除去される。

先行技術文献

特許文献

- [0006] 特許文献1：特開2005-129825号公報
特許文献2：特開2012-028477号公報
特許文献3：特開2007-324406号公報

発明の概要

発明が解決しようとする課題

- [0007] 特許文献1-3等に記載された従来の方法では、ある程度の厚さまでは回路素子を含む基板を薄肉化することが可能である。しかし、裏面の基板を全て削除し回路素子を10 μ m以下まで薄肉化する場合には、回路素子を支持していた基板がなくなることから、半導体素子の強度が弱くなり、研磨、ダイシング、または支持基板の剥離の際に、半導体素子にクラック、破損または膜剥離などの不具合が発生し、不良率が増加するという問題があった。
- [0008] 本開示は、上記の問題点を解決するためになされたものであり、不良率が低く薄い半導体素子の製造方法の提供を目的とする。

課題を解決するための手段

- [0009] 本開示の半導体素子の製造方法は、半導体基板と半導体基板上の回路素子とを備える回路素子基板を用意し、回路素子上に電極保護層を形成し、支持基板を用意し、真空中で回路素子基板の電極保護層上と支持基板上とに金属薄膜を形成し、回路素子基板および支持基板の金属薄膜同士を原子拡散接合法により貼り合わせることにより、回路素子基板および支持基板を接合し、半導体基板を研磨除去して回路素子を露出し、回路素子の露出面に転写基板を接合し、転写基板の接合後に支持基板を回路素子から剥離する。

発明の効果

- [0010] 本開示の半導体素子の製造方法によれば、半導体基板を研磨除去しても回路素子にクラック、剥離または破損が生じにくく、不良率が低く薄い半導体

素子を製造することができる。本開示の目的、特徴、態様、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

- [0011] [図1]実施の形態1の半導体素子の断面図である。
[図2]実施の形態1の半導体素子の製造方法を示すフローチャートである。
[図3]実施の形態1の半導体素子の製造方法を示す断面図である。
[図4]実施の形態1の半導体素子の製造方法を示す断面図である。
[図5]実施の形態1の半導体素子の製造方法を示す断面図である。
[図6]実施の形態1の半導体素子の製造方法を示す断面図である。
[図7]実施の形態1の半導体素子の製造方法を示す断面図である。
[図8]実施の形態1の半導体素子の製造方法を示す断面図である。
[図9]実施の形態1の半導体素子の製造方法を示す断面図である。
[図10]実施の形態1の半導体素子の製造方法を示す断面図である。
[図11]実施の形態1の半導体素子の製造方法を示す断面図である。
[図12]実施の形態2の半導体素子の断面図である。
[図13]実施の形態2の半導体素子の製造方法を示す断面図である。
[図14]実施の形態2の半導体素子の製造方法を示す断面図である。
[図15]実施の形態2の半導体素子の製造方法を示す断面図である。

発明を実施するための形態

[0012] <A. 実施の形態1>

<A-1. 構成>

図1は、実施の形態1の半導体素子101の構成を示す断面図である。半導体素子101は回路素子2と転写基板10とを備える。転写基板10は回路素子2の下面に接合されている。以下の説明では、回路素子2を、窒化ガリウム(GaN)を半導体層として有するHEMT (high electron mobility transistor) とするが、MOSFET (metal-oxide-semiconductor field-effect transistor) またはIGBT (insulated gate bipolar transistor) など他の回路素子であっても良い。回路素子2の厚さは例えば10 μ mで

ある。転写基板 10 は熱伝導率が高い基板であり、例えばダイヤモンド基板である。

[0013] < A - 2 . 製造工程 >

図 2 は、半導体素子 101 の製造方法を示すフローチャートである。以下、図 2 のフローに沿って半導体素子 101 の製造方法を説明する。

[0014] まず、図 3 に示すように、回路素子基板 7 を用意する。回路素子基板 7 は、半導体基板 1 と、半導体基板 1 上に形成された回路素子 2 とを備える。半導体基板 1 は、例えば Si ウエハまたは SiC (炭化珪素) ウエハ等である。

[0015] 回路素子 2 は、電極と電極を接続する中空のブリッジ電極を含んでおり、図 3 には示していないが、回路素子 2 の上面には電極による段差が存在する。後の研磨工程で電極の破損を防ぐため、回路素子 2 上に保護層を形成する必要がある。そこで、図 4 に示すように、回路素子 2 上に電極保護層 3 を塗布形成する (ステップ S1)。電極保護層 3 には、後の研磨工程で回路素子 2 の電極を保護する他、電極の凹凸を平坦化することによって、支持基板との接合強度を高める効果もある。

[0016] 電極保護層 3 の材料には、有機溶剤と熱硬化性樹脂または光硬化性樹脂とからなる接着剤、もしくはフォトレジスト材で、最終工程の化学処理または酸素アッシングで除去できるものが選択される。一般には、アクリル樹脂、オレフィン樹脂、フェノール樹脂、ポリプロピレン樹脂、ポリエチレン樹脂またはポリエチレン樹脂等が電極保護層 3 に用いられる。電極保護層 3 には、回路素子基板 7 と支持基板とが一体化して高い基板強度を持ち、研磨工程で剥離またはクラック等が発生しない硬度の高い材料が有効であり、その観点から、アクリル樹脂またはエポキシ樹脂等の膜強度の高い材料が良い。

[0017] 電極保護層 3 の塗布には、例えば回路素子基板 7 の回路素子 2 が形成された主面に接着剤を滴下し、回路素子基板 7 を高速回転させるスピコート法が用いられる。しかし、印刷法またはスプレー法等、他の塗布方法が用いられても良い。電極保護層 3 は、5 μm 以上 8 μm 以下の厚さで、回路素子 2

を覆うように形成される。電極保護層 3 を回路素子 2 上に塗布した後、電極保護層 3 を硬化させる。電極保護層 3 の材料に熱硬化性樹脂が用いられる場合、電極保護層 3 は、ホットプレート等で 90℃以上 120℃以下に加熱されることにより、溶剤成分が蒸発し硬化する。電極保護層 3 の材料に光硬化性樹脂が用いられる場合、回路素子基板 7 を照射することにより、電極保護層 3 は硬化する。

[0018] 次に、図 5 に示すように、透明基板 4 の接着面に剥離層 5 を形成して支持基板 8 を用意する（ステップ S 2）。すなわち、支持基板 8 は、透明基板 4 と、透明基板 4 上に形成された剥離層 5 とを備える。透明基板 4 は光透過性を持ち、無アルカリガラスまたはサファイヤガラス等で構成される。後工程で支持基板 8 を回路素子基板 7 から剥離する際、エッチング、研磨、または剥離液への浸漬等の手法を用いると時間がかかる。そのため、本実施の形態では、レーザーまたは赤外線などの光を吸収すると分解する光分解性材料からなる剥離層 5 を透明基板 4 上に形成する。例えば、光を吸収して発熱し熱分解するカーボン材料を含む樹脂と有機溶剤とからなるペーストを、透明基板 4 にスピコート法で塗布し、加熱乾燥することにより、剥離層 5 が形成される。または、厚さ 1 μm 以上 2 μm 以下のカーボン膜が、剥離層 5 として CVD スパッタ装置により透明基板 4 上に形成されても良い。カーボン膜が剥離層 5 に用いられる場合、支持基板 8 を回路素子基板 7 に強固に接着することができる。

[0019] 剥離層 5 の表面はラッピング研磨により鏡面加工されることが望ましい。剥離層 5 の表面の算術平均粗さは 0.5 nm 未満が望ましく、0.2 nm 未満がより望ましい。剥離層 5 の表面の算術平均粗さが 0.5 nm 未満であれば、後工程で回路素子基板 7 と接着されない部分を少なくすることができ、回路素子基板 7 との接着強度が高くなる。

[0020] 次に、図 6 に示すように、真空チャンバー 9 内に回路素子基板 7 と支持基板 8 をセッティングし、超高真空 10^{-6} Pa まで排気する。この超高真空状態で、スパッタ法または蒸着法などにより、回路素子基板 7 の電極保護層 3

上と支持基板 8 の剥離層 5 上に金属薄膜 6 を数 nm 以上数十 nm 以下の厚さで形成する（ステップ S 3）。図 6 は、スパッタリングターゲット 1 2 から電極保護層 3 上にスパッタ原子が放出される様子を示している。金属薄膜 6 の材料には、アルミニウム、銅、シリコン、チタン、金、銀、鉄またはクロム等が用いられる。

[0021] そして、真空チャンバー 9 内で金属薄膜 6 同士を貼り合わせて回路素子基板 7 と支持基板 8 を接合する（ステップ S 4）。金属薄膜 6 の形成（ステップ S 3）と、回路素子基板 7 及び支持基板 8 の接合（ステップ S 4）は、同じ真空チャンバー 9 内で連続して行う。金属薄膜 6 の形成後に回路素子基板 7 および支持基板 8 を大気中に取り出してしまうと、表面に水分、自然酸化膜または有機物が付着し、金属薄膜 6 同士が接合しなくなる。そのため、回路素子基板 7 および支持基板 8 を貼り合わせるためには、再び真空中で回路素子基板 7 および支持基板 8 にイオンビームまたは中性原子ビームを照射して洗浄する必要がある。一方、本実施の形態では真空中で回路素子基板 7 および支持基板 8 に金属薄膜 6 を形成し、同真空中で続いて金属薄膜 6 同士を貼り合わせる原子拡散接合法を用いるため、原子ビーム等による表面活性化が必要ない。そのため、プロセスにロスがなく、接合工程（ステップ S 3 およびステップ S 4）のプロセス時間を 10 分から 15 分と短くすることができる。従って、1 度に数枚のウエハをセッティングできるカセットを使用し、真空チャンバー 9 に予備排気室であるロードロックチャンバーを設ければ、一般的な接着剤を用いた基板の貼り付けプロセスに比べて処理時間を短くすることができる。

[0022] 回路素子基板 7 と支持基板 8 の接着に、ワックスもしくは熱硬化性または光硬化性の樹脂を用いる従来技術では、樹脂膜の厚みが数百 μm 以上数 mm と厚く、樹脂膜の弾性率が小さい。そのため、接着後の基板強度が低く、回路素子基板 7 を研磨して薄肉化する際に回路素子基板 7 の周辺部にクラックが生じたり、回路素子基板 7 が支持基板 8 から剥離したりするという問題が発生する。しかし、本実施の形態の原子拡散接合法によれば、接着層の厚さ

を原子1個分の約0.2 nmから20 nmと非常に薄くすることができる。また、原子拡散接合法では、接合する2つの基板の表面の原子が相互に拡散した直接結合となるため、接着力が強く、接合基板の機械的強度が高くなる。そのため、研磨またはダイシング時のクラック、剥離または破損などの不具合が低減する。また、原子拡散接合法によれば常温で接合が行われるため、加熱によって基板が熱膨張して歪むことがない。そのため、接合する基板の材料を選ばない。

[0023] 次に、図7に示すように、回路素子基板7と支持基板8からなる接合基板の回路素子基板7側の面を研磨し、半導体基板1を除去する（ステップS5）。半導体基板1を除去するのは、回路素子2の放熱効率を向上し、低消費電力かつ高出力を得るためである。本ステップでは、まず厚さ500 μmの半導体基板1を厚さ20 μmになるまで研磨する。研磨方法には、機械研磨、化学研磨または化学的機械研磨等を用いる。次に、反応性イオンエッチング（Reactive Ion Etching：RIE）などのドライエッチングにより、残った厚さ20 μmの半導体基板1を除去する。これにより、半導体基板1が完全に除去され、回路素子2の下面が露出する。その後、化学的機械研磨を行い、回路素子2の下面の平坦性を得る。後で行う転写基板10との接合を考慮して、回路素子2の下面の算術平均粗さRaは0.5 nm以下であることが望ましい。

[0024] 研磨により半導体基板1が徐々に薄くなるにつれ、回路素子2を含む回路素子基板7の強度が低下する。そのため、残留膜の応力の影響で回路素子2が変形したり、研磨ムラにより回路素子2の周辺部にクラックまたは剥離などが発生したりする。しかし、本実施の形態では、回路素子基板7を支持基板8に強固に接着した状態で半導体基板1を研磨するため、半導体基板1を除去しても回路素子基板7の強度は保たれる。従って、回路素子2の変形、クラックまたは剥離などの不具合が抑制される。

[0025] 次に、図8に示すように、回路素子2の下面を転写基板10に接合する（ステップS6）。転写基板10には、例えば熱伝導性に優れたダイヤモンド

基板を使用する。転写基板10は厚みが100 μ mであり、精密研磨により接合面の算術平均粗さが0.5nm以下となっている。転写基板10の接合には、上記で説明した支持基板8の接着と同じ原子拡散接合法を用いる。転写基板10を構成するダイヤモンドの熱膨張係数は $2.3 \times 10^{-6}/K$ であり、回路素子2を構成する窒化ガリウムの熱膨張係数 $5.5 \times 10^{-6}/K$ と大きな差がある。従って、転写基板10を回路素子2に加熱接合することは難しい。一方、回路素子2と転写基板10を数nmと非常に薄い金属膜で直接接合することにより、接合界面の熱抵抗が小さく高い放熱効果が得られる。あるいは、接合面に中性原子ビームを照射して自然酸化膜または有機物質を除去した後、貼り合わせる表面活性化法を用いて回路素子2と転写基板10を接合しても良い。この場合、回路素子2と転写基板10の接合面は、表面研磨により算術平均粗さを0.5nm以下としておく。

[0026] 次に、図9に示すように、回路素子基板7から支持基板8を剥離する（ステップS7）。具体的には、透明基板4の上面からレーザーを照射し、剥離層5を加熱し分解することで、支持基板8を剥離する。この方法によれば、研磨またはエッチングで支持基板8を除去する方法に比べて、工程数が少なく、処理時間が短く、透明基板4を再利用することができるため、生産性を向上し、かつ生産コストを削減できる。

[0027] 次に、図10および図11に示すようにダイシングを行い、転写基板10と回路素子基板7からなる接合基板を複数のチップに分割する（ステップS8）。図11は、分割後の一つのチップを示している。回路素子2には多くの素子が形成されているが、本ステップで各素子が分割される。ダイシング方法には、レーザーダイシングまたはプラズマダイシング等を用いることができる。従来は、薄膜化に伴う強度低下により、ダイシング工程において回路素子基板7にクラック、剥離または欠けなどが発生していた。しかし、本実施の形態では、回路素子基板7が支持基板8に直接接合することにより強度が増しているため、上記の不具合が抑制される。

[0028] 次に、個別化されたチップから金属薄膜6および電極保護層3を剥離する

(ステップS9)。本ステップでは、アルカリ性または酸性の剥離液もしくは有機溶剤等に回路素子基板7を浸漬し、金属薄膜6および電極保護層3を溶解することにより除去する。そして、残留した有機物を洗浄し、回路素子基板7を乾燥する。あるいは、金属薄膜6を酸性の剥離液で除去し、電極保護層3を酸素アッシングで除去しても良い。こうして、図1に示す半導体素子101が完成する。

[0029] <A-3. 効果>

以上に説明したように、実施の形態1の半導体素子の製造方法によれば、半導体基板1と半導体基板1上の回路素子2とを備える回路素子基板7を用意し、回路素子2上に電極保護層3を形成し、支持基板8を用意し、真空中で回路素子基板7の電極保護層3上と支持基板8上とに金属薄膜6を形成し、回路素子基板7および支持基板8の金属薄膜6同士を原子拡散接合法により貼り合わせることにより、回路素子基板7および支持基板8を接合し、半導体基板1を研磨除去して回路素子2を露出し、回路素子2の露出面に転写基板10を接合し、転写基板10の接合後に支持基板8を回路素子2から剥離する。回路素子基板7と支持基板8の金属薄膜6同士が原子拡散接合法により強固に接着されるため、回路素子基板7と支持基板8を接合した接合基板の機械的強度が高くなる。従って、半導体基板1を研磨して半導体素子を薄くしても、回路素子2にクラック、剥離または破損などの不具合が生じにくく、不良率を低くすることができる。

[0030] <B. 実施の形態2>

<B-1. 構成>

図12は、実施の形態2の半導体素子102の断面図である。半導体素子102は、回路素子2と、回路素子2の上面に形成された無機絶縁膜11と、回路素子2の下面に形成された転写基板10とを備えている。回路素子2と転写基板10は実施の形態1で説明した通りである。無機絶縁膜11は電極保護層である。但し、実施の形態1の電極保護層3に樹脂が用いられたのに対して、実施の形態2では熱伝導性が高い無機絶縁膜を電極保護層として

用いるため、これを無機絶縁膜 11 と称する。

[0031] 電極保護層に無機絶縁膜を用いる場合、樹脂を用いる場合に比べて、回路素子基板 7 と支持基板 8 との接合基板の強度が向上し、半導体基板 1 の研磨後のクラックまたは剥離を抑制することができる。しかし、最終工程で電極保護層を除去することが困難になり、除去時の回路素子 2 へのダメージも大きい。そこで、半導体素子 102 では、無機絶縁膜 11 を除去せず回路素子 2 の上面側の放熱材として用いることで、半導体素子 102 の放熱性能を高めるとともに、無機絶縁膜 11 の除去工程を省略する。このように、無機絶縁膜 11 を放熱材として用いることから、無機絶縁膜 11 は高い熱伝導性を持つ無機絶縁膜とする。

[0032] < B - 2 . 製造工程 >

図 13 から図 15 は、回路素子基板 7 の回路素子 2 上に電極保護層としての無機絶縁膜 11 を形成する様子を示した断面図である。図 13 は、半導体基板 1 と、半導体基板 1 上の回路素子 2 を含む回路素子基板 7 を示している。回路素子 2 には、電極と電極を接続する中空のブリッジ電極があるため、図 13 に示すように回路素子 2 の上面には段差が形成されている。この段差の高さは数 μm 程度である。

[0033] 回路素子基板 7 を CVD プラズマ装置などの成膜装置に投入し、図 14 に示すように、回路素子 2 上に高い熱伝導性を持つ無機絶縁膜 11 を、回路素子 2 における電極の高さ以上の膜厚で形成する。無機絶縁膜 11 の材料として、ダイヤモンド、窒化アルミニウム、窒化ケイ素または酸化ベリリウム等を用いることができる。熱伝導性の高い無機絶縁膜 11 を電極保護層として用いることにより、電極保護層を回路素子 2 の上面側のヒートシンクとして用いることができるため、電極保護層の除去工程が不要となる。そのため、プロセスの短時間化とデバイス性能の向上とを図ることが可能である。

[0034] なお、絶縁膜であっても熱伝導性の低い酸化シリコン等は、放熱性が低くデバイス性能に悪影響を与えるため最終工程で除去しなければならず、除去工程で回路素子 2 へダメージが生じるため、無機絶縁膜 11 の材料として使

用することは難しい。

[0035] 実施の形態1の電極保護層3は樹脂であるため、スピコート法を用いることにより、樹脂が流動して電極保護層3の上面が平坦に形成される。しかし、無機絶縁膜11をCVD法などで形成する場合には、図14に示すように無機絶縁膜11の上面に段差が生じる。回路素子基板7と支持基板8との強い接合強度を得るためには、無機絶縁膜11の上面を平坦化し、無機絶縁膜11の上面の全体が支持基板8と接着する必要がある。そこで、図15に示すように、無機絶縁膜11の高い部分を研磨法により回路素子2の電極と同じ高さに平坦化する。このときの無機絶縁膜11の上面の算術平均粗さは、1.0nm以下とする。

[0036] 次に、無機絶縁膜11の上面を洗浄して研磨残渣を取り除いた後、実施の形態1と同様に、金属薄膜6の形成（ステップS3）、回路素子基板7（ステップS4）および支持基板8の接合（ステップS5）、半導体基板1の研磨（ステップS6）、転写基板10の接合（ステップS7）、支持基板8の剥離（ステップS8）、回路素子2の分割（ステップS9）を行う。そして、無機絶縁膜11の上面から金属薄膜6を除去して、図12に示す半導体素子102が完成する。無機絶縁膜11は回路素子2の上面に残り、ヒートシンクとして機能する。

[0037] < B-3. 効果 >

実施の形態2の半導体素子の製造方法において、回路素子2の上面に形成される電極保護層は無機絶縁材料からなる無機絶縁膜11である。従って、電極保護層に樹脂を用いる場合に比べて、回路素子基板7と支持基板8との接合基板の強度が向上し、半導体基板1の研磨後のクラックまたは剥離を抑制することができる。また、無機絶縁膜11が熱伝導率の高い無機絶縁膜である場合には、無機絶縁膜11を電極保護層としてだけでなく、回路素子2の上面側の放熱材として用いることができる。従って、半導体素子102の放熱性を高めると共に、電極保護層の除去工程を省略することができる。

[0038] なお、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形

、省略したりすることが可能である。上記の説明は、すべての態様において、例示である。例示されていない無数の変形例が想定され得るものと解される。

符号の説明

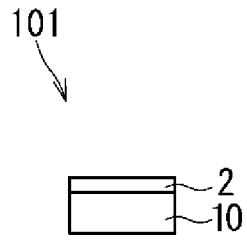
[0039] 1 半導体基板、2 回路素子、3 電極保護層、4 透明基板、5 剥離層、6 金属薄膜、7 回路素子基板、8 支持基板、9 真空チャンバ一、10 転写基板、11 無機絶縁膜、12 スパッタリングターゲット、101, 102 半導体素子。

請求の範囲

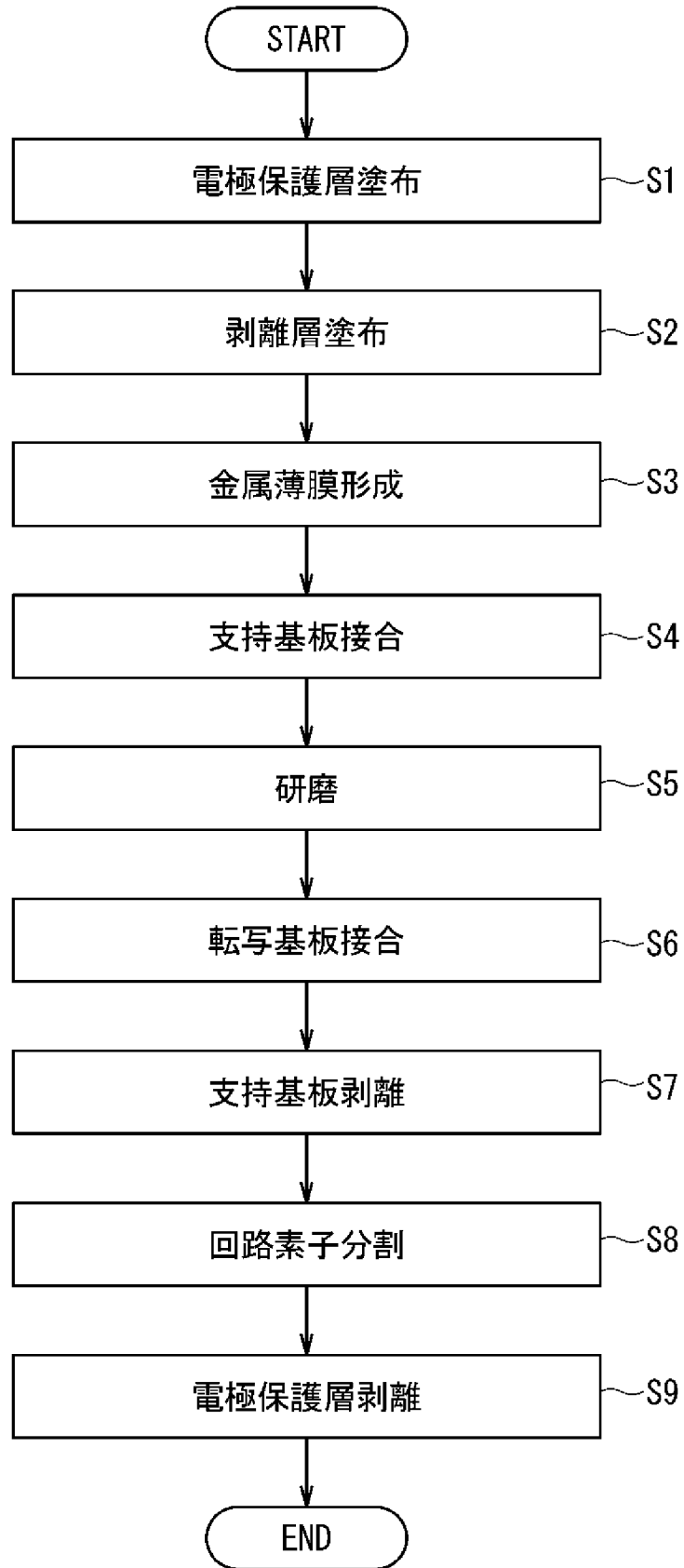
- [請求項1] 半導体基板と前記半導体基板上の回路素子とを備える回路素子基板を用意し、
前記回路素子上に電極保護層を形成し、
支持基板を用意し、
真空中で前記回路素子基板の前記電極保護層上と支持基板上とに金属薄膜を形成し、
前記回路素子基板および前記支持基板の前記金属薄膜同士を原子拡散接合法により貼り合わせることにより、前記回路素子基板および前記支持基板を接合し、
前記半導体基板を研磨除去して前記回路素子を露出し、
前記回路素子の露出面に転写基板を接合し、
前記転写基板の接合後に前記支持基板を前記回路素子から剥離する、
半導体素子の製造方法。
- [請求項2] 前記金属薄膜の形成と、前記回路素子基板および前記支持基板の接合とは、同じ真空チャンバー内で連続して行われる、
請求項1に記載の半導体素子の製造方法。
- [請求項3] 前記支持基板は、透明基板と、前記透明基板上に形成された光分解性材料からなる剥離層とを備え、
前記金属薄膜は前記支持基板の前記剥離層上に形成され、
前記支持基板の剥離は、前記剥離層を光分解することにより行われる、
請求項1または請求項2に記載の半導体素子の製造方法。
- [請求項4] 前記剥離層はカーボン膜からなり、
前記支持基板の剥離は、前記透明基板の下面からレーザーを照射することにより前記剥離層を加熱分解することにより行われる、
請求項3に記載の半導体素子の製造方法。

- [請求項5] 前記電極保護層は、アクリル樹脂またはエポキシ樹脂からなる、請求項1から請求項4のいずれか1項に記載の半導体素子の製造方法。
- 。
- [請求項6] 前記電極保護層は無機絶縁材料からなる、請求項1から請求項4のいずれか1項に記載の半導体素子の製造方法。
- 。
- [請求項7] 前記無機絶縁材料は、ダイヤモンド、窒化アルミニウム、窒化ケイ素、および酸化ベリリウム of のいずれかである、請求項6に記載の半導体素子の製造方法。
- [請求項8] 前記回路素子は窒化ガリウムを半導体層として含み、前記転写基板はダイヤモンドからなる、請求項1から請求項7のいずれか1項に記載の半導体素子の製造方法。
- 。

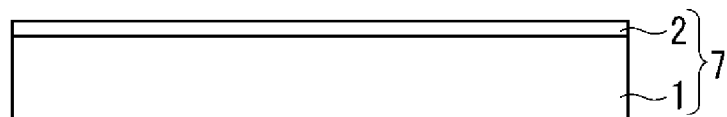
[図1]



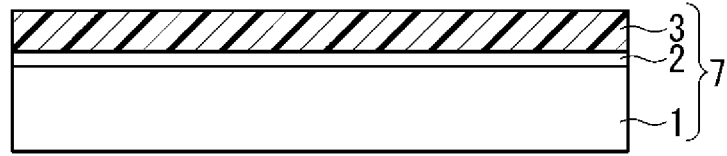
[図2]



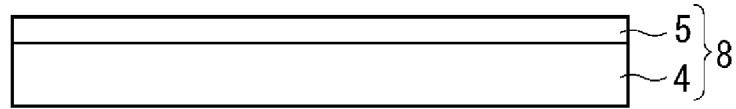
[図3]



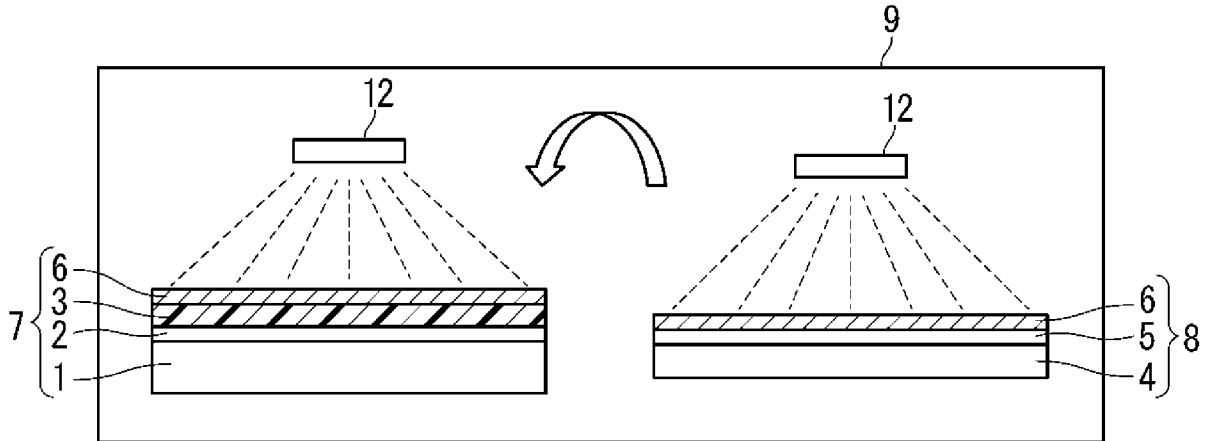
[図4]



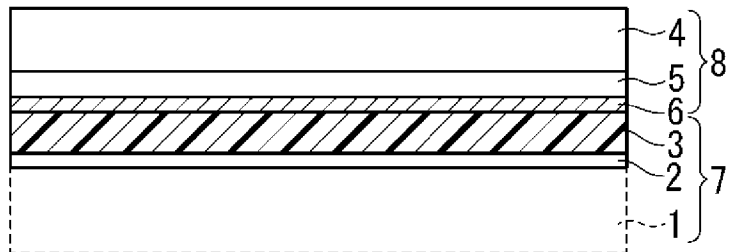
[図5]



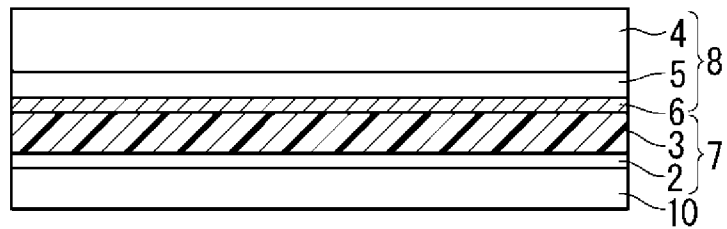
[図6]



[図7]

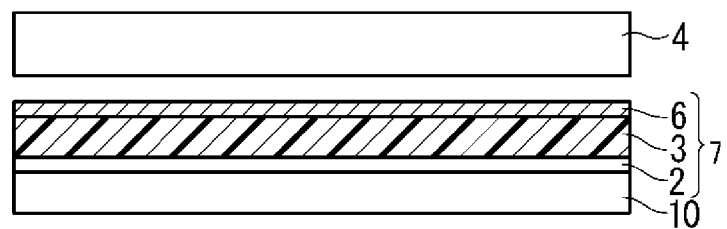


[図8]

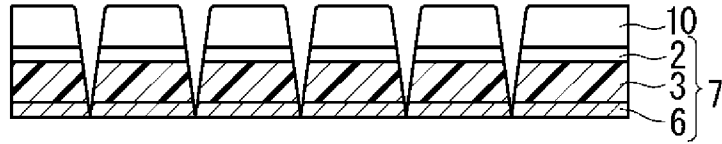


[図9]

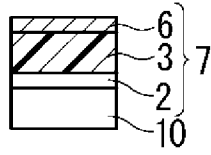
レーザー



[図10]

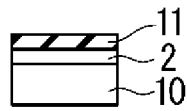


[図11]

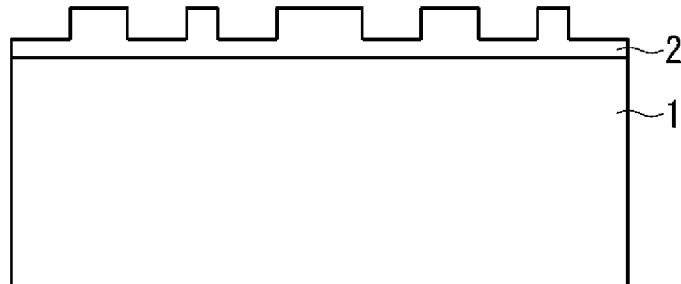


[図12]

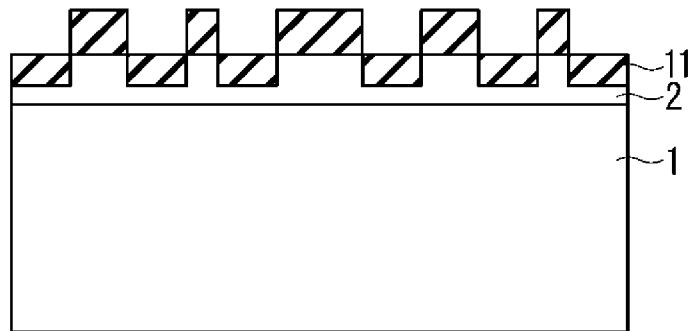
102



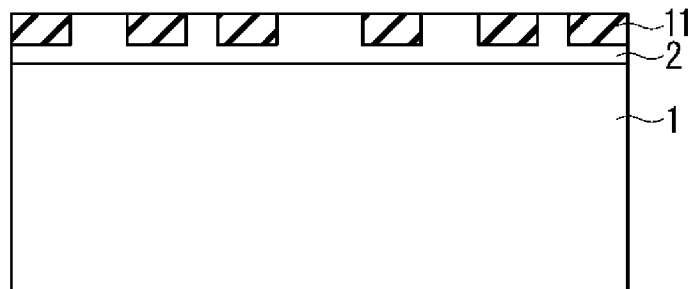
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/016312

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/304 (2006.01) i
FI: H01L21/304 621D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L21/304

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-74230 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 16 March 1999, paragraphs [0001]-[0041], fig. 1-7, paragraphs [0001]-[0041], fig. 1-7	1, 6 2-5, 7-8
Y A	JP 2007-324406 A (SONY CORP.) 13 December 2007, paragraphs [0020]-[0063], fig. 1-6, paragraphs [0020]-[0063], fig. 1-6	1, 6 2-5, 7-8
A	JP 2007-188967 A (SONY CORP.) 26 July 2007, entire text, all drawings	1-8

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
17.06.2020

Date of mailing of the international search report
30.06.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/016312

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 11-74230 A	16.03.1999	(Family: none)	
JP 2007-324406 A	13.12.2007	(Family: none)	
JP 2007-188967 A	26.07.2007	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/304(2006.01)i FI: H01L21/304 621D		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L21/304		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報	1922 - 1996年	
日本国公開実用新案公報	1971 - 2020年	
日本国実用新案登録公報	1996 - 2020年	
日本国登録実用新案公報	1994 - 2020年	
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 11-74230 A（日本電信電話株式会社）16.03.1999（1999 - 03 - 16） 段落[0001]-[0041], 図1-7	1, 6
A	段落[0001]-[0041], 図1-7	2-5, 7-8
Y	JP 2007-324406 A（ソニー株式会社）13.12.2007（2007 - 12 - 13） 段落[0020]-[0063], 図1-6	1, 6
A	段落[0020]-[0063], 図1-6	2-5, 7-8
A	JP 2007-188967 A（ソニー株式会社）26.07.2007（2007 - 07 - 26） 全文, 全図	1-8
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日	国際調査報告の発送日	
17.06.2020	30.06.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 鈴木 孝章 50 6309 電話番号 03-3581-1101 内線 3559	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/016312

引用文献	公表日	パテントファミリー文献	公表日
JP 11-74230 A	16.03.1999	(ファミリーなし)	
JP 2007-324406 A	13.12.2007	(ファミリーなし)	
JP 2007-188967 A	26.07.2007	(ファミリーなし)	