

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2014-0047014 (43) 공개일자 2014년04월21일
(51) 국제특허분류(Int. Cl.) G11C 13/00 (2006.01) H01L 27/24 (2006.01) (21) 출원번호 10-2013-7018358 (22) 출원일자(국제) 2011년12월12일 심사청구일자 없음 (85) 번역문제출일자 2013년07월12일 (86) 국제출원번호 PCT/US2011/064493 (87) 국제공개번호 WO 2012/082654 국제공개일자 2012년06월21일 (30) 우선권주장 61/423,007 2010년12월14일 미국(US) 61/526,764 2011년08월24일 미국(US)		(71) 출원인 샌디스크 3디 엘엘씨 미국, 캘리포니아 95035-7933, 밀피타스, 샌디스크 드라이브 951 (72) 발명자 쉬에우에르레인 로이 이. 미국 캘리포니아 95035 밀피타스 맥카시 블러바드 601 (74) 대리인 박장원

전체 청구항 수 : 총 143 항

(54) 발명의 명칭 **수직 선택 디바이스들을 갖는 연속 메쉬 삼차원 비휘발성 저장**

(57) 요약

메모리 소자들에 걸쳐 인가되는 전압차에 응답하여 전기적 컨덕턴스의 레벨을 가역적으로 변경시키는 메모리 소자들을 위해 구성된 삼차원 어레이가 제공된다. 메모리 소자들이 반도체 기판 위에서 서로 다른 거리에 배치된 복수의 평면들에 걸쳐 형성된다. 모든 평면들의 메모리 소자들이 연결된 비트 라인들이 기판으로부터 복수의 평면에 걸쳐 수직으로 배향된다.

특허청구의 범위

청구항 1

비휘발성 저장 시스템(non-volatile storage system)으로서,

기판과;

상기 기판 내에 배치되지 않고 상기 기판 위에 배치되는 메모리 소자(memory element)들의 모놀리식 삼차원 어레이(monolithic three dimensional array)와;

상기 메모리 소자들에 연결되는 워드 라인(word line)들과;

상기 기판 내에 위치하며 상기 워드 라인들과 통신하는 복수의 워드 라인 드라이버(word line driver)들과;

상기 기판 내의 복수의 비트 라인 드라이버(bit line driver)들과;

상기 비트 라인 드라이버들과 통신하는 복수의 글로벌 비트 라인(global bit line)들과;

상기 기판 내에 없고 상기 기판 위에 있는 복수의 수직으로 배향된 비트 라인(bit line)들과, 여기서 상기 메모리 소자들은 상기 수직으로 배향된 비트 라인들 및 상기 워드 라인들과 결합되어 연속 메쉬(continuous mesh)를 형성하며;

상기 기판 내에 없고 상기 기판 위에 있는 복수의 수직으로 배향된 선택 디바이스(select device)들과, 여기서 상기 수직으로 배향된 선택 디바이스들은 상기 수직으로 배향된 비트 라인들과 상기 글로벌 비트 라인들에 연결되며; 그리고

상기 수직으로 배향된 선택 디바이스들에 연결되는 복수의 선택 라인(select line)들을 포함하여 구성되며,

상기 선택 라인들은 상기 기판 내에 없고 상기 기판 위에 있는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 2

제1항에 있어서,

상기 워드 라인 드라이버들은 상기 메모리 소자들의 모놀리식 삼차원 어레이 밑에 배치되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 3

제1항 또는 제2항에 있어서,

상기 글로벌 워드 라인들은 금속 층 내에 형성되며, 상기 금속 층은 상기 메모리 소자들의 모놀리식 삼차원 어레이 밑에 그리고 상기 기판 위에 있는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 4

제1항 내지 제3항 중 어느 하나의 항에 있어서,

상기 수직으로 배향된 선택 디바이스들은 3 단자 스위치들(three terminal switches)인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 5

제1항 내지 제4항 중 어느 하나의 항에 있어서,

각각의 수직으로 배향된 선택 디바이스는 트랜지스터인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 6

제1항 내지 제5항 중 어느 하나의 항에 있어서,

상기 수직으로 배향된 선택 디바이스들은 필러(pillar) 형상의 박막 트랜지스터(thin film transistor)들인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 7

제1항 내지 제6항 중 어느 하나의 항에 있어서,

상기 수직으로 배향된 선택 디바이스들은 수직으로 배향된 채널들을 갖는 능동 박막 트랜지스터(active thin film transistor)들인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 8

제1항 내지 제7항 중 어느 하나의 항에 있어서,

상기 수직으로 배향된 선택 디바이스들은 필러 형상의 박막 트랜지스터들인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 9

제1항 내지 제8항 중 어느 하나의 항에 있어서,

상기 수직으로 배향된 비트 라인들은 필러(pillar)들이고, 그리고

두 개의 인접한 수직으로 배향된 선택 디바이스들은 공통 게이트 영역(common gate region)을 공유하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 10

제1항 내지 제9항 중 어느 하나의 항에 있어서,

상기 워드 라인들은, 상기 메모리 소자들의 모놀리식 삼차원 어레이의 서로 다른 수직 층들에 배치되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 11

제1항 내지 제10항 중 어느 하나의 항에 있어서,

상기 복수의 수직으로 배향된 선택 디바이스들 및 상기 복수의 선택 라인들은 선택 층 내에 배치되며, 상기 선택 층은 상기 메모리 소자들의 모놀리식 삼차원 어레이 아래에 그리고 금속 층 위에 있으며, 상기 금속 층은 상기 글로벌 워드 라인들을 포함하고 상기 기판 위에 배치되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 12

제1항 내지 제11항 중 어느 하나의 항에 있어서,

상기 선택 층은, 상기 글로벌 워드 라인들 위에 그리고 상기 복수의 수직으로 배향된 선택 디바이스들 및 상기 복수의 선택 라인들 아래에 있는 n+ 폴리실리콘 층(polysilicon layer)을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 13

제1항 내지 제12항 중 어느 하나의 항에 있어서,

상기 메모리 소자들의 일 세트는, 수직으로 배향된 비트 라인 옆에 그리고 복수의 워드 라인들 옆에 수직으로 배향된 가역 저항 스위칭 물질(reversible resistance switching material) 층을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 14

비휘발성 저장 시스템을 동작시키기 위한 방법으로서,

데이터 종속 신호(data dependent signal)들을 복수의 글로벌 비트 라인들에 인가하는 단계와;

어드레스 종속 신호(address dependent signal)들을 메모리 소자들의 모놀리식 삼차원 어레이에 연결된 워드 라인들의 세트에 인가하는 단계와, 여기서 상기 메모리 소자들은 상기 워드 라인들 및 수직으로 배향된 비트 라인들과 함께 연속 메쉬를 형성하고, 상기 메모리 소자들의 모놀리식 삼차원 어레이는 기판 내에 배치되지 않고 상

기 기관 위에 배치되며;

상기 기관 내에는 없고 상기 기관 위에는 있는 복수의 수직으로 배향된 선택 디바이스들을 턴온(turn on)시키기 위해 인에이블 신호(enable signal)를 제 1 선택 라인에 인가하는 단계와, 여기서 상기 수직으로 배향된 선택 디바이스들은 상기 수직으로 배향된 비트 라인들 및 상기 글로벌 비트 라인들에 연결되어 상기 복수의 수직으로 배향된 선택 디바이스들의 턴온은 상기 글로벌 비트 라인들로부터의 신호들을 상기 수직으로 배향된 비트 라인들에 제공하게 되고, 상기 수직으로 배향된 비트 라인들은 상기 기관 내에 없고 상기 기관 위에 있으며; 그리고

상기 데이터 종속 신호들을 상기 복수의 글로벌 비트 라인들에 인가하는 것, 상기 어드레스 종속 신호들을 상기 워드 라인들의 세트에 인가하는 것, 그리고 상기 인에이블 신호를 상기 제 1 선택 라인에 인가하는 것에 응답하여, 하나 이상의 메모리 동작들을 수행하는 단계를 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키기 위한 방법.

청구항 15

제14항에 있어서,

상기 기관 내에 없고 상기 기관 위에 있는 다른 수직으로 배향된 선택 디바이스들이 턴온되지 않도록 디스에이블 신호(disable signal)를 상기 다른 수직으로 배향된 선택 디바이스들에 연결된 다른 선택 라인들에 인가하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키기 위한 방법.

청구항 16

비휘발성 저장 시스템을 제조하는 방법으로서,

기관 위에 하나 이상의 디바이스들 및 신호 라인들을 추가하는 단계와;

상기 하나 이상의 디바이스들 및 상기 신호 라인들 위에 선택 층을 추가하는 단계와, 여기서 상기 선택 층을 추가하는 단계는 선택 라인들을 추가하는 것과, 그리고 상기 기관 내에 없고 상기 기관 위에 있는 수직으로 배향된 선택 디바이스들을 추가하는 것을 포함하며; 그리고

상기 선택 층 위에 모놀리식 삼차원 어레이를 추가하는 단계를 포함하여 구성되며,

상기 모놀리식 삼차원 어레이는 워드 라인들, 수직으로 배향된 비트 라인들, 및 메모리 소자들을 포함하고, 상기 워드 라인들, 상기 수직으로 배향된 비트 라인들, 및 상기 메모리 소자들은 연속 메쉬를 형성하고, 상기 수직으로 배향된 선택 디바이스들은, 상기 수직으로 배향된 비트 라인들, 상기 선택 라인들, 및 글로벌 비트 라인들에 연결되는 것을 특징으로 하는 비휘발성 저장 시스템을 제조하는 방법.

청구항 17

제16항에 있어서,

상기 선택 라인들을 추가하는 것은,

하위 옥사이드 층(lower oxide layer)을 증착시키는 것과;

상기 하위 옥사이드 층 위에 게이트 물질(gate material)을 증착시키는 것과;

상기 게이트 물질 위에 상위 옥사이드 층(upper oxide layer)을 증착시키는 것과; 그리고

상기 하위 옥사이드 층, 상기 게이트 물질, 및 상기 상위 옥사이드 층 내에 트렌치(trench)들을 에칭하는 것을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 제조하는 방법.

청구항 18

제16항 또는 제17항에 있어서,

상기 수직으로 배향된 선택 디바이스들을 추가하는 것은,

열 옥사이드 물질(thermal oxide material)을 증착시키는 것과;

측벽 스페이서(sidewall spacer)를 증착시키는 것과;

상기 트렌치들을 에칭하는 것과;

상기 트렌치들을 p- 폴리실리콘으로 충전하는 것과;

상기 폴리실리콘의 상부에 n+ 영역을 생성하기 위해 n+ 소스 주입(source implant)을 수행하는 것과; 그리고

상기 폴리실리콘의 하부에 n+ 영역을 생성하기 위해 열 어닐링(thermal anneal)을 수행하는 것을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 제조하는 방법.

청구항 19

제16항 또는 제17항 또는 제18항에 있어서,

상기 하위 옥사이드 층을 증착시키기 전에 n+ 폴리실리콘 층을 추가하는 것을 더 포함하고, 상기 열 어닐링은 상기 p- 폴리실리콘과 상기 n+ 폴리실리콘 층 간의 접합(junction)을 활성화시켜 상기 n+ 폴리실리콘 층으로부터의 n+ 주입의 확산으로 인해 상기 수직으로 배향된 선택 디바이스들의 드레인(drain)들이 형성되도록 상기 p-폴리실리콘의 하단부(bottom end)가 n+로 도핑되게 되는 것을 특징으로 하는 비휘발성 저장 시스템을 제조하는 방법.

청구항 20

제16항 또는 제17항에 있어서,

상기 수직으로 배향된 선택 디바이스들을 추가하는 것은,

n+ 폴리실리콘 층을 추가하는 것과;

신호 라인들의 양쪽 면들 상에 있으며 수직으로 배향된 비트 라인들에 의해 점유될 위치들 아래에 있는 트렌치들을 에칭하는 것과;

상기 트렌치들을 p- 폴리실리콘으로 충전하는 것과;

상기 폴리실리콘의 상부에 n+ 영역을 생성하기 위해 n+ 소스 주입을 수행하는 것과; 그리고

상기 폴리실리콘의 하부에 n+ 영역을 생성하기 위해 열 어닐링을 수행하는 것을 포함하고,

상기 수직으로 배향된 비트 라인들은 상기 열 어닐링을 수행한 이후 상기 폴리실리콘 위에 추가되는 것을 특징으로 하는 비휘발성 저장 시스템을 제조하는 방법.

청구항 21

제16항 또는 제17항에 있어서,

상기 수직으로 배향된 선택 디바이스들을 추가하는 것은,

신호 라인들의 양쪽 면들 상에 있으며 수직으로 배향된 비트 라인들에 의해 점유될 위치들 아래에 있는 트렌치들을 에칭하는 것과;

상기 트렌치들을 제 1 타입의 폴리실리콘으로 충전하는 것과;

상기 제 1 타입의 폴리실리콘의 상부에 제 2 타입의 폴리실리콘 영역을 생성하는 것과; 그리고

상기 제 1 타입의 폴리실리콘의 하부에 제 2 타입의 영역을 생성하는 것을 포함하며,

상기 수직으로 배향된 비트 라인들은 상기 폴리실리콘의 하부에 상기 제 2 타입의 영역을 생성한 이후에 상기 폴리실리콘 위에 추가되는 것을 특징으로 하는 비휘발성 저장 시스템을 제조하는 방법.

청구항 22

비휘발성 저장 시스템으로서,

기관과;

상기 기관 내에 배치되지 않고 상기 기관 위에 배치되는 메모리 셀(memory cell)들의 모놀리식 삼차원 메모리 어레이와;

상기 메모리 셀들에 연결되는 워드 라인들과;

상기 기판 내에 위치하며 상기 워드 라인들과 통신하는 복수의 워드 라인 드라이버들과;

상기 기판 내의 복수의 비트 라인 드라이버들과;

상기 비트 라인 드라이버들에 연결되는 복수의 글로벌 비트 라인들과;

상기 기판 내에 없고 상기 기판 위에 있는 복수의 수직으로 배향된 비트 라인들과, 여기서 상기 수직으로 배향된 비트 라인들은 상기 메모리 셀들에 연결되고;

상기 기판 내에 없고 상기 기판 위에 있는 복수의 수직으로 배향된 선택 디바이스들과, 여기서 상기 수직으로 배향된 선택 디바이스들은 상기 수직으로 배향된 비트 라인들과 상기 글로벌 비트 라인들에 연결되며; 그리고

상기 선택 디바이스들에 연결되는 복수의 선택 라인들을 포함하여 구성되며,

각각의 선택 디바이스는 상기 선택 라인들 중 두 개의 선택 라인들 사이에 배치되어 각각의 선택 디바이스가 두 개의 이웃하는 선택 라인들 중 어느 하나에 의해 제어될 수 있게 되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 23

제22항에 있어서,

메모리 셀은 상기 메모리 셀에 대해 상기 메모리 셀에 연결된 특정의 수직으로 배향된 비트 라인의 반대쪽 면에 있는 선택 라인을 사용하여 상기 특정의 수직으로 배향된 비트 라인 바로 아래에 있는 수직으로 배향된 선택 디바이스를 선택함으로써 액세스되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 24

제22항 또는 제23항에 있어서,

상기 수직으로 배향된 비트 라인들의 두 개의 면들 각각에 수직으로 배향된 비휘발성 스위칭 물질(non-volatile switching material) 층들을 더 포함하여 상기 수직으로 배향된 비트 라인들의 두 개의 면들에 메모리 셀들이 형성되게 되며, 상기 수직으로 배향된 선택 디바이스들은 상기 수직으로 배향된 비트 라인들 바로 아래에 배치되고, 특정의 수직으로 배향된 비트 라인의 두 개의 면들 중 제 1 면 상의 특정 메모리 셀은 상기 특정의 수직으로 배향된 비트 라인의 두 개의 면들 중 제 2 면 상에 있는 선택 라인을 사용하여 상기 특정의 수직으로 배향된 비트 라인 바로 아래의 수직으로 배향된 선택 디바이스를 선택함으로써 액세스되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 25

제22항 내지 제24항 중 어느 하나의 항에 있어서,

각각의 선택 라인이 두 개의 수직으로 배향된 선택 디바이스들 사이에 배치되어 각각의 선택 라인이 어느 하나의 수직으로 배향된 선택 디바이스를 구동시킬 수 있게 되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 26

제22항 내지 제25항 중 어느 하나의 항에 있어서,

특정의 수직으로 배향된 선택 디바이스에 대해, 상기 두 개의 이웃하는 선택 라인들 모두가 게이트 신호(gate signal)로서의 역할을 할 수 있어 상기 특정의 수직으로 배향된 선택 디바이스가 더블 게이팅(double gating)되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 27

제22항 내지 제26항 중 어느 하나의 항에 있어서,

특정의 수직으로 배향된 비트 라인은 상기 선택 라인들 중 두 개의 선택 라인들에 의해 상기 글로벌 비트 라인들 중 하나에 연결가능한 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 28

제22항 내지 제27항 중 어느 하나의 항에 있어서,

상기 수직으로 배향된 선택 디바이스들은 수직으로 배향된 채널들을 갖는 능동 박막 트랜지스터들인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 29

제22항 내지 제28항 중 어느 하나의 항에 있어서,

상기 복수의 수직으로 배향된 선택 디바이스들 및 상기 복수의 선택 라인들은 선택 층 내에 배치되며, 상기 선택 층은 상기 메모리 셀들의 모놀리식 삼차원 어레이 아래에 그리고 금속 층 위에 있으며, 상기 금속 층은 상기 글로벌 워드 라인들을 포함하고 상기 기판 위에 배치되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 30

제22항에 있어서,

메모리 셀은, 각각의 수직으로 배향된 비트 라인의 양쪽 면들에 있는 상기 선택 라인들을 사용하여, 관련된 수직으로 배향된 선택 디바이스를 선택함으로써 액세스되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 31

비휘발성 저장 시스템을 동작시키기 위한 방법으로서,

데이터 패턴에 근거하여, 선택된 비트 라인 전압을 선택된 글로벌 비트 라인들에 인가하는 단계와;

선택된 메모리 소자에 대해 관련된 수직으로 배향된 비트 라인의 반대쪽 면 상의 특정 선택 라인에 선택 신호를 인가하는 단계와;

선택된 워드 라인 전압을 선택된 워드 라인들에 인가하는 단계와; 그리고

상기 선택된 워드 라인 전압 및 상기 선택된 비트 라인 전압에 응답하여 메모리 동작을 수행하는 단계를 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키기 위한 방법.

청구항 32

제31항에 있어서,

상기 선택된 비트 라인 전압을 인가하기 전에, 비선택된 워드 라인 전압을 비선택된 워드 라인들에 인가하는 단계와; 그리고

상기 선택된 비트 라인 전압을 인가하기 전에, 비선택된 비트 라인 전압을 글로벌 비트 라인들에 인가하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키기 위한 방법.

청구항 33

제31항 또는 제32항에 있어서,

상기 비선택된 워드 라인 전압을 인가한 이후에, 수직으로 배향된 비트 라인들이 상기 비선택된 워드 라인 전압을 향해 드리프트(drift)하도록 상기 수직으로 배향된 비트 라인들을 플로팅(floating) 상태가 되게 하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키기 위한 방법.

청구항 34

제31항 또는 제32항 또는 제33항에 있어서,

다른 선택 라인들의 선택을 막기 위한 신호를 인가하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키기 위한 방법.

청구항 35

제31항 내지 제34항 중 어느 하나의 항에 있어서,

상기 특정 선택 라인은, 상기 기관 내에 없고 상기 기관 위에 있는 복수의 선택 라인들의 일부이며;

상기 복수의 선택 라인들은, 상기 기관 내에 없고 상기 기관 위에 있는 복수의 수직으로 배향된 선택 디바이스들에 연결되며, 상기 수직으로 배향된 선택 디바이스들은 상기 수직으로 배향된 비트 라인들 및 상기 글로벌 비트 라인들에 연결되고, 각각의 수직으로 배향된 선택 디바이스는 각각의 수직으로 배향된 비트 라인 바로 아래에 배치되며; 그리고

상기 선택 신호를 상기 특정 선택 라인에 인가하는 것은 각각의 수직으로 배향된 선택 디바이스를 턴온시키고 특정의 수직으로 배향된 비트 라인을 특정 글로벌 비트 라인에 연결시키는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키기 위한 방법.

청구항 36

제31항 내지 제35항 중 어느 하나의 항에 있어서,

상기 복수의 선택 라인들은 상기 수직으로 배향된 선택 디바이스 및 상기 특정의 수직으로 배향된 비트 라인의 제 1 면 상의 상기 특정 선택 라인을 포함하고;

상기 복수의 선택 라인들은 상기 수직으로 배향된 선택 디바이스 및 상기 특정의 수직으로 배향된 비트 라인의 반대쪽 제 2 면 상의 다른 선택 라인을 포함하고; 그리고

상기 선택된 메모리 셀은 상기 수직으로 배향된 선택 디바이스 및 상기 특정의 수직으로 배향된 비트 라인의 상기 제 2 면 상에 있는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키기 위한 방법.

청구항 37

비휘발성 저장 시스템으로서,

기관과;

상기 기관 내에 배치되지 않고 상기 기관 위에 배치되는 메모리 셀들의 모놀리식 삼차원 메모리 어레이와;

상기 메모리 셀들의 세트에 연결됨과 아울러 함께 연결된 복수의 워드 라인들과;

상기 메모리 셀들의 세트 아래 상기 기관 내에 위치하며 상기 함께 연결된 워드 라인들 모두와 통신하는 워드 라인 드라이버와;

복수의 글로벌 비트 라인들과;

상기 메모리 셀들의 어레이에 연결된 복수의 수직으로 배향된 비트 라인들과; 그리고

상기 기관 내에 없고 상기 기관 위에 있으며 상기 수직으로 배향된 비트 라인들과 상기 글로벌 비트 라인들에 연결되는 복수의 수직으로 배향된 선택 디바이스들을 포함하여 구성되며,

상기 수직으로 배향된 선택 디바이스들이 작동(actuate)될 때, 상기 수직으로 배향된 비트 라인들은 상기 글로벌 비트 라인들과 통신하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 38

제37항에 있어서,

상기 메모리 셀들의 세트는 공통 블록(common block) 내에 있고;

상기 워드 라인 드라이버는 상기 공통 블록 밑에 배치되고;

상기 메모리 셀들의 모놀리식 삼차원 메모리 어레이는 복수의 레벨(level)들 상에 메모리 셀들을 포함하고; 그리고

상기 함께 연결된 워드 라인들은 공통 평면 상에 있고 상기 메모리 셀들의 세트는 공통 레벨 상에 있는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 39

제38항 또는 제39항에 있어서,

함께 연결된 상기 워드 라인들은 코움(comb) 모양을 형성하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 40

제39항에 있어서,

상기 코움 모양은, 스파인(spine), 제1면상의 핑거들(fingers), 및 제2면상의 핑거들을 포함하고;

상기 함께 연결된 워드 라인들의 제 1 세트는 상기 제1면상의 핑거들이고; 그리고

상기 함께 연결된 워드 라인들의 제 2 세트는 상기 제2면상의 핑거들인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 41

제40항에 있어서,

상기 제1면상의 핑거들인 상기 워드 라인들의 제 1 세트는 제 1 블록 내의 메모리 셀들에 연결되고; 그리고

상기 제2면상의 핑거들인 상기 워드 라인들의 제 2 세트는 제 2 블록 내의 메모리 셀들에 연결되며, 상기 제 1 블록은 상기 제 2 블록 옆에 있는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 42

제41항 또는 제42항에 있어서,

상기 워드 라인들의 제 1 세트의 두 개의 인접하는 워드 라인들 사이에 복수의 수직으로 배향된 비트 라인들이 있는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 43

제37항 내지 제42항 중 어느 하나의 항에 있어서,

상기 함께 연결된 워드 라인들은 제 1 구조를 형성하고;

상기 비휘발성 저장 시스템은 코움 모양의 제 2 구조를 형성하도록 함께 연결된 추가적 워드 라인들을 더 포함하고; 그리고

상기 제 1 구조의 워드 라인들은 상기 제 2 구조의 워드 라인들과 교차배치(interleave)되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 44

제42항에 있어서,

상기 제 1 구조의 워드 라인들과 상기 제 2 구조의 워드 라인들 사이에는 수직으로 배향된 비트 라인들에 연결된 메모리 셀들이 있는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 45

제37항 내지 제44항 중 어느 하나의 항에 있어서,

상기 워드 라인 드라이버는 상기 함께 연결된 워드 라인들의 집합체(aggregate)와 동일한 크기인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 46

제37항 내지 제45항 중 어느 하나의 항에 있어서,

상기 수직으로 배향된 선택 디바이스들에 연결된 복수의 선택 라인들을 더 포함하고, 상기 복수의 수직으로 배향된 비트 라인들은 상기 기판 내에 없고 상기 기판 위에 있으며, 상기 복수의 수직으로 배향된 선택 디바이스들은 상기 기판 내에 없고 상기 기판 위에 있으며, 상기 메모리 셀들은 상기 수직으로 배향된 비트 라인들 및

상기 워드 라인들과 결합되어 연속 메쉬를 형성하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 47

비휘발성 저장 시스템 상에서 메모리 동작을 수행하는 방법으로서,

공통 신호를 복수의 워드 라인들에 인가하고 수직으로 배향된 비트 라인들을 플로팅 상태가 되게 하여 상기 수직으로 배향된 비트 라인들이 상기 공통 신호를 향해 드리프트하도록 하는 단계와;

하나 이상의 신호들을 글로벌 비트 라인들에 인가하는 단계와;

수직으로 배향된 선택 디바이스들을 턴온시켜, 선택된 수직으로 배향된 비트 라인들을 대응하는 글로벌 비트 라인들에 연결시키는 단계와; 그리고

공통 워드 라인 드라이버를 이용하여 모놀리식 삼차원 어레이의 선택된 메모리 셀들에 연결됨과 아울러 함께 연결된 상기 워드 라인들의 선택된 세트에 새로운 신호를 인가하는 단계를 포함하는 것을 특징으로 하는 비휘발성 저장 시스템 상에서 메모리 동작을 수행하는 방법.

청구항 48

제47항에 있어서,

함께 연결된 상기 워드 라인들의 선택된 세트는 코움 모양을 형성하고;

상기 코움 모양은, 스파인, 제1면상의 핑거들, 및 제2면상의 핑거들을 포함하고;

상기 워드 라인들의 선택된 세트의 제 1 세트는 상기 제1면상의 핑거들이고;

상기 워드 라인들의 선택된 세트의 제 2 세트는 상기 제2면상의 핑거들이고; 그리고

상기 선택된 수직으로 배향된 비트 라인들 및 상기 제1면상의 핑거들은 상기 선택된 메모리 셀들에 연결되는 것을 특징으로 하는 비휘발성 저장 시스템 상에서 메모리 동작을 수행하는 방법.

청구항 49

제47항 또는 제48항에 있어서,

상기 공통 워드 라인 드라이버는 상기 선택된 메모리 셀들 아래에 배치되는 것을 특징으로 하는 비휘발성 저장 시스템 상에서 메모리 동작을 수행하는 방법.

청구항 50

제47항 내지 제49항 중 어느 하나의 항에 있어서,

상기 비선택된 수직으로 배향된 비트 라인들은 셀프 바이어스(self bias)를 위해 그리고 교란(disturb)을 피하기 위해 플로팅 상태로 유지되는 것을 특징으로 하는 비휘발성 저장 시스템 상에서 메모리 동작을 수행하는 방법.

청구항 51

제47항 내지 제50항 중 어느 하나의 항에 있어서,

상기 공통 신호는 프로그래밍 전압의 크기의 절반이고;

하나 이상의 신호들을 글로벌 비트 라인들에 인가하기 전에, 비선택된 전압이 상기 글로벌 비트 라인들에 인가되고; 그리고

선택된 수직으로 배향된 비트 라인들이 상기 데이터 종속 신호들 중 하나 이상의 데이터 종속 신호를 향해 움직이는 것을 특징으로 하는 비휘발성 저장 시스템 상에서 메모리 동작을 수행하는 방법.

청구항 52

제47항 내지 제51항 중 어느 하나의 항에 있어서,

상기 워드 라인들의 선택된 세트에 상기 새로운 신호를 인가하는 것은, 상기 워드 라인들의 선택된 세트를 그라

운드(ground)로 풀다운(pull down)시키는 것을 포함하고;

상기 워드 라인들의 선택된 세트에 상기 새로운 신호를 인가하는 것은, 상기 수직으로 배향된 선택 디바이스들을 턴온시킨 후에 수행되고; 그리고

상기 워드 라인들의 선택된 세트에 상기 새로운 신호를 인가하는 것은, 상기 수직으로 배향된 선택 디바이스들을 턴온시키기 전에 수행되는 것을 특징으로 하는 비휘발성 저장 시스템 상에서 메모리 동작을 수행하는 방법.

청구항 53

비휘발성 저장 시스템으로서,

기관과;

상기 기관 내에 배치되지 않고 상기 기관 위에 배치되는 메모리 소자들의 모놀리식 삼차원 메모리 어레이와, 여기서 상기 메모리 소자들은 블록들 내에 정렬되고;

상기 메모리 소자들에 연결된 복수의 워드 라인들과, 여기서 상기 워드 라인들은 연결된 워드 라인들의 그룹들로서 정렬되고;

복수의 글로벌 워드 라인들과, 여기서 각각의 글로벌 워드 라인은 블록 내에 상기 그룹들 중 하나의 그룹에 연결되고;

상기 메모리 소자들 아래 상기 기관 내에 위치하며 상기 그룹들과 통신하는 워드 라인 드라이버들과;

상기 기관 내의 복수의 비트 라인 드라이버들과;

상기 비트 라인 드라이버들에 연결된 복수의 글로벌 비트 라인들과;

상기 기관 내에 없고 상기 기관 위에 있는 복수의 수직으로 배향된 비트 라인들과;

상기 수직으로 배향된 비트 라인들과 상기 글로벌 비트 라인들에 연결된 복수의 선택 디바이스들과, 여기서 메모리 소자들의 각각의 블록은 상기 선택 디바이스들의 서로 다른 서브세트(subset)에 연결되고;

복수의 로우 선택 라인(row select line)들과, 여기서 각각의 로우 선택 라인은 복수의 블록들에 대한 상기 선택 디바이스들의 서브세트에 연결되고; 그리고

상기 기관 내의 로우 선택 라인 드라이버(row select line driver)들을 포함하여 구성되며,

여기서 각각의 로우 선택 라인 드라이버는 로우 선택 라인을 구동시키는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 54

제53항에 있어서,

각각의 로우 선택 라인은 메모리 소자들의 상기 복수의 블록들에 걸쳐 있는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 55

제53항 또는 제54항에 있어서,

하나의 워드 라인의 팬아웃(fan out)은 하나의 수직으로 배향된 비트 라인의 팬아웃보다 더 크고;

하나의 로우 선택 라인 드라이버의 팬아웃은 하나의 워드 라인의 팬아웃보다 더 크고; 그리고

하나의 글로벌 비트 라인의 팬아웃 및 하나의 글로벌 워드 라인의 팬아웃은 모두 하나의 로우 선택 라인 드라이버의 팬아웃보다 더 큰 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 56

제53항 내지 제55항 중 어느 하나의 항에 있어서,

상기 복수의 선택 디바이스들은, 상기 기관 내에 없고 상기 기관 위에 있는 수직으로 배향된 선택 디바이스들인

것을 특징으로 하는 비휘발성 저장 시스템.

청구항 57

제53항 내지 제56항 중 어느 하나의 항에 있어서,

연결된 워드 라인들의 각각의 그룹은 두 개의 블록들 내의 메모리 소자들에 연결된 워드 라인들을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 58

제53항 내지 제57항 중 어느 하나의 항에 있어서,

상기 메모리 소자의 모놀리식 삼차원 메모리 어레이는 복수의 레벨들 상에 메모리 소자들을 포함하고; 그리고

연결된 워드 라인들의 각각의 그룹은 공통 레벨 상의 워드 라인들을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 59

제53항 내지 제58항 중 어느 하나의 항에 있어서,

연결된 워드 라인들의 상기 그룹들은 코움 모양들을 형성하고;

상기 코움 모양들은, 스퀘어인, 제1면상의 핑거들, 및 제2면상의 핑거들을 포함하고;

각각의 그룹의 상기 워드 라인들의 제 1 세트는 상기 제1면상의 핑거들이고; 그리고

상기 각각의 그룹의 상기 워드 라인들의 제 2 세트는 상기 제2면상의 핑거들인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 60

제53항 내지 제59항 중 어느 하나의 항에 있어서,

상기 로우 선택 라인 드라이버들은 상기 메모리 소자들 밑에 배치되고; 그리고

상기 로우 선택 라인 드라이버들은 메모리 소자들의 블록들 사이에 배치되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 61

제53항 내지 제60항 중 어느 하나의 항에 있어서,

상기 메모리 소자들은 복수의 블록들의 제 1 세트를 포함하는 블록들의 복수의 세트들을 포함하고;

상기 로우 선택 라인 드라이버들의 서브세트는 복수의 블록들의 상기 제 1 세트의 다양한 블록들 간에 분포되는 방식으로 배치되고; 그리고

상기 로우 선택 라인 드라이버들의 서브세트는 로우 선택 라인들의 세트에 연결되고, 상기 로우 선택 라인들의 세트는 상기 수직으로 배향된 선택 디바이스들에 연결되며, 상기 수직으로 배향된 선택 디바이스들은 복수의 블록들의 상기 제 1 세트의 블록들 모두에 대한 수직으로 배향된 비트 라인들에 연결되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 62

제53항 내지 제60항 중 어느 하나의 항에 있어서,

상기 메모리 소자들은 복수의 블록들의 제 1 세트를 포함하는 블록들의 복수의 세트들을 포함하고;

상기 로우 선택 라인 드라이버들의 제 1 서브세트는 복수의 블록들의 상기 제 1 세트의 제 1 면 상에 배치되고;

상기 로우 선택 라인 드라이버들의 제 2 서브세트는 복수의 블록들의 상기 제 1 세트의 제 2 면 상에 배치되고; 그리고

상기 로우 선택 라인 드라이버들의 상기 제 1 서브세트 및 상기 로우 선택 라인 드라이버들의 상기 제 2 서브세트는 로우 선택 라인들의 제 1 세트에 연결되고, 상기 로우 선택 라인들의 제 1 세트는 상기 수직으로 배향된 선택 디바이스들에 연결되며, 상기 수직으로 배향된 선택 디바이스들은 복수의 블록들의 상기 제 1 세트의 블록들 모두에 대한 수직으로 배향된 비트 라인들에 연결되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 63

제53항 내지 제60항 중 어느 하나의 항에 있어서,

상기 메모리 소자들은 복수의 블록들의 제 1 세트를 포함하는 블록들의 복수의 세트들을 포함하고;

상기 로우 선택 라인 드라이버들의 서브세트는 복수의 블록들의 상기 제 1 세트의 중앙에 배치되고; 그리고

상기 로우 선택 라인 드라이버들의 서브세트는 로우 선택 라인들의 세트에 연결되며, 상기 로우 선택 라인들의 세트는 상기 수직으로 배향된 선택 디바이스들에 연결되고, 상기 수직으로 배향된 선택 디바이스들은 복수의 블록들의 상기 제 1 세트의 블록들 모두에 대한 수직으로 배향된 비트 라인들에 연결되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 64

기관 내에 배치되지 않고 기관 위에 배치되는 메모리 소자들의 모놀리식 삼차원 메모리 어레이를 동작시키는 방법으로서, 여기서 상기 메모리 소자들은 블록들 내에 정렬되고,

워드 라인들 및 글로벌 비트 라인들 상의 신호들을 구동시키는 단계와;

복수의 로우 선택 라인들 상에 신호들을 인가하기 위해 로우 선택 라인 드라이버들을 사용하는 단계와;

상기 로우 선택 라인들에 인가된 신호들에 근거하여 복수의 선택 디바이스들을 활성화시키는 단계와, 여기서 메모리 소자들의 각각의 블록은 상기 선택 디바이스들의 서로 다른 서브세트에 연결되고, 각각의 로우 선택 라인 은 복수의 블록들에 대한 상기 선택 디바이스들의 서브세트에 연결되고; 그리고

상기 선택 디바이스들을 사용하여 상기 글로벌 비트 라인들로부터의 신호들을 수직으로 배향된 비트 라인들에 전달하는 단계를 포함하여 구성되며,

상기 수직으로 배향된 비트 라인들은 상기 기관 내에 없고 상기 기관 위에 있는 것을 특징으로 하는 메모리 소자들의 모놀리식 삼차원 메모리 어레이를 동작시키는 방법.

청구항 65

제64항에 있어서,

각각의 로우 선택 라인은 메모리 소자들의 상기 복수의 블록들에 걸쳐 있는 것을 특징으로 하는 메모리 소자들의 모놀리식 삼차원 메모리 어레이를 동작시키는 방법.

청구항 66

제64항 또는 제65항에 있어서,

하나의 워드 라인의 팬아웃은 하나의 수직으로 배향된 비트 라인의 팬아웃보다 더 크고;

하나의 로우 선택 라인 드라이버의 팬아웃은 하나의 워드 라인의 팬아웃보다 더 크고; 그리고

하나의 글로벌 비트 라인의 팬아웃 및 하나의 글로벌 워드 라인의 팬아웃은 모두 하나의 로우 선택 라인 드라이버의 팬아웃보다 더 큰 것을 특징으로 하는 메모리 소자들의 모놀리식 삼차원 메모리 어레이를 동작시키는 방법.

청구항 67

제64항 또는 제65항 또는 제66항에 있어서,

상기 복수의 선택 디바이스들은, 상기 기관 내에 없고 상기 기관 위에 있는 수직으로 배향된 선택 디바이스들이고, 상기 워드 라인들은 연결된 워드 라인들의 그룹들로서 정렬되며; 그리고

연결된 워드 라인들의 각각의 그룹은 두 개의 블록들 내의 메모리 소자들에 연결된 워드 라인들을 포함하는 것을 특징으로 하는 메모리 소자들의 모놀리식 삼차원 메모리 어레이를 동작시키는 방법.

청구항 68

제64항 내지 제68항 중 어느 하나의 항에 있어서,

연결된 워드 라인들의 상기 그룹들은 코움 모양들을 형성하고;

상기 코움 모양들은, 스파인, 제1면상의 핑거들, 및 제2면상의 핑거들을 포함하고;

각각의 그룹의 상기 워드 라인들의 제 1 세트는 상기 제1면상의 핑거들이고; 그리고

상기 각각의 그룹의 상기 워드 라인들의 제 2 세트는 상기 제2면상의 핑거들이나 것을 특징으로 하는 메모리 소자들의 모놀리식 삼차원 메모리 어레이를 동작시키는 방법.

청구항 69

비휘발성 저장 시스템으로서,

블록들 내에 정렬된 메모리 셀들의 모놀리식 삼차원 메모리 어레이와, 여기서 상기 메모리 어레이는 블록들 사이에 갭(gap)들을 포함하고;

상기 메모리 셀들에 연결된 복수의 워드 라인들과;

상기 메모리 셀들에 연결된 복수의 수직으로 배향된 비트 라인들과;

복수의 글로벌 비트 라인들과;

상기 기판 내에 없고 상기 기판 위에 있는 복수의 수직으로 배향된 선택 디바이스들과, 여기서 상기 복수의 수직으로 배향된 선택 디바이스들은 상기 수직으로 배향된 비트 라인들 및 상기 글로벌 비트 라인들에 연결되며 그리고 선택적으로 상기 수직으로 배향된 비트 라인들을 상기 글로벌 비트 라인들과 통신하게 하며;

상기 수직으로 배향된 선택 디바이스들에 연결되어 상기 수직으로 배향된 선택 디바이스들을 제어하기 위한 복수의 로우 선택 라인들과; 그리고

상기 로우 선택 라인들에 연결되어 상기 로우 선택 라인들을 구동시키는 로우 선택 라인 드라이버들을 포함하여 구성되며,

각각의 로우 선택 라인 드라이버는 블록들 사이의 서로 다른 갭들 내에 분포된 복수의 컴포넌트들을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 70

제69항에 있어서,

각각의 로우 선택 라인 드라이버는 블록들 사이의 서로 다른 갭들 내에 분포된 세 개의 트랜지스터들을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 71

제69항 또는 제70항에 있어서,

각각의 로우 선택 라인 드라이버는 블록들 사이의 인접하는 갭들 내에 분포된 복수의 컴포넌트들을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 72

제69항 내지 제71항 중 어느 하나의 항에 있어서,

서로 다른 선택 라인 구동들을 위한 컴포넌트들은 블록들 사이의 교차배치된 갭들 내에 배치되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 73

제69항 내지 제72항 중 어느 하나의 항에 있어서,

블록 사이의 상기 갭들은 워드 라인 브레이크(word line break)들이고,

상기 로우 선택 라인 드라이버들 각각은 서로 다른 워드 라인 브레이크들 내에 배치된 세 개의 트랜지스터들을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 74

제69항 내지 제73항 중 어느 하나의 항에 있어서,

상기 로우 선택 라인들에 직교하는 단지 하나의 신호 라인만이 상기 갭들 내에 위치하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 75

제69항 내지 제74항 중 어느 하나의 항에 있어서,

상기 로우 선택 라인 드라이버들에 관해서, 상기 갭들 각각은 상기 로우 선택 라인 드라이버들 중 하나로부터 단지 하나의 컴포넌트만을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 76

제69항 내지 제75항 중 어느 하나의 항에 있어서,

각각의 로우 선택 라인 드라이버의 소스 입력은 상기 글로벌 워드 라인들 중 하나인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 77

제69항 내지 제76항 중 어느 하나의 항에 있어서,

PMOS 트랜지스터들을 갖는 다른 인접하는 갭들 사이에만 있는 갭들 내에 배치된 파워 라인(power line)들과; 그리고

NMOS 트랜지스터들을 갖는 다른 인접하는 갭들 사이에만 있는 갭들 내에 배치된 그라운드 라인(ground line)들을 더 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 78

제69항 내지 제77항 중 어느 하나의 항에 있어서,

상기 로우 선택 라인 드라이버들은 상기 기판 내에 있고,

상기 메모리 셀들은 상기 기판 내에 없고 상기 기판 위에 있으며,

상기 수직으로 배향된 비트 라인들은 상기 기판 내에 없고 상기 기판 위에 있으며, 그리고

상기 수직으로 배향된 선택 디바이스들은 상기 기판 내에 없고 상기 기판 위에 있는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 79

제69항 내지 제78항 중 어느 하나의 항에 있어서,

상기 로우 선택 라인 드라이버들 각각은 제 1 nmos 트랜지스터, 제 2 nmos 트랜지스터, 및 pmos 트랜지스터를 포함하고,

상기 제 1 nmos 트랜지스터는 관련된 글로벌 워드 라인과 관련된 로우 선택 라인 사이에 연결되고,

상기 pmos 트랜지스터는 상기 관련된 글로벌 워드 라인과 상기 관련된 로우 선택 라인 사이에 연결되고, 그리고

상기 제 2 nmos 트랜지스터는 상기 관련된 로우 선택 라인과 그라운드 사이에 연결되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 80

제79항에 있어서,

상기 관련된 글로벌 워드 라인이 선택되고 상기 관련된 로우 선택 라인이 선택되는 경우, 상기 관련된 글로벌 워드 라인으로부터 상기 관련된 로우 선택 라인으로 상기 pmos 트랜지스터를 통해 전류가 흐르고,

상기 관련된 글로벌 워드 라인이 선택되지 않고 상기 관련된 로우 선택 라인이 선택되는 경우, 상기 관련된 글로벌 워드 라인은 상기 관련된 로우 선택 라인을 그라운드로 상기 제 1 nmos 트랜지스터를 통해 풀다운시키고, 그리고

상기 관련된 로우 선택 라인이 선택되지 않은 경우, 상기 관련된 로우 선택 라인은 상기 제 2 nmos 트랜지스터를 통해 풀다운되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 81

제69항 내지 제80항 중 어느 하나의 항에 있어서,

상기 워드 라인들은 워드 라인들의 그룹을 포함하고, 워드 라인들의 각각의 그룹은 함께 연결된 복수의 워드 라인들을 포함하고, 그리고

로우 선택 라인이 상기 수직으로 배향된 선택 디바이스들의 세트에 연결되고, 상기 수직으로 배향된 선택 디바이스들의 세트는 상기 수직으로 배향된 비트 라인들의 세트에 연결되고, 상기 수직으로 배향된 비트 라인들의 세트는 메모리 셀들에 연결되고, 상기 메모리 셀들은 또한 워드 라인들의 특정 그룹의 단지 하나의 워드 라인에만 연결되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 82

제69항 내지 제81항 중 어느 하나의 항에 있어서,

각각의 로우 선택 라인은 복수의 블록들에 대한 상기 선택 디바이스들의 서브세트에 연결되고,

상기 메모리 셀들은 상기 수직으로 배향된 비트 라인들 및 상기 워드 라인들과 결합되어 연속 메쉬를 형성하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 83

비휘발성 저장 시스템을 동작시키기 위한 방법으로서, 상기 비휘발성 저장 시스템은 블록들 내에 정렬된 메모리 셀들의 모놀리식 삼차원 메모리 어레이를 포함하고, 상기 메모리 어레이는 블록들 사이에 갭들을 포함하고, 상기 시스템은 상기 메모리 셀들에 연결된 복수의 워드 라인들과, 그리고 상기 메모리 셀들에 연결된 복수의 수직으로 배향된 비트 라인들을 포함하며, 상기 방법은,

상기 워드 라인들 및 글로벌 비트 라인들 상에 신호들을 구동시키는 단계와; 그리고

로우 선택 라인들에 의해 제어되는 수직으로 배향된 선택 디바이스들을 사용하여 상기 글로벌 비트 라인들을 상기 수직으로 배향된 비트 라인들에 선택적으로 연결시키는 단계를 포함하여 구성되며,

상기 선택적으로 연결시키는 단계는 로우 선택 라인 드라이버들을 사용하여 상기 로우 선택 라인들을 구동시키는 것을 포함하고, 특정 로우 선택 라인 드라이버를 사용하는 것은 상기 블록들 사이의 서로 다른 갭들 내에 분포된 컴포넌트들을 제어하는 것을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키기 위한 방법.

청구항 84

제83항에 있어서,

상기 관련된 글로벌 워드 라인이 선택되고 상기 관련된 로우 선택 라인이 선택되는 경우, 상기 관련된 글로벌 워드 라인으로부터 상기 관련된 로우 선택 라인으로 상기 pmos 트랜지스터를 통해 전류가 흐르고,

상기 관련된 글로벌 워드 라인이 선택되지 않고 상기 관련된 로우 선택 라인이 선택되는 경우, 상기 관련된 글로벌 워드 라인은 상기 관련된 로우 선택 라인을 그라운드로 상기 제 1 nmos 트랜지스터를 통해 풀다운시키고, 그리고

상기 관련된 로우 선택 라인이 선택되지 않은 경우, 상기 관련된 로우 선택 라인은 상기 제 2 nmos 트랜지스터를 통해 풀다운되는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키기 위한 방법.

청구항 85

제83항 또는 제84항에 있어서,

상기 로우 선택 라인 드라이버들에 관해서, 상기 갭들 각각은 하나의 로우 선택 라인 드라이버로부터 하나의 컵 포논트를 단지 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키기 위한 방법.

청구항 86

제83항 내지 제85항 중 어느 하나의 항에 있어서,

상기 로우 선택 라인 드라이버들은 상기 기판 내에 있고,

상기 메모리 셀들은 상기 기판 내에 없고 상기 기판 위에 있으며,

상기 수직으로 배향된 비트 라인들은 상기 기판 내에 없고 상기 기판 위에 있으며, 그리고

상기 수직으로 배향된 선택 디바이스들은 상기 기판 내에 없고 상기 기판 위에 있는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키기 위한 방법.

청구항 87

제82항 내지 제86항 중 어느 하나의 항에 있어서,

상기 로우 선택 라인 드라이버들 각각은 제 1 nmos 트랜지스터, 제 2 nmos 트랜지스터, 및 pmos 트랜지스터를 포함하고,

상기 제 1 nmos 트랜지스터는 관련된 글로벌 워드 라인과 관련된 로우 선택 라인 사이에 연결되고,

상기 pmos 트랜지스터는 상기 관련된 글로벌 워드 라인과 상기 관련된 로우 선택 라인 사이에 연결되고, 그리고

상기 제 2 nmos 트랜지스터는 상기 관련된 로우 선택 라인과 그라운드 사이에 연결되는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키기 위한 방법.

청구항 88

비휘발성 저장 시스템으로서,

기판과;

상기 기판 내에 배치되지 않고 상기 기판 위에 배치되는 메모리 셀들의 모놀리식 삼차원 메모리 어레이와;

상기 메모리 셀들의 서브세트에 연결됨과 아울러 함께 연결된 복수의 워드 라인들과;

복수의 글로벌 비트 라인들과;

상기 메모리 셀들에 연결된 복수의 수직으로 배향된 비트 라인들과, 여기서 상기 메모리 셀들은 상기 수직으로 배향된 비트 라인들 및 상기 워드 라인들과 결합되어 연속 메쉬를 형성하고;

상기 기판 내에 없고 상기 기판 위에 있는 복수의 더블 게이팅되는 수직으로 배향된 선택 디바이스들과, 여기서 상기 더블 게이팅되는 수직으로 배향된 선택 디바이스들은 상기 수직으로 배향된 비트 라인들 및 상기 글로벌 비트 라인들에 연결되고, 상기 더블 게이팅되는 수직으로 배향된 선택 디바이스들이 활성화되는 경우 상기 수직으로 배향된 비트 라인들이 상기 글로벌 비트 라인들과 통신하고; 그리고

상기 더블 게이팅되는 수직으로 배향된 선택 디바이스들의 양쪽 게이트들에 연결된 복수의 선택 라인들을 포함하여 구성되며,

각각의 수직으로 배향된 선택 디바이스는 상기 선택 라인들 중 두 개의 선택 라인들에 연결되어 상기 두 개의 선택 라인들 모두가 각각의 더블 게이팅되는 수직으로 배향된 선택 디바이스들이 활성화되도록 하는 "온(on)" 신호를 구동시키게 하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 89

제88항에 있어서,

각각의 수직으로 배향된 선택 디바이스는 상기 선택 라인들 중 두 개의 선택 라인들 사이에 배치되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 90

제88항 또는 제89항에 있어서,

상기 더블 게이팅되는 수직으로 배향된 선택 디바이스들 각각은 도핑된 채널 영역을 포함하여, 상기 더블 게이팅되는 수직으로 배향된 선택 디바이스들의 임계 전압이 충족되도록 함과 아울러 전류가 상기 채널 내에서 흐르도록 하기 위해 상기 두 개의 선택 라인들의 두 개로부터의 "온" 전압이 요구되게 되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 91

제88항 내지 제90항 중 어느 하나의 항에 있어서,

상기 더블 게이팅되는 수직으로 배향된 선택 디바이스들은, 수직으로 배향된 채널들 및 두 개의 게이트 인터페이스들을 갖는 트랜지스터들인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 92

제88항 내지 제91항 중 어느 하나의 항에 있어서,

상기 메모리 셀들은 블록들 내에 정렬되고,

상기 메모리 어레이는 블록들 사이에 갭들을 포함하고, 그리고

각각의 로우 선택 라인 드라이버는 블록들 사이의 서로 다른 갭들 내에 분포된 복수의 컴포넌트들을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 93

제92항에 있어서,

상기 로우 선택 라인 드라이버들 각각은 제 1 nmos 트랜지스터, 제 2 nmos 트랜지스터, 및 pmos 트랜지스터를 포함하고,

상기 제 1 nmos 트랜지스터는 관련된 글로벌 워드 라인과 관련된 로우 선택 라인 사이에 연결되고,

상기 pmos 트랜지스터는 상기 관련된 글로벌 워드 라인과 상기 관련된 로우 선택 라인 사이에 연결되고, 그리고

상기 제 2 nmos 트랜지스터는 상기 관련된 로우 선택 라인과 그라운드 사이에 연결되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 94

제88항 내지 제93항 중 어느 하나의 항에 있어서,

상기 메모리 셀들은 블록들 내에 정렬되고,

메모리 셀들의 각각의 블록은 상기 더블 게이팅되는 수직으로 배향된 선택 디바이스들의 서로 다른 서브세트에 연결되고, 그리고

각각의 로우 선택 라인은 복수의 블록들에 대한 더블 게이팅되는 수직으로 배향된 선택 디바이스들에 연결되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 95

제88항 내지 제94항 중 어느 하나의 항에 있어서,

상기 워드 라인들은 함께 연결되어 코움 모양을 형성하고,

상기 코움 모양은, 스파인, 제1면상의 핑거들, 및 제2면상의 핑거들을 포함하고,

함께 연결된 상기 워드 라인들의 제 1 세트는 상기 제1면상의 핑거들이고; 그리고

함께 연결된 상기 워드 라인들의 제 2 세트는 상기 제2면상의 핑거들인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 96

제95항에 있어서,

상기 제1면상의 핑거들인 상기 워드 라인들의 제 1 세트는 제 1 블록 내의 메모리 셀들에 연결되고; 그리고

상기 제2면상의 핑거들인 상기 워드 라인들의 제 2 세트는 제 2 블록 내의 메모리 셀들에 연결되며, 상기 제 1 블록은 상기 제 2 블록 옆에 있는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 97

제95항에 있어서,

상기 제1면상의 핑거들인 상기 워드 라인들의 제 1 세트는 제 1 블록 내의 메모리 셀들에 연결되고; 그리고

상기 제2면상의 핑거들인 상기 워드 라인들의 제 2 세트는 제 2 블록 내의 메모리 셀들에 연결되며, 상기 제 1 블록은 상기 제 2 블록 옆에 있는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 98

관련된 기판 내에 배치되지 않고 관련된 기판 위에는 배치되는 메모리 셀들의 모놀리식 삼차원 메모리 어레이를 포함하는 저장 시스템을 동작시키는 방법으로서, 상기 메모리 셀들은 블록들 내에 정렬되고, 수직으로 배향된 비트 라인들 및 워드 라인들이 상기 메모리 셀들에 연결되며, 상기 방법은,

비선택된 워드 라인 전압을 비선택된 워드 라인들에 인가하는 단계와;

데이터 패턴에 근거하여, 하나 이상의 선택된 비트 라인 전압들을 글로벌 비트 라인들에 인가하는 단계와, 여기서 수직으로 배향된 비트 라인들 및 글로벌 비트 라인들은 더블 게이팅되는 수직으로 배향된 선택 디바이스들에 연결되고;

특정의 수직으로 배향된 비트 라인의 두 개의 면들 상의 로우 선택 라인들에 하나 이상의 선택 신호들을 인가하여 상기 특정의 수직으로 배향된 비트 라인이 각각의 글로벌 비트 라인과 통신하게 하기 위해 상기 특정의 수직으로 배향된 비트 라인에 연결된 각각의 더블 게이팅되는 수직으로 배향된 선택 디바이스를 활성화시키는 단계와;

선택된 워드 라인 전압을 선택된 메모리 셀에 연결된 선택된 워드 라인에 인가하는 단계를 포함하여 구성되며,

상기 선택된 메모리 셀은 또한 상기 특정의 수직으로 배향된 비트 라인에 연결되고, 상기 선택된 워드 라인 전압을 인가하는 것과 그리고 상기 하나 이상의 선택된 비트 라인 전압들을 인가하는 것은 상기 선택된 메모리 셀에 대한 메모리 동작이 수행되게 하는 것을 특징으로 하는 저장 시스템을 동작시키는 방법.

청구항 99

제98항에 있어서,

비선택된 비트 라인들에 연결된 더블 게이팅되는 수직으로 배향된 선택 디바이스들의 활성화를 막기 위한 신호를 다른 로우 선택 라인들에 인가하는 단계를 더 포함하는 것을 특징으로 하는 저장 시스템을 동작시키는 방법.

청구항 100

제98항 또는 제99항에 있어서,

상기 특정의 수직으로 배향된 비트 라인의 두 개의 면들 상의 상기 로우 선택 라인들은 상기 각각의 더블 게이팅되는 수직으로 배향된 선택 디바이스의 서로 다른 게이트 인터페이스들에서 연결되는 것을 특징으로 하는 저

장 시스템을 동작시키는 방법.

청구항 101

제98항 내지 제100항 중 어느 하나의 항에 있어서,

상기 각각의 더블 게이팅되는 수직으로 배향된 선택 디바이스의 채널은, 두 개의 연결된 로우 선택 라인들이 작동되는 경우에만 상기 각각의 더블 게이팅되는 수직으로 배향된 선택 디바이스가 턴온되도록, 도핑되는 것을 특징으로 하는 저장 시스템을 동작시키는 방법.

청구항 102

제98항 내지 제101항 중 어느 하나의 항에 있어서,

상기 선택된 워드 라인을 포함하는 복수의 상기 워드 라인들은 함께 연결되어, 상기 선택된 워드 라인 전압을 상기 선택된 워드 라인에 인가함으로써 상기 선택된 워드 라인 전압이 또한 함께 연결된 복수의 워드 라인들 전체에 인가되게 되며, 상기 메모리 셀들은 상기 수직으로 배향된 비트 라인들 및 상기 워드 라인들과 결합되어 연속 메쉬를 형성하고, 더블 게이팅되는 수직으로 배향된 선택 디바이스들 및 수직으로 배향된 비트 라인들은 상기 기판 내에 없고 상기 기판 위에 있는 것을 특징으로 하는 저장 시스템을 동작시키는 방법.

청구항 103

제102항에 있어서,

상기 메모리 어레이는 블록들 사이에 갭들을 포함하고; 그리고

각각의 로우 선택 라인 드라이버는 블록들 사이의 서로 다른 갭들 내에 분포된 복수의 트랜지스터들을 포함하는 것을 특징으로 하는 저장 시스템을 동작시키는 방법.

청구항 104

제98항 내지 제103항 중 어느 하나의 항에 있어서,

상기 하나 이상의 선택된 비트 라인 전압들을 상기 글로벌 비트 라인들에 인가하기 전에, 비선택 비트 라인 전압을 글로벌 비트 라인들에 인가하는 단계를 더 포함하는 것을 특징으로 하는 저장 시스템을 동작시키는 방법.

청구항 105

제104항에 있어서,

상기 비선택된 비트 라인 전압을 글로벌 비트 라인들에 인가하면서 상기 수직으로 배향된 비트 라인들을 플로팅 상태가 되게 함으로써 상기 플로팅 상태가 된 수직으로 배향된 비트 라인들에 연결된 메모리 셀들이 상기 비선택된 비트 라인 전압을 향해 드리프트하도록 하는 단계를 더 포함하는 것을 특징으로 하는 저장 시스템을 동작시키는 방법.

청구항 106

비휘발성 저장 시스템으로서,

메모리 셀들의 모놀리식 삼차원 메모리 어레이와;

메모리 셀들에 연결된 워드 라인들과;

상기 메모리 셀들에 연결된 복수의 수직으로 배향된 비트 라인들과;

복수의 글로벌 비트 라인들과;

상기 글로벌 비트 라인들에 연결된 제1의 복수의 선택 디바이스들과;

상기 수직으로 배향된 비트 라인들 및 상기 제1의 복수의 선택 디바이스들에 연결된 제2의 복수의 선택 디바이스들과, 여기서 상기 제1의 복수의 선택 디바이스들은 제 1 레벨 상에 있고, 상기 제2의 복수의 선택 디바이스들은 상기 제 1 레벨 위에 있는 제 2 레벨 상에 있으며; 그리고

상기 제1의 복수의 선택 디바이스들 및 상기 제2의 복수의 선택 디바이스들에 연결된 선택 라인들을 포함하는

것을 특징으로 하는 비휘발성 저장 시스템.

청구항 107

제106항에 있어서,

상기 제1의 복수의 선택 디바이스들의 각각의 선택 디바이스는 상기 제2의 복수의 선택 디바이스들의 대응하는 선택 디바이스 위에 있는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 108

제106항 또는 제107항에 있어서,

상기 제1의 복수의 선택 디바이스들의 각각의 선택 디바이스는 상기 제2의 복수의 선택 디바이스들의 대응하는 선택 디바이스에 연결되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 109

제108항에 있어서,

상기 제1의 복수의 선택 디바이스들의 각각의 선택 디바이스는 상기 제2의 복수의 선택 디바이스들의 대응하는 선택 디바이스와 직렬로 연결되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 110

제106항 내지 제109항 중 어느 하나의 항에 있어서,

상기 제1의 복수의 선택 디바이스들의 각각의 선택 디바이스는 두 개의 게이트 인터페이스들을 포함하고;

상기 제2의 복수의 선택 디바이스들의 각각의 선택 디바이스는 두 개의 게이트 인터페이스들을 포함하고; 그리고

상기 선택 라인들은 제1의 복수의 선택 라인들 및 제2의 복수의 선택 라인들을 포함하고, 상기 제1의 복수의 선택 라인들 각각은 상기 제1의 복수의 선택 디바이스들의 두 개의 게이트 인터페이스들에 연결되고, 상기 제2의 복수의 선택 라인들 각각은 상기 제2의 복수의 선택 디바이스들의 두 개의 게이트 인터페이스들에 연결되고, 상기 제1의 복수의 선택 라인들은 상기 제 1 레벨 상에 있으며, 상기 제2의 복수의 선택 라인들은 상기 제 2 레벨 상에 있는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 111

제110항에 있어서,

상기 제1의 복수의 선택 디바이스들로부터의 제 1 선택 디바이스를 턴온시킴과 아울러 상기 제2의 복수의 선택 디바이스들로부터의 제 2 선택 디바이스를 턴온시킴으로써 특정의 수직으로 배향된 비트 라인이 특정 글로벌 비트와 통신하게 되어, 상기 제 1 선택 디바이스는 상기 특정 글로벌 비트에 연결되게 되고 상기 제 2 선택 디바이스는 상기 특정의 수직으로 배향된 비트 라인에 연결되게 되며, 제 1 선택 디바이스는 상기 제 2 선택 디바이스에 연결되고; 그리고

상기 제 1 선택 디바이스 및 상기 제 2 선택 디바이스를 턴온시키는 것은, 상기 제1의 복수의 선택 라인들로부터 제 1 선택 라인을 선택하는 것과 상기 제2의 복수의 선택 라인들로부터 제 2 선택 라인을 선택하는 것을 포함하고, 상기 제 1 선택 라인은 상기 제 2 선택 라인에 대해 상기 제 2 선택 디바이스 및 상기 제 1 선택 디바이스의 반대쪽 면 상에 있는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 112

제106항 내지 제111항 중 어느 하나의 항에 있어서,

선택 라인들의 대각선 쌍(diagonal pair)들이 함께 연결되고, 각각의 대각선 쌍은, 직렬로 연결된 선택 디바이스들의 쌍의 반대쪽 면 상에 있는 상기 제2의 복수의 선택 라인들로부터의 하나의 선택 라인 및 상기 제1의 복수의 선택 라인들로부터의 하나의 선택 라인을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 113

제106항 내지 제112항 중 어느 하나의 항에 있어서,

상기 제1의 복수의 선택 라인들로부터 제 1 선택 라인을 선택함과 아울러 상기 제2의 복수의 선택 라인들로부터 제 2 선택 라인을 선택함으로써 특정의 수직으로 배향된 비트 라인이 특정 글로벌 비트와 통신하게 되어, 상기 제 1 선택 라인은 상기 제 2 선택 라인에 대해, 직렬로 연결된 선택 디바이스들의 쌍의 반대쪽 면 상에 있게 되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 114

제106항 내지 제113항 중 어느 하나의 항에 있어서,

상기 메모리 셀들은 블록들 내에 그룹화되고;

블록들 사이에, 선택 라인들이 단일 신호 라인들로서 존재하고; 그리고

블록들 밑에서, 선택 라인들이 복수의 신호 라인들로 분할되고 상기 복수의 신호 라인들은 제 1 라인 및 제 2 라인을 포함하고, 상기 제 1 라인은 상기 제1의 복수의 선택 디바이스들 중의 선택 디바이스들에 연결되고, 상기 제 2 라인은 상기 제2의 복수의 선택 디바이스들 중의 선택 디바이스들에 연결되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 115

제106항 내지 제114항 중 어느 하나의 항에 있어서,

로우 선택 라인 드라이버들을 더 포함하고, 상기 메모리 셀들은 블록들 내에 정렬되고, 상기 메모리 어레이는 블록들 사이에 갭들을 포함하고, 각각의 로우 선택 라인 드라이버는, 블록들 사이의 서로 다른 갭들 내에 분포됨과 아울러 상기 갭들 내의 상기 선택 라인들에 연결되는, 복수의 컴포넌트들을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 116

제106항 내지 제115항 중 어느 하나의 항에 있어서,

기관을 더 포함하고, 메모리 셀들의 상기 모놀리식 삼차원 메모리 어레이는 상기 기관 내에 배치되지 않고 상기 기관 위에 배치되며, 상기 수직으로 배향된 비트 라인들은 상기 기관 내에 배치되지 않고 상기 기관 위에 배치되며, 상기 제1의 복수의 선택 디바이스들 및 상기 제2의 복수의 선택 디바이스들은, 상기 기관 내에는 없고 상기 기관 위에 있는 수직으로 배향된 선택 디바이스들이고, 워드 라인들의 그룹들이 함께 연결되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 117

제106항 내지 제116항 중 어느 하나의 항에 있어서,

상기 제1의 복수의 선택 디바이스들로부터의 제 1 선택 디바이스를 턴온시킴과 아울러 상기 제2의 복수의 선택 디바이스들로부터의 제 2 선택 디바이스를 턴온시킴으로써 특정의 수직으로 배향된 비트 라인이 특정 글로벌 비트와 통신하게 되어, 상기 제 1 선택 디바이스는 상기 특정 글로벌 비트에 연결되게 되고 상기 제 2 선택 디바이스는 상기 특정의 수직으로 배향된 비트 라인에 연결되게 되며, 제 1 선택 디바이스는 상기 제 2 선택 디바이스에 연결되고;

상기 제 1 선택 디바이스 및 상기 제 2 선택 디바이스를 턴온시키는 것은, 제 1 선택 라인 및 제 2 선택 라인을 선택하는 것을 포함하고, 상기 제 1 선택 라인은 상기 제 2 선택 라인에 대해 상기 제 2 선택 디바이스 및 상기 제 1 선택 디바이스의 반대쪽 면 상에 있으며; 그리고

상기 제 1 선택 라인은 또한 상기 제 1 선택 디바이스에 인접한 다른 선택 디바이스에 연결되고, 상기 제 2 선택 라인은 또한 상기 제 2 선택 디바이스에 인접한 다른 선택 디바이스에 연결되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 118

메모리 셀들의 모놀리식 삼차원 메모리 어레이, 상기 메모리 셀들에 연결된 워드 라인들 및 수직으로 배향된 비트 라인들을 포함하는 저장 시스템을 동작시키는 방법으로서,

선택된 메모리 셀에 연결된 워드 라인에 선택된 워드 라인 전압을 인가하는 단계와, 여기서 상기 선택된 메모리 셀에는 또한 선택된 수직으로 배향된 비트 라인이 연결되고;

데이터 패턴에 근거하여, 선택된 비트 라인 전압을 선택된 글로벌 비트 라인들에 인가하는 단계와, 여기서 상기 글로벌 비트 라인들은 상기 글로벌 비트 라인들에 연결된 제1의 복수의 선택 디바이스들과, 상기 제1의 복수의 선택 디바이스들 및 상기 수직으로 배향된 비트 라인들에 연결된 제2의 복수의 선택 디바이스들을 통해 상기 수직으로 배향된 비트 라인들과 통신하고, 상기 제1의 복수의 선택 디바이스들은 제 1 레벨 상에 있고, 상기 제2의 복수의 선택 디바이스들은 상기 제 1 레벨 위에 있는 제 2 레벨 상에 있으며;

상기 제1의 복수의 선택 디바이스들로부터의 제 1 선택 디바이스와 상기 제2의 복수의 선택 디바이스들로부터의 제 2 선택 디바이스를 턴온시키는 단계와, 여기서 상기 턴온시키는 단계는, 제 1 선택 신호를 상기 제 1 선택 디바이스에 연결된 제 1 선택 라인에 인가함과 아울러 제 2 선택 신호를 상기 제 2 선택 디바이스에 연결된 제 2 선택 라인에 인가함으로써 행해지고, 상기 제 1 선택 라인은 상기 제 2 선택 라인에 대해 스택(stack)의 반대쪽 면 상에 있고, 여기서 상기 스택은 직렬로 함께 연결된 상기 제 1 선택 디바이스 및 상기 제 2 선택 디바이스를 포함하고; 그리고

상기 선택된 비트 라인 전압 및 상기 선택된 워드 라인 전압에 응답하여 상기 선택된 메모리 셀 내에서 메모리 동작을 수행하는 단계를 포함하는 것을 특징으로 하는 저장 시스템을 동작시키는 방법.

청구항 119

제118항에 있어서,

상기 선택 라인은 또한 상기 제 1 선택 디바이스에 인접한 다른 선택 디바이스에 연결되고, 상기 제 2 선택 라인은 또한 상기 제 2 선택 디바이스에 인접한 다른 선택 디바이스에 연결되고; 그리고

상기 선택된 워드 라인 전압을 상기 선택된 워드 라인에 인가하는 것은 상기 선택된 워드 라인 전압을 연결된 워드 라인들의 그룹에 인가하는 것을 포함하는 것을 특징으로 하는 저장 시스템을 동작시키는 방법.

청구항 120

제118항 또는 제119항에 있어서,

상기 선택된 워드 라인 전압을 인가하기 전에, 비선택된 워드 라인 전압을 비선택된 워드 라인들에 인가하는 단계와;

상기 선택된 비트 라인 전압을 인가하기 전에, 비선택된 비트 라인 전압을 글로벌 비트 라인들에 인가하는 단계와; 그리고

상기 비선택된 워드 라인 전압을 인가한 이후, 수직으로 배향된 비트 라인들을 플로팅 상태가 되게 하여 상기 수직으로 배향된 비트 라인들이 상기 비선택된 워드 라인 전압을 향해 드리프트하도록 하는 단계를 더 포함하는 것을 특징으로 하는 저장 시스템을 동작시키는 방법.

청구항 121

제118항 또는 제119항 또는 제120항에 있어서,

상기 메모리 셀들은 블록 내에 정렬되고, 상기 메모리 어레이는 블록들 사이에 갭들을 포함하며; 그리고

제 1 선택 신호를 제 1 선택 라인에 인가하는 것은 상기 갭들 내의 컴포넌트들로부터 상기 제 1 선택 라인을 구동시키는 것을 포함하는 것을 특징으로 하는 저장 시스템을 동작시키는 방법.

청구항 122

비휘발성 저장 시스템으로서,

기판과;

상기 기판 내에 배치되지 않고 상기 기판 위에 배치되는 메모리 셀들의 모놀리식 삼차원 메모리 어레이와;

상기 메모리 셀들에 연결된 워드 라인들과;

상기 기판 내에 없고 상기 기판 위에 있는 복수의 수직으로 배향된 비트 라인들과, 여기서 상기 수직으로 배향된 비트 라인들은 상기 메모리 셀들에 연결되고;

복수의 글로벌 비트 라인들과;

상기 기판 내에 없고 상기 기판 위에 있는 복수의 비대칭의 수직으로 배향된 선택 디바이스들과, 여기서 상기 비대칭의 수직으로 배향된 선택 디바이스들은 상기 수직으로 배향된 비트 라인들과 상기 글로벌 비트 라인들에 연결되고, 상기 비대칭의 수직으로 배향된 선택 디바이스들은 제 1 게이트 인터페이스 및 제 2 게이트 인터페이스를 가지며; 그리고

상기 선택 디바이스들에 연결된 복수의 선택 라인들을 포함하여 구성되며,

각각의 비대칭의 수직으로 배향된 선택 디바이스는, 상기 각각의 비대칭의 수직으로 배향된 선택 디바이스에 대한 상기 제 1 게이트 인터페이스에 연결된 상기 선택 라인들 중 하나와, 그리고 상기 각각의 비대칭의 수직으로 배향된 선택 디바이스에 대한 상기 제 2 게이트 인터페이스에 연결된 상기 선택 라인들 중 다른 하나를 갖는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 123

제122항에 있어서,

각각의 비대칭의 수직으로 배향된 선택 디바이스는 비대칭적으로 도핑된 채널을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 124

제122항 또는 제123항에 있어서,

각각의 비대칭의 수직으로 배향된 선택 디바이스는 비대칭 채널을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 125

제122항 또는 제123항 또는 제124항에 있어서,

각각의 비대칭의 수직으로 배향된 선택 디바이스는, 상기 제 1 게이트 인터페이스에서 제1의 면을 갖고 상기 제 2 게이트 인터페이스에서 제2의 면을 갖는 채널을 포함하고, 상기 제1의 면은 상기 제2의 면과는 다른 임계 전압을 갖는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 126

제122항 내지 제125항 중 어느 하나의 항에 있어서,

상기 제 1 게이트 인터페이스를 포함하는 비대칭의 수직으로 배향된 선택 디바이스들의 제1의 면은 공핍 모드 트랜지스터(depletion mode transistor)들처럼 동작하고, 상기 제 2 게이트 인터페이스를 포함하는 상기 비대칭의 수직으로 배향된 선택 디바이스들의 제2의 면은 인헨스먼트 모드 트랜지스터(enhancement mode transistor)들처럼 동작하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 127

제122항 내지 제126항 중 어느 하나의 항에 있어서,

각각의 비대칭의 수직으로 배향된 선택 디바이스는 인헨스먼트 모드 면(enhancement mode side) 및 공핍 모드 면(depletion mode side)을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 128

제122항 내지 제127항 중 어느 하나의 항에 있어서,

복수의 상기 선택 라인들 각각은 두 개의 이웃하는 비대칭의 수직으로 배향된 선택 디바이스들에 대한 게이트 인터페이스들 사이에 배치되어 상기 게이트 인터페이스들과 통신하고, 선택 신호를 상기 선택 라인들에 인가함으로써 두 개의 이웃하는 비대칭의 수직으로 배향된 선택 디바이스들 중 하나가 단지 턴온되게 되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 129

제122항 내지 제128항 중 어느 하나의 항에 있어서,

상기 비대칭의 수직으로 배향된 선택 디바이스들은, 수직으로 배향된 채널들을 갖는 능동 박막 트랜지스터인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 130

제122항 내지 제129항 중 어느 하나의 항에 있어서,

상기 워드 라인들은 워드 라인들의 그룹들을 포함하고, 워드 라인들의 각각의 그룹은 함께 연결된 복수의 워드 라인들을 포함하고; 그리고

각각의 선택 라인이 상기 비대칭의 수직으로 배향된 선택 디바이스들의 세트에 연결되고, 상기 비대칭의 수직으로 배향된 선택 디바이스들의 세트는 상기 수직으로 배향된 비트 라인들의 세트에 연결되고, 상기 수직으로 배향된 비트 라인들의 세트는 또한 워드 라인들의 특정 그룹의 단지 하나의 워드 라인에만 연결되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 131

제122항 내지 제130항 중 어느 하나의 항에 있어서,

상기 메모리 셀은 상기 수직으로 배향된 비트 라인들 및 상기 워드 라인들과 결합되어 연속 메쉬를 형성하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 132

제122항 내지 제131항 중 어느 하나의 항에 있어서,

로우 선택 라인 드라이버들을 더 포함하고, 상기 메모리 셀들은 블록들 내에 정렬되고, 상기 메모리 어레이는 블록들 사이에 갭들을 포함하고, 그리고 각각의 로우 선택 라인 드라이버는 블록들 사이의 서로 다른 갭들 내에 분포된 복수의 컴포넌트들을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 133

제122항에 있어서,

각각의 비대칭의 수직으로 배향된 선택 디바이스는, 상기 제 1 게이트 인터페이스에서 제 1 게이트 옥사이드와, 그리고 상기 제 2 게이트 인터페이스에서 제 2 게이트 옥사이드를 포함하고, 상기 제 1 게이트 옥사이드는 상기 제 2 게이트 옥사이드와는 다른 두께를 갖는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 134

제122항에 있어서,

각각의 비대칭의 수직으로 배향된 선택 디바이스는 게이트 물질 일함수 차이(gate material work function difference)로 인해 비대칭인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 135

비휘발성 저장 시스템을 제조하는 방법으로서,

기판 위에 하나 이상의 디바이스들 및 신호 라인들을 추가하는 단계와;

상기 하나 이상의 디바이스들 및 상기 신호 라인들 위에 선택 층을 추가하는 단계와, 여기서 상기 선택 층을 추가하는 단계는 선택 라인들을 추가하는 것과, 비대칭의 수직으로 배향된 선택 디바이스들을 추가하는 것을 포함

하고; 그리고

상기 선택 층 위에 모놀리식 삼차원 어레이를 추가하는 단계를 포함하여 구성되며,

상기 모놀리식 삼차원 어레이는 메모리 소자들에 연결된 수직으로 배향된 비트 라인들 및 워드 라인들을 포함하고, 상기 수직으로 배향된 선택 디바이스들은, 상기 수직으로 배향된 비트 라인들, 상기 선택 라인들, 및 글로벌 비트 라인들에 연결되는 것을 특징으로 하는 비휘발성 저장 시스템을 제조하는 방법.

청구항 136

제135항에 있어서,

상기 선택 라인들을 추가하는 것은,

하위 옥사이드 층을 증착시키는 것과;

상기 하위 옥사이드 층 위에 게이트 물질을 증착시키는 것과;

상기 게이트 물질 위에 상위 옥사이드 층을 증착시키는 것과; 그리고

스택들을 형성하기 위해 상기 하위 옥사이드 층, 상기 게이트 물질, 및 상기 상위 옥사이드 층 내에 트렌치들을 에칭하는 것을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 제조하는 방법.

청구항 137

제136항에 있어서,

상기 수직으로 배향된 선택 디바이스들을 추가하는 것은,

열 옥사이드 물질을 증착시키는 것과;

측벽 스페이서를 증착시키는 것과;

상기 트렌치들을 에칭하는 것과;

제1의 각도로 높은 임계 전압 인핸스먼트 모드 경사 주입(high threshold voltage enhancement mode angled implant)을 수행하여, 상기 스택들의 제1의 면이 상기 높은 임계 전압 인핸스먼트 모드 경사 주입을 수용하도록 하는 것과;

제2의 각도로 기울어진 공핍 모드 경사 주입을 수행하여, 상기 스택들의 제2의 면이 상기 공핍 모드 경사 주입을 수용하도록 하는 것과;

상기 트렌치들을 p- 폴리실리콘으로 충전하는 것과;

상기 폴리실리콘의 상부에 n+ 영역을 생성하기 위해 n+ 소스 주입을 수행하는 것과; 그리고

상기 폴리실리콘의 하부에 n+ 영역을 생성하기 위해 열 어닐링을 수행하는 것을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 제조하는 방법.

청구항 138

제137항에 있어서,

상기 하위 옥사이드 층을 증착시키기 전에 n+ 폴리실리콘 층을 추가하는 것을 더 포함하고, 상기 열 어닐링은 상기 p- 폴리실리콘과 상기 n+ 폴리실리콘 층 간의 접합을 활성화시켜 상기 n+ 폴리실리콘 층으로부터의 n+ 주입의 확산으로 인해 상기 수직으로 배향된 선택 디바이스들의 드레인들이 형성되도록 상기 p- 폴리실리콘의 하단부가 n+로 도핑되게 되는 것을 특징으로 하는 비휘발성 저장 시스템을 제조하는 방법.

청구항 139

제135항에 있어서,

상기 수직으로 배향된 선택 디바이스들을 추가하는 것은,

n+ 폴리실리콘 층을 추가하는 것과;

신호 라인들의 양쪽 면들 상에 있으며 수직으로 배향된 비트 라인들에 의해 점유될 위치들 아래에 있는 트렌치들을 에칭하는 것과;

제1의 각도로 높은 임계 전압 인헨스먼트 모드 경사 주입을 수행하여, 선택 라인 스택들의 제1의 면이 상기 높은 임계 전압 인헨스먼트 모드 경사 주입을 수용하도록 하는 것과;

제2의 각도로 기울어진 공핍 모드 경사 주입을 수행하여, 상기 스택들의 제2의 면이 상기 공핍 모드 경사 주입을 수용하도록 하는 것과;

상기 트렌치들을 p- 폴리실리콘으로 충전하는 것과;

상기 폴리실리콘의 상부에 n+ 영역을 생성하기 위해 n+ 소스 주입을 수행하는 것과; 그리고

상기 폴리실리콘의 하부에 n+ 영역을 생성하기 위해 열 어닐링을 수행하는 것을 포함하고,

상기 수직으로 배향된 비트 라인들은 상기 열 어닐링을 수행한 이후 상기 폴리실리콘 위에 추가되는 것을 특징으로 하는 비휘발성 저장 시스템을 제조하는 방법.

청구항 140

제135항에 있어서,

상기 수직으로 배향된 선택 디바이스들을 추가하는 것은,

신호 라인들의 양쪽 면들 상에 있으며 수직으로 배향된 비트 라인들에 의해 점유될 위치들 아래에 있는 트렌치들을 에칭하는 것과;

제1의 각도로 높은 임계 전압 인헨스먼트 모드 경사 주입을 수행하여, 선택 라인 스택들의 제1의 면이 상기 높은 임계 전압 인헨스먼트 모드 경사 주입을 수용하도록 하는 것과;

제2의 각도로 기울어진 공핍 모드 경사 주입을 수행하여, 상기 스택들의 제2의 면이 상기 공핍 모드 경사 주입을 수용하도록 하는 것과; 그리고

상기 트렌치들을 폴리실리콘으로 충전하는 것을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 제조하는 방법.

청구항 141

메모리 셀들의 모놀리식 삼차원 메모리 어레이, 상기 메모리 셀들에 연결된 워드 라인들 및 수직으로 배향된 비트 라인들을 포함하는 저장 시스템을 동작시키는 방법으로서,

데이터 패턴에 근거하여, 선택된 비트 라인 전압을 선택된 글로벌 비트 라인들에 인가하는 단계와, 여기서 상기 글로벌 비트 라인들은 복수의 비대칭의 수직으로 배향된 선택 디바이스들을 통해 상기 수직으로 배향된 비트 라인들과 통신하고, 각각의 비대칭의 수직으로 배향된 선택 디바이스는, 상기 각각의 비대칭의 수직으로 배향된 선택 디바이스에 대한 제 1 게이트 인터페이스에 연결된 복수의 선택 라인들 중 하나와, 그리고 상기 각각의 비대칭의 수직으로 배향된 선택 디바이스에 대한 제 2 게이트 인터페이스에 연결된 상기 선택 라인들 중 다른 하나를 가지며, 상기 제 1 게이트 인터페이스는 상기 제 2 게이트 인터페이스보다 낮은 임계 전압을 갖고;

선택된 수직으로 배향된 비트 라인에 연결된 특정의 비대칭의 수직으로 배향된 선택 디바이스에 대한 상기 제 1 게이트 인터페이스에 연결된 특정 선택 라인에 선택 신호를 인가하는 단계와, 여기서 상기 선택된 수직으로 배향된 비트 라인은 선택된 메모리 셀에 연결되고;

상기 선택된 메모리 셀에 연결된 선택된 워드 라인에 선택된 워드 라인 전압을 인가하는 단계와; 그리고

상기 선택된 워드 라인 전압 및 상기 선택된 비트 라인 전압에 응답하여 메모리 동작을 수행하는 단계를 포함하는 것을 특징으로 하는 저장 시스템을 동작시키는 방법.

청구항 142

제141항에 있어서,

상기 선택된 워드 라인 전압을 상기 선택된 워드 라인에 인가하는 것은 상기 선택된 워드 라인 전압을 연결된

워드 라인들의 그룹에 인가하는 것을 포함하는 것을 특징으로 하는 저장 시스템을 동작시키는 방법.

청구항 143

제141항 또는 제142항에 있어서,

상기 선택된 비트 라인 전압을 인가하기 전에, 비선택된 워드 라인 전압을 비선택된 워드 라인들에 인가하는 단계와;

상기 선택된 비트 라인 전압을 인가하기 전에, 비선택된 비트 라인 전압을 글로벌 비트 라인들에 인가하는 단계와; 그리고

상기 비선택된 워드 라인 전압을 인가한 이후, 수직으로 배향된 비트 라인들을 플로팅 상태가 되게 하여 상기 수직으로 배향된 비트 라인들이 상기 비선택된 워드 라인 전압을 향해 드리프트하도록 하는 단계를 더 포함하는 것을 특징으로 하는 저장 시스템을 동작시키는 방법.

명세서

기술분야

[0001] 본 출원은 미국 가특허출원 제61/526,764호(발명의 명칭: "Optimizing Architecture for Three Dimensional Non-Volatile Storage Device With Vertical Bit Lines", 출원일: 2011년 8월 24일), 그리고 미국 가특허출원 제61/423,007호(발명의 명칭: "Non-Volatile Memory Having 3D Array of Read/Write Elements With Vertical Bit Lines and Laterally Aligned Active Elements and Methods Thereof", 출원일: 2010년 12월 14일)에 대한 우선권 혜택을 주장한다.

[0002] 본 발명은 비휘발성 저장을 위한 기술에 관한 것이다.

배경기술

[0003] 비휘발성 메모리의 일 예는, 높은 저항 상태 혹은 낮은 저항 상태로 설정될 수 있으며 후속하여 초기 상태로 재설정될 때까지 그 상태에서 유지될 수 있는, 가변 저항 메모리 소자들을 사용한다. 가변 저항 메모리 소자들은 두 개의 직교하여 연장되는 전도체들(전형적으로는, 비트 라인들과 워드 라인들) 사이에 개별적으로 연결되는데, 이들은 이차원 어레이로 서로 교차한다. 이러한 메모리 소자의 상태는 전형적으로, 교차하는 전도체들 상에 가해지는 적절한 전압들에 의해 변경된다. 이러한 전압들은 다수의 다른 비선택된 메모리 소자들에 또한 필연적으로 인가되기 때문에(왜냐하면 이들은 프로그래밍 혹은 판독되는 선택된 메모리 소자들과 동일한 전도체들을 따라 연결되어 있으므로), 다이오드들이 가변 저항 소자들과 직렬로 공통적으로 연결되어 이들을 통해 흐를 수 있는 누설 전류를 감소시키게 된다. 다수의 메모리 소자들에 대해 병렬로 데이터 판독 및 프로그래밍 동작을 수행하고자 하는 요구는 결과적으로 판독 혹은 프로그래밍 전압들이 매우 많은 수의 다른 메모리 소자들에 인가되게 한다. 가변 저항 소자들의 어레이 및 관련된 다이오드들의 예가 미국 특허 출원 공개번호 US 2009/0001344에서 제공된다.

도면의 간단한 설명

[0004] 도 1은 가변 저항 메모리 소자들의 예시적인 삼차원 어레이의 일부분을 나타낸 등가 회로이고, 여기서 어레이는 수직 비트 라인들을 갖는다.

도 2는 도 1의 메모리 어레이를 사용하는 재프로그래밍가능 비휘발성 메모리 시스템의 도시적 블록도인바, 이것은 메모리 시스템의 호스트 시스템과의 연결을 표시한다.

도 3은 도 1의 삼차원 어레이의 두 개의 평면들과 기판의 평면적 도면으로 일부 구조가 추가되어 있다.

도 4는 도 3의 평면들 중 하나의 평면의 일부분을 확대한 도면으로, 여기에 데이터가 프로그래밍되는 실행을 나타내도록 표시되어 있다.

도 5는 도 3의 평면들 중 하나의 평면의 일부분을 확대한 도면으로, 이로부터 데이터가 판독되는 실행을 나타내도록 표시되어 있다.

도 6은 도 1에 제시된 삼차원 어레이의 일부분을 제 1 구현 특정 예에 따라 나타낸 등축도(isometric

view)이다.

도 7은 가변 저항 메모리 소자들의 예시적인 삼차원 어레이의 일부분의 등가 회로도이며, 여기서 어레이는 수직 비트 라인들 및 필러 선택 층을 가지고 있으며, 이들 모두는 (기관 내에 없고) 기관 위에 있다.

도 8a는 수직 비트 라인, 수직으로 배향된 선택 디바이스 및 글로벌 비트 라인을 나타낸 도면이다.

도 8b는 수직 비트 라인, 수직으로 배향된 선택 디바이스 및 글로벌 비트 라인을 나타낸 평면적 도면이다.

도 9는 메모리 시스템의 일부분을 나타낸 도면으로, 기관 위에 있는 수직 비트 라인들, 기관 위에 있는 수직으로 배향된 선택 디바이스들, 그리고 기관 내에 있는 로우 선택 라인 드라이버들을 나타낸다.

도 10은 기관 위에 있는 수직 로컬 비트 라인들, 그리고 기관 위에 있는 수직으로 배향된 선택 디바이스들(이들은 비트 라인들을 글로벌 비트 라인들에 연결시킴)을 구비한 메모리 구조의 일 실시예를 나타낸다.

도 11은 메모리 시스템의 일부분을 나타낸 도면으로, 기관 위에 있는 수직 비트 라인들 및 수직으로 배향된 선택 디바이스들을 나타낸다.

도 12는 메모리 시스템의 일부분을 나타낸 도면으로, 수직 비트 라인들, (기관 위에 있는) 수직으로 배향된 선택 디바이스들, 그리고 기관 내에 있는 로우 선택 라인 드라이버들을 나타낸다.

도 13은 도 10의 구조를 제조하기 위한 프로세스의 일 실시예를 나타낸 흐름도이다.

도 14a 내지 도 14f는 도 13의 프로세스 동안 도 10의 구조를 나타낸다.

도 15는 도 10의 구조를 동작시키기 위한 프로세스의 일 실시예를 나타낸 흐름도이다.

도 16은 수직 로컬 비트 라인 및 수직으로 배향된 선택 디바이스들(이들은 비트 라인들을 글로벌 비트 라인들에 연결함)을 구비한 메모리 구조의 일 실시예를 나타낸다.

도 17은 수직 로컬 비트 라인 및 수직으로 배향된 선택 디바이스들(이들은 비트 라인들을 글로벌 비트 라인들에 연결함)을 구비한 메모리 구조의 일 실시예를 나타낸다.

도 18a 내지 도 18i는 제조 프로세스 동안 도 17의 구조를 나타낸다.

도 19는 메모리 시스템의 일부분을 나타낸 도면으로, 수직 비트 라인들, (기관 위에 있는) 수직으로 배향된 선택 디바이스들, 그리고 (워드 라인들에 연결된) 워드 라인 코움들을 나타낸다.

도 20은 두 개의 워드 라인 코움들 및 복수의 수직 비트 라인들의 상면도이다.

도 21a 및 도 21b는 메모리 시스템의 일부분을 나타낸 도면이고, 워드 라인 코움들을 나타내고 있다.

도 22a 및 도 22b는 메모리 시스템을 프로그래밍하기 위한 실시예들을 설명하는 흐름도이다.

도 23은 메모리 시스템의 일부분을 나타낸 도면으로, 프로그래밍 동작을 나타내고 있다.

도 24는 메모리 시스템을 관독하기 위한 일 실시예를 설명하는 흐름도이다.

도 25는 메모리 시스템의 일부분을 나타낸 도면으로, 프로그래밍 동작을 나타내고 있다.

도 26은 메모리 시스템을 위한 아키텍처를 나타낸 블록도이다.

도 27은 로우 선택 라인 드라이버 및 관련된 로우 선택 라인을 제시하는 블록도이다.

도 28a 내지 도 28c는 로우 선택 라인 드라이버들을 배치하기 위한 복수의 구성들을 나타낸 블록도이다.

도 29는 메모리 시스템의 일부분을 나타낸 도면으로, 수직 비트 라인들, (기관 위에 있는) 수직으로 배향된 선택 디바이스들, 워드 라인 코움들, 그리고 (메모리 소자들의 복수의 블록들에 걸쳐 있는) 로우 선택 라인들을 나타낸다.

도 30은 메모리 시스템의 일부분을 나타낸 도면으로, 수직 비트 라인들, 워드 라인 코움들, 워드 라인들 그리고 메모리 소자들을 나타낸다.

도 31a 및 도 31b는 로우 선택 라인 드라이버들을 나타낸 도면이다.

도 32는 로우 선택 라인 드라이버들의 컴포넌트들의 분포된 배치를 나타낸 블록도이다.

도 33은 두 개의 로우 선택 라인들을 선택함으로써 동작되는 도 10의 구조를 나타낸다.

도 34는 두 개의 로우 선택 라인들을 선택함으로써 도 33의 구조를 동작시키는 경우 로우 선택 라인 드라이버들의 컴포넌트들의 분포된 배치를 나타낸 블록도이다.

도 35는 메모리 시스템의 일부분을 나타낸 도면으로, 수직 비트 라인들, (기판 위에 있는) 수직으로 배향된 선택 디바이스들, 워드 라인 코움들, (메모리 소자들의 복수의 블록들에 걸쳐 있는) 로우 선택 라인들을 나타내고, 그리고 두 개의 로우 선택 라인들을 선택함으로써 도 33의 구조를 동작시키는 것을 나타낸다.

도 36은 도 33 내지 도 35의 구조를 동작시키기 위한 프로세스의 일 실시예를 설명하는 흐름도이다.

도 37은 도 10의 구조를 나타낸 것으로, 비대칭의 수직으로 배향된 선택 디바이스들이 구비되어 있다.

도 38a 및 도 38b는 비대칭의 선택 디바이스들의 제조 동안 사용되는 두 개의 프로세스 단계들을 나타낸다.

도 39 내지 도 41은 도 37의 실시예의 동작의 예들을 제공하는 도면이다.

도 42는 두 레벨의 로우 선택 라인들 및 수직으로 배향된 선택 디바이스들을 포함하는 메모리의 또 다른 실시예를 구현한 구조의 단면도를 나타낸다.

도 43은 다양한 로우 선택 라인들을 연결시키는 방법의 하나의 예시적 구현예를 나타낸 블록도이다.

도 44는 도 43의 구조를 구현할 때 로우 선택 라인 드라이버들의 컴포넌트들의 분포된 배치를 나타낸 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0005] 본 명세서에서 설명되는 기술은 메모리 소자들의 삼차원 어레이를 위한 아키텍처에 관한 것으로, 여기서 어레이의 비트 라인들은 수직으로 배향되어 있다. 즉, 공통 반도체 기판 상에 복수의 기존의 이차원 어레이들을 단순히 적층시키는 것(여기서, 각각의 이차원 어레이는 자기 자신의 비트 라인들을 가짐) 대신에, 다수의 이차원 어레이들이 개별 평면들 내에서 서로의 상부에 적층되고 평면들을 통해 연장되는 공통 비트 라인들을 공유한다.
- [0006] 삼차원 어레이 내에 사용되는 메모리 소자들은 바람직하게는 가변 저항 메모리 소자들이다. 즉, 개별 메모리 소자들의 저항(및 그 역수인 컨덕턴스(conductance))은 전형적으로, 메모리 소자가 연결된 직각으로 교차하는 전도체들에 걸쳐 가해지는 전압의 결과에 따라 변경된다. 가변 저항 소자의 타입에 따라, 소자에 걸쳐 있는 전압, 소자를 통해 흐르는 전류의 레벨, 소자에 걸쳐 있는 전기장의 양, 소자에 인가된 열의 레벨, 등에 응답하여, 상태가 변경될 수 있다. 어떤 가변 저항 소자 물질에 있어서, 전도 상태가 변경되는 때 그리고 그 변경이 일어나는 방향을 결정하는 것은, 전압, 전류, 전기장, 열 등이 소자에 인가되는 시간의 양이다. 이러한 상태 변경 동작들 사이에서, 메모리 소자의 저항은 변경되지 않은채 유지되고, 따라서 비휘발성이다. 앞서 개괄적으로 설명된 삼차원 어레이 아키텍처는, 서로 다른 속성들 및 동작 특성들을 갖는 그러한 광범위한 물질들로부터 선택된 메모리 소자 물질로 구현될 수 있다.
- [0007] 메모리 소자의 저항 및 이에 따른 그 검출가능한 저항 상태는, 초기 레벨로부터 또 다른 레벨로 반복적으로 설정될 수 있고, 그 다음에 초기 레벨로 다시 재설정될 수 있다. 일부 물질들에 있어서, 일 방향으로 상태를 변경시키기 위해 인가되는 전압, 전류, 전기장, 열 등의 양 혹은 지속시간은 또 다른 방향으로의 변경을 위해 인가되는 것과는 다르다(비대칭). 두 개의 검출가능한 상태들에서, 각각의 메모리 소자는 데이터의 일 비트를 저장한다. 어떤 물질들을 사용하는 경우, 둘 이상의 안정된 저항 레벨들을 메모리 소자의 검출가능한 상태들로서 지정함으로써, 데이터의 일 비트 보다 많은 비트들이 각각의 메모리 소자에 저장될 수 있다. 본 명세서에서의 삼차원 어레이 아키텍처는 동작할 수 있는 방식에 있어서 매우 다양하다.
- [0008] 이러한 삼차원 아키텍처는 또한, 다른 어드레싱된(선택된) 메모리 소자들 상에서 행해지는 판독 및 프로그래밍 동작 동안 원하지 않는 레벨의 전압이 인가되는 비어드레싱된(비선택된) 저항 메모리 소자들의 규모 및 수를 제한할 수 있게 한다. 비어드레싱된 메모리 소자들의 상태들을 교란(disturb)시킬 위험 및 비어드레싱된 소자들을 통해 흐르는 누설 전류의 레벨들은, 동일한 메모리 소자 물질을 사용하여 다른 어레이들에서 일어나는 것들로부터 크게 감소될 수 있다. 누설 전류는 바람직하지않는데, 왜냐하면 누설 전류는 어드레싱된 메모리 소자들로부터 판독되는 결보기 전류를 변경시킬 수 있고, 이에 따라 어드레싱된(선택된) 메모리 소자들의 상태를 정확히 판독하는 것을 어렵게 하기 때문이다. 누설 전류는 또한 바람직하지않는데, 왜냐하면 누설 전류는 어레이에서 소비하는 전체 파워를 증가시키고, 이에 따라 필요한 것보다 더 많은 파워가 바람직하지 않게 공급되게 하기 때

문이다. 어드레싱된 메모리 소자들의 프로그래밍 및 판독 동안 인가된 전압들을 갖는 비어드레싱된 메모리 소자들의 상대적으로 작은 규모로 인해, 본 명세서의 삼차원 아키텍처를 갖는 어레이는, 판독시 에러를 유발시킴 없이 그리고 적절한 파워 공급 능력을 초과함이 없이, 훨씬 더 많은 수의 어드레싱된 메모리 소자들을 포함하도록 만들어질 수 있다.

[0009] 추가적으로, 본 명세서의 삼차원 아키텍처는, 가변 저항 소자들과 직렬로 연결되는 다이오드들 혹은 다른 비선형 소자들을 필요로 함이 없이, 가변 저항 메모리 소자들이 비트 라인과 워드 라인 전도체들의 각각의 교차부들에서 연결될 수 있게 한다. 가변 저항 메모리 소자들의 기존의 어레이들에서, 다이오드는 각각의 메모리 소자와 직렬로 공통적으로 연결되어, 메모리 소자가 비선택되었음에도 불구하고 메모리 소자에 걸쳐 있는 전압차를 갖는 경우(예를 들어, 이것은 비선택된 메모리 소자가, 선택된 메모리 소자들에 전압을 운반하는 비트 라인 혹은 워드 라인과 동일한 라인들에 연결되어 있는 경우 일어날 수 있음) 소자를 통해 흐르는 누설 전류를 감소시키게 된다. 다이오드가 필요 없게 되는 것은 어레이의 복잡도를 크게 감소시키고, 이에 따라 어레이의 제조를 위해 요구되는 프로세싱 단계의 수를 크게 감소시킨다. 용어 "연결된"은 직접적 연결 및 간접적 연결을 의미한다.

[0010] 실제로, 본 명세서에서의 메모리 소자들의 삼차원 어레이를 제조하는 것은 동일한 타입의 메모리 소자들을 사용하는 다른 삼차원 어레이들보다 훨씬 더 간단하다. 특히, 어레이의 각각의 평면의 소자들을 형성하기 위해 더 적은 수의 마스크들이 요구된다. 따라서, 삼차원 어레이를 갖는 집적 회로를 형성하기 위해 필요한 프로세싱 단계들의 총 개수는 감소되고, 이에 따라 결과적인 집적 회로의 비용도 감소된다.

[0011] 먼저 도 1을 참조하면, 삼차원 메모리(10)의 하나의 예시적 실시예의 아키텍처가, 이러한 메모리의 일부분의 등가 회로 형태로 도식적으로 그리고 일반적으로 제시된다. 표준 삼차원 직각 좌표계(11)가 참조를 위해 사용되고, 벡터들(x , y 및 z) 각각의 방향은 다른 두 개와 직교한다. 또 다른 실시예에서, 방향 x 와 x 는 서로로부터 실질적으로 60도이다.

[0012] 내부 메모리 소자들을 외부 데이터 회로들과 선택적으로 연결시키기 위한 회로가 선택 디바이스들(Q_{xy})을 사용하여 바람직하게 형성되는바, 여기서 x 는 x -방향에서의 디바이스의 상대적 위치를 제공하고, y 는 y -방향에서의 디바이스의 상대적 위치를 제공한다. 개개의 선택 디바이스들(Q_{xy})은, 예를 들어, 선택 게이트 혹은 선택 트랜지스터일 수 있다. 글로벌 비트 라인들(global bit lines)(GBL_x)이 y -방향으로 연장되고, 아래첨자로 표시된 x -방향에서의 상대적 위치를 갖는다. 글로벌 비트 라인들(GBL_x)은 (비록 판독 동안 그리고 또한 전형적으로 프로그래밍 동안, 특정 글로벌 비트 라인과 연결된 단지 하나의 선택 디바이스만이 일정 시간에 턴온(turn on)되지만) x -방향에서 동일 위치를 갖는 선택 디바이스들(Q_{xy})의 소스 혹은 드레인과 개별적으로 연결가능하다. 개개의 선택 디바이스들(Q_{xy})의 소스 혹은 드레인의 다른 부분은 로컬 비트 라인들(local bit lines)(LBL_{xy}) 중 하나와 연결된다. 로컬 비트 라인들은 z -방향으로 수직으로 연장되고, 그리고 x (로우(row)) 방향 및 y (컬럼(column)) 방향으로 규칙적인 이차원 어레이를 형성한다.

[0013] 로컬 비트 라인들의 일 세트(본 예에서, 하나의 로우로서 지정된 것)를 대응하는 글로벌 비트 라인들과 연결시키기 위해, 로우 선택 라인들(row select lines)(SG_y)이 x -방향으로 연장되고, 그리고 y -방향에서 공통 위치를 갖는 선택 디바이스들(Q_{xy})의 단일 로우의 제어 단자들(게이트들)과 연결된다. 따라서, 선택 디바이스들(Q_{xy})은, 로우 선택 라인들(SG_y) 중 어느 것이 그 연결된 선택 디바이스들을 턴온시키는 전압을 수신하는지에 따라, x -방향에 걸쳐 있는 (y -방향에서 동일한 위치를 갖는) 로컬 비트 라인들(LBL_{xy})의 하나의 로우를 글로벌 비트 라인들(GBL_x)의 대응하는 것들에 한번에 연결시킨다. 잔존하는 로우 선택 라인들은 그 연결된 선택 디바이스들(Q_{xy})을 오프(off) 상태로 유지시키는 전압을 수신한다. 로컬 비트 라인들(LBL_{xy}) 각각과 함께 단지 하나의 선택 디바이스들(Q_{xy})만이 사용되기 때문에, x -방향 및 y -방향 모두에서 반도체 기판에 걸쳐 있는 어레이의 피치(pitch)는 매우 작게 될 수 있고, 이에 따라 메모리 저장 소자들의 밀도는 커지게 됨에 유의해야 한다.

[0014] 메모리 소자들(M_{xyz})이 기판(13) 위에 z -방향으로 서로 다른 거리에 배치되는 복수의 평면들에 형성된다. 두 개의 평면들(평면 1 및 평면 2)이 도 1에 예시되는바, 전형적으로는 예를 들어, 4개, 6개, 8개, 16개, 32개 혹은 그 이상이 있을 수 있다. 거리 z 에 있는 각각의 평면에서, 워드 라인들(WL_{zy})이 x -방향으로 연장되며 로컬 비트 라인들(LBL_{xy}) 사이에서 y -방향으로 이격되어 있다. 각각의 평면의 워드 라인들(WL_{zy})은 워드 라인들의 양쪽 면

상에 있는 로컬 비트 라인들(LBL_{xy})의 인접하는 두 개의 로컬 비트 라인들과 개별적으로 교차한다. 개개의 메모리 저장 소자들(M_{zxy})은, 이러한 개개의 교차부분들에 인접하여 하나의 로컬 비트 라인(LBL_{xy})과 하나의 워드 라인(WL_{zy}) 사이에 연결된다. 따라서, 개개의 메모리 소자(M_{zxy})는, 로컬 비트 라인(LBL_{xy})과 워드 라인(WL_{zy})(이들 사이에 해당 메모리 소자가 연결됨) 상에 적당한 전압을 가함으로써 어드레싱가능하다. 메모리 소자의 상태가 기존 상태에서 원하는 새로운 상태로 변경되도록 하기 위해 필요한 전기적 자극을 제공하기 위한 전압이 선택된다. 이러한 전압의 레벨, 지속시간, 및 다른 특성들은 메모리 소자들에 대해 사용된 물질에 따라 달라진다.

[0015] 삼차원 메모리 구조의 각각의 "평면(plane)"은 전형적으로, 적어도 두 개의 층들로 형성되는데, 이들 중 하나에는 전도성 워드 라인들(WL_{zy})이 배치되고, 또 다른 하나는 평면들을 전기적으로 서로 격리시키는 절연체 물질로 이루어져 있다. 예를 들어, 메모리 소자들(M_{zxy})의 구조에 따라, 추가적인 층들이 또한 각각의 평면 내에 존재할 수 있다. 평면들이 반도체 기판 위에서 서로의 상부에 적층되고, 이 경우 로컬 비트 라인들(LBL_{xy})은 각각의 평면(이러한 각각의 평면을 통해 로컬 비트 라인들이 연장됨)의 저장 소자들(M_{zxy})과 연결된다.

[0016] 본 명세서에서 설명되는 (메모리(10)를 포함하는) 메모리 어레이들은, 모놀리식 삼차원 메모리 어레이들(monolithic three dimensional memory arrays)이다. 모놀리식 삼차원 메모리 어레이에서 복수의 메모리 레벨들은, 중간에 개입되는 기판들이 없는, 웨이퍼와 같은 단일 기판 위에 형성된다(기판 내에는 형성되지 않음). 하나의 메모리 레벨을 형성하는 층들은 기존 레벨 혹은 레벨들의 층들 위에 직접 증착되거나 성장한다. 대조적으로, 미국 특허 번호 제5,915,167호(발명자: Leedy, 발명의 명칭: "Three Dimensional Structure Memory")에 서와 같은 적층된 메모리들은, 개별 기판들 상에 메모리 레벨들을 형성하고 메모리 레벨들을 서로의 상부에 부착시킴으로써 구성된다. 본딩(bonding) 전에 기판들은 얇게 될 수 있거나 혹은 메모리 레벨들로부터 제거될 수 있지만, 메모리 레벨들이 초기에 개별 기판들 위에 형성되었기 때문에, 이러한 메모리들은 진정한 모놀리식 삼차원 메모리 어레이들이 아니다.

[0017] 도 2는 도 1의 삼차원 메모리(10)를 사용할 수 있는 예시적인 메모리 시스템의 블록도이다. 데이터 입력-출력 회로들(21)은, (어드레싱된 메모리 소자들(M_{zxy})에 저장된 데이터를 나타내는) 아날로그 전기적 양들을 도 1의 글로벌 비트 라인들(GBL_x)을 통해 병렬로 (프로그래밍 동안) 제공하고 (판독 동안) 수신하도록 연결된다. 데이터 입력-출력 회로들(21)은 전형적으로, 판독 동안 이러한 전기적 양들을 디지털 데이터 값들로 변환하기 위한 감지 증폭기들을 포함하는데, 여기서 디지털 값들은 이후 라인들(23)을 통해 메모리 시스템 제어기(25)로 전달된다. 역으로, 어레이(10)에 프로그래밍될 데이터는 제어기(25)에 의해 입력-출력 회로들(21)에 전송되는데, 이후 입력-출력 회로들(21)은 글로벌 비트 라인들(GBL_x) 상에 적절한 전압을 가함으로써 해당 데이터를 어드레싱된 메모리 소자에 프로그래밍한다. 바이너리 동작에 있어서, 하나의 전압 레벨은 전형적으로 바이너리 "1"을 나타내도록 글로벌 비트 라인 상에 가해지고, 또 다른 전압 레벨은 바이너리 "0"을 나타내도록 가해진다. 메모리 소자들은, 각각의 워드 라인 선택 회로들(27) 및 로컬 비트 라인 회로들(29)에 의해 워드 라인들(WL_{zy}) 및 로우 선택 라인들(SG_y) 상에 가해지는 전압들에 의한 판독 혹은 프로그래밍을 위해 어드레싱된다. 도 1의 특정 삼차원 어레이에서, 선택된 워드 라인과 (예컨대, 선택 디바이스들(Q_{xy}))을 통해 글로벌 비트 라인들(GBL_x)에 연결되는 로컬 비트 라인들(LBL_{xy}) 중 어느 하나 사이에 있는 메모리 소자들은, 선택 회로들(27 및 29)을 통해 인가되는 적절한 전압들에 의한 프로그래밍 혹은 판독을 위해 어드레싱될 수 있다.

[0018] 제어기(25)는 전형적으로 호스트 시스템(31)으로부터 데이터를 수신하고 호스트 시스템(31)에 데이터를 전송한다. 제어기(25)는 일반적으로, 이러한 데이터 및 동작 정보를 일시적으로 저장하기 위해 일정 양의 랜덤-액세스-메모리(Random-Access-Memory, RAM)(34)를 포함한다. 커맨드들(commands), 상태 신호들(status signals), 그리고 (판독 혹은 프로그래밍되는) 데이터의 어드레스들이 또한, 제어기(25)와 호스트(31) 간에 교환된다. 메모리 시스템은 매우 다양한 호스트 시스템들과 함께 동작한다. 이들은 개인용 컴퓨터(Personal Computer, PC)들, 랩탑 및 다른 휴대용 컴퓨터들, 셀룰러 전화기들, 개인 휴대 정보 단말기(Personal Digital Assistant, PDA)들, 디지털 스틸 카메라(digital still camera)들, 디지털 무비 카메라(digital movie camera)들 그리고 휴대용 오디오 플레이어(portable audio player)들을 포함한다. 호스트는 전형적으로, 메모리 시스템의 접합 메모리 시스템 플러그(35)를 수용하는 (메모리 카드 혹은 플래시 드라이브들의 하나 이상의 타입들에 대한) 내장형 리셉터클(built-in receptacle)(33)을 포함하지만, 어떤 호스트들은 (메모리 카드가 플러그인(plug in)되는) 어댑터를 사용할 것을 요구하고, 그리고 다른 것들은 이들 사이에 케이블을 사용할 것을 요구한다. 대안적으로,

메모리 시스템은 호스트 시스템 내에 그 구성 부분으로서 내장될 수 있다.

[0019] 제어기(25)는 호스트(31)로부터 수신된 커맨드들을 디코더/드라이버 회로(decoder/driver circuit)들(37)에 전달한다. 유사하게, 메모리 시스템에 의해 발생된 상태 신호들은 디코더/드라이버 회로들(37)로부터 제어기(25)로 전달된다. 회로들(37)은, 제어기가 메모리 동작들의 거의 모두를 제어하는 경우, 간단한 로직 회로들일 수 있거나, 또는 소정의 커맨드들을 수행하기 위해 필요한 반복적 메모리 동작들 중 적어도 일부를 제어하기 위한 상태 머신을 포함할 수 있다. 커맨드들을 디코딩함으로써 나온 제어 신호들은, 회로들(37)로부터 워드 라인 선택 회로들(27) 및 로컬 비트 라인 선택 회로들(29) 및 데이터 입력-출력 회로들(21)로 인가된다. 호스트(31)로부터의 커맨드를 수행하기 위해, (어레이(10) 내에서 어드레싱될 메모리 소자들의 물리적 어드레스들을 운반하는) 제어기로부터의 어드레스 라인들(39)이 또한 회로들(27 및 29)에 연결된다. 물리적 어드레스들은 호스트 시스템(31)으로부터 수신된 로직 어드레스들에 대응하고, 그 변환은 제어기(25) 및/또는 디코더/드라이버(37)에 의해 행해진다. 결과적으로, 로컬 비트 라인 선택 회로들(29)은, 선택된 로컬 비트 라인들(LBL_{xy})을 글로벌 비트 라인들(GBL_x)과 연결시키기 위해 선택 디바이스들(Q_{xy})의 제어 소자들 상에 적절한 전압들을 가함으로써 그 지정된 저장 소자들을 어레이(10) 내에서 부분적으로 어드레싱한다. 이러한 어드레싱은, 어레이의 워드 라인들(WL_z)에 적절한 전압들을 인가하는 회로들(27)에 의해 완료된다.

[0020] 도 2의 메모리 시스템이 도 1의 삼차원 메모리 어레이(10)를 이용하지만, 이러한 어레이 아키텍처만을 사용하는 것으로 본 시스템이 한정되는 것은 아니다. 주어진 메모리 시스템은 대안적으로 이러한 타입의 메모리를 다른 또 다른 타입(이것은 NAND 메모리 셀 어레이 아키텍처를 구비한 플래시 메모리와 같은 플래시 메모리, 자기 디스크 드라이브 혹은 어떤 다른 타입의 메모리를 포함함)과 결합시킬 수 있다. 다른 타입의 메모리는 자기 자신의 제어기를 구비할 수 있거나, 혹은 일부 경우에 있어서는, 삼차원 메모리 셀 어레이(10)와 제어기(25)를 공유할 수 있는바, 이것은 특히 임의의 동작 레벨에서 메모리의 두 가지 타입들 간에 어떤 호환성이 존재하는 경우에 그러하다.

[0021] 도 1의 어레이 내의 메모리 소자들(M_{zxy}) 각각은 입력 데이터에 따라 상태를 변경시키기 위해 혹은 기존 저장 상태를 판독하기 위해 개별적으로 어드레싱될 수 있지만, 어레이를 복수의 메모리 소자들의 단위로 병렬로 프로그래밍 및 판독하는 것이 물론 바람직하다. 도 1의 삼차원 어레이에서, 하나의 평면 상의 메모리 소자들의 하나의 row는 병렬로 프로그래밍 및 판독될 수 있다. 병렬로 동작되는 메모리 소자들의 수는 선택된 워드 라인에 연결된 메모리 소자들의 수에 따라 달라진다. 일부 어레이들에서, 워드 라인들은 세그먼트(segment)화될 수 있는바(도 1에서 도시되지는 않음), 이에 따라 워드 라인들의 길이를 따라 연결된 메모리 소자들의 총 개수의 일부만이, 즉 세그먼트들 중 선택된 세그먼트에 연결된 메모리 소자들만이, 병렬 동작을 위해 어드레싱될 수 있다. 일부 어레이들에서, 하나의 동작으로 프로그래밍되는 메모리 소자들의 수는, IR 강하를 최소화하기 위해, 혹은 파워를 최소화하기 위해, 혹은 다른 목적을 위해, 그 선택된 워드 라인에 연결된 메모리 소자들의 총 개수보다 더 작을 수 있다.

[0022] 이전에 프로그래밍된 메모리 소자들(이것의 데이터는 쓸모없게 됨)은 이들이 이전에 프로그래밍된 상태로부터 어드레싱 및 재프로그래밍될 수 있다. 따라서, 병렬로 재프로그래밍되는 메모리 소자들의 상태들은 매우 빈번하게 이들 간에 서로 다른 시작 상태들을 갖는다. 이것은 많은 메모리 소자 물질들에 대해 허용될 수 있지만, 대개는 메모리 소자들의 그룹을 이들이 재프로그래밍되기 전에 공통 상태로 재설정하는 것이 바람직하다. 이러한 목적을 위해, 메모리 소자들은 블록들로 그룹화될 수 있고, 여기서 각각의 블록의 메모리 소자들은, 이들의 후속적 프로그래밍의 준비 단계로서, 공통 상태, 바람직하게는 프로그래밍된 상태들 중 하나로 동시에 재설정된다. 만약 사용되는 메모리 소자 물질의 특징이, 제 1 상태에서부터 제 2 상태로 변경되는 것이 제 2 상태에서부터 제 1 상태로 다시 변경되는 데 소요되는 시간 보다 훨씬 더 적은 시간에서 일어나는 것이라면, 바람직하게는, 더 긴 시간이 소요되는 전이가 수행되게 하는 재설정 동작이 선택된다. 이 경우 재설정보다 프로그래밍이 더 빠르게 행해진다. 더 긴 재설정 시간은 일반적으로 문제가 되지 않는데, 왜냐하면 쓸모없게 된 데이터만을 포함하고 있는 메모리 소자들의 블록들을 재설정하는 것은 대부분 백그라운드(background)로 전형적으로 달성되기 때문인바, 따라서 메모리 시스템의 프로그래밍 성능에 부정적인 영향을 미치는 않는다.

[0023] 메모리 소자들의 블록 재설정을 사용하는 경우, 가변 저항 메모리 소자들의 삼차원 어레이는 현재 플래시 메모리 어레이들과 유사한 방식으로 동작될 수 있다. 메모리 소자들의 블록을 공통 상태로 재설정하는 것은 플래시 메모리 소자들의 블록을 소거 상태로 소거하는 것에 대응한다. 본 명세서의 메모리 소자들의 개개의 블록들은 또한, 저장 소자들의 복수의 페이지들로 분할될 수 있는바, 여기서 페이지의 메모리 소자들은 함께 프로그래밍

되고 판독된다. 이것은 플래시 메모리들에서의 페이지들의 사용과 같다. 개개의 페이지의 메모리 소자들은 함께 프로그래밍되고 판독된다. 물론, 프로그래밍할 때, 재설정된 상태로 나타내지는 데이터를 저장하려는 그러한 메모리 소자들은 재설정 상태에서부터 변경되지 않는다. 그 안에 저장되는 데이터를 나타내기 위해 또 다른 상태로 변경될 필요가 있는 페이지의 메모리 소자들 중 해당 메모리 소자들의 상태가 프로그래밍 동작에 의해 변경되게 된다.

[0024] 이러한 블록들 및 페이지들을 사용하는 예가 도 3에서 제시되는데, 도 3은 도 1의 어레이의 평면 1 및 평면 2의 평면적 도면을 도식적으로 제공한다. 평면들 각각에 걸쳐 연장된 서로 다른 워드 라인들(WL_{zy}) 및 평면들을 통해 연장된 로컬 비트 라인들(LBL_{xy})이 이차원으로 제시된다. 개개의 블록들은 평면들 중 단일 평면 내에서의 하나의 워드 라인(혹은 워드 라인들이 세그먼트화되었다면 워드 라인의 하나의 세그먼트)의 양쪽 면들에 연결된 메모리 소자들로 이루어진다. 따라서, 어레이의 각각의 평면 내에는 매우 많은 수의 이러한 블록들이 존재한다. 도 3에 제시된 블록 내에서, 하나의 워드 라인(WL₁₂)의 양쪽 면들에 연결된 메모리 소자들(M₁₁₄, M₁₂₄, M₁₃₄, M₁₁₅, M₁₂₅ 및 M₁₃₅) 각각이 블록을 형성한다. 물론 워드 라인의 길이를 따라 연결된 더 많은 수의 메모리 소자들이 존재할 수 있지만 간략한 설명을 위해 이들 중 단지 몇 개만이 예시되었다. 각각의 블록의 메모리 소자들은, 단일 워드 라인과 로컬 비트 라인들 중 서로 다른 로컬 비트 라인들 사이에 연결되는데, 다시 말해, 도 3에 예시된 블록에 대해서, 워드 라인(WL₁₂)과 각각의 로컬 비트 라인들(LBL₁₂, LBL₂₂, LBL₃₂, LBL₁₃, LBL₂₃ 및 LBL₃₃) 사이에 연결된다.

[0025] 도 3에서는 또한 페이지가 예시된다. 설명되는 특정 실시예에서, 블록 당 두 개의 페이지들이 존재한다. 하나의 페이지는 블록의 워드 라인의 한쪽 면을 따라 있는 메모리 소자들에 의해 형성되고, 다른 페이지는 워드 라인의 반대쪽 면을 따라 있는 메모리 소자들에 의해 형성된다. 도 3에 표시된 예시적 페이지는 메모리 소자들(M₁₁₄, M₁₂₄ 및 M₁₃₄)에 의해 형성된다. 물론 다량의 데이터를 한번에 프로그래밍 및 판독할 수 있도록 하기 위해 페이지는 전형적으로 매우 많은 수의 메모리 소자들을 갖는다. 간략한 설명을 위해 도 3의 페이지의 저장 소자들 중 단지 몇 개만이 포함되었다.

[0026] 도 1 및 도 3의 메모리 어레이의 예시적인 재설정, 프로그래밍, 그리고 판독 동작들이, 도 2의 메모리 시스템 내에서 어레이(10)로서 동작되는 경우에 대해, 이제 설명된다. 이러한 예들에 있어서, 메모리 소자들(M_{zxy}) 각각은, 메모리 소자에 걸쳐 서로 다른 극성의 전압(혹은 전류)을 가하거나 혹은 극성은 동일하지만 크기 및/또는 지속시간은 서로 다른 전압을 가함으로써, 서로 다른 저항 레벨들의 두 개의 안정된 상태들 간에 스위칭될 수 있는 비휘발성 메모리 물질을 포함하도록 취해진다. 예를 들어, 물질의 하나의 클래스(class)는, 소자를 통해 하나의 방향으로 전류를 통과시킴으로써 높은 저항 상태에 놓일 수 있고, 그리고 소자를 통해 다른 방향으로 전류를 통과시킴으로써 낮은 저항 상태에 놓일 수 있다. 또는, 동일한 전압 극성을 사용하는 스위칭의 경우에, 하나의 소자는, 높은 저항 상태로의 스위칭을 위해 더 높은 전압 및 더 짧은 시간을 필요로 할 수 있고, 더 낮은 저항 상태로의 스위칭을 위해 더 낮은 전압 및 더 긴 시간을 필요로 할 수 있다. 데이터의 하나의 비트의 저장을 표시하는 개개의 메모리 소자들의 두 개의 메모리 상태들이 존재하는데, 이것은 메모리 소자 상태에 따라 "0" 또는 "1"이다.

[0027] 메모리 소자들의 블록을 재설정(예를 들어, 소거)하기 위해, 해당 블록 내의 메모리 소자들은 높은 저항 상태에 놓인다. 현재 플래시 메모리 어레이들에서 사용되는 규약에 따라, 이러한 상태는 로직 데이터 상태 "1"로서 지정되지만, 대안적으로 "0"이 되도록 지정될 수도 있다. 도 3에서의 예에 의해 제시되는 바와 같이, 블록은 하나의 워드 라인(WL) 혹은 워드 라인의 세그먼트에 전기적으로 연결되는 모든 메모리 소자들을 포함한다. 블록은 함께 재설정되는 어레이 내의 메모리 소자들의 최소 단위이다. 블록은 수천 개의 메모리 소자들을 포함할 수 있다. 만약 워드 라인의 한쪽 면 상의 메모리 소자들의 로우가 예를 들어, 이들 중 1000개를 포함한다면, 블록은 워드 라인의 양쪽 면 상에 두 개의 로우들로부터 2000개의 메모리 소자들을 갖는다.

[0028] 예를 들어, 도 3에 예시된 블록을 사용하여, 블록의 모든 메모리 소자들을 재설정하기 위해 다음과 같은 단계들이 취해질 수 있다.

[0029] 1. 도 2의 회로들(21)에 의해 글로벌 비트 라인들 모두(도 1 및 도 3의 어레이 내의 GBL₁, GBL₂ 및 GBL₃)를 제로(0) 볼트로 설정함.

[0030] 2. 블록의 하나의 워드 라인의 양쪽 면 상의 두 개의 로우 선택 라인들을 H' 볼트로 적어도 설정하여, y-방향에

서 워드 라인의 각각의 면 상의 로컬 비트 라인들이 선택 디바이스들을 통해 각각의 글로벌 비트 라인들에 연결되게 함(이에 따라 제로(0) 볼트가 되게 함). 전압 H'는 선택 디바이스들(Q_{xy})을 턴온시키기에 충분히 높은 전압 인바, 예를 들어, 1 내지 6 볼트의 범위 내에 있고, 전형적으로는 3 볼트이다. 도 3에 제시된 블록은 워드 라인(WL_{12})을 포함하고, 따라서 워드 라인의 양쪽 면 상의 로우 선택 라인들(SG_2 및 SG_3)(도 1)은 도 2의 회로들(29)에 의해 H' 볼트로 설정되어 선택 디바이스들(Q_{12} , Q_{22} , Q_{32} , Q_{13} , Q_{23} 및 Q_{33})이 턴온되게 된다. 이것은 x-방향으로 연장된 두 개의 인접하는 로우들에서의 로컬 비트 라인들(LBL_{12} , LBL_{22} , LBL_{32} , LBL_{13} , LBL_{23} 및 LBL_{33}) 각각이 글로벌 비트 라인들(GBL_1 , GBL_2 및 GBL_3) 각각에 연결되게 한다. y-방향에서 서로에 인접하는 로컬 비트 라인들 중 두 개의 로컬 비트 라인들은 단일 글로벌 비트 라인에 연결된다. 그 다음에 이러한 로컬 비트 라인들은 글로벌 비트 라인들의 제로 볼트로 설정된다. 잔존하는 로컬 비트 라인들은 바람직하게는 비연결 상태로 유지된다(이들의 전압은 플로팅 상태임).

[0031] 3. 재설정되는 블록의 워드 라인을 H 볼트로 설정함. 이러한 재설정 전압 값은 메모리 소자 내의 스위칭 물질에 따라 달라지는데, 일 볼트의 몇 분의 몇 내지 수 볼트일 수 있다. 선택된 평면 1의 다른 워드 라인들 및 다른 비선택된 평면들 상의 모든 워드 라인들을 포함하는, 어레이의 다른 워드 라인들 모두는 제로 볼트로 설정된다. 도 1 및 도 3의 어레이 내에서, 워드 라인(WL_{12})은 H 볼트에 있게 되고, 반면 어레이 내의 다른 워드 라인들 모두는 제로 볼트에 있게 되는데, 이러한 것 모두는 도 2의 회로들(27)에 의해 행해진다.

[0032] 결과적으로, 블록의 메모리 소자들 각각에 걸쳐 H 볼트가 있게 된다. 도 3의 예시적 블록에서, 이것은 메모리 소자들(M_{114} , M_{124} , M_{134} , M_{115} , M_{125} 및 M_{135})을 포함한다. 예로서 사용되는 메모리 물질의 타입에 있어서, 이러한 메모리 소자들을 통해 흐르는 결과적인 전류들은 높은 저항 상태에 아직 있지 않은 이들 중 어느 것이 재설정 상태에 있게 한다.

[0033] 단지 하나의 워드 라인만이 비제로 전압(non-zero voltage)을 갖기 때문에 표류 전류(stray currents)는 흐르지 않음에 유의해야 한다. 블록의 하나의 워드 라인 상의 전압은 전류가 블록의 메모리 소자들을 통해서만 그라운드(ground)로 흐르게 할 수 있다. 비선택되고 전기적으로 플로팅 상태인 로컬 비트 라인들 중 어느 것을 H 볼트로 구동시킬 수 있는 것이 또한 없고, 이에 따라 블록 외부의 어레이의 임의의 다른 메모리 소자들에 걸쳐 어떠한 전압차도 존재하지 않는다. 따라서, 다른 블록들 내의 비선택된 메모리 소자들에 걸쳐, 이들이 비의도적으로 교란되거나 재설정되게 할 수 있는 어떠한 전압도 인가되지 않는다.

[0034] 워드 라인들 및 인접하는 선택 게이트들의 임의의 조합을 H 혹은 H'로 각각 설정함으로써 복수의 블록들이 동시에 재설정될 수 있음에 또한 유의해야 한다. 이러한 경우에, 이렇게 하기 위한 불이익은 단지, 증가된 수의 메모리 소자들을 동시에 재설정하기 위해 요구되는 전류의 양에서의 증가이다. 이것은 요구되는 파워 공급의 크기에 영향을 미친다. 일부 실시예들에서는, 블록의 모든 메모리 소자들보다 적은 수의 메모리 소자들이 동시에 재설정된다.

[0035] 페이지의 메모리 소자들은 바람직하게는 메모리 시스템 동작의 병행성(parallelism)을 증가시키기 위해, 동시에 프로그래밍된다. 도 3에 표시된 페이지의 확대 버전이 도 4에 제공되는데, 여기서는 프로그래밍 동작을 나타내기 위한 표시가 부가되어 있다. 페이지의 개개의 메모리 소자들은 초기에, 이들의 재설정된 상태에 있게 되는데, 왜냐하면 블록의 메모리 소자들 모두가 이전에 재설정되었기 때문이다. 재설정된 상태는 본 명세서에서 로직 데이터 "1"을 나타내도록 취해진다. 이러한 메모리 소자들 중 임의의 메모리 소자가, 입력 데이터의 페이지로의 프로그래밍됨에 따라 로직 데이터 "0"을 저장하기 위해, 이러한 메모리 소자들은 이들의 낮은 저항 상태, 즉 이들의 설정된 상태로 스위칭되고, 반면 페이지의 잔존 메모리 소자들은 재설정된 상태에서 유지된다.

[0036] 페이지를 프로그래밍하기 위해, 선택 디바이스들의 하나의 로우만이 턴온되고, 이것은 결과적으로 로컬 비트 라인들의 하나의 로우만이 글로벌 비트 라인들에 연결되게 한다. 이러한 연결은 대안적으로 블록의 양쪽 페이지들의 메모리 소자들이 두 개의 순차적 프로그래밍 사이클들에서 프로그래밍되게 할 수 있는바, 이것은 재설정 및 프로그래밍 단위에 있어 메모리 소자들의 수가 동일하게 되도록 한다.

[0037] 도 3 및 도 4를 참조하여, 메모리 소자들(M_{114} , M_{124} 및 M_{134})의 표시된 하나의 페이지 내에서의 예시적인 프로그래밍 동작이 다음과 설명된다.

[0038] 1. 글로벌 비트 라인들 상에 가해지는 전압들은 프로그래밍을 위해 메모리 시스템에 의해 수신된 데이터의 패턴을 따른다. 도 4의 예에서, GBL_1 은 로직 데이터 비트 "1"을 운반하고, GBL_2 는 로직 비트 "0"을 운반하고, 그리고

GBL₃은 로컬 비트 "1"을 운반한다. 비트 라인들은, 제시된 바와 같이, 대응하는 전압들(M, H 및 M)로 각각 설정되는바, 여기서 M 레벨 전압은 높지만 메모리 소자를 프로그래밍하는데 충분하지 않고, H 레벨은 메모리 소자를 프로그래밍된 상태로 만들기에 충분히 높다. M 레벨 전압은 제로 볼트와 H 사이의, H 레벨 전압의 대략 반일 수 있다. 예를 들어, M 레벨은 0.7 볼트일 수 있고, 그리고 H 레벨은 1.5 볼트일 수 있다. 프로그래밍을 위해 사용되는 H 레벨은 재설정 혹은 판독을 위해 사용되는 H 레벨과 동일할 필요는 없다. 이러한 경우, 수신된 데이터에 따라, 메모리 소자들(M₁₁₄ 및 M₁₃₄)은 이들의 재설정된 상태에서 유지되게 되고, 반면 메모리 소자(M₁₂₄)는 프로그래밍되게 된다. 따라서, 프로그래밍 전압들은 다음과 같은 단계들에 의해 이러한 페이지의 메모리 소자(M₁₂₄)에만 인가된다.

[0039] 2. 프로그래밍되는 페이지의 워드 라인(본 경우에는서는 선택된 워드 라인(WL₁₂))을 0 볼트로 설정함. 이것은 페이지의 메모리 소자들이 연결된 유일한 워드 라인이다. 모든 평면들 상의 다른 워드 라인들 각각은 M 레벨로 설정된다. 이러한 워드 라인 전압들은 도 2의 회로들(27)에 의해 인가된다.

[0040] 3. 프로그래밍을 위한 페이지를 선택하기 위해, 선택된 워드 라인의 양쪽 면 상에 있는 그리고 아래에 있는로우 선택 라인들 중 하나를 H' 전압 레벨로 설정함. 도 3 및 도 4에 표시된 페이지에 있어서, H' 전압이 로우 선택 라인(SG₂) 상에 인가되어 선택 디바이스들(Q₁₂, Q₂₂ 및 Q₃₂)(도 1)을 턴온시키게 된다. 다른 모든 로우 선택 라인들(즉, 본 예에서는 라인들(SG₁ 및 SG₃))은 0 볼트로 설정되어 이들의 선택 디바이스들은 오프(off) 상태를 유지하게 된다. 로우 선택 라인 전압들은 도 2의 회로들(29)에 의해 인가된다. 이것은 로컬 비트 라인들의 하나의로우를 글로벌 비트 라인들에 연결하고, 그리고 다른 모든 로컬 비트 라인들을 플로팅 상태로 남겨둔다. 본 예에서, 로컬 비트 라인들(LBL₁₂, LBL₂₂ 및 LBL₃₂)의 로우는 턴온된 선택 디바이스들을 통해 각각의 글로벌 비트 라인들(GBL₁, GBL₂ 및 GBL₃)에 연결되고, 반면 어레이의 다른 모든 로컬 비트 라인(LBL)들은 플로팅 상태로 남겨둔다.

[0041] 앞서 언급된 예시적 메모리 소자 물질에 대해 이러한 동작의 결과는, 프로그래밍 전류(I_{PROG})가 메모리 소자(M₁₂₄)를 통해 전송되게 하여 메모리 소자로 하여금 재설정된 상태로부터 설정된 상태(프로그래밍된 상태)로 변하게 하는 것이다. 프로그래밍 전압 레벨(H)이 인가된 로컬 비트 라인(LBL)과 선택된 워드 라인(WL₁₂) 사이에 연결된 다른 메모리 소자들(미도시)에 대해서도 동일한 것이 일어난다.

[0042] 앞서 나열된 프로그래밍 전압들을 인가하는 상대적인 타이밍의 예는, 먼저, 모든 글로벌 비트 라인(GBL)들, 선택된 로우 선택 라인(SG), 선택된 워드 라인, 그리고 하나의 페이지 상의 선택된 워드 라인의 양쪽 면 상의 두개의 인접하는 워드 라인들을 모두 전압 레벨 M으로 설정하는 것이다. 이후에, GBL들 중 선택된 것들은 데이터가 프로그래밍됨에 따라 전압 레벨 H로 상승되고, 이와 동시에, 프로그래밍 싸이클의 지속시간 동안 그 선택된 워드 라인의 전압은 0 볼트로 강하된다. 도 2의 회로들(27)의 일부분인 워드 라인 드라이버들에 의해 구동되어야 하는 파워를 감소시키기 위해, 선택된 워드 라인(WL₁₂) 외의 평면 1에서의 워드 라인들 및 비선택된 다른 평면들에서의 모든 워드 라인들은 약간 낮은 전압인 M으로 약하게 구동될 수 있거나 혹은 플로팅 상태가 될 수 있다.

[0043] 선택된 로우 외의 모든 로컬 비트 라인들(본 예에서는 LBL₁₂, LBL₂₂ 및 LBL₃₂ 외의 모든 것)을 플로팅 상태가 되게 함으로써, 플로팅 상태의 로컬 비트 라인들과 그 인접하는 워드 라인들 사이에 연결된 낮은 저항 상태(프로그래밍된 상태)에서의 메모리 소자들을 통해 플로팅 상태가 될 수 있는 선택된 평면 1의 바깥쪽 워드 라인들 및 다른 평면들의 워드 라인들에 전압이 느슨하게 결합될 수 있다. 선택된 평면의 이러한 바깥쪽 워드 라인들 및 비선택된 평면들 내의 워드 라인들은, 플로팅 상태에 있을 수 있을지라도, 결국에는 프로그래밍된 메모리 소자들의 조합을 통해 전압 레벨 M까지 구동될 수 있다.

[0044] 선택된 워드 라인 및 글로벌 비트 라인들을 통해 공급되어야 하는 전류를 증가시킬 수 있는 프로그래밍 동작 동안 전형적으로 기생 전류가 존재한다. 프로그래밍 동안, 기생 전류의 두 가지 소스가 존재하는바, 하나는 서로 다른 블록 내에서의 인접하는 페이지에 대한 것이고, 또 다른 하나는 동일 블록 내에서의 인접하는 페이지에 대한 것이다. 첫 번째 것의 예는 프로그래밍 동안 전압 레벨 H로 상승된 로컬 비트 라인(LBL₂₂)으로부터의 (도 4에 제시된) 기생 전류(I_{P1})이다. 메모리 소자(M₁₂₃)는 이 전압과 워드 라인(WL₁₁) 상의 전압 레벨 M 사이에 연결된다. 이러한 전압차는 기생 전류(-I_{P1})가 흐르게 할 수 있다. 로컬 비트 라인들(LBL₁₂ 또는 LBL₃₂)과 워드 라인(WL₁₁) 간에는 이러한 전압차가 없기 때문에, 메모리 소자들(M₁₁₃ 또는 M₁₃₃) 중 어느 하나를 통한 이러한 기생 전류는

호르지 않고, 이러한 메모리 소자들의 결과는 데이터가 프로그래밍됨에 따라, 재설정된 상태에서 유지된다.

[0045] 다른 기생 전류들이 유사하게, 동일한 로컬 비트 라인(LBL₂₂)으로부터 다른 평면들 내의 인접하는 워드 라인으로 흐를 수 있다. 이러한 전류들의 존재는 메모리 시스템에 포함될 수 있는 평면들의 수를 제한할 수 있는데, 왜냐하면 평면들의 수와 함께 총 전류가 증가할 수 있기 때문이다. 프로그래밍에 대한 제한은 메모리 파워 공급의 전류 용량에 있는바, 이에 따라 평면들의 최대 개수는 파워 공급의 크기와 평면들의 수 간의 트레이드오프(tradeoff)이다. 4-16개의 평면들이 일반적으로 대부분의 경우에 사용될 수 있지만, 다른 양이 또한 사용될 수 있다.

[0046] 프로그래밍 동안 기생 전류의 다른 소스는 동일 블록 내의 인접하는 페이지에 대한 것이다. 플로팅 상태로 남겨진 로컬 비트 라인들(프로그래밍되는 메모리 소자들의 로우에 연결된 것들 이외의 모든 것)은, 임의의 평면 상의 임의의 프로그래밍된 메모리 소자들을 통해, 비선택된 워드 라인들의 전압 레벨 M으로 구동되는 경향이 있다. 이것은 또한, 기생 전류들이, 선택된 평면 내에서, M 전압 레벨에 있는 이러한 로컬 비트 라인들로부터 제로 볼트에 있는 선택된 워드 라인으로 흐르게 할 수 있다. 이것의 예가 도 4에 제시된 전류들(I_{P2}, I_{P3} 및 I_{P4})에 의해 제공된다. 일반적으로, 이러한 전류들은 앞서 설명된 다른 기생 전류(I_{P1})보다 훨씬 더 적는데, 왜냐하면 이러한 전류들은 선택된 평면 내의 선택된 워드 라인에 인접하여 있는 전도성 상태의 그러한 메모리 소자들을 통해서만 흐르기 때문이다.

[0047] 앞서 설명된 프로그래밍 기법들은, 선택된 페이지가 프로그래밍되는 것(로컬 비트 라인들은 H에 있고, 선택된 워드 라인은 0에 있는 것), 그리고 인접하는 비선택된 워드 라인들이 M에 있는 것을 보장한다. 앞서 언급된 바와 같이, 다른 비선택된 워드 라인들이 M으로 약하게 구동될 수 있거나 혹은 초기에 M으로 구동된 후 플로팅 상태로 남겨질 수 있다. 대안적으로, 선택된 워드 라인으로부터 떨어진 임의의 평면 내의 워드 라인들(예를 들어, 떨어져 있는 5개보다 많은 워드 라인들)은 또한, (그라운드에서의) 비충전된 상태 혹은 플로팅 상태로 남겨질 수 있는데, 왜냐하면 이들로 흐르는 기생 전류들은 이들이 다섯 개 이상의 온(ON) 디바이스들(낮은 저항 상태에 있는 디바이스들)의 직렬 조합을 통해 흘러야 하기 때문에 그 식별된 기생 전류들과 비교해서 무시할 수 있을 정도로 작기 때문이다. 이것은 다수의 워드 라인들을 충전함으로써 발생하는 파워 소모를 감소시킬 수 있다.

[0048] 앞서의 설명에서는 프로그래밍되는 페이지의 각각의 메모리 소자가 프로그래밍 펄스의 하나의 인가로 그 원하는 온(ON) 값에 도달한다고 가정되었지만, NOR 혹은 NAND 플래시 메모리 기술에서 공통적으로 사용되는 프로그램-검증 기법이 대안적으로 사용될 수 있다. 이러한 프로세스에서, 소정의 페이지에 대한 전체 프로그래밍 동작은 일련의 개별 프로그래밍 동작을 포함하고, 여기서 각각의 프로그램 동작에서는 온(ON) 저항에서의 더 작은 변화가 일어난다. 개개의 메모리 소자가 메모리 소자 내에 프로그래밍되는 데이터와 일관되는 저항 혹은 컨덕턴스의 그 원하는 프로그래밍된 레벨에 도달했는지 여부를 결정하는 검증(판독) 동작이 각각의 프로그램 동작 사이에 배치된다. 저항 혹은 컨덕턴스의 원하는 값에 도달했음이 검증됨에 따라 각각의 메모리 소자에 대한 프로그램/검증의 시퀀스가 종료된다. 프로그래밍되는 메모리 소자들 모두가 그들의 원하는 프로그래밍된 값에 도달했다고 검증된 이후에, 메모리 소자들의 페이지의 프로그래밍은 완료된다. 이러한 기법의 예가 미국 특허 번호 제 5,172,338호에서 설명된다.

[0049] 도 5를 주로 참조하면, 메모리 소자들(M₁₁₄, M₁₂₄ 및 M₁₃₄)과 같은 메모리 소자들의 페이지의 상태들을 병렬로 관측하는 것이 설명된다. 예시적 판독 프로세스의 단계들은 다음과 같다.

[0050] 1. 모든 글로벌 비트 라인(GBL)들 및 모든 워드 라인들(WL)을 전압 V_R로 설정함. 전압 V_R은 단순한 편의상의 기준 전압이고 임의의 수의 값들일 수 있지만, 전형적으로 0 볼트와 1 볼트 사이에 있다. 일반적으로, 반복된 판독들이 일어나는 동작 모드들에 있어서, 기생 판독 전류를 감소시키기 위해, 어레이 내의 모든 워드 라인들을 V_R로 설정하는 것이 (비록 이것이 모든 워드 라인들의 충전을 요구하지만) 편리하다. 하지만, 대안으로서, 단지 필요한 것은, 선택된 워드 라인(도 5에서의 WL₁₂), 선택된 워드 라인과 동일한 위치에 있는 다른 평면들 각각에서의 워드 라인, 그리고 모든 평면들 내의 바로 인접한 워드 라인들을, V_R로 상승시키는 것이다.

[0051] 2. 판독될 페이지를 정의하기 위해 그 선택된 워드 라인에 인접하는 제어 라인 상에 전압을 가함으로써 선택 디바이스들의 하나의 로우를 턴온시킴. 도 1 및 도 5의 예에서, 선택 디바이스들(Q₁₂, Q₂₂ 및 Q₃₂)을 턴온시키기 위해 로우 선택 라인(SG₂)에 전압이 인가된다. 이것은 로컬 비트 라인들(LBL₁₂, LBL₂₂ 및 LBL₃₂)의 하나의 로우를 이들 각각의 글로벌 비트 라인들(GBL₁, GBL₂ 및 GBL₃)에 연결시킨다. 그 다음에, 이러한 로컬 비트 라인들은 도

2의 회로들(21) 내에 존재하는 개개의 감지 증폭기(Sense Amplifier, SA)들에 연결되고, 아울러 이들이 연결된 글로벌 비트 라인들의 전위 V_R 를 취한다. 다른 모든 로컬 비트 라인(LBL)들은 플로팅 상태에 있을 수 있다.

[0052] 3. 선택된 워드 라인(WL_{12})을 $V_R \pm V_{sense}$ 의 전압으로 설정함. V_{sense} 의 부호는 감지 증폭기에 근거하여 선택되는바, 대략 0.5 볼트의 크기를 갖는다. 다른 모든 워드 라인들 상의 전압들은 동일하게 유지된다.

[0053] 4. 시간 T 동안 각각의 감지 증폭기 안으로 흐르는 전류($V_R + V_{sense}$) 혹은 밖으로 흐르는 전류($V_R - V_{sense}$)를 감지함. 이 전류들은 도 5의 예의 어드레싱된 메모리 소자들을 통해 흐르도록 제시된 전류들(I_{R1} , I_{R2} 및 I_{R3})인바, 이들은 각각의 메모리 소자들(M_{114} , M_{124} 및 M_{134})의 프로그래밍된 상태에 비례한다. 그 다음에 메모리 소자들(M_{114} , M_{124} 및 M_{134})의 상태들은, 각각의 글로벌 비트 라인들(GBL_1 , GBL_2 및 GBL_3)에 연결된 회로들(21) 내의 감지 증폭기들의 바이너리 출력에 의해 주어진다. 그 다음에, 이러한 감지 증폭기 출력들은 라인들(23)(도 2)을 통해 제어기(25)에 전송되고, 그 다음에 제어기(25)는 판독된 데이터를 호스트(31)에 제공한다.

[0054] 5. 로컬 비트 라인들을 글로벌 비트 라인들로부터 분리시키고 선택된 워드 라인(WL_{12})을 전압 V_R 로 복귀시키기 위해 로우 선택 라인(SG_2)으로부터의 전압을 제거함으로써 선택 디바이스들(Q_{12} , Q_{22} 및 Q_{32})을 턴오프(turn off)시킴.

[0055] 이러한 판독 동작 동안 기생 전류들은 두 가지 바람직하지 않은 효과를 갖는다. 프로그래밍과 함께, 기생 전류들은 메모리 시스템 파워 공급에 관한 요구를 증가시킨다. 추가적으로, 판독되고 있는 어드레싱된 메모리 소자들을 통해 흐르는 전류들 내에 잘못 포함된 기생 전류들이 존재할 수 있다. 따라서, 이것은 만약 이러한 기생 전류들이 충분히 크다면 잘못된 판독 결과를 일으킬 수 있다.

[0056] 프로그래밍 경우에서와 같이, 선택된 로우(도 5의 예에서 LBL_{12} , LBL_{22} 및 LBL_{32}) 외의 모든 로컬 비트 라인들은 플로팅 상태이다. 그러나 플로팅 상태의 로컬 비트 라인들의 전위는 V_R 로 구동될 수 있는바, 이것은 프로그래밍된 상태(낮은 저항 상태)에 있는 (그리고 임의의 평면 내에서 V_R 에 있는 워드 라인과 플로팅 상태의 로컬 비트 라인 사이에 연결된) 임의의 메모리 소자에 의해 행해진다. 프로그래밍 경우(도 4)에서의 I_{P1} 에 필적하는 기생 전류는 데이터 판독 동안 존재하지 않는데, 왜냐하면 선택된 로컬 비트 라인들과 그 인접하는 비선택된 워드 라인들 양쪽 모두가 V_R 에 있기 때문이다. 그러나, 플로팅 상태의 로컬 비트 라인들과 선택된 워드 라인 사이에 연결된 낮은 저항의 메모리 소자들을 통해 기생 전류들이 흐를 수 있다. 이러한 것들은 프로그래밍(도 4) 동안의 전류들(I_{P2} , I_{P3} 및 I_{P4})에 필적하는바, 도 5에서는 I_{P5} , I_{P6} 및 I_{P7} 로서 표시되어 있다. 이러한 전류들 각각은 크기에 있어, 어드레싱된 메모리 소자를 통해 흐르는 최대 판독 전류와 동일할 수 있다. 그러나, 이러한 기생 전류들은, 감지 증폭기들을 통해 흐르지 않고, 전압 V_R 에 있는 워드 라인들로부터 전압 $V_R \pm V_{sense}$ 에 있는 선택된 워드 라인으로 흐른다. 이러한 기생 전류들은 감지 증폭기들이 연결된 선택된 로컬 비트 라인들(도 5에서의 LBL_{12} , LBL_{22} 및 LBL_{32})을 통해 흐르지 않는다. 따라서, 이들이 파워 소모에 기여할지라도, 이러한 기생 전류들은 감지 에러를 일으키지 않는다.

[0057] 기생 전류들을 최소화시키기 위해 이웃하는 워드 라인들이 V_R 에 있어야 하지만, 프로그래밍 경우에서와 같이, 이러한 워드 라인들을 약하게 구동시키거나 혹은 심지어 이들을 플로팅 상태에 있을 수 있게 하는 것이 바람직할 수 있다. 하나의 변형예에서, 선택된 워드 라인 및 이웃하는 워드 라인들은 V_R 로 사전충전될 수 있고, 그 다음에 플로팅 상태에 있을 수 있다. 감지 증폭기에 에너지가 공급되는 경우, 감지 증폭기는 이들을 V_R 로 충전할 수 있어, 이러한 라인들 상의 전위는 (워드 라인 드라이버로부터의 기준 전압이 아니라) 감지 증폭기로부터의 기준 전압에 의해 정확히 설정된다. 이것은 선택된 워드 라인이 $V_R \pm V_{sense}$ 로 충전되기 전에 일어날 수 있지만, 감지 증폭기 전류는 이러한 충전 과도기가 완료될 때까지 측정되지 않는다.

[0058] 공통 데이터 동작들(소거, 프로그램, 혹은 판독) 모두 혹은 이중 어느 하나를 용이하게 하기 위해 기준 셀들이 또한 메모리 어레이(10) 내에 포함될 수 있다. 기준 셀은 구조적으로 데이터 셀과 가능한 한 거의 동일한 셀이며, 여기서 저항은 특정 값으로 설정된다. 이들은, 온도와 관련된 데이터 셀들의 저항 드리프트, 프로세스 비균일성, 반복되는 프로그래밍, 시간 혹은 메모리의 동작 동안 변할 수 있는 다른 셀 속성들을 없애거나 추적하는데 유용하다. 전형적으로 이들은, (온(ON) 저항과 같은) 하나의 데이터 상태에 있는 메모리 소자의 가장 높은

허용가능한 낮은 저항 값보다 크고 (오프(OFF) 저항과 같은) 또 다른 데이터 상태에 있는 메모리 소자의 가장 낮은 허용가능한 높은 저항 값보다 작은, 저항을 갖도록 설정된다. 기준 셀들은 평면(혹은 어레이 전부)에 대해 "전체적(global)"일 수 있거나, 또는 각각의 블록 혹은 페이지 내에 포함될 수 있다.

[0059] 일 실시예에서, 복수의 기준 셀들이 각각의 페이지 내에 포함될 수 있다. 이러한 셀들의 수는 (10개보다 작은) 단지 몇 개일 수 있을 수 있거나, 혹은 각각의 페이지 내의 셀들의 총 개수의 최대 몇 퍼센트일 수 있다. 이러한 경우에, 기준 셀들은 전형적으로, 페이지 내의 데이터와는 독립되어 개별적 동작으로 재설정 및 기입된다. 예를 들어, 이들은 공장에서 일 회 설정될 수 있고, 또는 이들은 메모리 어레이의 동작 동안 한번 혹은 복수 회 설정될 수 있다. 앞서 설명된 재설정 동작 동안, 글로벌 비트 라인들 모두는 낮은 값으로 설정되지만, 이것은 재설정되는 메모리 소자들과 관련된 글로벌 비트 라인들을 낮은 값으로 단지 설정하도록 수정될 수 있으며, 반면 기준 셀들과 관련된 글로벌 비트 라인들은 중간 값으로 설정되어 이들이 재설정되는 것이 금지된다. 대안적으로, 소정의 블록 내의 기준 셀들을 재설정하기 위해, 기준 셀들과 관련된 글로벌 비트 라인들은 낮은 값으로 설정되고 반면 데이터 셀들과 관련된 글로벌 비트 라인들은 중간 값으로 설정된다. 프로그래밍 동안, 이러한 프로세스는 반대로 진행되며, 기준 셀들과 관련된 글로벌 비트 라인들은 기준 셀들을 원하는 온(ON) 저항으로 설정하기 위해 높은 값으로 상승되고, 반면 메모리 소자들은 재설정된 상태에서 유지된다. 전형적으로, 프로그래밍 전압 혹은 시간은, 메모리 소자들을 프로그래밍할 때보다 더 높은 온(ON) 저항으로 기준 셀들을 프로그래밍하기 위해 변경된다.

[0060] 만약 예를 들어, 각각의 페이지 내의 기준 셀들의 수가 데이터 저장 메모리 소자들의 개수의 1%가 되도록 선택 된다면, 이들은 각각의 기준 셀이 100개의 데이터 셀들 만큼 그 이웃으로부터 떨어지도록 각각의 워드 라인을 따라 물리적으로 정렬될 수 있고, 그리고 기준 셀을 판독하는 것과 관련된 감지 증폭기는 데이터를 판독하는 중간개입 감지 증폭기들과 그 기준 정보를 공유할 수 있다. 기준 셀들은, 데이터가 충분한 마진(margin)으로 프로그래밍되는 것을 보장하기 위해 프로그래밍 동안 사용될 수 있다. 페이지 내에서 기준 셀들을 사용하는 것에 관한 추가 정보는 미국 특허 번호 제6,222,762호, 제6,538,922호, 제6,678,192호 및 제7,237,074호에서 찾을 수 있다.

[0061] 특정 실시예에서, 기준 셀들은 어레이 내의 기생 전류들을 근사적으로 없애기 위해 사용될 수 있다. 이러한 경우에, 기준 셀(들)의 저항의 값은, 앞에서 설명된 바와 같이 데이터 상태와 재설정된 상태 사이의 값이 아닌, 재설정된 상태의 값으로 설정된다. 각각의 기준 셀에서의 전류는 그 관련된 감지 증폭기에 의해 측정될 수 있고 이 전류는 이웃 데이터 셀로부터 공제될 수 있다. 이러한 경우에, 기준 셀은 메모리 어레이의 임의 영역 내에 흐르는 기생 전류들에 근사하는바, 데이터 동작 동안 어레이의 해당 영역에 흐르는 기생 전류들을 추적하고 이와 유사하게 된다. 이러한 정정은 두 단계 동작(기준 셀들 내의 기생 전류를 측정하고, 그리고 후속적으로 그 값을 데이터 동작 동안 획득된 값으로부터 공제하는 것)으로 적용될 수 있거나 데이터 동작과 동시에 적용될 수 있다. 동시 동작이 가능한 한 가지 방식은 인접하는 데이터 감지 증폭기들의 타이밍 혹은 기준 레벨들을 조정하기 위해 기준 셀을 사용하는 것이다. 이러한 것의 예가 미국 특허 번호 제7,324,393호에 제시된다.

[0062] 가변 저항 메모리 소자들의 종래의 이차원 어레이들에서, 일반적으로 다이오드는 교차하는 비트 라인과 워드 라인 사이에서 메모리 소자와 직렬로 연결되어 포함된다. 다이오드들의 주 목적은, 메모리 소자들을 재설정(소거), 프로그래밍 및 판독하는 동안 기생 전류들의 수 및 크기를 감소시키는 것이다. 본 명세서의 삼차원 어레이의 중요한 장점은 결과적인 기생 전류들이 더욱 줄어든다는 것이고 따라서 다른 타입의 어레이들에서보다 어레이의 동작에 미치는 부정적 영향이 감소된다는 것이다.

[0063] 기생 전류들의 수를 더 감소시키기 위해, 가변 저항 메모리 소자들의 다른 어레이들에서 현재 행해지는 바와 같이, 삼차원 어레이의 개개의 메모리 소자들과 직렬로 다이오드들이 또한 연결될 수 있지만, 이렇게 함에 있어서 단점이 존재한다. 근본적으로, 제조 프로세스가 더 복잡하게 된다. 이 경우, 추가되는 마스크들 및 추가되는 제조 단계들이 필요하다. 또한, 실리콘 p-n 다이오드들의 형성은 적어도 하나의 높은 온도 단계를 종종 요구하기 때문에, 워드 라인들 및 로컬 비트 라인들은 집적 회로 제조에서 공통적으로 사용되는 알루미늄과 같은 녹는점이 낮은 금속으로 만들어질 수 없는 데, 왜냐하면 이것은 후속의 높은 온도 단계 동안 녹을 수 있기 때문이다. (비트 라인들 및 워드 라인들에 대해 전형적으로 사용되는 전도성으로 도핑된 폴리실리콘 물질보다 더 높은 전도도를 갖기 때문에 그리고 이러한 높은 온도에 노출되기 때문에) 금속 혹은 금속을 포함하는 복합 물질의 사용이 바람직하다. 개개의 메모리 소자들의 일부분으로서 형성되는 다이오드를 구비한 저항성 스위칭 메모리 소자들의 어레이의 예가 미국 특허출원 공개번호 US 2009/0001344 A1에서 제시된다.

[0064] 본 명세서의 삼차원 어레이에서의 기생 전류들의 수가 감소되기 때문에, 기생 전류들의 총 크기는 이러한 다이

오드들의 사용 없이 관리될 수 있다. 제조 프로세스들이 더 간단하게 되는 것에 추가하여, 다이오드들이 없는 것은 바이-폴라 동작(bi-polar operation)을 가능하게 하는바, 즉, 이러한 동작에서 메모리 소자를 제 1 상태로 부터 제 2 메모리 상태로 스위칭시키기 위한 전압 극성은 메모리 소자를 제 2 메모리 상태에서부터 제 1 메모리 상태로 스위칭시키기 위한 전압 극성의 반대가 된다. 유니폴라 동작(unipolar operation)(여기서는 메모리 소자를 제 1 메모리 상태에서부터 제 2 메모리 상태로 스위칭시키기 위해 사용되는 극성 전압이 제 2 메모리 상태에서부터 제 1 메모리 상태로 스위칭시키기 위해 사용되는 극성 전압과 동일함)에 비해 바이-폴라 동작이 갖는 장점은, 메모리 소자를 스위칭시키기 위한 파워가 감소되는 것 그리고 메모리 소자의 신뢰성(reliability)이 향상되는 것이다. 바이-폴라 동작의 이러한 장점들은 메모리 소자들 내에서 알 수 있는바, 여기서 전도성 필라멘트의 형성 및 파괴는, 금속 옥사이드 및 고체 전해 물질들로부터 만들어진 메모리 소자들에서와 같이, 스위칭을 위한 물리적 메커니즘이다. 이러한 이유로, 아래에서 설명되는 실시예들은, 저항성 스위칭 물질은 포함하고 다이오드 및 다른 개별적 조향 디바이스는 포함하지 않는 메모리 소자들을 사용한다. 비선형 전류 대 전압 관계를 갖는 메모리 소자들의 사용이 또한 고려된다. 예를 들어, HfOx 메모리 소자에 걸쳐 있는 전압이 프로그래밍 전압으로부터 프로그래밍 전압의 반으로 감소됨에 따라 전류는 5 혹은 이보다 훨씬 큰 인자만큼 감소된다. 이러한 실시예에서, 기생 전류들의 총 크기는 어레이 내에 다이오드를 사용함이 없이 관리될 수 있다.

[0065] 기생 전류들의 레벨은, 평면들의 수와 함께 증가하고 아울러 각각의 평면 내에서 개개의 워드 라인들을 따라 연결된 메모리 소자들의 수와 함께 증가한다. 기생 전류들에서의 증가는 추가적인 평면에 대해서 단지 약간 증가하는데, 왜냐하면 도 4에서의 WL12와 같은 선택된 워드 라인이 단지 하나의 평면에만 존재하기 때문이다. 기생 전류들(Ip1, Ip2, Ip3, 및 Ip4)은 모두, WL12를 포함하는 평면에 있다. 다른 평면들 상에서의 누설 전류들은 덜 중요한데, 왜냐하면 플로팅 상태의 라인들은 선택된 워드 라인에 직접 연결되지 않은 소자들 상의 전류들을 최소화시키는 경향이 있기 때문이다. 또한, 각각의 평면 상의 비선택된 워드 라인들의 수는 기생 전류의 양에 크게 영향을 미치지 않기 때문에, 평면들은 개별적으로 다수의 워드 라인들을 포함할 수 있다. 개개의 워드 라인들의 길이를 따라 연결된 다수의 메모리 소자들로부터 발생하는 기생 전류들은 또한, 워드 라인들을 보다 적은 수의 메모리 소자들의 섹션들로 세그먼트화시킴으로써 관리될 수 있다. 이 경우, 소거, 프로그래밍, 및 판독 동작들은, 워드 라인의 전체 길이를 따라 연결된 전체 메모리 소자들 대신에 각각의 워드 라인의 하나의 세그먼트를 따라 연결된 메모리 소자들 상에서 수행된다.

[0066] 본 명세서에서 설명되고 있는 재프로그래밍가능 비휘발성 메모리 어레이는 많은 장점들을 갖는다. 반도체 기판의 단위 면적당 저장될 수 있는 디지털 데이터의 양이 높다. 데이터의 저장된 비트에 대해 더 낮은 비용으로 제조될 수 있다. 각각의 평면에 대해 마스크들의 개별 세트를 요구하는 것이 아니라, 단지 몇 개의 마스크들만이 평면들의 전체 스택(stack)을 위해 필요하다. 기판과의 로컬 비트 라인 연결들의 수가, 수직 로컬 비트 라인들을 사용하지 않는 다른 복수-평면 구조들에 비해 크게 감소된다. 이러한 아키텍처는 각각의 메모리 소자가 저항성 메모리 소자와 직렬로 연결된 다이오드를 구비할 필요가 없도록 하고, 이에 따라 제조 프로세스를 더 간단하게 하며 금속의 전도성 라인들의 사용을 가능하게 한다. 또한, 어레이를 동작시키기 위해 필요한 전압은 현재 상업적 플래시 메모리들에서 사용되는 전압보다 훨씬 더 낮아진다.

[0067] 각각의 전류 경로의 적어도 반이 수직이기 때문에, 커다란 크로스-포인트 어레이(cross-point array)들에서 존재하는 전압 강하들이 크게 감소된다. 더 짧은 수직 컴포넌트로 인해 전류 경로의 감소된 길이가 의미하는 것은, 각각의 전류 경로 상에 대략 반개의 메모리 소자들이 존재함을 의미하고, 따라서 누설 전류가 감소되고 데이터 프로그래밍 혹은 판독 동작 동안 교란되는 비선택된 메모리 소자들의 수도 감소된다. 예를 들어, 만약 종래 어레이에서 동일한 길이의 비트 라인과 관련된 N개의 셀들 및 워드 라인과 관련된 N개의 셀들이 존재한다면, 모든 데이터 동작과 관련된 혹은 "터치된(touched)" 2N개의 셀들이 존재한다. 본 명세서에서 설명되는 수직 로컬 비트 라인 아키텍처에 있어서, 비트 라인과 관련된 n개의 셀들이 존재하거나(여기서 n은 평면들의 수이고, 전형적으로는 작은 수인바, 예를 들어 4 내지 16임), 혹은 N+n개의 셀들이 데이터 동작과 관련된다. N이 큰 경우, 이것이 의미하는 바는 데이터 동작에 의해 영향을 받은 셀들의 수가 종래 삼차원 어레이에서의 개수의 대략 반임을 의미한다.

[0068] 메모리 저장 소자들에 대해 유용한 물질들(Materials Useful for the Memory Storage Elements)

[0069] 도 1의 어레이에서 비휘발성 메모리 소자들(M_{xy})에 대해 사용되는 물질은, 칼코게나이드(chalcogenide), 금속 옥사이드(metal oxide), CMO, 또는 물질을 통해 흐르는 전류 혹은 물질에 인가된 외부 전압에 응답하여 저항에서의 안정된 가역적 시프트를 나타내는 다수의 물질들 중 어느 하나일 수 있다.

[0070] 금속 옥사이드는 초기에 증착될 때 절연성의 특징이 있다. 하나의 적절한 금속 옥사이드는 티타늄 옥사이드

(titanium oxide)(TiO_x)이고, 여기서 근사-화학량론적 TiO_2 벌크 물질(near-stoichiometric TiO_2 bulk material)은 하부 전극 가까이에 산소 결함 층(oxygen deficient layer)(혹은 산소 결핍을 갖는 층)을 생성하기 위해 어닐링 프로세스에서 변경된다. 일함수가 높은 TiO_x 를 포함하는 메모리 저장 소자에 대한 상부 백금 전극은 전자들에 대해 높은 전위의 Pt/ TiO_2 장벽을 생성한다. 결과적으로, (일 볼트보다 작은) 알맞은 전압에서, 매우 낮은 전류가 구조체를 통해 흐른다. 하부 Pt/ TiO_{2-x} 장벽은 산소 결핍(O_2^+)의 존재에 의해 낮추어지고, 낮은 저항 콘택(옴 콘택(ohmic contact))으로서 동작한다. (TiO_2 에서의 산소 결핍은 n-타입 도펀트로서 동작하는 것으로 알려져 있고, 이것은 전기적으로 전도성의 도핑된 반도체에서 절연 옥사이드를 변형시킨다.) 결과적인 복합 구조체는 비전도성(높은 저항) 상태에 있다.

[0071] 그러나, 커다란 음의 전압(예를 들어, 1.5 볼트)이 구조체에 걸쳐 인가되는 경우, 산소 결핍들은 상부 전극을 향해 드리프트(drift)하고, 결과적으로 전위 장벽 Pt/ TiO_2 는 감소되고, 상대적으로 높은 전류가 기판을 통해 흐를 수 있다. 이 경우, 디바이스는 낮은 저항(전도성) 상태에 있다. 다른 사람들에 의해 보고된 실험들은, 전도가 TiO_2 의 필라멘트-유사 영역들(filament-like regions)에서 (아마도, 결정 경계들(grain boundaries)을 따라) 일어나고 있음을 보여준다.

[0072] 전도성 경로는 구조체에 걸쳐 커다란 양의 전압을 인가함으로써 파괴된다. 이러한 양의 바이어스(positive bias) 하에서, 산소 결핍들은 상부 Pt/ TiO_2 장벽 가까이로부터 멀리 이동하고 필라멘트를 "파괴(break)"한다. 디바이스는 자신의 높은 저항 상태로 복귀한다. 전도성 상태와 비전도성 상태 모두는 비휘발성이다. 대략 0.5 볼트의 전압을 인가하여 메모리 저장 소자의 전도를 감지함으로써 메모리 소자의 상태가 용이하게 결정될 수 있다.

[0073] 이러한 특정 전도 메커니즘이 모든 금속 옥사이드들에 적용될 수 있는 것은 아니지만, 하나의 그룹으로서, 이들은 유사한 행동을 한다(적절한 전압이 인가되는 경우 낮은 전도성 상태에서부터 높은 전도성으로의 전이가 일어나고, 이러한 두 개의 상태들은 비휘발성임). 도 1의 어레이 내의 비휘발성 메모리 소자들(M_{xy})에 대해 사용될 수 있는 다른 물질들의 예는, HfO_x , ZrO_x , WO_x , NiO_x , CoO_x , CoAlO_x , MnO_x , ZnMn_2O_4 , ZnO_x , TaO_x , NbO_x , HfSiO_x , HfAlO_x 를 포함한다. 적절한 상부 전극들은, 콘택에서 산소 결핍들을 생성하기 위해 금속 옥사이드와 접촉하는 산소를 제거(getter)할 수 있는 높은 일함수(전형적으로는 > 4.5 eV)를 갖는 금속들을 포함한다. 일부 예들은 TaCN, TiCN, Ru, RuO, Pt, Ti 풍부 TiO_x (Ti rich TiO_x), TiAlN , TaAlN , TiSiN , TaSiN , IrO_2 및 도핑된 폴리실리콘이다. 하부 전극에 대해 적절한 물질들은, Ti(O)N , Ta(O)N , TiN 및 TaN 과 같은 임의의 전도성 산소 풍부 물질(conducting oxygen rich material)이다. 전극들의 두께는 전형적으로 1 nm 혹은 그 이상이다. 금속 옥사이드의 두께는 일반적으로 2 nm 내지 20 nm 범위 내에 있다.

[0074] 하나의 예시적인 비휘발성 메모리 소자는 가역 저항-스위칭 물질(reversible resistance-switching material)로서 하프늄 옥사이드(Hafnium Oxide)(예를 들어, HfO_2)를 사용하고, 그리고 이러한 가역 저항-스위칭 물질을 두 개의 전극들 사이에 배치한다. 제 1 전극은 가역 저항-스위칭 물질과 제 1 전도체(예를 들어, 비트 라인 혹은 워드 라인) 사이에 배치된다. 일 실시예에서, 제 1 전극은 백금(platinum)으로 만들어진다. 제 2 전극은 가역 저항-스위칭 물질과 제 2 전도체(예를 들어, 비트 라인 혹은 워드 라인) 사이에 배치된다. 일 실시예에서, 제 2 전극은 티타늄 나이트라이드(Titanium Nitride)로 만들어지고 장벽 층으로서의 역할을 한다. 또 다른 실시예에서, 제 2 전극은 n+ 도핑 폴리실리콘이고, 제 1 전극은 티타늄 나이트라이드이다. 다른 물질들이 또한 사용될 수 있다. 아래에서 설명되는 기술들은 비휘발성 메모리 소자들을 형성하기 위한 물질들의 임의의 일 세트로만 한정되지 않는다.

[0075] 또 다른 실시예에서, 메모리 저장 소자는, 가역 저항-스위칭 물질과 전도체들(예를 들어, 비트 라인 및/또는 워드 라인) 사이에 임의의 전극들이 배치됨이 없이, 가역 저항-스위칭 물질로서 하프늄 옥사이드(혹은 다른 금속 옥사이드 혹은 다른 물질)를 포함한다.

[0076] 메모리 저장 소자들에 적합한 물질의 또 다른 클래스는 고체 전해질이고, 하지만 이들은 증착될 때 전기적으로 전도성이기 때문에 개개의 메모리 소자들은 서로로부터 격리되어 형성될 필요가 있다. 고체 전해질은 금속 옥사이드들과 약간 유사하고, 전도 메커니즘으로 추정되는 것은 상부 전극과 하부 전극 사이의 금속 필라멘트의 형성이다. 이러한 구조에서, 필라멘트는 하나의 전극(산화가능한 전극)으로부터의 이온들을 셀의 바디(body)(고체 전해질)에 용해시킴으로써 형성된다. 일 예에서, 고체 전해질은 은 이온들 혹은 구리 이온들을 함유하고, 그리

고 산화가능한 전극은 바람직하게는, $A_x(MB_2)_{1-x}$ 와 같은 전이 금속 설파이드(sulfide) 혹은 셀레나이드(selenide) 물질에 삽입(intercalate)된 금속이며, 여기서 A는 Ag 혹은 Cu이고, B는 S 혹은 Se이며, 그리고 M은 Ta, V, 혹은 Ti와 같은 전이 금속이고, 그리고 x는 약 0.1 내지 약 0.7의 범위에 있다. 이러한 합성물은 원하지 않은 물질을 고체 전해질에 산화시키는 것을 최소화시킨다. 이러한 합성물의 일 예는 $Ag_x(TaS_2)_{1-x}$ 이다. 대안적인 합성물 물질들은 α -AgI를 포함한다. 다른 전극(중성(indifferent) 혹은 중립(neutral) 전극)은 고체 전해질 내에 용해되지 않은 상태로 유지되면서 좋은 전기적 전도체이어야 한다. 예들은 W, Ni, Mo, Pt, 금속 실리사이드 등과 같은 금속 및 화합물을 포함한다.

[0077] 고체 전해질 물질의 예는 TaO, GeSe 혹은 GeS이다. 고체 전해질 셀들로서 사용하기에 적합한 다른 계열은 Cu/TaO/W, Ag/GeSe/W, Cu/GeSe/W, Cu/GeS/W, 및 Ag/GeS/W인바, 여기서 제 1 물질은 산화가능한 전극이고, 가운데 물질은 고체 전해질이고, 그리고 제 3 물질은 중성(중립) 전극이다. 고체 전해질의 전형적인 두께는 30 nm 내지 100 nm이다.

[0078] 최근에, 비휘발성 메모리 물질로서 탄소가 광범위하게 연구되고 있다. 비휘발성 메모리 소자로서, 탄소는 일반적으로, 두 가지 형태(전도성(또는 그래핀 유사-탄소(grapheme like-carbon)) 및 절연성(혹은 비정질 탄소(amorphous carbon)))로 사용된다. 두 가지 타입의 탄소 물질에서의 차이는, sp^2 및 sp^3 하이브리드화(hybridizations)로 불리는 탄소 화학 결합의 내용이다. sp^3 구성에서, 탄소 원자가전자(carbon valence electron)들은 강한 공유 결합으로 유지되고, 결과적으로 sp^3 하이브리드화는 비전도성이다. sp^3 구성이 압도적인 탄소막(carbon film)들은 보통, 사면체-비정질 탄소(tetrahedral-amorphous carbon) 혹은 다이아몬드 등으로서 지칭된다. sp^2 구성에서, 탄소 원자가전자들 모두가 공유 결합으로 유지되는 것은 아니다. 약하게 묶인 전자들(파이 결합(phi bonds))은 전기적 전도에 기여하고, 이것은 sp^2 구성 대부분을 전도성 탄소 물질이 되게 한다. 탄소 저항성 스위칭 비휘발성 메모리들의 동작은, 탄소 구조에 적절한 전류(혹은 전압) 펄스를 인가함으로써 sp^3 구성을 sp^2 구성으로 변형시키는 것이 가능하다는 사실에 근거한다. 예를 들어, 매우 짧은 (1-5 ns) 높은 진폭의 전압 펄스가 물질에 걸쳐 인가되는 경우, 컨덕턴스는 크게 감소되는데, 왜냐하면 물질이 sp^2 에서 sp^3 형태("재설정" 상태)로 변하기 때문이다. 이러한 펄스에 의해 발생된 높은 국지적 온도들은 물질 내의 무질서(disorder)를 유발하고, 만약 펄스가 매우 짧다면, 탄소는 비정질 상태로 "퀀치(quench)"한다(sp^3 하이브리드화)는 것이 이론화되어 있다. 반면, 재설정 상태에 있는 경우, 더 낮은 전압을 더 긴 시간(~ 300 nsec) 동안 인가하는 것은 물질의 일부가 sp^2 형태("설정" 상태)로 변하게 한다. 탄소 저항성 스위칭 비휘발성 메모리 소자들은 커패시터와 같은 구성을 갖는바, 여기서 상부 전극과 하부 전극은 W, Pd, Pt 및 TaN과 같은 높은 온도의 녹는점을 갖는 금속들로 만들어진다.

[0079] 탄소 나노튜브(Carbon NanoTube, CNT)들을 비휘발성 메모리 물질로서 응용하는 것에 최근 상당한 관심이 집중되고 있다. (단일 벽(wall)이 있는) 탄소 나노튜브는 탄소의 중공 원통(hollow cylinder)이고, 전형적으로 하나의 탄소 원자 두께의 등골게 말린(rolled) 자기-폐쇄형 시트(self-closing sheet)이며, 전형적으로 직경은 대략 1-2 nm이고 길이는 수 백배 더 크다. 이러한 나노튜브들은 매우 높은 전도도를 나타낼 수 있으며, 집적 회로 제조와의 호환성에 관해 다양한 제안들이 나오고 있다. CNT의 패브릭(fabric)을 형성하기 위해 비활성 바인더 매트릭스(inert binder matrix) 내에 "짧은(short)" CNT를 캡슐화(encapsulate)시키는 것이 제안되고 있다. 이들은 스핀-온 코팅(spin-on coating) 혹은 스프레이 코팅(spray coating)을 사용하여 실리콘 웨이퍼 상에 증착될 수 있고, 도포됨에 따라, CNT는 서로에 대해 랜덤 배향(random orientation)을 갖는다. 전기장이 이러한 패브릭에 걸쳐 인가되는 경우, CNT는 구부러지거나(flex) 혹은 자체적으로 정렬(align)되는 경향이 있어 패브릭의 전도도가 변하게 된다. 다른 탄소 기반의 저항성 스위칭 비휘발성 메모리들과서와 같이, CNT 기반의 메모리들은 커패시터와 같은 구성을 갖는바, 여기서 상부 전극 및 하부 전극은 앞서 언급된 것들과 같이 녹는점이 높은 금속들로 만들어진다.

[0080] 메모리 저장 소자들에 적합한 물질들의 또 다른 클래스는 상-변화 물질(phase-change material)들이다. 상-변화 물질들의 바람직한 그룹은 칼코게나이드 글래스(chalcogenide glass)들을 포함하는바, 이것은 종종 화합물 $Ge_xSb_yTe_z$ 로 이루어지고, 여기서 바람직하게는 $x=2$, $y=2$ 그리고 $z=5$ 이다. GeSb가 또한 유용한 것으로 밝혀졌다. 다른 물질들은 AgInSbTe, GeTe, GaSb, BaSbTe, InSbTe, 그리고 이러한 기본 요소들의 다양한 다른 조합들을 포함한다. 두께는 일반적으로, 1 nm 내지 500 nm 범위에 있다. 스위칭 메커니즘에 대해 일반적으로 인정되는 설명

은, 물질의 일정 영역이 녹도록 매우 짧은 시간 동안 높은 에너지 펄스가 인가되는 경우 해당 물질은 비정질 상태(이것은 낮은 전도성 상태임)로 "퀵치"한다는 것이다. 온도가 결정화 온도보다는 높지만 녹는 온도보다는 낮게 유지되도록 더 오랜 시간 동안 더 낮은 에너지 펄스가 인가되는 경우, 물질은 높은 전도도의 다-결정 상(poly-crystal phase)들을 형성하기 위해 결정화된다. 이러한 디바이스들은 종종, 가열기 전극들과 통합된, 서브-리소그래픽 필러(sub-lithographic pillar)들을 사용하여 제조된다. 상 변화가 일어나는 국지화된 영역은 종종, 스텝 에지(step edge), 혹은 (낮은 열 전도도 물질 내에 에칭된 슬롯(slot) 위에서 물질이 지나가는) 영역에 걸친 전이에 대응하도록 설계될 수 있다. 콘택 전극들은, 1 nm 내지 500 nm의 두께를 갖는 녹는점이 높은 임의의 금속(예를 들어, TiN, W, WN 및 TaN)일 수 있다.

[0081] 앞서의 예들 대부분에서의 메모리 물질들은 그 양쪽 면 상에서 전극들을 사용하는바, 이들의 성분은 특정적으로 선택됨에 유의해야 한다. 워드 라인들(WL) 및/또는 로컬 비트 라인들(LBL)이 또한 메모리 물질과의 직접 콘택에 의해 이러한 전극들을 형성하는 본 명세서에서의 삼차원 메모리 어레이의 실시예들에서, 이러한 라인들은 바람직하게는, 앞서 설명된 전도성 물질들로 만들어진다. 따라서, 두 개의 메모리 소자 전극들 중 적어도 하나에 대한 추가적인 전도성 세그먼트들을 사용하는 실시예들에서, 이러한 세그먼트들은 메모리 소자 전극들에 대해 앞서 설명된 물질들로 만들어진다.

[0082] 일반적으로, 조항 소자들은 메모리 저장 소자들의 제어가능한 저항 타입들에 통합된다. 조항 소자들은 트랜지스터 혹은 다이오드일 수 있다. 본 명세서에서 설명되는 삼차원 아키텍처의 장점이 이러한 조항 소자들이 필요없는 것일지라도, 조항 소자들을 포함하는 것이 바람직한 특정 구성들이 있을 수 있다. 다이오드는 p-n 접합(반드시 실리콘으로 이루어지는 것은 아님), 금속/절연체/절연체/금속(Metal/Insulator/Insulator/Metal)(MIIM), 또는 쇼트키 타입 금속/반도체 콘택일 수 있지만, 대안적으로 고체 전해질 소자일 수 있다. 다이오드의 이러한 타입의 특성은, 메모리 어레이에서의 정정 동작에 대해, 각각의 어드레스 동작 동안 "온(on)" 및 "오프(off)"로 스위칭될 필요가 있다는 것이다. 메모리 소자가 어드레스될 때까지, 다이오드는 높은 저항 상태("오프(off)" 상태)에 있고, 교란 전압으로부터 저항성 메모리 소자를 "보호(shield)"한다. 저항성 메모리 소자에 액세스하기 위해, 세 개의 서로 다른 동작들이 필요한바, a) 높은 저항으로부터 낮은 저항으로 변환하는 것, b) 다이오드를 통해 흐르는 전류 혹은 다이오드에 걸친 적절한 전압을 인가함으로써 메모리 소자를 프로그래밍, 판독 혹은 재설정(소거)하는 것, 그리고 c) 다이오드를 재설정(소거)하는 것이 필요하다. 일부 실시예들에서, 이러한 동작들 중 하나 이상은 동일한 단계로 결합될 수 있다. 다이오드를 재설정하는 것은, 다이오드를 포함하는 메모리 소자에 역방향 전압(reverse voltage)을 인가함으로써 달성될 수 있는바, 이는 다이오드 필라멘트가 붕괴(collaps)e되게 함과 아울러 다이오드가 높은 저항 상태로 복귀하게 한다.

[0083] 간략한 설명을 위해, 앞서의 설명은 각각의 셀 내에 하나의 데이터 값을 저장하는 가장 간단한 경우(각각의 셀은 재설정되거나 혹은 설정되며 데이터의 하나의 비트를 보유함)를 고려했다. 그러나, 본 출원의 기법들은 이와 같이 단순한 경우로만 한정되는 것이 아니다. 온(ON) 저항의 다양한 값들을 사용함으로써 그리고 감지 증폭기들로 하여금 이러한 값들 중 수 개의 값들을 구분할 수 있도록 설계함으로써, 각각의 메모리 소자는 복수-레벨 셀(Multiple-Level Cell, MLC) 내에 데이터의 복수-비트들을 보유할 수 있다. 이러한 동작의 원리가 앞서 참조된 미국 특허 번호 제5,172,338호에서 설명된다. 메모리 소자들의 삼차원 어레이들에 적용되는 MLC 기술의 예들은 논문(제목: "Multi-bit Memory Using Programmable Metallization Cell Technology", 저자: Kozicki 외, Proceedings of the International Conference on Electronic Devices and Memory, Grenoble, France, June 12-17, 2005, pp. 48-53) 및 논문(제목: "Time Discrete Voltage Sensing and Iterative Programming Control for a 4F2 Multilevel CBRAM", 저자: Schrogmeier 외, 2007 Symposium on VLSI Circuits)을 포함한다.

[0084] 삼차원 어레이의 구조적 예(Structural Example of the Three-Dimensional Array)

[0085] 도 1의 삼차원 메모리 소자 어레이를 구현하기 위한 하나의 예시적 반도체 구조가 도 6에 제시되는바, 이것은 처음 증착될 때 비전도성인 비휘발성 메모리 소자(Non-Volatile Memory element, NVM) 물질의 사용에 대한 구성이다. 앞서 논의된 타입의 금속 옥사이드는 이러한 특성을 갖는다. 물질이 초기에 비전도성이기 때문에, 메모리 소자들을 워드 라인과 비트 라인의 교차점들에서 서로로부터 격리시킬 필요가 없다. 수 개의 메모리 소자들이 단일의 연속하는 물질층에 의해 구현될 수 있는바, 도 6의 경우 이것은 y-방향으로 수직 비트 라인들의 반대쪽 면들을 따라 수직으로 배향된 NVM 물질의 스트립(strip)들인바, 이들은 모든 평면들을 통해 윗방향으로 연장된다. 도 6의 구조의 중요한 장점은, 평면들의 그룹 내의 모든 워드 라인들 및 이들 아래에 있는 절연 스트립들이, 단일 마스크를 사용함으로써 동시에 정의될 수 있다는 것이고, 이에 따라 제조 프로세스가 크게 간략해진다는 것이다.

- [0086] 도 6을 참조하면, 삼차원 어레이의 네 개의 평면들(101, 103, 105 및 107)의 작은 부분이 제시된다. 도 1의 등가 회로의 소자들에 대응하는 도 6에 있는 어레이의 소자들은 동일한 참조 번호들에 의해 식별된다. 도 6이 도 1의 두 개의 평면들(평면 1 및 평면 2)과 이들 위에 있는 두 개의 추가적 평면들을 함께 도시함에 유의해야 한다. 평면들 모두는 전도체, 유전체 및 NVM 물질의 동일한 수평 패턴을 갖는다. 각각의 평면에서, 금속 워드 라인들(WL)은 x-방향으로 연장되며 y-방향에서 이격되어 있다. 각각의 평면은 해당 평면의 워드 라인들을 그 아래에 있는 평면의 워드 라인들로부터 격리시키는(혹은 평면(101)의 경우에는 그 아래에 있는 기판 회로 컴포넌트들로부터 격리시키는) 절연성 유전체 층을 포함한다. z-방향으로 연장된 금속 로컬 비트 라인(Local Bit Line, LBL) "필러(pillar)들"의 집합체가 각각의 평면을 통해 연장되어 있고, x-y 방향으로 규칙적인 어레이가 형성된다.
- [0087] 각각의 비트 라인 필러는, 기판 내에 형성된 선택 디바이스들(Q_{xy})을 통해 필러 간격과 동일한 피치에서 y-방향으로 진행되는 실리콘 기판 내의 글로벌 비트 라인들(GBL)의 세트 중 하나에 연결되며, 선택 디바이스들(Q_{xy})의 게이트들은 x-방향으로 연장된 로우 선택 라인들(SG)에 의해 구동되고, 이것 또한 기판 내에 형성된다. 선택 디바이스들(Q_{xy})은 종래의 CMOS 트랜지스터들(혹은 수직 MOSFET 박막 트랜지스터들, 혹은 접합형 FET, 혹은 npn 트랜지스터들)일 수 있으며, 종래의 다른 회로를 형성하기 위해 사용되는 프로세스와 동일한 프로세스를 사용하여 제조될 수 있다. MOS 트랜지스터들 대신에 npn 트랜지스터들을 사용하는 경우에, 로우 선택 라인들(SG)은 x-방향에서 연장된 베이스 콘택 전극 라인들(base contact electrode lines)로 대체된다. 감지 증폭기들, 입력-출력(I/O) 회로, 제어 회로 및 임의의 다른 필요한 주변 회로도 또한, 도 6에서는 제시되지 않았지만 기판 내에 제조된다. x-방향에서 로컬 비트 라인 필러들의 각각의 로우에 대한 하나의 로우 선택 라인(SG), 그리고 각각의 개별 로컬 비트 라인(LBL)에 대한 하나의 선택 디바이스(Q)가 존재한다.
- [0088] NVM 물질의 각각의 수직 스트립은 수직 로컬 비트 라인들(LBL)과 모든 평면들 내에 수직으로 적층된 복수의 워드 라인들(WL) 사이에 샌드위치되어 있다. 바람직하게는, NVM 물질은 x-방향에서 로컬 비트 라인들(LBL) 사이에 존재한다. 메모리 저장 소자(M)는 워드 라인(WL)과 로컬 비트 라인(LBL)의 각각의 교차부분에 위치한다. 메모리 저장 소자 물질에 대해 앞서 설명된 금속 옥사이드의 경우에, 교차하는 로컬 비트 라인(LBL)과 워드 라인(WL) 사이의 NVM 물질의 작은 영역은, 그 교차하는 라인들에 인가된 적절한 전압들에 의해, 전도성(설정) 상태와 비전도성(재설정) 상태 간에 제어가능하게 교번된다.
- [0089] 일 실시예에서, NVM 물질은 하프늄 옥사이드를 포함하고, 워드 라인들은 TiN을 포함하며, 비트 라인들은 N+ 실리콘을 포함한다.
- [0090] 평면들 사이에 있는 유전체와 LBL 사이에는 기생 NVM 소자가 또한 형성될 수 있다. NVM 물질 층의 두께(즉, 로컬 비트 라인들과 워드 라인들 간의 간격)와 비교해 유전체 스트립들의 두께가 크도록 선택함으로써, 동일한 수직 워드 라인 스택에서의 워드 라인들 간의 서로 다른 전압들에 의해 유발된 필드(field)가 충분히 작게 될 수 있고, 이에 따라 기생 소자가 상당한 양의 전류를 전도시키는 일은 결코 일어나지 않게 된다. 마찬가지로, 다른 실시예들에서, 만약 인접하는 LBL들 간의 동작 전압들이 프로그래밍 임계치 아래에서 유지된다면 인접하는 로컬 비트 라인들 사이 적절한 곳에 비전도성 NVM 물질이 남겨질 수 있다.
- [0091] 도 6의 구조를 제조하기 위한 프로세스의 아웃라인(outline)은 다음과 같다.
- [0092] 1. 선택 디바이스들(Q), 글로벌 비트 라인들(GBL), 로우 선택 라인들(SG), 그리고 어레이에 부속된 다른 회로들을 포함하는 지원 회로(support circuitry)가 종래 방식으로 실리콘 기판 내에 형성되고, 이러한 회로의 상부 표면은 평탄화되는데, 이러한 평탄화는 예를 들어, 이 회로 위에 놓인 에칭 정지 물질의 층을 사용하여 에칭을 행함으로써 수행된다.
- [0093] 2. 유전체(절연체)와 금속의 교번 층들이, 서로의 상부에 그리고 적어도 선택 디바이스들(Q)이 형성된 기판의 영역 위에, 시트들(sheets)로서 형성된다. 도 6의 예에서는, 네 개의 이러한 시트들이 형성된다.
- [0094] 3. 그 다음에, 이러한 시트들은, y-방향으로 서로 이격되고 x-방향으로 연장된 슬릿(slit)들을 갖는 이들 상부 위에 형성되는 마스크를 사용하여, 에칭(격리)된다. 모든 물질은 도 6에 제시된 트렌치(trench)들을 형성하기 위해 에칭 정지까지 아래로 제거되고, 트렌치들에는 이후 로컬 비트 라인(LBL) 필러들 및 NVM 물질이 형성된다. 콘택 홀(contact hole)들이 또한, 트렌치들의 하부에서 에칭 정지 물질 층을 통해 에칭되어, 후속적으로 형성된 필러들의 위치들에서 선택 디바이스들(Q)의 드레인들에 대한 액세스를 가능하게 한다. 트렌치들의 형성은 또한, 워드 라인들(WL)의 y-방향에서의 폭을 정의한다.

- [0095] 4. NVM 물질이 이러한 트렌치들의 측벽들을 따라 트렌치들 위에 구조체에 걸쳐 얇은 층들로 증착된다. 이것은 트렌치들의 각각의 트렌치의 양쪽 측벽들을 따라 (트렌치들 내에 노출된 워드 라인(WL) 표면들과 접촉하는) NVM 물질을 남긴다.
- [0096] 5. 그 다음에, NVM 물질과의 접촉을 만들기 위해 이러한 트렌치들 내에는 도핑된 폴리 실리콘(혹은 적절한 금속 전극 물질)이 증착된다. 증착된 물질은 y-방향으로 슬릿들을 갖는 마스크를 사용하여 패터닝된다. 이러한 마스크를 통한 에칭에 의해 그 증착된 물질을 제거함으로써 로컬 비트 라인(LBL) 필러들이 남게 된다. x-방향에서의 NVM 물질이 또한, 필러들 사이에서 제거될 수 있다. 그 다음에, x-방향에서의 필러들 사이의 공간은 유전체 물질로 충전되고, 이러한 구조체의 상부까지 다시 평탄화된다.
- [0097] 도 6의 구성의 중요한 장점은, 한번에 평면들의 물질의 층들 모두를 통한 트렌치들을 형성하기 위해서, 단일 마스크를 통한 단지 하나의 에칭 동작만이 요구된다는 것이다. 그러나, 프로세스 제한사항들이 이러한 방식에서 함께 에칭될 수 있는 평면들의 수를 제한할 수 있다. 만약 모든 층들의 총 두께가 너무 크다면, 트렌치는 순차적 단계들로 형성될 필요가 있을 수 있다. 제1의 개수의 층들이 에칭되고, 그리고 이러한 제1의 개수의 트렌치화된 층들 위에 제2의 개수의 층들이 형성된 이후, 상부 층들이 또 다른 에칭 단계에 놓여 이들 내에 그 하부 층들 내의 트렌치들과 나란히 맞춰진 트렌치들이 형성되게 된다. 이러한 시퀀스는 매우 많은 수의 층들을 갖는 구현예에 대해 훨씬 더 많은 횟수로 반복될 수 있다.
- [0098] 수직 스위치들(Vertical Switches)
- [0099] 메모리를 더 밀집시키기 위해(예를 들어, 단위 면적당 더 많은 메모리 소자들이 있도록 하기 위해), 메모리 소자들의 크기는 더 작게 될 수 있고, 메모리 소자들은 과거보다 서로 더 가깝게 정렬될 수 있다. 메모리 소자들이 서로 더 가깝게 있도록 하기 위해, 일 실시예는, 개개의 로컬 비트 라인 필러들을 각각의 글로벌 비트 라인들에 연결시키는 수직으로 배향된 선택 디바이스(예를 들어, 3 단자 스위치(three terminal switch) 및/또는 선택 트랜지스터)를 사용한다. 예를 들어, 도 1의 선택 디바이스들(Q_{11} , Q_{12} , ..., Q_{21} , Q_{22} , ...)은 수직으로 배향된 선택 디바이스들로서 구현될 수 있다. 일 실시예에서, 각각의 수직으로 배향된 선택 디바이스는 수직 구조체로서 형성된 필러 선택 디바이스이고, 로컬 비트 라인 필러와 글로벌 비트 라인 간의 스위칭을 행한다. 필러 선택 디바이스들은, (이들이 CMOS 층 내에 형성되는) 이전 실시예들과는 달리, 본 실시예에서는, 글로벌 비트 라인들의 어레이와 로컬 비트 라인들의 어레이 사이에 z-방향을 따라 CMOS 층/기판 위의 별개의 층(필러 선택 층)에 형성된다. CMOS 층은, 로우 선택 회로 및 워드 라인 드라이버들을 포함하는 지원 회로가 구현되는 기판이다. 기판 위에 있는(하지만 기판 내에는 없는) 수직으로 배향된 선택 디바이스들을 사용함으로써 메모리 소자들이 더욱 조밀하게 정렬될 수 있으며, 이로 인해 밀도가 증가하게 된다. 추가적으로, 기판 위에 수직으로 배향된 선택 디바이스들을 배치시킴으로써 다른 디바이스들(예를 들어, 워드 라인 드라이버들)이 메모리 어레이 외부가 아닌 메모리 어레이 아래 기판 내에 배치될 수 있게 되며, 이것은 집적 회로가 더 작아지게 할 수 있다.
- [0100] 예를 들어, 필러 형상의 박막 트랜지스터(Thin Film Transistor, TFT) FET 혹은 JFET가 선택 디바이스로서 사용될 수 있다. 일 예시적 구현예에서, 선택 트랜지스터의 제어 노드는 칼라 형상의 홀(collar shaped hole)을 가지며, 홀 내에는 게이트 및 채널 영역이 형성되고, 이 경우 소스/드레인 영역들은 채널 영역 위/아래에 형성된다. 또 다른 대안에는, 게이트들을 레일 에칭(rail etch)으로서 정의하고, 채널이 트렌치 내에서 게이트들 사이에 증착되게 하고 (홀들이 아닌) 크로싱 라인 마스크(crossing lines mask)를 이용한 에칭에 의해 싱글레이트(singulate)되게 하는 것이다.
- [0101] 도 7은 필러 선택 층 위의 메모리 층으로 이루어진 삼차원 메모리("3D 메모리")를 도식적으로 나타낸 것이다. 3D 메모리(10)는 CMOS 기판(명확하게 도시되지는 않음) 위에 형성되는바, 여기서 CMOS 내의 구조체들은 FEOL("Front End of Lines")에 내에 있는 것으로 나타내진다. (기판 내에 없고 기판 위에 있는) 개개의 수직 비트 라인들을 개개의 글로벌 비트 라인들로 스위칭시키는 수직으로 배향된 선택 디바이스들이 이제 FEOL 층 위에서 BEOL("Back End of Lines") 내에 형성된다. 따라서, BEOL은 메모리 층을 그 위에 구비한 필러 선택 층으로 구성된다. 수직으로 배향된 선택 디바이스들(예를 들어, Q_{11} , Q_{12} , ..., Q_{21} , Q_{22} , ..., 등)은 필러 선택 층 내에 수직으로 배향된 선택 디바이스들로서 형성된다. 필러 선택 층은 (기판 내가 아닌) 기판 위에 형성된다. 메모리 층은 앞서 설명된 바와 유사한바, 메모리 소자들 및 워드 라인들의 복수의 층들로 구성된다. 간략한 설명을 위해, 도 7은, 워드 라인과 비트 라인의 각각의 교차부분 사이에 존재하는 메모리 소자들을 보여줌이 없이, 단지 워드 라인들(예를 들어, WL_{10} , W_{11} , ..., 등)의 하나의 층만을 제시한다.
- [0102] 도 8a는, 로컬 비트 라인을 글로벌 비트 라인으로 스위칭시키는 소정의 수직으로 배향된 선택 디바이스의 도식

적 회로도를 나타낸다. 본 예에서, 로컬 비트 라인(LBL)(440)은, Q_{11} 과 같은 수직으로 배향된 선택 트랜지스터(500)에 의해 글로벌 비트 라인(GBL)(250)으로 스위칭가능하다. 선택 트랜지스터(Q_{11})의 게이트는 로우 선택 라인(SG_1)에 가해진 신호에 의해 제어가능하다.

[0103] 도 8b는 로컬 비트 라인 및 글로벌 비트 라인과 관련된 수직으로 배향된 선택 디바이스의 구조를 나타낸다. GBL(250)과 같은 글로벌 비트 라인은, 수직으로 배향된 선택 디바이스 아래, 금속 층-1 혹은 금속 층-2(502)의 일부로서 FEOL 내에 형성된다. 수직의 능동 TFT 트랜지스터(500)(예를 들어, 수직으로 배향된 채널 MOS TFT 혹은 수직으로 배향된 채널 JFET) 형태의 수직으로 배향된 선택 디바이스는 GBL(250) 위에 있는 BEOL 층 내에 형성된다(기판 내가 아닌 기판 위에 형성됨). 필터 형태의 로컬 비트 라인(LBL)(440)이, 수직으로 배향된 선택 디바이스(500) 위에 형성된다. 이러한 방식으로, 수직으로 배향된 선택 디바이스(500)는 로컬 비트 라인 필터(LBL)를 글로벌 비트 라인(GBL)으로 스위칭시킬 수 있다.

[0104] 도 9는 메모리 시스템의 일부분을 나타낸 도면으로, 여기서 메모리 소자들은 (이들의 가역 저항 스위칭 속성들로 인해) 저항기(resistor)들로서 도시되어 있다. 도 9는 메모리 층 아래 그리고 (기판 내가 아닌) 기판 위에 있는 필터 선택 층을 나타낸다. 메모리 층의 단지 일부만이 예시된다. 예를 들어, 도 9는 LBL1, LBL2, ... LBL72를 제시한다. 이러한 실시예에서 워드 라인들 각각은 72개의 메모리 소자들에 연결된다. 메모리 소자들 각각은 워드 라인과 비트 라인 사이에 연결된다. 따라서, 동일한 워드 라인 및 (하나의 로우에 있는 72개의 비트 라인들의) 서로 다른 비트 라인들에 연결된 72개의 메모리 소자들이 있다. 비트 라인들 각각은 필터 선택 층의 수직으로 배향된 선택 디바이스들(504) 중 하나에 의해 각각의 글로벌 비트 라인에 연결된다. 도 9에 도시된 수직으로 배향된 선택 디바이스들(504)의 세트를 구동시키는 신호(SG_x)는 로우 선택 라인 드라이버에 의해 제어된다. 로우 선택 라인 드라이버는 기판 내에 구현됨에 유의해야 한다. 글로벌 비트 라인들(GBL1, GBL2, ... GBL72)은 기판 위 금속 라인들로 구현된다. 도 9는 워드 라인 방향을 따라 취해진 하나의 조각(slice)을 나타내는데, 이에 따라 도 9에 제시된 비트 라인들 각각은 수직으로 배향된 선택 디바이스들(504)을 통해 서로 다른 글로벌 비트 라인들에 연결되게 된다.

[0105] 일 실시예에서, 이웃하는 워드 라인들의 쌍들(예를 들어, WL_a 와 WL_b , WL_p 와 WL_q , WL_r 과 WL_s)이 메모리 소자들에 연결되며, 메모리 소자들은 또한, 공통 비트 라인들에 연결된다. 도 9는 워드 라인들의 세 개의 쌍들(WL_a 와 WL_b , WL_p 와 WL_q , WL_r 과 WL_s)을 제시하는데, 각각의 쌍은 메모리 구조의 서로 다른 층 상에 있다. 하나의 예시적 실시예에서, 워드 라인들은 어드레스 종속 신호(address dependent signal)들을 수신하고, 이에 따라 해당 워드 라인(WL_b)이 메모리 동작을 위해 선택되고, 반면 워드 라인들(WL_a , WL_p , WL_q , WL_r 및 WL_s)은 선택되지 않는다. 로우 선택 라인(SG_x) 상에 인가된 활성화 신호가, 수직으로 배향된 선택 디바이스들(504) 모두로 하여금 각각의 글로벌 비트 라인들을 도 9의 각각의 로컬 비트 라인들에 연결하도록 하지만, 글로벌 비트 라인(GLBL1)만이 프로그래밍을 위한 데이터 값을 포함한다(S로 표시되어 있음에 유의). 글로벌 비트 라인들(GLBL2 및 GLBL72)은 프로그래밍을 위한 데이터를 포함하지 않는다(U로 표시되어 있음에 유의). 이것은 글로벌 비트 라인들이 데이터 종속 신호(data dependent signal)들을 수신함에 따라 저장되는 데이터 패턴으로 인한 것일 수 있다. SG_x 가 인에이블 신호(enable signal)를 수신하는 반면, 다른 선택 라인들은 디스에이블 신호(disable signal)를 수신하여 그 연결된 선택 디바이스들을 턴오프시키게 됨에 유의해야 한다.

[0106] 로컬 비트 라인(LBL1)과 워드 라인(WL_b) 양쪽 모두가 프로그래밍을 위해 선택되었기 때문에, 로컬 비트 라인(LBL1)과 워드 라인(WL_b) 사이의 메모리 소자가 메모리 동작을 위해 선택된다(S로 표시되어 있음에 유의). 로컬 비트 라인(LBL1)은 프로그램 데이터를 갖는 유일한 비트 라인이기 때문에, WL_b 에 연결된 다른 메모리 소자들은 반선택(half select)된다(H로 표시되어 있음에 유의). 반선택의 의미는 제어 라인들 중 하나(비트 라인 또는 워드 라인)는 선택되지만 다른 제어 라인은 선택되지 않은 것을 의미한다. 반선택된 메모리 소자는 메모리 동작을 겪지 않는다. 워드 라인(WL_a)은 선택되지 않았고, 따라서 WL_a 와 로컬 비트 라인(LBL1) 사이의 메모리 셀은 반선택되고, WL_a 상의 다른 메모리 소자들은 비선택된다. 워드 라인들(WL_p , WL_q , WL_r 및 WL_s)은 선택되지 않았기 때문에, LBL1에 연결된 이들의 메모리 소자들은 반선택되고, 이러한 워드 라인들에 연결된 다른 메모리 소자들은 비선택된다.

[0107] 도 10은 도 6의 메모리 구조 및 앞서 언급된 수직으로 배향된 선택 디바이스를 사용하는 메모리 구조의 단면도이다. 아래에서 설명되는 바와 같이, 도 10의 메모리 구조는 메모리 소자들의 연속 메쉬 어레이인데, 왜냐하면 비트 라인들의 양쪽 면들에 연결된 메모리 소자들 및 워드 라인들의 양쪽 면들에 연결된 메모리 소자들이 존재하기 때문이다. 도 10의 하부에는 CMOS 기판이 도시된다. CMOS 구조의 상부 표면 상에는 $ML-0$, $ML-1$, 및 $ML-2$ 를

포함하는 다양한 금속 라인들이 구현된다. ML-2의 라인(526)은 각각의 글로벌 비트 라인(GBL)으로서의 역할을 한다. 필러 선택 층은 두 개의 옥사이드 층들(520)을 포함하는바, 이들 사이에는 게이트 물질 층(522)이 샌드위치되어 있다. 옥사이드 층들(520)은 SiO_2 일 수 있다. 글로벌 비트 라인으로서의 역할을 하는 금속 라인(ML-2)(526)은, 임의의 적절한 물질로 구현될 수 있는바, 이러한 물질로는 텅스텐, 혹은 티타늄 나이트라이드 접착 층 상의 텅스텐, 혹은 티타늄 나이트라이드 접착층 상의 텅스텐 위의 n+ 폴리실리콘의 샌드위치가 있다. 게이트 물질(522)은 폴리실리콘, 티타늄 나이트라이드, 탄탈륨 나이트라이드, 니켈 실리사이드 또는 임의의 다른 적절한 물질일 수 있다. 게이트 물질(522)은 로우 선택 라인들(SG_x)(예를 들어, 도 1의 SG_1 , SG_2 , ...)을 구현하는바, 이들은 도 10에서 로우 선택 라인들(580, 582, 584, 586, 588 및 590)로서 표시되어 있다.

[0108] 메모리 층은 (N+ 폴리실리콘을 포함하는) 수직 비트 라인들(530)의 세트를 포함한다. 교번하는 옥사이드 층들(534)과 워드 라인 층들(536)이 수직 비트 라인들(530) 사이에 배치된다. 일 실시예에서, 워드 라인들은 TiN으로부터 만들어진다. 교번하는 옥사이드 층들(534)과 워드 라인 층들(536)의 스택들과 수직 비트 라인들(530) 사이에는 가역 저항 스위칭 물질(532)의 수직으로 배향된 층들이 있다. 일 실시예에서, 가역 저항 스위칭 물질은 하프늄 옥사이드(HfO_2)로 만들어 진다. 그러나, (앞서 설명된 바와 같은) 다른 물질들이 또한 사용될 수 있다. 박스(540)는 워드 라인(536)과 수직 비트 라인(530) 사이에 샌드위치된 가역 저항 스위칭 물질(532)을 포함하는 하나의 예시적 메모리 소자를 나타낸다. 메모리 소자들은 기판 내가 아닌 기판 위에 배치된다. 각각의 수직 비트 라인(530) 바로 아래에는 수직으로 배향된 선택 디바이스들(504)이 있고, 이들 각각은 (하나의 예시적 실시예에서) n+/p-/n+ TFT를 포함한다. 수직으로 배향된 선택 디바이스들(504) 각각은 각각의 측면 상에 옥사이드 층들(505)을 갖는다. 도 10은 또한 n+ 폴리실리콘 층(524)을 보여준다. 알 수 있는 바와 같이, 수직으로 배향된 선택 디바이스들(504)의 npn TFT는 글로벌 비트 라인(GBL)(층(526))을 수직 비트 라인들(530) 중 어느 하나와 연결시키기 위해 사용될 수 있다.

[0109] 도 10은 게이트 물질 층(522) 내의 6개의 로우 선택 라인들(SG_x)(580, 582, 584, 586, 588 및 590)을 보여주는 바, 이들 각각은 복수의 워드 라인들의 스택 밑에 있다. 알 수 있는 바와 같이, 로우 선택 라인들(580, 582, 584, 586, 588 및 590) 각각은 두 개의 수직으로 배향된 선택 디바이스들(504) 사이에 배치되며 기판 내에는 없고 기판 위에 배치된다. 따라서, 각각의 로우 선택 라인은 두 개의 이웃하는 수직으로 배향된 선택 디바이스들(504) 중 어느 하나에 대한 게이트 신호로서의 역할을 할 수 있고, 이에 따라, 수직으로 배향된 선택 디바이스들(504)은 더블 게이팅(double gating)되는 것으로 지칭된다. 본 실시예에서, 각각의 수직으로 배향된 선택 디바이스(504)는 두 개의 서로 다른 로우 선택 라인들에 의해 제어될 수 있다. 각각의 비트 라인 필러의 베이스 부분에 합체되는 수직으로 배향된 선택 디바이스들의 일 실시형태는, 두 개의 인접하는 수직으로 배향된 선택 디바이스들이 동일한 게이트 영역을 공유하는 것이다. 이것은 수직으로 배향된 선택 디바이스들이 서로 더 가깝게 있도록 할 수 있다.

[0110] 도 11은 수직으로 배향된 선택 디바이스들(504)에 대한 앞서 설명된 더블-게이팅되는 구조를 나타내는 도 10의 메모리 시스템의 부분 회로도이다. 도 11의 평면 1 및 평면 2는 도 1에서와 동일하다. 알 수 있는 바와 같이, 각각의 로컬 비트 라인(LBL)은 두 개의 로우 선택 신호들에 의해 각각의 글로벌 비트 라인(GBL)에 연결가능하다. 도 11은 각각이 로컬 비트 라인에 연결되는 두 개의 트랜지스터들을 보여준다. 예를 들어, 트랜지스터(Q_{11})는 로우 선택 라인(SG_1)에 응답하여 로컬 비트 라인(LBL_{11})을 글로벌 비트 라인(GBL_1)에 연결시킬 수 있고, 그리고 트랜지스터(Q_{11a})는 로우 선택 라인(SG_2)에 응답하여 로컬 비트 라인(LBL_{11})을 글로벌 비트 라인(GBL_1)에 연결시킬 수 있다. 동일한 구조가 도 11에 도시된 다른 로컬 비트 라인들에 대해 사용된다.

[0111] 도 12는 더블-게이팅되는 구조체를 또한 나타내는 또 다른 부분 회로도이며, 여기서 각각의 로컬 비트 라인(LBL_1 , LBL_2 , ... LBL_{72})은 CMOS 기판 위에 배치되는 두 개의 각각의 수직으로 배향된 선택 디바이스들 중 어느 하나에 의해 각각의 글로벌 비트 라인들(GBL_1 , GBL_2 , ... GBL_{72})에 연결된다. 알 수 있는 바와 같이, 도 10의 더블-게이팅되는 구조는 기판 위에 다양한 선택 디바이스들(504)을 배치하는 것을 포함하지만, 로우 선택 라인들(SG_1 , SG_2 , ...)을 제공하는 로우 선택 라인 드라이버들은 기판 내에 배치된다. 마찬가지로, 글로벌 워드 라인들(예를 들어, GWL)이 기판 상의 금속 층 내에 그리고 수직으로 배향된 선택 디바이스들 아래에 배치된다. 더욱이, 아래에서 설명되는 바와 같이, 일 실시예에서, 로우 선택 라인 드라이버는 적절한 글로벌 워드 라인(GWL)을 입력으로서 사용한다.

[0112] 도 13은 도 10에 도시된 필러 선택 층을 제조하기 위한 일 실시예를 나타낸 흐름도이다. 이러한 프로세스는, 금속 층들 및 기판 층들(예를 들어, 드라이버들 및 다른 로직)을 제조한 이후, 그리고 메모리 층을 제조하기 이전

에 수행될 수 있다. 기판 층들, 금속 층들 및 메모리 층들은 다른 곳에서 설명된 그리고/또는 알려진 다른 프로세스들을 사용하여 제조될 수 있다. 단계(600)에서, 하위 옥사이드 층(520)이 금속 층 위에 증착된다. 예를 들어, 화학적 기상 증착(Chemical Vapor Deposition, CVD)이 SiO_2 를 증착시키기 위해 사용될 수 있다. 일 실시예에서, n^+ 폴리실리콘 층(524)이 단계(600) 이전에 추가된다. 단계(602)에서, 게이트 물질(522)이 하위 옥사이드 층(520) 위에 증착된다. 예를 들어, CVD가 TiN을 증착시키기 위해 사용될 수 있다. 단계(604)에서, 상위 옥사이드 층(520)이 게이트 물질 위에 증착된다. 예를 들어, CVD가 SiO_2 를 증착시키기 위해 사용될 수 있다. 도 14a는 단계(604) 이후의 구조체를 도시한다. 일 실시예에서, 옥사이드 층들(520)의 높이는 대략 20 내지 50 나노미터이고, 게이트 물질(522)의 높이는 대략 50 내지 150 나노미터이다.

[0113] 단계(606)에서, 필러 디바이스 채널들 및 필드 영역 정의를 위해 트렌치들이 에칭된다. 도 14b는 단계(606) 이후의 디바이스를 도시한다. 단계(608)에서, 게이트 옥사이드 층이 구조체 위에 증착된다. 일 실시예에서, ALD 혹은 저온 열 옥사이드 프로세스가 사용될 수 있다. 하나의 예시적 구현예에서, 증착된 옥사이드 층의 두께는 대략 3 내지 10 나노미터이다. 단계(610)에서, 측벽 스페이서(예를 들어, 실리콘)가 증착된다. 하나의 예시적 구현예에서, 측벽 스페이서의 두께는 대략 5 나노미터이다. 단계(612)에서, 에칭 프로세스가 수행된다. 예를 들어, 반응성 이온 에칭(Reactive Ion Etching, RIE)이 사용된다. 도 14c는 에칭 단계(162) 이후의 구조체를 도시한다. 예를 들어, 도 14c는 도시된 필러들 각각의 측면들 상에 있는 게이트 옥사이드(650) 및 측벽 실리콘 스페이서(652)를 보여준다.

[0114] 단계(614)에서, p^- 폴리실리콘이 트렌치들을 충전시키기 위해 사용된다. 이것은 평탄화 프로세스로 종결된다. 예를 들어, 도 14d는 측벽 스페이서 층들(652) 사이의 트렌치들 내에 충전된 p^- 폴리실리콘 물질(656)을 보여준다. 단계(616)에서, p^- 실리콘 물질(656) 위에 n^+ 소스 영역을 생성하기 위해 소스 주입 단계가 수행된다. 도 14e는 단계(616) 이후의 구조체를 도시하며, p^- 실리콘 물질(656) 위에 있는 n^+ 소스 영역(660)을 보여 준다.

[0115] 단계(618)에서, p^- 물질(656)과 n^+ 폴리(524) 사이의 접합부(junction)를 활성화시키는 열 어닐링 프로세스(thermal anneal process)가 수행되고, 이에 따라 p^- 실리콘(656)의 하단부는 n^+ 로 도핑되어 드레인을 형성하는 바, 이는 n^+ 폴리실리콘 층(524)으로부터의 n^+ 주입의 확산으로 인한 것이다. 이러한 확산은 도 14f의 화살표(664)로 도시된다. 도 14f가 또한 결과적인 n^+ 드레인 영역들(662)을 보여줌에 유의해야 한다. 다른 실시예들에서는, 채널 영역이 제 1 타입의 폴리실리콘(혹은 다른 물질)으로 되고, 소스/드레인이 제 2 타입의 폴리실리콘(혹은 다른 물질)으로 되는 한 p 와 n 은 바뀔 수 있다.

[0116] 앞서 설명된 바와 같이, 도 10(및 도 14a 내지 도 14f)의 구조체에서 제공되는 것은, 글로벌 비트 라인을 수직 로컬 비트 라인에 연결시키기 위한 각각의 수직으로 배향된 선택 디바이스가 두 개의 이웃하는 로우 선택 라인들(SG_x) 중 어느 하나에 의해 제어될 수 있는 것이다. 일 실시예에서, 비선택된 메모리 소자들에 대한 교란을 막기 위해, 메모리 소자의 선택은 그 선택된 메모리 소자로부터 관련 비트 라인의 반대쪽 면 상에 있는 선택 신호(SG_x)를 구동시킴으로써 이루어진다. 예를 들어, 도 10을 다시 참조하면, 메모리 소자(540) 상에서 메모리 동작을 수행하고자 할 때, 선택 라인들(580 및 582) 모두가 신호들(580과 582) 사이에 배치된 선택 디바이스(504)를 턴온시킬 수 있지만, 로우 선택 라인(582) 대신에 로우 선택 라인(580)이 선택된다.

[0117] 도 15는 수직 비트 라인들의 반대쪽 면 상에 있는 로우 선택 라인들을 구동시킴으로써 메모리 소자들이 선택되는 실시예의 메모리 디바이스를 동작시키기 위한 하나의 예시적인 프로세스를 설명하는 흐름도이다. 도 15의 단계(700)에서, 비선택된 워드 라인 전압이 비선택된 워드 라인들에 인가된다. 단계(702)에서, 비선택된 비트 라인 전압이 모든 글로벌 비트 라인들에 인가된다. 일 실시예에서, 로컬 비트 라인들은 플로팅 상태가 되고, 이에 따라 로컬 비트 라인들은 비선택된 워드 라인 전압을 향해(혹은 비선택된 워드 라인 전압으로) 드리프트하게 된다. 단계(706)에서는, 선택된 비트 라인 전압이 선택된 글로벌 비트 라인들에 인가된다. 단계(708)에서는, 선택된 메모리 소자들에 대한 수직 비트 라인들의 반대쪽 면 상에 있는 적절한 로우 선택 라인들(SG_x)에 선택 신호가 인가된다. 로우 선택 라인들에 인가된 신호는, 글로벌 비트 라인을 로컬 비트 라인들에 연결시키기 위해서, 수직으로 배향된 선택 디바이스들(504)을 턴온시키기 위한 적절한 신호이다. 선택된 메모리 소자와 동일한(글로벌 비트 라인의) 면 상에 있는 로우 선택 라인들은, 수직으로 배향된 선택 디바이스들 중 어느 것도 턴온시키지 않는 신호를 수신한다. 단계(712)에서는, 선택된 워드 라인 전압이 선택된 워드 라인들에 인가된다. 따라서, 단계(714)에서, 적절한 메모리 동작이 수행된다. 도 15에 도시된 단계들의 순서는 바뀔 수 있음에 유의해야 한다.

[0118] 도 16은 앞서 설명된 기술에 따른 메모리 시스템의 또 다른 예이다. 도 16의 실시예에서, 필러 선택 층 및 금속 선택 층은 도 10에 관하여 앞서 설명된 바와 동일하다. 그러나, 도 16의 메모리 층은 도 10의 메모리 층과는 다

르다. 도 16의 메모리 층은 수직 비트 라인들(660)을 포함한다. 추가적으로, 메모리 층은 워드 라인 층들(662)과 교번하는 옥사이드 층들(534)을 포함한다. 그러나, 워드 라인 층들(622)은 도 10의 워드 라인 층들(536)과는 다르다. 예를 들어, 각각의 워드 라인은, 가역 저항 스위칭 물질(666)로 둘러싸인 워드 라인 물질(664)(예를 들어, TiN)을 포함한다.

[0119] 도 17은 수직 비트 라인들을 포함하는 메모리 시스템의 또 다른 실시예를 보여준다. 그러나, 도 17의 실시예에서, 각각의 워드 라인은 단지 워드 라인의 한쪽 면 상에서 메모리 소자를 갖는다. 따라서, 수직 비트 라인들 사이에 갭(gap)들/트렌치(trench)들(660)이 존재한다. 예를 들어, 수직 비트 라인(680)의 각각의 면 상에는 워드 라인들(682)의 세트들이 있다. (팅스텐으로 구성될 수 있는) 각각의 워드 라인(682)은 저항 스위칭 물질에 대한 적절한 전극을 제공하기 위해 티타늄 나이트라이드 층(684)에 의해 둘러싸인다. 각각의 티타늄 나이트라이드 층(684)은 가역 저항 스위칭 물질(686)에 의해 둘러싸인다. 도 17은 옥사이드 영역들(670) 사이에 배치된 로우 선택 라인들(672)을 보여준다. 도 18a 내지 도 18i는 도 17의 구조체에 대한 필러 선택 층을 제조하기 위한 하나의 프로세스를 설명한다.

[0120] 도 18a 내지 도 18i는 다양한 프로세싱 단계들에서 도 17에 제시된 3D 메모리의 BEOL 부분(상층 부분)에서의 필러 선택 디바이스의 형성을 예시한다.

[0121] 도 18a는 필러 선택 층을 제조하는 제 1 단계를 예시한다. N+ 폴리층(673)이 글로벌 비트 라인(674) 위에 형성된다. 이후, 옥사이드 층(670), 게이트 물질 층(672), 및 또 다른 옥사이드 층(670)을 포함하는 샌드위치가 형성된다. 게이트 물질 층(672)은, 예를 들어, 금속, 티타늄 나이트라이드 혹은 도핑된 폴리실리콘이다. 이러한 게이트 물질은 SG₁과 같은 로우 선택 라인을 형성한다.

[0122] 도 18b는 다만신 프로세스(damascene process)를 나타내는바, 이 프로세스에서는 필러 홀(pillar hole)들(702)을 형성하기 위해 하드 마스크 및 RIE 프로세스에 의해 필러 선택 층 샌드위치 내에 빈공간(excavation)들이 만들어진다.

[0123] 도 18c는 게이트 옥사이드 층(710)을 증착시키고, 그 다음에 폴리실리콘 층(712)을 증착시키는 것을 나타낸다.

[0124] 도 18d는 필러 홀들(702)의 하부를 통해 n+ 폴리층(673)까지 에칭이 일어나는 이방성 에칭을 나타낸다.

[0125] 도 18e는 필러 홀들이 적절한 채널 물질인 P- 폴리실리콘으로 충전되는 것을 나타낸다. 이것은 평탄화 프로세스로 종결된다.

[0126] 도 18f는 충전된 P- 폴리실리콘 내에 소스 영역을 생성하는 것을 나타낸다. 이것은 충전된 필러 홀들(702)을 통해 n+의 블랭킷 소스 주입(blanket source implant)을 행함으로써 달성된다.

[0127] 도 18g는 트렌치들이 커팅(cutting)된 이후의 필러 선택 층을 나타낸 투시도이다. 트렌치들(730)은 필러들의 개개의 로우들을 격리시키기 위해 그리고 필러 게이트들의 구조를 만들기 위해 커팅된다. 이것은 리소(litho) 및 에칭(etch) 프로세스들에 의해 달성된다.

[0128] 도 18h는 트렌치들을 옥사이드로 충전하는 것을 나타낸다. 격리 트렌치들(730)은 옥사이드(670)로 충전되고 이후 평탄화가 행해진다.

[0129] 도 18i는 필러 선택 디바이스의 드레인의 형성을 나타낸다. 필러 홀을 충전하는 p- 폴리실리콘의 하단부는 n+로 도핑되어 드레인을 형성한다. 이것은 n+ 폴리층(673)으로부터의 n+ 주입의 외부 확산(out diffusion)(화살표(732) 참조)에 달성된다.

[0130] 따라서, 각각의 로컬 비트 라인 필러와 금속 라인 사이에는 로우 선택 라인(672)에 의해 제어되는 npn MOS 박막 트랜지스터 형태의 필러 선택 디바이스가 형성된다.

[0131] 연결된 워드 라인들(Connected Word Lines)

[0132] 종래 설계들에서, 워드 라인 드라이버들은 기판 내에 구현되었지만 (메모리 어레이 밑이 아닌) 메모리 어레이 외부에 구현되었다. 집적 회로를 더 작게 만들기 위해, 워드 라인 드라이버들을 메모리 어레이 밑에 구현하는 것이 바람직하다. 일부 경우들에 있어서, 워드 라인 드라이버의 크기는 16개의 워드 라인들의 집합체만큼 크다. 따라서, 워드 라인 드라이버들은 메모리 어레이 밑에 알맞게 위치하기에는 너무 크다. 여기서 제안되는 해법은 하나의 워드 라인 드라이버를 서로 연결된 복수의 워드 라인들의 그룹에 연결하는 것인바, 이 경우, 메모리 시스템은 다수 개의 이러한 그룹들을 갖는다. 하나의 예시적 구현예에서, 16개(혹은 다른 개수의) 워드 라인들이 서로 연결되고, 워드 라인들의 연결된 그룹은 단일의 워드 라인 드라이버에 연결된다. 일 예에서, 16개의 워드

라인들이 서로 연결되어 코움(comb) 모양을 형성하게 된다. 그러나, 다른 모양들이 또한 사용될 수 있다. 단일 코움(혹은 다른 모양의 구조체) 형상의 16개(혹은 다른 개수의) 워드 라인들을 구동시키기 위해 하나의 워드 라인 드라이버를 사용하는 것은 필요한 워드 라인 드라이버들의 수를 감소시킨다. 따라서, 워드 라인 드라이버들은 메모리 어레이 밑에 알맞게 위치할 수 있다. 앞서 설명된 수직으로 배향된 선택 디바이스들의 사용은 또한, 워드 라인 드라이버들을 구현하기 위해, 메모리 어레이 밑에(예를 들어, 기판 내에) 더 많은 공간을 제공한다. 추가적으로, 복수의 워드 라인들을 구동시키기 위해 하나 이상의 워드 라인 드라이버들을 사용하는 것은, 워드 라인 드라이버들에서 워드 라인들까지 필요한 와이어(wire)들의 수를 감소시키고, 이에 따라, 공간이 절약되고, 라우팅이 간단해지고, 파워가 절약되고, 그리고 결함 발생의 가능성이 감소되게 된다. 추가적으로, 워드 라인들 및 비트 라인들은 이제 더 짧아졌기 때문에, 이전 설계에서보다 시상수는 더 작아지게 된다. 시상수가 더 작아지기 때문에, 라인들은 더 빠르게 안정화(settle)되고, 비선택된 메모리 소자들에 대해 교란을 일으키는 상당량의 과도 현상은 일어나지 않게 된다.

[0133] 도 19는 앞서 설명된 코움 구조체를 사용하는 메모리 시스템의 일부분을 나타낸 부분 회로도이다. 예를 들어, 도 19는 코움들(800, 802, 804 및 806)을 보여준다. 메모리 시스템은 도 19에 도시된 것보다 훨씬 더 많은 코움들을 가질 수 있지만, 도 19는 판독이 보다 더 용이하도록 단지 4개의 코움들만을 보여준다. 각각의 코움은, 워드 라인 핑거(word line finger)들로서 지칭되기도 하는, 16개의 워드 라인들을 포함한다. 각각의 코움에 대해, 워드 라인 핑거들 중 8개(예를 들어, 반개)와 같은 제 1 세트가 코움의 제 1 면 상에 있고 제 1 블록 내에 있으며, 워드 라인 핑거들 중 8개(예를 들어, 반개)와 같은 또 다른 세트가 코움의 제 2 면 상에 있고 제 1 블록 옆에 있는 제 2 블록 내에 있다. 도 19는 코움들(800 및 802)(및 여기에 부착된 모든 워드 라인 핑거들)이 메모리 어레이의 제 1 평면 혹은 레벨 내에 있고, 그리고 코움들(840 및 806)(및 여기에 부착된 모든 워드 라인 핑거들)이 메모리 어레이의 제 2 평면 혹은 레벨 상에 있는 것을 보여준다. 코움들 각각은 하나의 워드 라인 드라이버에 대한 단일 라인을 갖는다. 예를 들어, 워드 라인 코움(800)은 워드 라인 드라이버(820)에 연결된다. 워드 라인 코움(800)이 선택될 때, 워드 라인 코움(800)에 연결된 워드 라인 핑거들 모두가 선택된다(예를 들어, 선택된 워드 라인 신호의 수신). 워드 라인 코움(802)은 워드 라인 드라이버(822)에 연결된다. 워드 라인 코움(804)은 워드 라인 드라이버(824)에 연결된다. 워드 라인 코움(806)은 워드 라인 드라이버(826)에 연결된다. 워드 라인 드라이버들(820, 822, 824 및 826)은 메모리 어레이 밑 기판 내에 구현된다. 일 실시예에서, 워드 라인 드라이버는 연결이 되는 블록(혹은 블록들 중 하나의 블록) 밑에 위치한다.

[0134] 도 19는 워드 라인 코움(800)이 메모리 소자들에 연결된 워드 라인(WL1)을 포함하는 것을 보여주며, 여기서 메모리 소자들은 또한 로컬 비트 라인들(LB1, LB2, ... LB72)(72개의 로컬 비트 라인들)에 연결된다. 워드 라인 코움(802)은 동일한 72개의 로컬 비트 라인들(LB1, LB2, ... LB72)에 대한 메모리 소자들에 또한 연결된 워드 라인(WL2)을 포함한다. 이러한 구성에서, 워드 라인 코움(800)은 메모리 어레이의 한쪽 면 상에 있고, 워드 라인 코움(802)은 메모리 어레이의 반대쪽 면 상에 있으며, 이에 따라 코움(800)으로부터의 워드 라인 핑거들은 코움(802)으로부터의 워드 라인 핑거들과 교차배치(interleave)된다. 판독이 보다 용이하도록 하기 위해, 도 19에서 워드 라인 코움들(800, 804) 그리고 이들의 워드 라인 핑거들은 이들이 메모리 어레이의 오른쪽 면에 있는 것임을 보여주기 위해 점선으로 나타나게 하였고 반면, 코움들(802, 806)은 이들이 메모리 어레이의 왼쪽 면에 있는 것임을 보여주기 위해 실선으로 나타나게 하였다. 이러한 구성의 경우, 제시되고 있는 블록에 대해 워드 라인 코움(802)의 워드 라인에 연결된 각각의 메모리 소자는 동일한 로컬 비트 라인에 연결된 워드 코움(800)에 대한 워드 라인에 연결된 대응하는 메모리 소자를 갖는다. 예를 들어, (WL2에 연결된) 메모리 소자(810) 및 (WL1에 연결된) 메모리 소자(812)는 모두 LBL1에 연결된다. 따라서, 만약 LBL1이 선택된다면, 단지 적절한 메모리 소자(810 또는 812)만이 선택되도록 시스템은 동작해야 한다. 기판 위에 있는 (앞서 설명된) 수직으로 배향된 선택 디바이스들(504)에 의해 로컬 비트 라인들이 적절한 글로벌 비트 라인들에 연결됨에 유의해야 한다. 다른 실시예들에서, 워드 라인 코움 구조체는 수직으로 배향된 선택 디바이스들을 사용함이 없이 사용될 수 있다. 예를 들어, 워드 라인 코움 구조체들은 기판 내에 구현된 선택 디바이스들과 함께 사용될 수 있다.

[0135] 도 20은 두 개의 워드 라인 코움들(840 및 842)의 일부분을 도시한 메모리 어레이의 하나의 층의 상면도이다. 앞에서 설명된 바와 같이, 각각의 워드 라인 코움은 자신의 스파인(spine)의 두 개의 면들 상에 워드 라인 핑거들을 갖는다. 도 20은 단지 각각의 스파인의 한쪽 면 상에 있는 워드 라인 핑거들만을 보여준다(스파인의 다른 쪽 면 상에 있는 워드 라인 핑거들에 대해서는 잘린 토막으로 도시되었음). 예를 들어, 워드 라인 코움(840)은 워드 라인 핑거들(840a, 840b, 840c, 840d, 840e, 840f, 840g 및 840h)을 포함한다. 워드 라인 코움(842)은 워드 라인 핑거들(842a, 842b, 842c, 842d, 842e, 842f, 842g 및 842h)을 포함한다. (앞서 설명된 바와 같이 교차배치된) 워드 라인 코움들(840 및 842)로부터의 인접하는 워드 라인 핑거들 사이에는 수직 비트 라인들(850)이 있다(도면 판독이 용이하도록 하기 위해 수직 비트 라인들의 서브세트만이 참조번호 850으로 표시되었음에

유의). 워드 라인 코움의 에지에서, 수직 비트 라인들의 로우는 인접하는 워드 라인 코움과 공유된다. 각각의 수직 비트 라인과 각각의 워드 라인 핑거 사이에 메모리 소자가 있다. 도면 판독이 용이하도록 하기 위해, 메모리 소자들은 단지 로컬 비트 라인(852)에 대해서만 도시되었다.

[0136] 두 개의 워드 라인 코움 구조체들이 교차배치되고 로컬 비트 라인들을 공유하기 때문에, 워드 라인 코움들 중 하나에 연결된(다른 것에는 연결되지 않음) 메모리 소자들을 바이어싱하는 것은 다른 워드 라인 코움에 영향을 미친다. 수직 비트 라인들을 바이어싱하는 것은, 이러한 비트 라인들에 연결된 (임의의 워드 라인 코움에 대한) 모든 메모리 소자에 영향을 미친다(비록 각각의 워드 라인 코움들이 바이어싱되지 않았을 지라도). 워드 라인 코움을 바이어싱하는 것은, 해당 워드 라인 코움의 부분인 모든 16개(혹은 다른 개수)의 워드 라인 핑거들을 바이어싱한다. 그러나, 코움의 하나의 워드 라인 핑거에 연결된 메모리 소자들만을 프로그래밍하거나 이로부터 판독을 행하는 것이 전형적으로 바람직하다. 도 21a 및 도 21b는 교란을 막기 위한 다양한 바이어싱 기법들을 설명한다.

[0137] 도 21a는 도 19로부터의 워드 라인 코움들(800 및 802)을 보여준다. 이러한 워드 라인 코움들은 교차배치된다. 일 예에서, 워드 라인 코움(802)은 선택된 워드 라인으로서 바이어싱되고, 워드 라인 코움(800)은 비선택된 워드 라인 전압을 수신한다. 본 예에서, 로컬 비트 라인(LB1) 및 로컬 비트 라인(LB2)은 선택된 비트 라인 전압으로 바이어싱되고, 반면 다른 로컬 비트 라인들 모두는 비선택된다. 따라서, 이러한 구성에서, WL2로부터 LBL1로 연결된 메모리 소자 및 WL2로부터 LBL2로 연결된 메모리 소자가 선택(S)된다. WL1과 LBL1 사이에 연결된 메모리 소자 및 WL1과 LBL2 사이에 연결된 메모리 소자는 반선택(H)되는데, 왜냐하면 두 개의 제어 라인들 중 하나가 바이어싱되었기 때문이다. WL2에 연결되며 또한 비선택된 로컬 비트 라인들에 연결된 메모리 소자들은 반선택(H)된다. WL1과 비선택된 로컬 비트 라인들 사이에 연결된 메모리 소자들은 비선택(U)된다. 완전하게 선택된 메모리 소자들(S)은 메모리 동작을 일으키는 전압차(voltage differential)를 갖는다. 반선택된 메모리 소자들은 메모리 동작이 일어나도록 하기에는 충분히 크지 않은 작은 전압차를 갖는다. 비선택된 메모리 소자들은 어떠한 전압차도 갖지 못한다(혹은 최소의 전압차를 가짐).

[0138] 도 21b는 선택된 워드 라인 코움에 연결된 워드 라인 핑거들이 어떻게 선택해서는 안 되는 메모리 소자들에 교란을 일으키지 않는지를 설명하기 위한 도면을 나타낸다. 예를 들어, 워드 라인 코움(802)이 선택되고, 이에 따라 워드 라인(WLq)이 프로그램 전압을 수신한다. 그러나, 워드 라인(WLq)에 연결된 임의의 메모리 소자들을 프로그래밍하는 것은 바람직하지 않다. 비선택된 로컬 비트 라인들(LBLX 등)은 (특정 구현예에 따라 적절하게) 비선택된 비트 라인 전압을 수신하거나 혹은 플로팅 상태가 된다. 워드 라인(WLp)은 워드 라인 코움(800)으로부터 비선택된 워드 라인 전압을 수신함에 유의해야 한다. 워드 라인(WLp)을 따라 있는 비선택된 메모리 소자들(U), 그리고 다른 메모리 레벨들 상의 다른 많은 비선택된 셀들은, WLp와 같은 비선택된 워드 라인들로부터 비선택된 비트 라인들(LBLX, LBLX+1, 등 내지 LBLX+2)로의 누설 경로를 제공한다. 비록 많은 메모리 소자들이 높은 저항 상태에 있을지라도, 비선택된 비트 라인들이 플로팅 상태에 있는 경우 누설 경로는 비선택된 비트 라인들이 비선택된 워드 라인 전압에 가까워지도록 하기에 충분하다. 비선택된 비트 라인 전압과 비선택된 워드 라인 전압 양쪽 모두는, 선택된 비트 라인 전압과 선택된 워드 라인 전압에 대해 중간값이며, 많은 실시예에서 대략 동일하다. 어느 경우에서든, 비선택된 비트 라인들은 중간치의 비선택된 전압 바이어스 상태에 있다. WLq에 연결된 메모리 소자들(H)의 다른 단자는 비선택된 전압 바이어스 가까이 있는 이러한 비선택된 비트 라인들에 연결된다. 따라서, WLq에 연결된 메모리 소자들 각각은 반선택(H)되고 교란으로부터 안전하게 된다.

[0139] 선택되지 않은 워드 라인 코움(800)은 워드 라인(WLp)에 프로그래밍 전압을 제공하지 않는다. 따라서, 비선택된 로컬 비트 라인들과 워드 라인(WLp) 사이에 연결된 메모리 소자들 모두는 완전하게 비선택(U)된다.

[0140] 도 22a는 메모리 소자들을 프로그래밍하기 위한 실시예를 설명하는 흐름도이다. 도 22a의 프로세스는 설정 프로세스(SET process)의 부분으로서 혹은 재설정 프로세스(RESET process)의 부분으로서 수행될 수 있다. 도 23은 로컬 비트 라인들(900 및 902)에 연결되며 워드 라인 핑거들(904 및 906)에 연결된 네 개의 메모리 소자들(920, 922, 924 및 926)의 부분 회로도이다. 도 23의 회로도는 도 22a의 프로세스를 설명하며 어떻게 교란을 피하는지를 설명하는데 사용된다.

[0141] 단계(850)에서, 모든 워드 라인들은 $\frac{1}{2}V_{PP}$ 의 공통 신호로 구동된다. 예를 들어, 워드 라인들(904 및 906)은 $\frac{1}{2}V_{pp}$ 로 구동된다. 일반적으로 $\frac{1}{2}V_{PP}$ 는 중간치의 비선택된 워드 라인 전압을 나타내지만 프로그래밍 전압(V_{pp})의 정확히 반일 필요는 없다. IR 강하로 인해 그리고 각각의 실시예의 다른 특성들로 인해, 중간치의 비선택된 바이어스들은 프로그래밍 전압의 반보다 더 높거나 혹은 더 낮도록 조정될 수 있고, V_{pp} 의 $\frac{1}{4}$ 내지 $\frac{3}{4}$ 의 범위에 있을 수 있다. 도 23은 $\frac{1}{2}V_{PP}$ 를 워드 라인들(906)에 인가하는 트랜지스터들(912)을 보여준다. 일 실시예에서,

VPP는 메모리 어레이를 위해 집적 회로 상에 사용되는 가장 큰 전압이다. VPP의 일 예는 4 볼트이지만, 다른 값들이 또한 사용될 수 있다. 단계(852)에서, 로컬 비트 라인들은 모두 플로팅 상태가 되고, 따라서 이들은 $\frac{1}{2}$ VPP로 드리프트하거나, 혹은 $\frac{1}{2}$ VPP 가까이로 드리프트한다. 단계(854)에서, $\frac{1}{2}$ VPP(예를 들어, 비선택된 전압)가 모든 글로벌 비트 라인들에 인가된다. 단계(856)에서, 하나 이상의 데이터 종속 신호들이 글로벌 비트 라인들에 인가되는바, 예를 들어, 선택된 글로벌 비트 라인들에만 VPP가 인가된다. 단계(858)에서는, 선택된 로컬 비트 라인들을 선택된 글로벌 비트 라인들에 연결시키기 위해, 앞서 설명된 수직으로 배향된 선택 디바이스들(예를 들어, 스위치(504))이 턴온된다. 단계(860)에서는, 선택된 로컬 비트 라인들이 VPP로 혹은 VPP를 향해 상승한다. 단계(862)에서는, 선택된 워드 라인 코움이 그라운드로 풀다운(pull down)된다. 일부 실시예들에서, 하나 이상의 워드 라인 코움이 그라운드로 풀다운될 수 있다. 다른 실시예들에서는, 단지 하나의 워드 라인 코움이 한번에 선택될 수 있다.

[0142] 도 23은 워드 라인(904)(워드 라인 핑거)을 그라운드로 풀다운시키기 위해 사용되는 트랜지스터(910)를 보여준다. 도 23의 예에서 메모리 소자(920)는 온(on) 상태에 있음에 유의해야 하는바, 따라서, 플로팅 상태에 있는 비트 라인들이 $\frac{1}{2}$ VPP를 향해 상승하는 경우, 로컬 비트 라인(900)도 일관적으로 $\frac{1}{2}$ VPP로 상승하지는 않는데, 왜냐하면 메모리 소자(920)가 전도 상태(낮은 저항 상태)에 있기 때문이다. 따라서, 로컬 비트 라인(900)은 $\frac{1}{2}$ VPP보다 약간 더 아래(일부 경우들에서는 $\frac{1}{4}$ VPP 정도의 훨씬 더 아래)에 있을 수 있다. 앞서 설명에서, 비트 라인들은, 이들이 플로팅 상태에 있게 되고 교란을 피하기 위해 또한 적절한 전압을 바이어싱할 수 있다는 점에서, 셀프-바이어싱(self-biasing)된다. 각각의 플로팅 상태에 있는 비트 라인에는 (플로팅 상태에 있는 비트 라인으로부터의 전류를 갖는) 하나의 반선택(H)된 메모리 소자가 존재하고, 더 많은 다수의 비선택된 메모리 소자들(U)은 비선택된 비트 라인에 전류를 공급한다. 셀프-바이어싱은 파워를 절약하고 교란에 대해 안전하다. 오프-상태에 있는 반선택된 메모리 소자(H)(922)를 갖는 비선택된 비트 라인들에 있어서, 비트 라인은 비선택된 메모리 소자들(U)을 통해 $\frac{1}{2}$ VPP로 상승하지만, 전류는 낮고 교란은 없다. 낮은 저항 상태에 있는 H 메모리 소자(920)를 갖는 비선택된 비트 라인들에 있어서, 로컬 비트 라인은 $\frac{1}{4}$ 내지 $\frac{1}{2}$ VPP 범위의 전압으로 떨어지지만, 이러한 셀프 바이어싱은, 비선택된 비트 라인 바이어스에서 모든 비트 라인들을 바이어싱하게 되는 대안예들과 비교하여 파워를 낭비하지 않으며, 어떠한 메모리 소자들도 교란되지 않는다.

[0143] 도 22b는 메모리 소자들을 프로그래밍하기 위한 다른 실시예들을 설명하는 흐름도이다. 도 22b의 프로세스는 도 22a의 프로세스와 유사하지만, 차이점은 프로그래밍된 메모리 소자들이 갖는 전압차가 역극성(reverse polarity)을 갖는다는 것이다. 따라서, 만약 도 22a의 프로세스가 메모리 소자를 설정(SET)하는데 사용된다면, 22b의 프로세스는 메모리 소자를 재설정(RESET)하는데 사용될 수 있다. 마찬가지로, 만약 도 22a의 프로세스가 메모리 소자를 재설정(RESET)하는데 사용된다면, 22b의 프로세스는 메모리 소자를 설정(SET)하는데 사용될 수 있다. 도 22b의 단계(870)에서, 모든 워드 라인들은 $\frac{1}{2}$ VPP의 공통 신호로 구동된다. 단계(872)에서, 모든 로컬 비트 라인들은 플로팅 상태가 되며, 따라서 이들은 $\frac{1}{2}$ VPP로 드리프트하거나, 혹은 $\frac{1}{2}$ VPP 가까이로 드리프트한다. 단계(874)에서, $\frac{1}{2}$ VPP가 모든 글로벌 비트 라인들에 인가된다. 단계(876)에서, 하나 이상의 데이터 종속 신호들이 글로벌 비트 라인들에 인가되는바, 예를 들어, 선택된 글로벌 비트 라인들이 그라운드로 풀다운된다. 단계(878)에서는, 선택된 로컬 비트 라인들을 선택된 글로벌 비트 라인들에 연결시키기 위해, 수직으로 배향된 선택 디바이스들이 턴온된다. 단계(880)에서, 선택된 로컬 비트 라인들은, 글로벌 비트 라인들에 연결되는 것에 응답하여, 그라운드로 풀다운되거나 혹은 그라운드를 향해 풀다운된다. 단계(882)에서는, 프로그래밍 동작이 수행되도록 하는 적절한 전압차를 생성하기 위해, VPP가 선택된 워드 라인 코움(혹은 일부 실시예들에서는 복수의 워드 라인 코움들)에 인가된다.

[0144] 도 24는 메모리 소자들을 판독하기 위한 프로세스의 일 실시예를 설명하는 흐름도이다. 도 25는 도 24에 도시된 판독 프로세스를 설명하기 위한 수반되는 부분 회로도이다. 도 24의 단계(940)에서, 모든 워드 라인들은 Vread의 공통 신호로 구동된다. 일 실시예에서, Vread는 2 볼트와 동일하지만, 다른 값들이 또한 사용될 수 있다. 단계(942)에서, 로컬 비트 라인들은 플로팅 상태에 있게 되고, 따라서 이들은 Vread로 드리프트하거나, 혹은 Vread 가까이로 드리프트한다. 일부 플로팅 상태에 있는 로컬 비트 라인들은, 만약 이들이 낮은 저항 상태에 있는 메모리 소자에 연결된다면, Vread 바로 아래의 전압으로 드리프트한다. 단계(944)에서, 글로벌 비트 라인들은 하나 이상의 신호들로 충전되는바, 예를 들어 글로벌 비트 라인들이 Vread로 충전된다. 단계(946)에서, 선택된 워드 라인 코움(혹은 일부 실시예들에서는 복수의 워드 라인 코움들)은 그라운드로 풀다운된다. 단계(948)에서, 적절한 수직으로 배향된 선택 디바이스들은 적절한 선택된 로컬 비트 라인들을 선택된 글로벌 비트 라인들에 연결시키기 위해 턴온된다. 단계(950)에서는, 선택된 메모리 소자(예를 들어, 도 25의 메모리 소자(980))를 통해 흐르는 전류가, 선택된 비트 라인으로부터, 그리고 수직 선택 디바이스로부터, 그리고 관련된 글로벌 비트 라인으로부터, 그리고 전류 컨베이어 클램프 디바이스(current conveyor clamp device)를 통해, 그리고 궁극적

으로는 관련된 감지 증폭기 내의 감지 노드로부터 흐른다. 단계(952)에서, 감지 증폭기는 전류를 감지하고 메모리 소자의 상태를 결정한다.

[0145] 도 25는 선택된 로컬 비트 라인들(960, 962)을 보여주며, 뿐만 아니라 워드 라인들(964, 966)(워드 라인 핑거들)을 보여준다. 도 25는 또한 메모리 소자들(980, 982, 984, 및 986)을 보여준다. Vread가 트랜지스터/스위치(970)에 의해 도시된 바와 같이, 비선택된 워드 라인들에 인가된다. 로컬 비트 라인들(960 및 962)이 Vread를 향해 드리프트한다. 스위치(969)는 선택된 워드 라인(964)을 그라운드로 폴다운시킨다(단계(946) 참조). 메모리 소자(980)가 턴온(낮은 저항 상태)되기 때문에, 비트 라인(960)은 Vread보다 약간 낮은 레벨로 드리프트할 수 있다. 이러한 예에서, 비트 라인들(960 및 962) 모두가 선택되는바, 따라서, 메모리 소자들(980 및 982)을 통해 흐르는 전류는 관련된 글로벌 비트 라인들(미도시)로 전해지고 그리고 관련된 감지 증폭기들로 전해진다. 워드 라인(966)은 선택되지 않았기 때문에, Vread에서 바이어싱되어 있고, 메모리 소자들(984 및 986)은 제로(0) 볼트 혹은 제로 볼트에 매우 가까운 전압차 바이어스를 가지며, 관련되어 있는 선택된 비트 라인에 무시가 가능한 전류를 제공한다. 만약 비트 라인들(960)이, 플로팅에 의해 혹은 관련된 감지 증폭기를 갖지 않는 글로벌 비트 라인으로의 연결에 의해, 선택되지 않는다면, 메모리 소자(980)를 통해 전류가 흐르고, 이것은 비트 라인(960)을 Vread 아래로 감소시킨다. 비선택된 메모리 소자들(986)도 또한 전도를 행할 수 있으며, 비트 라인은 Vread 아래의 전압으로 드리프트한다. 능동 감지 증폭기에 대한 연결이 없기 때문에, 이러한 전류는 감지되지 않는다. 이러한 비선택된 비트 라인들에 대해서, 비트 라인들은, 이들이 플로팅 상태에 있게 되고 교란을 피하기 위해 또한 적절한 전압을 바이어싱할 수 있다는 점에서, 셀프-바이어싱된다. 선택된 워드 라인(964)에 연결된 각각의 비트 라인에는 (비트 라인으로부터 전류를 싱크(sink)시키는) 하나의 메모리 소자(980 또는 986)가 존재하고, 더 많은 다수의 비선택된 메모리 소자들(U)이 비트 라인에 전류를 공급한다. 셀프-바이어싱은 파워를 절약하고 교란에 대해 안전하다.

[0146] 일 실시예에서, 더블-게이팅되는 수직으로 배향된 선택 디바이스가 비이상적(non-ideal) 컴포넌트인 경우, 이것은 연결된 글로벌 비트 라인 및 연결된 로우 선택 라인 양쪽 모두가 그라운드에 있을 때 작은 전류를 누설시킬 수 있다. 이러한 누설을 막기 위해, 일 실시예는 글로벌 비트 라인을 그라운드에 있기 하기보다는 글로벌 비트 라인에 작은 양의 전압(예를 들어, .75 볼트 혹은 이러한 값에 가까운 것)을 구동시키는 것을 포함할 수 있다. 이러한 방식으로, 글로벌 비트 라인(수직으로 배향된 선택 디바이스의 드레인)은 게이트보다 더 높은 전위에 있을 수 있고, 이에 따라 선택 디바이스가 오프 상태에 있음을 보장하게 된다. 이러한 것을 달성하기 위해, 일 실시예에서, VPP는 또한, .75 볼트만큼 상승해야 한다. 로우 선택 라인은 (.75 볼트가 아닌) 그라운드에 있음에 유의해야 한다. 재설정 동작을 수행할 때 유사한 상황이 일어날 수 있고, 따라서, 재설정 동작 동안, 글로벌 비트 라인은 또한, (그라운드에서가 아닌) .75 볼트에서 구동될 수 있고, 그리고 신호 VPP는 또한, 동일한 .75 볼트(혹은 다른 값)만큼 상승된다.

[0147] 로우 선택(Row Select)

[0148] 앞서의 설명은 수직으로 배향된 선택 디바이스들 및 워드 라인 코움들(혹은 다른 모양의 연결된 워드 라인들)을 사용함으로써 어떻게 더 조밀한 메모리 시스템이 가능한가를 설명한다. 메모리 시스템의 크기를 감소시키기 위한 또 다른 방법은 로우 선택 라인 드라이버들을 위해 필요한 영역을 감소시키는 것이다. 도 1을 다시 참조하면, 로우 선택 라인들이 SG₁, SG₂, SG₃, ...으로서 도시되어 있다. 추가적으로, 도 16은 로우 선택 라인들을 게이트 물질(522)로서 도시한다. 이러한 로우 선택 라인들을 위한 드라이버들은 기관 내에 구현된다. 이러한 드라이버들을 구현하기 위해 필요한 기관의 영역을 감소시키는 것이 바람직하다.

[0149] 도 26은 메모리 시스템(혹은 메모리 시스템의 일부분)의 상면도를 나타낸다. 메모리 시스템은 두 개의 메모리 어레이들(메모리 어레이(1002) 및 메모리 어레이(1004))을 포함한다. 메모리 어레이(1002)는 메모리 소자들의 4096개 블록들(블록 0, 블록 1, ... 블록 4095)을 포함한다. 메모리 어레이(1004)도 또한 메모리 소자들의 4096개 블록들(블록 0, 블록 1, ... 블록 4095)을 포함한다. 각각의 블록의 상부에 그리고 각각의 블록의 하부에는, 감지 증폭기들 및 기입 회로들이 있다. 전체 시스템의 하부에는, 패드(pad)들, 지원 회로(support circuit)들, 그리고 글로벌 워드 라인 드라이버들이 있다.

[0150] 일 예시적 구현예에서, 각각의 블록의 폭은 두 개의 교차배치된 워드 라인 코움들의 폭이다(예를 들어, 도 19의 워드 라인 코움(800)과 워드 라인 코움(802), 혹은 도 20의 워드 라인 코움(840)과 워드 라인 코움(842)). 두 개의 교차배치된 워드 라인 코움들의 16개의 워드 라인들과 관련된 메모리 소자들은 코움 그룹으로서 지칭될 수 있다. 일 실시예에서, 인접하는 코움 그룹들은 코움 그룹의 상부 및 하부에서 수직 비트 라인들의 로우를 공유한다. 블록은 많은 코움 그룹들, 예를 들어, 4096개의 코움 그룹들을 포함하고, 이 중 하나가 도 26에서 도면번

호 1008로 지정되어 있다. 일 예시적 구현예에서, 각각의 블록은 워드 라인들의 16개의 레벨들을 가지지만, 16개보다 더 많거나 더 적은 레벨들이 사용될 수 있다. 추가적으로, 각각의 코움 그룹은, 본 예에서, 수직으로 배향된 비트 라인들의 16개의 로우들을 포함하고, 따라서 16개의 로우 선택 라인들을 포함한다. 예를 들어, 도 26은 16개의 로우 선택 라인들(1010)을 갖는 코움 그룹(1008)을 보여준다. 글로벌 비트 라인들(도 26에서는 미도시)은 메모리 층들 아래에 있고, 수직 선택 디바이스들을 통해 로컬 비트 라인들에 연결된다. 일 실시예에서, 글로벌 비트 라인들은, 블록의 가운데로부터 상부로 그리고 블록의 가운데로부터 하부로 블록 내의 코움 그룹들에 걸쳐 있다. 또 다른 실시예에서, 글로벌 비트 라인들은 블록들의 전체 높이에 걸쳐 있다.

[0151] (도 26에서는 도시되지 않은 워드 라인 선택 회로를 통해 그 선택된 워드 라인에 연결되는) 글로벌 워드 라인들은 전체 칩에 걸쳐 연장된다. 예를 들어, 글로벌 워드 라인들은 도 26에 도시된 전체 메모리 시스템에 걸쳐 연장된다. 일 실시예에서, 메모리 동작이 수행될 때, 시스템은 앞서 설명된 바와 같이 하나의 워드 라인 코움을 선택한다. 하나의 워드 라인 코움을 활성화시킴으로써, 시스템은 두 개의 인접하는 블록들을 활성화시키게 되는데, 왜냐하면 워드 라인 코움이 두 개의 인접하는 블록들로 연장되는 워드 라인 핑거들을 갖기 때문이다. 단지 두 개의 블록들만이 워드 라인 코움들에 의해 선택되기 때문에, 교란이 일어남이 없이 많은 블록들 내에서 비트 라인들을 선택하는 것이 가능하다. 따라서, 본원에서 제안되는 것은 로우 선택 신호가 많은 블록들에 걸쳐 있을 수 있고 이러한 많은 블록들에 연결될 수 있다는 것인데, 왜냐하면 단지 두 개의 블록들만이 그 선택된 관련 워드 라인 코움을 갖기 때문이다. 다른 블록들 모두는 비선택된 모든 워드 라인 코움들을 갖는다. 선택된 워드 라인 코움들을 갖지 않는 블록 내의 선택된 수직 비트 라인들에 연결된 모든 메모리 소자들은, 단지 반선택만 되고 교란은 일어나지 않는다(앞서 설명된 바와 같음). 로우 선택 라인의 길이를 연장시킴으로써, 로우 선택 라인을 위한 드라이버들의 수는 감소될 수 있다. 로우 선택 라인들을 위한 드라이버들의 수를 감소시킴으로써, 감소된 수의 드라이버들은 메모리 소자들 및 기판 내에 알맞게 위치할 수 있거나 혹은 블록들 사이의 좁은 밴드(band) 내에 알맞게 위치할 수 있다.

[0152] 일 실시예에서, 하나의 로우 선택 라인 드라이버는 128개의 블록들 내의 수직으로 배향된 선택 디바이스들에 연결된 로우 선택 라인을 구동시킨다. 일 실시예에서, 128개의 블록들의 세트는 16개의 로우 선택 라인 드라이버들을 가지며, 이 경우 하나의 드라이버는 128개의 블록들 내에서 수평 방향을 따라 정렬된 코움 그룹들에 대한 16개의 로우 선택 라인들 각각에 대한 것이다. 일부 예시적 구현예들에서, 로우 선택 라인 드라이버들의 반은 블록들의 세트의 한쪽 면 상에 있고, 로우 선택 라인 드라이버들의 반은 블록들의 세트의 다른쪽 면 상에 있어, 좌측 및 우측 드라이버들은 교차배치된 각각의 로우 선택 라인들을 갖게 된다.

[0153] 도 27은 128개의 블록들에 대한 로우 선택 라인들(SG_x)을 구동시키는 로우 선택 라인 드라이버(112)의 일 예를 나타낸다. 64개의 블록들의 두 세트들을 구동시키는 하나 이상의 로우 선택 라인 드라이버들(112)이 제시된다. 로우 선택 라인 드라이버들(112)의 한쪽 면상에는 64개의 블록들의 제 1 세트가 있고, 로우 선택 라인 드라이버(112)의 다른쪽 면상에는 64개의 블록들의 또 다른 세트가 있다. 로우 선택 라인 드라이버는 기판 내에 구현되며, 메모리의 64개의 블록들은 기판 위에 위치한다.

[0154] 도 28a는 128개 블록들을 구동시키기 위한 로우 선택 라인 드라이버들을 구현한 하나의 예시적 실시예를 보여준다. 도 28a의 실시예에서, 128개의 블록들에 대한 16개의 로우 선택 라인 드라이버들(1030)의 전체 세트가 블록들의 가운데에 위치하여, 64개의 블록들은 드라이버들(1030)의 한쪽 면 상에 있고, 64개의 블록들은 드라이버들(1030)의 다른쪽 면 상에 있다. 따라서, 만약 메모리 어레이 내의 4096개의 블록들이 존재한다면, 64개의 블록들의 왼쪽 세트 및 64개의 블록들의 오른쪽 세트 사이에 배치되는 드라이버들(1030)의 32개의 세트들이 존재하게 된다. 도 28a는 드라이버들(130)로부터 왼쪽 및 오른쪽으로 방사되는 로우 선택 라인들을 보여준다. 이러한 방식으로, 128개의 블록들 모두에 대해 수직으로 배향된 비트 라인들의 로우가 선택된다. (두 개의 블록들을 커버하는) 단지 하나의 워드 라인 코움만이 선택되기 때문에, 두 개의 선택된 블록들 내에 있는 메모리 소자들만이 메모리 동작을 갖는다. 다른 메모리 소자들 모두는 비선택되거나 혹은 반선택되고, 이에 따라 교란을 피하게 된다.

[0155] 도 28b는 128개의 블록들에 걸쳐 로우 선택 라인들을 구동시키는 또 다른 구현예를 도시한다. 이러한 실시예에서, 32개의 블록들의 그룹들 사이에는, 필요한 로우 선택 라인 드라이버들의 반이 배치된다. 즉, 32개의 블록들의 각각 그룹 사이에는 8개의 드라이버들이 존재한다. 예를 들어, 상부 8개의 선택 라인들은 32개의 블록들의 제1의 쌍 사이에 있는 8개의 드라이버들(1040)에 의해 구동되고, 하부 8개의 로우 선택 라인들은 32개의 블록들의 제2의 쌍 사이에 있는 8개의 드라이버들(1042)에 의해 구동된다. 어레이에서 더 진행함에 따라, 8개의 드라이버들(1044)의 또 다른 세트가 32개의 블록들의 또 다른 쌍 사이에 위치할 수 있는 등이다.

[0156] 도 28c는 로우 선택 라인 드라이버들이 블록들 사이에 분포되는 방식으로 배치되도록 정렬하는 또 다른 예를 나타낸다. 도 28c의 예에서, 8개의 블록들의 각각의 그룹 사이에는 16개의 필요한 로우 선택 라인 드라이버들 중 2개가 존재한다. 예를 들어, 도 28c는 그룹들(1049, 1051, 1053, 1055, 1057, 1059, 1061 또는 1063)을 포함하는, 8개 블록들의 8개 그룹들을 보여준다. 그룹(1049)과 그룹(1051) 사이에는, 2개의 로우 선택 라인 드라이버들(1050)이 위치한다. 그룹(1051)과 그룹(1053) 사이에는, 2개의 로우 선택 라인 드라이버들(1052)이 위치한다. 그룹(1053)과 그룹(1055) 사이에는, 2개의 로우 선택 라인 드라이버들(1054)이 위치한다. 그룹(1055)과 그룹(1057) 사이에는, 2개의 로우 선택 라인 드라이버들(1056)이 위치한다. 그룹(1057)과 그룹(1059) 사이에는, 2개의 로우 선택 라인 드라이버들(1058)이 위치한다. 그룹(1059)과 그룹(1061) 사이에는, 2개의 로우 선택 라인 드라이버들(1060)이 위치하고, 그룹(1061)과 그룹(1063) 사이에는, 2개의 로우 선택 라인 드라이버들(1062)이 위치하고, 그리고 그룹(1063)의 오른쪽에는 2개의 로우 선택 라인 드라이버들(1064)이 위치한다. 로우 선택 라인 드라이버들(1050, 1052, 1054, 1056, 1058, 1060, 1062, 1064, ...) 각각은 왼쪽에 있는 64개의 블록들 및 오른쪽에 있는 64개의 블록들을 구동시킨다. 블록들이 8개의 그룹들로 분해되었기 때문에, 각각의 워드 라인 드라이버는 왼쪽에 있는 8개의 그룹들 및 오른쪽에 있는 8개의 그룹들을 구동시킨다. 또 다른 실시예에서는, 왼쪽에 있는 그리고 오른쪽에 있는 다른 개수의 블록들이 로우 선택 라인 드라이버들 각각으로부터 구동된다. 예를 들어, 드라이버들(1050)은 왼쪽에 대해서는 40개 그리고 오른쪽에 대해서는 88개를 구동시키고, 드라이버(1052)는 왼쪽에 대해서는 48개 그리고 오른쪽에 대해서는 80개를 구동시키고, 드라이버(1054)는 왼쪽에 대해서는 56개 그리고 오른쪽에 대해서는 72개를 구동시키고, 시퀀스 내의 각각의 드라이버는, 드라이버(1064)가 왼쪽에 대해서 96개 그리고 오른쪽에 대해서 32개를 구동시킬 때까지, 왼쪽에 대해서는 더 많은 개수를 그리고 오른쪽에 대해서는 더 적은 개수를 구동시킨다. 16개의 로우 선택 라인들의 크기는 이러한 구성에 해당하는 것이고, 더 적은 로우 선택 드라이버들이 블록들의 어레이의 에지에서 필요하다. 또 다른 실시예에서는, 임의의 소정의 블록에 대해, 각각의 로우 선택 라인 드라이버들이 왼쪽 면과 오른쪽 면 사이에 교차배치된다. 다른 구성이 또한 사용될 수 있다.

[0157] 도 29는 블록 내의 하나의 코움 그룹의 일부분 및 지원 회로의 일부를 나타낸 부분 회로도이다. 도 29는 비트 라인들(LBL1, LBL2, ..., LBL72)을 보여주며, 이들 모두는 앞서 설명된 바와 같이 수직으로 배향된 비트 라인들이다. 도 29는 또한 4개의 워드 라인들(WL1, WL2, WL31 및 WL32)을 보여준다. 일 실시예에서, WL1 및 WL2은 동일한 레벨 상의 서로 다른 워드 라인 코움들의 부분이다. 워드 라인(WL31)과 워드 라인(WL32)도 또한 동일한 레벨 상에 있으며 서로 다른 워드 라인 코움들에 연결되어 있다. 도 29의 실시예에서는, 16개의 레벨들(여기서 하나의 레벨 당 2개의 워드 라인 코움들이 있음), 각각의 워드 라인 코움으로부터 블록 내로 연장되는 8개의 워드 라인 핑거들, 그리고 워드 라인의 각각의 면 상에 있는 72개의 비트 라인들이 존재한다. 따라서, 일 실시예에서, 블록 내의 코움 그룹은 코움 에지들에서의 공유된 비트 라인들을 포함하여 $72 \times 17 = 1224$ 개의 비트 라인들을 포함하고, 레벨 당 $8 \times 2 = 16$ 개의 워드 라인 핑거들을 포함하고, 그리고 총 $16 \times 16 = 256$ 개의 워드 라인 핑거들을 포함한다. 글로벌 워드 라인들(GWL) 각각은 기판 내의 MOSFET 선택 디바이스(1080)(일부 실시예들에서는 PMOS이고 다른 실시예들에서는 NMOS임)에 의해 구동된다. 수직으로 배향된 선택 디바이스들(1070) 각각은 글로벌 비트 라인(GBL1, GBL2, GBL72) 및 적절한 로우 선택 신호에 연결된다. 수직으로 배향된 선택 디바이스들(1070) 및 로우 선택 라인들은, 앞서 설명된 바와 같이, 기판 위에 구현된다. 로우 선택 라인들은 128개(혹은 다른 개수)의 블록들에 걸쳐있고, 궁극적으로 기판 내에 있는(그리고/또는 기판 상에 있는) 로우 선택 라인 드라이버들에 연결된다. 일 실시예에서, 글로벌 워드 라인은 워드 라인 드라이버들(1080)의 게이트에 연결되고, 워드 라인 드라이버들(1080)은 워드 라인을 SELX 소스 입력들에 연결시켜 다양한 워드 라인 코움들을 선택된 전압 혹은 비선택된 전압으로 구동시킨다. 워드 라인 드라이버(1080) 및 SELX 신호 라인들은, 워드 라인이 선택되는 경우 상당량의 전류를 운반하며, 각각 비-최소치 디바이스(non-minimum device)들 및 금속 라인들이다.

[0158] 도 29의 실시예에서, 1개의 워드 라인 코움이 선택되고 다른 3개의 워드 라인 코움들 중 어느 것도 선택되지 않는다고 가정한다. 추가적으로, GBL1이 프로그래밍을 위해 선택되고 GBL2 및 ... GBL72는 프로그래밍 위한 데이터를 갖지 않는다고 가정한다. 따라서, WL32과 LBL1 사이의 메모리 소자가 프로그래밍을 위해 선택된다. WL32와 다른 비트 라인들 사이에 있는 다른 메모리 소자들은 반선택(H)된다. WL31과 LBL1 사이에 있는 메모리 소자는 반선택(H)된다. WL31에 연결된 다른 메모리 소자들은 비선택(U)된다. WL1, WL2, 및 다른 14개의 레벨들에 대한 각각의 워드 라인 코움의 첫 번째 워드 라인에 대해, LBL1에 연결된 메모리 소자는 반선택(H)되고, 다른 메모리 소자들 모두는 비선택된다. 이와 같은 경우, 선택되지 않은 메모리 소자들 중 어느 것도 교란되지 않는다. 도 29로부터 알 수 있는 바와 같이, 각각의 비트 라인은 16개의 레벨들 각각 상의 2개의 워드 라인 코움들에 연결된다. 따라서, 각각의 비트 라인의 팬아웃(fan out)은 32개의 메모리 소자들(16 레벨 x 레벨 당 2개의 메모리

소자들)이다. 수직 비트 라인들의 인접하는 로우들과 관련된 추가적인 메모리 소자들은 도면이 알아보기 쉽도록 하기 위해 도시되지 않았다. 이러한 추가적인 메모리 소자들 중 일부는 WL1, WL2, 또는 WL31에 연결되며, 비선택된다. 이러한 추가적인 메모리 소자들 중 다른 것들은 WL32에 연결되며, 반선택된다. 이러한 시스템의 동작은, 워드 라인들 및 글로벌 비트 라인들 상에 신호들을 구동시키는 것, 복수의 로우 선택 라인들 상에 신호들을 인가하기 위해 로우 선택 라인 드라이버들을 사용하는 것, 로우 선택 라인들에 인가된 신호들에 근거하여 복수의 선택 디바이스들을 활성화시키는 것(여기서, 메모리 소자들의 각각의 블록은 선택 디바이스들의 서로 다른 서브세트에 연결되고, 각각의 로우 선택 라인은 복수의 블록들에 대한 선택 디바이스들의 서브세트에 연결됨), 그리고 글로벌 비트 라인들로부터의 신호들을 선택 디바이스들을 사용하여 기판 내에는 없고 기판 상에 있는 수직으로 배향된 비트 라인들에 전달하는 것을 포함한다.

[0159] 도 30은, 각각의 워드 라인 핑거가 워드 라인 핑거의 한쪽 면 상에 있는 72개의 로컬 비트 라인들 및 워드 라인의 다른쪽 면 상에 있는 72개의 비트 라인들에 대해 (메모리 소자들을 통해) 상호작용을 행하는 것은 보여준다. 따라서, 각각의 워드 라인 핑거에 연결된 144개의 메모리 소자들이 존재한다. 각각의 워드 라인 코움에 연결된 8개의 워드 라인 핑거들이 존재하기 때문에, 워드 라인 코움의 팬아웃은 1152개의 메모리 소자들(8개의 핑거들 x 핑거 당 144개의 메모리 소자들)이다. 따라서, 비트 라인의 팬아웃은 워드 라인 코움의 팬아웃보다 훨씬 더 작다. 추가적으로, 비트 라인의 팬아웃은 워드 라인 핑거의 팬아웃보다 더 작다.

[0160] 로우 선택 라인 드라이버의 팬아웃은 9216개(128개의 블록들 x 블록 당 72개의 로컬 비트 라인들)이다. 따라서, 비트 라인의 팬아웃, 워드 라인 핑거의 팬아웃, 그리고 워드 라인 코움의 팬아웃은 모두 로우 선택 라인 드라이버의 팬아웃보다 개별적으로 작다.

[0161] 글로벌 비트 라인은 블록의 4096개의 코움 그룹들에 걸쳐 있고, 따라서 글로벌 비트 라인의 팬아웃은 65,536개(4096개의 블록들 x 비트 라인들의 16개의 로우들)이다. 글로벌 워드 라인의 팬아웃은 65,536개이다. 따라서, 글로벌 워드 라인의 팬아웃 및 글로벌 비트 라인의 팬아웃은 모두, 비트 라인의 팬아웃, 워드 라인의 팬아웃, 워드 라인 코움의 팬아웃 및 로우 선택 라인 드라이버의 팬아웃보다 더 크다.

[0162] 메모리 코어를 구동시키는 다양한 라인들의 팬아웃은, 칩의 지원 회로 영역을 지배하는 이러한 드라이버들의 영역들이 균형을 이루도록 하여 가장 효율적인 메모리 칩이 생산될 수 있게 고안된다. 낮은 팬아웃 라인들은 최대 개수의 드라이버들을 갖는다. 높은 팬아웃 라인들은 최소 개수의 드라이버들을 갖고, 동일 개수의 메모리 소자들을 위해 동작한다. 최적의 칩은 가장 조밀한 구동 회로를 가장 낮은 팬아웃 라인과 관련시키는데, 왜냐하면 이것이 가장 많은 수의 드라이버들을 가지기 때문이다. 그 반대의 경우도 마찬가지로, 최적의 칩은 대부분의 영역을 차지하는 회로를 가장 높은 팬아웃 라인과 관련시킨다. 메모리 칩의 앞서의 실시예에서, 최적의 칩 효율은, 비트 라인들, 워드 라인들, 로우 선택 게이트 드라이버, 글로벌 워드 라인 및 글로벌 비트 라인에 대한 팬아웃들과 드라이버들의 관련에 의해 달성된다. 비트 라인은 가장 조밀한 드라이버에 의해 구동되는바, 이것은 단일의 수직으로 배향된 박막 트랜지스터이고, 여기에는 가장 작은 팬아웃이 제공되는바, 이것은 가장 큰 수의 디바이스들을 시사한다. 워드 라인은 드라이버 영역의 순위(rank)에서 다음에 있는 단일의 디바이스 드라이버에 의해 구동된다. 아래에서 설명되는 바와 같이, 로우 선택 드라이버는 3 디바이스 드라이버이고 드라이버 영역 순위에서 세 번째이다. 그리고 마지막으로, 회로를 구동시키는 글로벌 비트 및 글로벌 워드 라인은 더 복잡한 디코딩 회로를 포함하고, 그리고 대략적으로 동일한 복잡도를 갖는다. 메모리 시스템의 최적 효율을 달성하기 위해 구동 회로 복잡도의 순위 증가는 구동되는 라인의 팬아웃 증가에 맞춰진다.

[0163] 로우 선택을 위한 3 디바이스 드라이버(Three Device Driver For Row Select)

[0164] 도 31a는 (앞서 설명된 수직으로 배향된 선택 디바이스들, 워드 라인 코움들, 및 연장된 로우 선택 라인들을 포함하는) 앞서 설명된 수직 비트 라인 아키텍처와 함께 사용될 수 있는 로우 선택 라인 드라이버의 하나의 예시적 실시예를 포함하는 부분 회로도들을 도시한다. 도 31a의 로우 선택 라인 드라이버는 3개의 금속 옥사이드 반도체 전계 효과 트랜지스터(Metal Oxide Semiconductor Field Effect Transistor, MOSFET)들을 포함한다. 예를 들어, 하나의 로우 선택 라인 드라이버는 nMOS 트랜지스터(1102), pMOS 트랜지스터(1104), 및 nMOS 트랜지스터(1106)를 포함한다. nMOS 트랜지스터(1102)의 소스 입력 및 pMOS 트랜지스터(1104)의 소스 입력은 글로벌 워드 라인(GWL)에 연결된다. nMOS 트랜지스터(1102)의 드레인 및 pMOS 트랜지스터(1104)의 드레인은 로우 선택 라인(SG₀)에 연결된다. nMOS 트랜지스터(1106)의 드레인이 또한 로우 선택 라인(SG₀)에 연결된다. nMOS 트랜지스터(1106)의 소스는 그라운드에 연결된다. nMOS 트랜지스터(1102)의 게이트는 선택 라인(Row0)에 연결된다. nMOS 트랜지스터(1106) 및 pMOS 트랜지스터(1104)의 게이트는 모두 선택 라인(Row0Bar)에 연결된다.

[0165] 도 31a는 또한, pMOS 트랜지스터(1110), nMOS 트랜지스터(1112), 및 nMOS 트랜지스터(1114)를 포함하는 제 2

로우 선택 라인 드라이버를 보여준다. pMOS 트랜지스터(1110) 및 nMOS 트랜지스터(1112)의 소스들은 글로벌 워드 라인(GWL)에 연결된다. pMOS 트랜지스터(1110) 및 nMOS 트랜지스터(1112)의 드레인들은 로우 선택 라인(SG_n)에 연결된다. pMOS 트랜지스터(1110)의 게이트는 선택 라인(RowNBar)에 연결된다. nMOS 트랜지스터(1112)의 게이트는 선택 라인(RowN)에 연결된다. nMOS 트랜지스터(1114)의 드레인은 로우 선택 라인(SG_n)에 연결되고, nMOS 트랜지스터(1114)의 소스는 그라운드에 연결된다. nMOS 트랜지스터(1114)의 게이트는 RowNBar에 연결된다. 트랜지스터들(1110, 1112, 및 1114)을 포함하는 로우 선택 라인 드라이버와, 트랜지스터들(1102, 1104 및 1106)을 포함하는 로우 선택 라인 드라이버 사이에는, 가까이 있는 전자 컴포넌트들에 그라운드를 제공하기 위한 그라운드 라인이 있다. 트랜지스터들(1102, 1104 및 1106)을 포함하는 로우 선택 라인 드라이버의 다른쪽 면 상에는 가까이 있는 컴포넌트들에 VDD를 공급하는 파워 라인이 있다.

[0166] 괄호 안에는, 도 31a에 도시된 로우 선택 라인 드라이버들의 동작의 일 예를 설명하기 위해 도 31a의 다양한 라인들에 인가된 전압 값들이 있다. 이러한 예에서, 3 볼트가 글로벌 워드 라인, RowNBar 및 Row0에 인가된다. 그라운드는 RowN 및 Row0Bar에 제공된다. 이러한 구성에서, Row0이 선택되고, RowN은 선택되지 않는다. 즉, (트랜지스터들(1102, 1104 및 1106)을 포함하는) Row0에 대한 로우 선택 라인 드라이버는 턴온되고, (트랜지스터들(1110, 1112 및 1114)을 포함하는) RowN에 대한 로우 선택 라인 드라이버는 턴오프된다. 따라서, 3 볼트의 선택 신호는 Row0에 대한 로우 선택 라인(SG₀) 상에서 구동되고, 그라운드는 RowN에 대한 로우 선택 라인(SG_n) 상에서 제공된다. 트랜지스터(1102)가 게이트에서 3 볼트를 수신하고 트랜지스터(1104)가 게이트에서 그라운드를 수신하기 때문에, 양쪽 트랜지스터들은 턴온되고 그리고 전류는 pMOS 트랜지스터(1104)를 통해 글로벌 워드 라인으로부터 SG₀으로 흐른다. SG₀은 3 볼트로 구동된다. 따라서, SG₀에 연결된 수직으로 배향된 선택 디바이스들 모두는 턴온되고, 이에 따라 각각의 글로벌 비트 라인들은 각각의 수직 로컬 비트 라인들에 연결되게 된다(선택적으로 각각의 수직 로컬 비트 라인들이 각각의 글로벌 비트 라인들과 통신하게 됨). pMOS 트랜지스터(1110)가 3 볼트를 수신하고 nMOS 트랜지스터(1112)가 그라운드를 수신하기 때문에, 양쪽 트랜지스터들은 오프 상태에서 유지된다. 트랜지스터(1114)의 게이트가 3 볼트를 수신하기 때문에, 트랜지스터(1114)는 턴온되고 로우 선택 라인(SG_n)을 그라운드로 풀다운시킨다. SG_n을 수신하는 이러한 수직으로 배향된 선택 디바이스들은 턴온되지 않고, 그리고 각각의 수직 로컬 비트 라인들은 이들 각각의 글로벌 비트 라인들에 연결되지 않는다.

[0167] 도 31b는 도 31a와 동일한 회로를 보여주지만, 서로 다른 바이어스들을 갖고 있다. 글로벌 워드 라인(이제 비선택되었음을 표시하는) 그라운드를 수신한다. 신호 라인들(RowN 및 Row0Bar)은 그라운드에 있다. 신호 라인들(Row0 및 RowNBar)은 3 볼트를 수신한다. 따라서, 도 31a와 도 31b 간의 차이는, 도 31a에서는 글로벌 워드 라인이 선택되고(3 볼트를 수신함), 그리고 도 31b에서는 글로벌 워드 라인이 비선택된다(그라운드에 있음)는 것이다. nMOS 트랜지스터(1102)의 게이트가 3 볼트에 있고 pMOS(1104)의 게이트가 그라운드에 있기 때문에, 양쪽 트랜지스터들은 턴온된다. 이러한 경우에 있어서, (그라운드에 있는) 글로벌 워드 라인은 로우 선택 라인(SG₀)을 nMOS 트랜지스터(1102)를 통해 그라운드로 풀다운시킨다. nMOS 트랜지스터(1106)의 게이트가 그라운드를 수신하기 때문에, 이 트랜지스터는 오프 상태에 있다. pMOS 트랜지스터(1110)가 3 볼트를 수신하고 nMOS 트랜지스터(1112)의 게이트가 그라운드 전위를 수신하기 때문에, 양쪽 트랜지스터들은 오프 상태에서 유지된다. nMOS 트랜지스터(1114)가 게이트에서 3 볼트를 수신하기 때문에, 이 트랜지스터는 턴온되고, 로우 선택 라인(SG_n)은 nMOS 트랜지스터(1114)를 통해 그라운드로 풀다운된다. 도 31b의 예에서, 도시된 양쪽 로우 선택 라인들은 그라운드에 있고, 따라서 수직으로 배향된 선택 디바이스들은 이들 각각의 수직 비트 라인들을 각각의 글로벌 비트 라인들에 연결시키지 못하게 된다.

[0168] 각각의 글로벌 워드 라인은 블록 내의 하나의 워드 라인 코움 그룹에 연결된다. 앞서 설명된 SELX 신호들은 3 볼트에서 글로벌 워드 라인에 의해 턴온된 워드 라인 드라이버 디바이스들에 의해 관련 워드 라인 코움들에 연결된다. 선택된 SELX 바이어스는 선택된 워드 라인 코움으로 넘어간다. 따라서, 특정 글로벌 워드 라인 상에 3 볼트를 구동시킴으로써, 하나의 워드 라인 코움이 메모리 동작을 위해 선택되고, 적절한 16개(혹은 다른 개수)의 로우 선택 라인 드라이버들이 또한 인에이블된다. 선택 신호들(Row0, Row0Bar, Row1, Row1Bar, ... RowN, RowNBar)은 특정 글로벌 워드 라인과 관련된 16개의 로우 선택 라인 드라이버들 간을 선택하기 위해 사용된다. 앞서 설명된 바와 같이, 일 실시예에서, 각각의 로우 선택 라인 드라이버는 128개의 블록들(혹은 특정 실시예에 따라서는 다른 개수의 블록들)에 연결된 로우 선택 라인(SG_x)을 구동시킨다.

[0169] 도 31a 및 도 31b는 로우 선택 라인 드라이버를 형성하는 3개의 트랜지스터들(컴포넌트들)이 서로 인접하여 있음을 보여준다. 다른 실시예들에서, 3개의 트랜지스터들은 메모리 어레이 전체에 걸쳐 분포된다. 예를 들어, 트

랜지스터들은 서로 다른 블록들 밑에 있을 수 있거나 혹은 서로 다른 블록들 사이에 있을 수 있다(이것은 여전히 메모리 어레이 아래에 있는 것으로 인정되는데, 왜냐하면 드라이버들이 어레이의 에지(edge)들/경계(border)들 내에 위치하기 때문임). 하나의 예시적 실시예에서, 블록들 사이의 영역은 워드 라인 브레이크(word line break)로서 지칭되는데, 왜냐하면 하나 이상의 워드 라인들(예를 들어, 블록에 대한 워드 라인들의 반)이 블록의 에지에서 끝나기 때문이다. 따라서, 블록들 사이에 있는 워드 라인들 내에는 브레이크(적어도 부분적 브레이크)가 존재한다. 워드 라인 브레이크는 또한 블록들 사이의 갭(gap)으로서 고려될 수 있다. 일 실시예에서, (로우 선택 라인 드라이버의) 하나의 트랜지스터는 워드 라인 브레이크 내에 배치된다. 즉, 인접하는 블록들 사이의 갭 내에는, 로우 선택 라인 드라이버의 부분을 형성하는 트랜지스터가 존재한다. 따라서, 워드 라인 드라이버를 위한 3개의 트랜지스터들은 3개의 서로 다른 워드 라인 브레이크들 내에 있다. 도 31a 및 도 31b는 로우 선택 라인들에 의해 제어되는 수직으로 배향된 선택 디바이스들을 사용하여 글로벌 비트 라인들을 수직으로 배향된 비트 라인들에 선택적으로 연결시키는 하나의 예를 도시하며, 여기서, 선택적으로 연결시키는 것은, 로우 선택 라인 드라이버들을 사용하여 로우 선택 라인들을 구동시키는 것을 포함하고, 그리고 특정 로우 선택 라인 드라이버를 사용하는 것은 블록들 사이의 서로 다른 갭들 내에 분포된 컴포넌트들을 제어하는 것을 포함한다.

[0170] 도 32는 일 실시예를 도시하는바, 여기서 각각의 블록 사이의 갭(워드 라인 브레이크)은 (로우 선택 라인 드라이버들에 관하여) 3 디바이스 로우 선택 라인 드라이버로부터 단지 하나의 트랜지스터만을 포함한다. 따라서, 도 32는 로우 선택 라인 드라이버의 컴포넌트들이 메모리 어레이 내의 서로 다른 위치들에 분포된 것을 보여준다. 로우 선택 라인 드라이버의 트랜지스터들 각각은 기판 내에 그리고 블록들 사이의 영역(예를 들어, 워드 라인 브레이크) 내의 어레이 밑에 구현된다. 예를 들어, 트랜지스터(1104)(도 31a 및 도 32 참조)는 기판 내에 그리고 블록(18)과 블록(19) 사이 밑에 배치된다. 트랜지스터(1106)는 블록(17)과 블록(18) 사이에 배치된다. 트랜지스터(1102)는 블록(17)과 블록(16) 사이에 배치된다(블록(16)은 도 32에서 도시되지 않음). 트랜지스터(1110)는 블록(20)과 블록(21) 사이에 배치된다. 트랜지스터(1114)는 블록(21)과 블록(22) 사이에 배치된다. 트랜지스터(1112)는 블록(22)과 블록(23) 사이에 배치된다. 도 31a에서와 같이, 트랜지스터들(1102, 1104 및 1106)은 (로우 선택 라인(SG₁)에 연결되어) 로우 선택 라인(SG₁)을 구동시키기 위해 사용된다. 트랜지스터들(1110, 1112 및 1114)은 (로우 선택 라인(SG₂)에 연결되어) 로우 선택 라인(SG₂)을 구동시키기 위해 사용된다.

[0171] 일 실시예에서는, 블록 내에 각각의 코움 그룹을 위한 16개의 로우 선택 라인들이 존재하며, 이것은 128개의 블록들 내의 수평으로 인접한 128개 혹은 다른 개수의 코움 그룹들에 의해 공유된다. 각각의 블록 내에서 수직으로, 다른 많은 코움 그룹들이 존재하고(예를 들어, 4086), 그 각각은 로우 선택 라인들의 추가 세트를 요구한다. 로우 선택 라인들의 각각의 세트는 관련 코움 그룹 아래를 지나가는 관련 글로벌 워드 라인(본 예에서는 4086의 하나)에 의해 선택된다. 따라서, 도 32에 도시된 블록들의 세트는 블록의 높이를 따라 수직으로 정렬된 각각의 코움 그룹에 대한 16개의 로우 선택 라인들 및 16개의 로우 선택 라인 드라이버들을 포함한다. 공간적 문제로, 도 32는 단지 4개의 선택 라인들 그리고 3개의 완전한 로우 선택 라인 드라이버들만을 보여준다. 세 번째 선택 라인 드라이버는 nMOS 트랜지스터(1130), nMOS 트랜지스터(1132) 및 pMOS 트랜지스터(1134)를 포함하며, (로우 선택 라인(SG₃)에 연결되어) 로우 선택 라인(SG₃)을 구동시킨다. 도 32는 또한, 트랜지스터(1136)를 보여주는바, 이 트랜지스터는 로우 선택 라인(SG₄)을 구동시키기 위한 로우 선택 라인 드라이버를 포함하는 3개의 트랜지스터들 중 하나의 트랜지스터이다.

[0172] 도 32는 또한, 회로 컴포넌트들에 대해 Vdd를 제공하는 파워 라인, 그리고 다양한 컴포넌트들에 대해 그라운드(GND)를 제공하는 신호 라인들을 보여준다. 일 실시예에서, Vdd를 제공하기 위한 신호 라인은 단지 pMOS 디바이스들 사이에만 제공된다. 즉, Vdd로부터의 신호는 로우 선택 라인 드라이버들에 대한 어떠한 트랜지스터들도 포함하지 않는 워드 라인 브레이크 내에 제공된다. 인접하는 워드 라인 브레이크들은 pMOS 디바이스들을 포함한다. 달리 설명하면, Vdd 파워 라인은 블록들 사이의 갭(예를 들어, 워드 라인 브레이크) 내에 배치되고, 이에 따라 인접 블록들 각각의 다른쪽 면은 pMOS 트랜지스터들에 의해 점유된 갭(예를 들어, 워드 라인 브레이크)을 갖게 된다. 일 실시예에서, 그라운드를 제공하는 신호 라인들은 단지 nMOS 트랜지스터들 사이에만 제공된다. 예를 들어, 도 32는, nMOS 트랜지스터(1112)를 포함하는 워드 라인 브레이크와 nMOS 트랜지스터(1130)를 포함하는 워드 라인 브레이크에 인접하며 이들 사이에 있는 (블록 23과 블록 24 사이의) 워드 라인 브레이크 내에 배치되는 그라운드 라인을 보여준다. 달리 말하면, 그라운드 신호는 로우 선택 라인 드라이버들에 대한 nMOS 디바이스들만을 포함하는 워드 라인 브레이크들 사이에 제공된다.

[0173] 도 32는 연속하는 워드 라인 브레이크들(예를 들어, 인접하는 갭들) 내에 배치되는 소정의 로우 선택 라인 드라이버에 대한 트랜지스터들을 보여주는 것임에 유의해야 한다. 그러나, 다른 실시예들에서, 트랜지스터들은 비인

접하는 워드 라인 브레이크들 내에 분포될 수 있다. 일부 실시예들에서, 서로 다른 로우 선택 라인 드라이버들에 대한 트랜지스터들은 교차배치된 워드 라인 브레이크들 내에(예를 들어, 블록들 사이의 갭들 내에) 배치될 수 있다. 다른 실시예들에서, 하나 이상의 로우 선택 라인 드라이버들에 대한 하나 이상의 트랜지스터는 동일한 워드 라인 브레이크 내에 있을 수 있다. 그러나, 워드 라인 브레이크 내에 단지 하나의 트랜지스터만을 가짐으로써 블록들 사이의 간격은 더 작아질 수 있다. 또한, 워드 라인 브레이크들 내에 단지 하나의 트랜지스터만을 가짐으로써, (로우 선택 라인들에 직교하는) 단지 하나의 신호 라인만이 블록들 사이에 제공될 필요가 있으며, 이것은 또한 블록들 사이의 영역이 더 작아지게 할 수 있다. 만약 블록들 사이의 영역이 더 작아지면 메모리 시스템에 의해 점유되는 영역도 이에 따라 더 작아진다.

[0174] 듀얼 게이트 선택(Dual Gate Selection)

[0175] 도 33은 앞서 설명된 바와 같이, 수직 비트 라인들, 수직으로 배향된 선택 디바이스, 워드 라인 코움들 그리고 로우 선택 라인들에 대한 분포된 3개의 디바이스 드라이버들을 포함하는 메모리 시스템의 일 실시예를 도시한다. 예를 들어, (도 10의 구조체와 동일한) 도 33의 구조체는, 워드 라인들(1202, 1204, 1206, 1208, 1210, 1212, 1214, 1216, 1218, 1220, 1222, 1224, 1226, 1228, 1230, 1232, 1234, 1236, 1238, 1240, 1242, 1244, 1246 및 1248)을 포함한다. 필러 선택 층에는, 수직으로 배향된 선택 디바이스들(1320, 1322, 1324, 1326, 및 1328)이 존재한다. 이러한 수직으로 배향된 선택 디바이스들은 앞서 설명된 바와 같이 더블-게이팅되며(두 개의 게이트 인터페이스들을 가지며), 로우 선택 라인들(580, 582, 584, 586, 588 및 590)에 의해 활성화(예를 들어, 턴온)된다. 도 33은 또한 수직 비트 라인들(1370, 1372, 1374, 1376 및 1378)을 보여준다. 예시적 목적으로, 메모리 동작(설정, 재설정, 혹은 판독)을 위해 메모리 소자(1350)가 선택되었다고 가정한다. 도 33은 또한 금속 층 2(ML-2)에서의 글로벌 비트 라인(1360)을 보여준다.

[0176] 일 실시예에서, 수직으로 배향된 선택 디바이스들(1320, 1322, 1324, 1326, 및 1328) 중 하나를 턴온시켜 수직 비트 라인(1370, 1372, 1374, 1376 및 1378)을 선택하기 위해서, 로우 선택 라인들(580, 582, 584, 586, 588 및 590) 중 두 개가 턴온될 필요가 있다. 일 구현예에서, 특정의 수직으로 배향된 선택 디바이스가 턴온되도록 하기 위해, 수직으로 배향된 선택 디바이스의 더블 게이팅되는 구조체에 연결된 로우 선택 라인들 양쪽 모두가 턴온된다. 즉, 선택 디바이스에 대한 2개의 게이트 인터페이스들에 연결된 로우 선택 라인들이 "온(on)" 신호를 운반하게 된다. 예를 들어, 메모리 소자(1350) 상의 네트워크 동작을 수행하기 위해, 워드 라인(1206)이 활성화돼야 하며 로컬 비트 라인(1372)이 활성화돼야 한다. 로컬 비트 라인(1372)을 선택하기 위해서, 수직으로 배향된 선택 디바이스(1322)가 턴온돼야만 한다. 수직으로 배향된 선택 디바이스(1322)를 턴온시키기 위해서, 로우 선택 라인들(582 및 584)이 턴온돼야만 한다. 도 33에서, 로우 선택 라인들(582 및 584)은 이러한 로우 선택 라인들이 턴온되었음을 표시하기 위해 "+"를 보여주고 있으며 다른 로우 선택 라인들은 이들이 턴오프되었음을 표시하기 위해 "-"를 보여주고 있다. 유사하게, 수직으로 배향된 선택 디바이스(1322)는 이것이 "온(on)" 상태를 표시하고, 다른 수직으로 배향된 선택 디바이스들은 이들이 "오프(off)" 상태를 표시한다. 워드 라인(1206)은 또한, 이것이 선택되었음을 표시하기 위해 "+"를 포함한다. 도 33의 시스템은 워드 라인 코움들을 포함하기 때문에, 동일 워드 라인 코움 내의 워드 라인 핑거들 모두가 턴온된다. 따라서, 워드 라인들(1202, 1206 및 1210)(이들 각각은 동일한 워드 라인 코움 상의 워드 라인 핑거들임)은 이들 워드 라인들이 선택되었음을 표시하기 위해 "+"로 표기되어 있다. 다른 잔존하는 워드 라인들은 이들이 비선택되었음을 표시하기 위해 "-"로 표기되어 있다. 앞서 설명된 바와 같이, 이러한 실시예는, 특정의 수직으로 배향된 비트 라인에 연결된 각각의 더블 게이팅되는 수직으로 배향된 선택 디바이스를 활성화시켜 특정의 수직으로 배향된 비트 라인이 각각의 글로벌 비트 라인과 통신하도록 하기 위해 특정의 수직으로 배향된 비트 라인의 두 개의 면들 상의 로우 선택 라인들에 하나 이상의 선택 신호들을 인가하는 것을 포함한다.

[0177] 일 실시예에서, 수직으로 배향된 선택 디바이스들(예를 들어, 1320, 1322, 1324, 1326, 1328, ...)은, 두 개의 게이트들이 수직으로 배향된 선택 디바이스를 턴온시키기 위해 충분한 전압을 제공하도록 요구되게 수정된다. 예를 들어, 수직으로 배향된 선택 디바이스의 채널의 도핑이 증가된다. 따라서, 트랜지스터의 임계 전압이 충족되도록 하기 위해 그리고 전류가 채널 내에서 흐르도록 하기 위해, 듀얼 게이트 구조체에 연결된 양쪽 로우 선택 라인들로부터의 "온(on)" 전압이 요구된다.

[0178] 도 34는 메모리 소자(1350)가 프로그래밍될 수 있도록 비트 라인(1372)을 선택하기 위해 수직으로 배향된 선택 디바이스(1322)를 턴온시키려고 로우 선택 라인들(582 및 584)을 구동시키는데 사용되는 (앞서 설명된 바와 같은) 로우 선택 라인 드라이버들의 분포를 나타낸다. 로우 선택 라인(582)을 구동시키기 위한 로우 선택 라인 드라이버는 nMOS 트랜지스터(1330), nMOS 트랜지스터(1332), 및 pMOS 트랜지스터(1334)를 포함한다. nMOS 트랜지스터(1330) 및 pMOS 트랜지스터(1334)의 소스 입력들은 글로벌 워드 라인(GWL)에 연결된다. nMOS 트랜지스터

(1330) 및 pMOS 트랜지스터(1334)의 드레인 연결들은 로우 선택 라인(582)에 연결된다. nMOS 트랜지스터(1332)의 드레인은 로우 선택 라인(1304)에 연결된다. nMOS 트랜지스터(1332)의 소스는 그라운드에 연결된다. nMOS 트랜지스터(1330)의 게이트는 Row582에 연결된다. nMOS 트랜지스터(1332)의 게이트 및 nMOS 트랜지스터(1334)의 게이트는 Row582Bar에 연결된다. 앞서 설명된 예에서, Row582는 3 볼트(혹은 다른 값)를 수신하고, Row582Bar는 그라운드에 있는바, 따라서 pMOS 트랜지스터(1334)는 글로벌 워드 라인으로부터의 이러한 3 볼트를 로우 선택 라인(582)에 제공한다.

[0179] 로우 선택 라인(584)을 위한 로우 선택 라인 드라이버는, pMOS 트랜지스터(1340), nMOS 트랜지스터(1342), 및 nMOS 트랜지스터(1344)를 포함한다. pMOS 트랜지스터(1340) 및 nMOS 트랜지스터(1344)의 소스는 글로벌 워드 라인(GWL)에 연결된다. pMOS 트랜지스터(1340)의 드레인 및 nMOS 트랜지스터(1344)의 드레인은 로우 선택 라인(584)에 연결된다. nMOS 트랜지스터(1342)의 소스는 그라운드에 연결되고, nMOS 트랜지스터(1342)의 드레인은 로우 선택 라인(584)에 연결된다. nMOS 트랜지스터(1344)의 게이트는 Row584에 연결된다. 트랜지스터들(1340 및 1342)의 게이트들은 Row584Bar에 연결된다. 이러한 경우에, Row84는 3 볼트(혹은 다른 값)를 수신하고 Row584Bar는 그라운드를 수신하여, pMOS 트랜지스터(1340)는 글로벌 워드 라인으로부터의 3 볼트를 로우 선택 라인(584)에 제공하게 된다. 일부 실시예들에서, Row582 및 Row584는 선택 디바이스를 작동시키기 위해 서로 다른 전압들을 수신할 수 있다.

[0180] 도 32에 관하여 앞서 설명된 바와 같이, 도 34에 도시된 로우 선택 라인 드라이버들의 컴포넌트들 각각은, 블록들의 각각의 쌍 사이에(예를 들어, 블록들 사이의 갭 혹은 워드 라인 브레이크 내에) 하나의 트랜지스터가 위치하도록 분포된다. 추가적으로, 도 34는 두 개의 블록들 사이에(예를 들어, 갭 혹은 워드 라인 브레이크 내에) 그라운드를 제공하는 신호 라인(1341), 그리고 (블록들 사이의 갭 혹은 워드 라인 브레이크 내에) Vdd를 제공하는 신호 라인(1343)을 보여준다. 도 34의 구성은 수직으로 배향된 선택 디바이스(1322)(도 33 참조)를 구동시키기 위해 로우 선택 라인들(582 및 584) 상에 적절한 신호를 제공한다.

[0181] 도 35는, 수직으로 배향된 선택 디바이스들(1322, 1350 및 1352)을 턴온시키기 위해 로우 선택 라인들(582 및 584)을 구동시키는(그리고 기관 내에 구현되는 도 34로부터의) 두 개의 로우 선택 라인 드라이버들을 보여주는 부분 회로도이다. 도 35의 예에서는, 글로벌 비트 라인(1360)이 프로그래밍을 위해 선택된다. 저장된 데이터 패턴으로 인해, 글로벌 비트 라인(1362)은 선택되지 않고 글로벌 비트 라인(1364)이 선택된다. 일 실시예에서, 특정 블록에 대해 72개의 글로벌 비트 라인들이 존재하며, 데이터 패턴에 근거하여 프로그래밍을 위해 일부 비트들은 선택되고 반면 다른 비트들은 선택되지 않는다. 도 35는 블록의 16개의 레벨들 중 하나의 특정 레벨에서의 2개의 워드 라인 코옴들을 보여준다. 구체적으로, 도 35는 비트 라인들(1372, 1374, 1400, 1402, 1404 및 1406)과 상호작용하는 워드 라인들(1204 및 1206)을 보여준다. 일 실시예에서, 각각의 로우에는 72개의 비트 라인들이 존재한다. 로우 선택 라인들(582 및 584)을 구동시킴으로써, 비트 라인들(1372, 1400, ... 1402)(예를 들어, 72개의 비트 라인들)을 포함하는 하나의 로우가 선택된다. 워드 라인 코옴(1403)이 또한 선택된다. 워드 라인 코옴(1403)은 워드 라인들(1202, 1206, 및 1210)(도 33 및 도 35 참조)을 포함한다. 워드 라인들(1202, 1206, 및 1210)은 워드 라인 코옴(1403)에 대한 워드 라인 평거들임에 유의해야 한다.

[0182] 워드 라인(1206)(뿐만 아니라 전체 워드 라인 코옴(1403))이 메모리 동작을 위해 선택된다. 워드 라인(1206)은 로컬 비트 라인들의 두 개의 서로 다른 로우들에 연결되는 메모리 소자들을 포함한다. 로컬 비트 라인들의 제 1 로우는 로컬 비트 라인들(1372, 1400, ..., 1402)을 포함한다. 로컬 비트 라인들의 제 2 로우는 로컬 비트 라인들(1374, 1404, ..., 1406)을 포함한다. (로우 선택 라인들(582 및 584)의 선택으로 인해) 로컬 비트 라인들의 단지 하나의 로우만이 선택되기 때문에, 비트 라인들(1372, 1400, ... 1402)의 로우와 워드 라인(1206) 사이의 메모리 소자들만이 메모리 동작을 위해 잠재적으로 선택된다. 글로벌 비트 라인들 상의 데이터 패턴들로 인해, 워드 라인(1206)과 비트 라인(1372) 사이의 메모리 소자, 그리고 워드 라인(1206)과 비트 라인(1402) 사이의 메모리 소자가 완전하게 선택(S)되는데, 왜냐하면 메모리 동작을 위해 이들의 워드 라인 및 비트 라인이 선택되었기 때문이다. 워드 라인(1206)과 비트 라인(1374) 사이의 메모리 소자, 워드 라인(1206)과 비트 라인(1404) 사이의 메모리 소자, 워드 라인(1206)과 비트 라인(1406) 사이의 메모리 소자, 그리고 워드 라인(1206)과 비트 라인(1400) 사이의 메모리 소자는 단지 반선택(H)되는데, 왜냐하면 두 개의 제어 라인들 중 단지 하나만이 메모리 동작을 위해 선택되었기 때문이다. 앞서 설명된 바와 같이, 반선택된 메모리 소자들은 메모리 동작을 가질 정도의 충분히 큰 전압차를 갖지는 못한다.

[0183] 도 36은 메모리 동작을 수행하기 위한 일 실시예를 설명하는 흐름도이다. 단계(1450)에서는, 비선택된 워드 라인 전압이 비선택된 워드 라인들에 인가된다. 일 실시예에서, 비선택된 워드 라인 전압은 모든 워드 라인들에 인가된다. 또 다른 실시예에서, 비선택된 워드 라인 전압은 단계(1450)에서 모든 워드 라인들 및 비트 라인들에

인가된다. 단계(1452)에서, 비선택된 비트 라인 전압이 글로벌 비트 라인들에 인가된다. 일 실시예에서, 비선택된 비트 라인 전압은 모든 글로벌 비트 라인들에 인가된다. 추가적으로, 일부 실시예들에서, 단계(1452)는 모든 로컬 비트 라인들이 플로팅 상태가 되게 하는 것을 포함한다. 로컬 비트 라인들을 플로팅 상태가 되게 함으로써, 이들은 비선택된 워드 라인 전압을 향해 드리프트한다. 일부 메모리 소자들은, 만약 부착된 메모리 소자가 낮은 저항 상태에 있다면, 비선택된 워드 라인 전압 바로 아래의 전압으로 드리프트할 수 있다. 단계(1454)에서는, 선택된 비트 라인 전압이, 저장된 적절한 데이터 패턴에 근거하여 글로벌 비트 라인들에 인가된다. 단계(1456)에서는, 프로그래밍 혹은 판독되는 특성의 메모리 소자에 대한 수직 비트 라인의 양쪽 면들 상에 있는 로우 선택 라인들에 선택 신호가 제공된다. 예를 들어, 메모리 소자(1350) 상에서의 동작을 수행하기 위해, 로컬 비트 라인(1372)들의 양쪽 면들 상의 선택 라인들(552 및 584) 및 관련된 수직으로 배향된 선택 디바이스(1322)가 3 볼트로 구동된다. 단계(1460)에서는, 선택된 워드 라인 전압이 선택된 워드 라인들에 인가된다(예를 들어, 적절한 선택된 워드 라인 전압을 선택된 워드 라인 코움에 인가하는 것). 단계(1462)에서, 메모리 동작(설정, 재설정, 판독)이 수행된다. 도 36의 단계들이 도 36에 제시된 것과는 다른 순서로 수행될 수 있음에 유의해야 한다. 추가적으로, 단계들 중 둘 이상은 동시에 수행될 수 있다.

[0184] 비대칭 스위치(Asymmetrical Switch)

[0185] 앞서 설명된 워드 라인 코움 구성의 경우, 단일의 수직으로 배향된 선택 디바이스의 턴온에 근거하여 선택되는 복수의 메모리 소자들에 대해서 문제가 있을 수 있다. 즉, 워드 라인 코움 구성의 경우, 전체 워드 라인 코움이 선택된다. 따라서, 일정 부분을 따라 하나 걸러 있는 모든 워드 라인이 선택된다. 도 37은 하나의 제안된 해결책을 갖는 도 33의 구조를 보여준다. 이러한 해결책에서, 수직으로 배향된 선택 디바이스들(1520, 1522, 1524, 1526, 1528, ...)은 비대칭 디바이스들로서 제조되는바, 각각은 두 개의 게이트 인터페이스들을 갖는다. 각각의 비대칭의 수직으로 배향된 선택 디바이스는, 각각의 비대칭의 수직으로 배향된 선택 디바이스에 대한 제 1 게이트 인터페이스에 연결된 로우 선택 라인들 중 하나와, 그리고 각각의 비대칭의 수직으로 배향된 선택 디바이스에 대한 제 2 게이트 인터페이스에 연결된 선택 라인들 중 또 다른 하나를 갖는바, 예를 들어, 로우 선택 라인들(582 및 584)이, 비대칭의 수직으로 배향된 선택 디바이스(1522)에 대한 두 개의 게이트 인터페이스들에 연결된다. 일부 실시예들에서, 선택 디바이스들의 비대칭 실시형태는, 채널(예를 들어, 비대칭 채널) 내의 도핑 레벨 차이(예를 들어, 비대칭 도핑)에 의해 생성되는 임계 전압에서의 차이, 게이트 옥사이드 두께 차이(왼쪽 게이트 옥사이드가 오른쪽 게이트 옥사이드와는 다른 두께를 갖도록 된 비대칭 게이트 옥사이드), 게이트 물질 일함수 차이, 또는 이러한 방법들의 조합이다. 일 실시예에서, TFT 채널은, (제 1 게이트 인터페이스에서의) 채널의 왼쪽 면이 (제 2 게이트 인터페이스에서의) 채널의 오른쪽 면보다 더 낮은 임계 전압을 갖도록 하는 경사 주입을 수용한다. 옥사이드 증착 이후 n 타입 채널 경사 주입은, 수직 TFT 디바이스의 오른쪽 면과 비교해서, 수직 TFT 디바이스의 왼쪽 면 상의 채널에 대한 임계치가 더 낮아 지게 한다. 따라서, (왼쪽 게이트 인터페이스를 포함하는) 선택 디바이스의 왼쪽 면은 공핍 모드 트랜지스터(depletion mode transistor)처럼 동작하고, (오른쪽 게이트 인터페이스를 포함하는) 선택 디바이스의 오른쪽 면은 인핸스먼트 모드 트랜지스터(enhancement mode transistors)처럼 동작한다. 달리 말하면, 더블-게이팅되는 스위치에 있어서, 왼쪽 게이트는 공핍 모드 트랜지스터이고, 오른쪽 게이트는 인핸스먼트 모드 트랜지스터이다. 다른 실시예들에서, 채널 주입은, 게이트 옥사이드 두께 차이 그리고 게이트 물질의 일함수 차이를 생성하기 위해 게이트 물질에 대한 주입과 결합된다. 게이트 물질은 도핑된 폴리실리콘일 수 있다. TFT의 오른쪽 면 상의 폴리실리콘 게이트 물질로의 게이트 옥사이드 성장 이전에, 높은 레벨의 p 타입 경사 주입은, 게이트 물질의 일함수를 상승시키고, 관련 채널의 임계치를 상승시키고, 그리고 게이트 옥사이드 두께를 증가시킨다. 일부 실시예들에서 TFT의 고온 어닐링 동안 게이트 옥사이드를 통한 p 타입 도펀트의 확산은 채널 내의 p 도핑을 증가시키고, 또한 인핸스먼트 면 임계치를 상승시킨다. 앞서 설명된 실시예들에서, 선택 디바이스의 채널의 비대칭 성질은 제1의/왼쪽 게이트 인터페이스로부터 제2의/오른쪽 게이트 인터페이스로 채널의 방향에 관하여 비대칭이다.

[0186] 도 37은 수직으로 배향된 선택 디바이스들(1520, 1522, 1524, 1526 및 1528)을 보여주는바, 이들 각각은 두 개의 게이트 인터페이스들(예를 들어, 제 1 게이트 인터페이스 및 제 2 게이트 인터페이스)을 갖는다. 선택 디바이스(1522)는 예를 들어, 더 높은 임계 전압을 갖는 (왼쪽 게이트 인터페이스에서의) 인핸스먼트 모드 면(enhancement mode side)(1522e), 그리고 더 낮은 임계 전압을 갖는 (오른쪽 게이트 인터페이스에서의) 공핍 모드 면(depletion mode side)(1522d)을 포함하도록 제시된다. 일 예에서, (왼쪽 게이트 인터페이스에서의) 채널의 왼쪽 면은 대략 제로(0) 볼트의 임계 전압을 가지며, (오른쪽 게이트 인터페이스에서의) 채널의 오른쪽 면은 대략 3 볼트의 임계 전압을 갖는다. 다른 실시예들에서는, 임계 전압에 대한 다른 값들이 사용될 수 있다.(예를 들어, 1 볼트 및 4 볼트가 각각 사용될 수 있음). 유사하게, 스위치(1520)의 오른쪽 면은 높은 임계 전압을 가지며, 수직으로 배향된 선택 디바이스(1520)의 왼쪽 면은 낮은 임계 전압을 갖는다. 따라서, 로우 선택 라인

(582)이 3 볼트로 구동될 때, 스위치(1522)의 공핍 모드 면(왼쪽 면)은 턴온되고, 반면 수직으로 배향된 선택 디바이스(1520)의 인헨스먼트 모드 면(오른쪽 면)은 턴온되지 않는다. 따라서, 로컬 비트 라인들(1372)은 선택되고, 로컬 비트 라인(1370)은 선택되지 않는다. 워드 라인 핑거들(1238, 1242 및 1246)(이들 세 개 모두는 이들이 선택되었음을 표시하기 위해 "+"로 표기되어 있고, 반면 다른 워드 라인들은 이들이 선택되지 않았음을 표시하기 위해 "-"로 표기되어 있음)을 포함하는 워드 라인 코움의 선택을 가정하는 경우, 비트 라인(1372)을 선택하는 것은 메모리 소자(1500)가 메모리 동작을 갖게 할 수 있다. 도 37에서는 표시되지 않았지만, 다른 수직으로 배향된 선택 디바이스들도 또한, 더 높은 임계 전압을 갖는 인헨스먼트 모드 면과, 더 낮은 임계 전압을 갖는 공핍 모드 면을 포함함에 유의해야 한다. 따라서, 앞서 설명된 실시예에서, 복수의 선택 라인들 각각은, 두 개의 이웃하는 비대칭의 수직으로 배향된 선택 디바이스들에 대한 게이트 인터페이스들 사이에 배치됨과 아울러 이들과 통신하며, 그리고 단지 선택 라인들에 선택 신호를 인가함으로써 두 개의 이웃하는 비대칭의 수직으로 배향된 선택 디바이스들 중 하나가 턴온되게 된다.

[0187] 도 38a 및 도 38b는 앞서 설명된 비대칭 스위치를 달성하기 위한 제조 단계들을 도시한다. 앞서 설명된 도 13은 도 10의 구조체를 제조하기 위한 프로세스를 제공한다. 도 37의 구조체를 만들기 위해, 도 38a와 관련된 단계 및 도 38b와 관련된 단계가 도 13의 프로세스의 단계(612)와 단계(614) 사이에서 수행된다. 그 외에, 도 13의 프로세스의 나머지는 앞서 설명된 바와 같이 수행된다. 도 38a와 관련된 단계에서, 높은 임계 전압 인헨스먼트 모드 경사 주입이 오른쪽 면을 향해 일정 각도에서 수행되고, 이에 따라 옥사이드(520), 게이트 물질(522) 및 옥사이드(520)를 포함하는 스택의 왼쪽 면이 주입을 수용하게 된다. 도 38b와 관련된 단계에서, 왼쪽을 향해 경사진 공핍 모드 경사 주입이 수행되고, 이에 따라 옥사이드(520), 게이트 물질(522) 및 옥사이드(520)를 포함하는 스택의 오른쪽 면이 주입을 수용하게 된다. 그 다음에 프로세스는 도 13의 흐름도에 따라 계속된다.

[0188] 도 39, 도 40 및 도 41은 판독 동작(도 39), 설정 동작(도 40) 및 재설정 동작(도 41)을 수행하기 위해 이러한 도 37의 구조체를 동작시키는 예들을 제공한다. 도 39 내지 도 41의 예에서, 스위치의 공핍 모드 면은 음의 일 볼트의 임계 전압을 갖고, 트랜지스터의 인헨스먼트 모드 면은 4 볼트의 임계 전압을 갖는다. 다른 실시예들에서는, 제로 볼트 및 3 볼트가 앞서 설명된 바와 같이 사용될 수 있고, 뿐만 아니라 다른 임계 전압 값들이 사용될 수 있다.

[0189] 도 39를 참조하면, 회로는 3개의 수직 비트 라인들(LBL1, LBL2, LBL3)을 보여주며, 이들은 도 37의 비트 라인들(1370, 1372 및 1374)에 대응할 수 있다. 도 39는 또한 4개의 워드 라인들(WL1, WL2, WL1 다음 핑거, 및 WL2 다음 핑거)을 보여준다. 일 실시예에서, 워드 라인(WL1)은 도 37의 워드 라인(1240)에 대응하고, 워드 라인(WL2)은 워드 라인(1242)에 대응한다. 일 실시예에서, 워드 라인(WL1)은 하나의 워드 라인 코움 상에 있고, 이러한 워드 라인 코움은 워드 라인(WL2)을 포함하는 또 다른 워드 라인 코움과 교차배치되어 있다. WL1 다음 핑거(1244)는 WL1과 동일한 워드 라인 코움 상에 있는 다음 워드 라인이다. WL2 다음 핑거(1246)는 WL2를 포함하는 워드 라인 코움 상의 다음 워드 라인 핑거이다. 도 39는 워드 라인들의 복수의 레벨들이 존재함으로 보여준다. 일 실시예에서, 워드 라인들의 16개의 레벨들이 존재한다. 도 39는 3개의 수직으로 배향된 선택 디바이스들(1520, 1522 및 1524)을 보여준다. 각각의 수직으로 배향된 선택 디바이스는 2개의 FET 심볼들로 나타내지고 있는바, 물리적인 수직으로 배향된 선택 디바이스의 한쪽 면에는 공핍 모드 임계 전압을 달성하기 위한 주입이 행해지고, 다른쪽 면에는 인헨스먼트 모드 임계 전압을 달성하기 위한 주입이 행해진다.

[0190] 일 실시예에서, 글로벌 비트 라인은 그라운드에 있거나 대략 1.5 볼트(혹은 또 다른 값)에서 바이어싱될 수 있다. 이것은 비선택된 수직으로 배향된 선택 디바이스들(예를 들어, 1520 및 1524)이 오프 상태에서 유지되게 할 수 있다. 그라운드가 아닌 1.5 볼트에서 글로벌 비트 라인을 바이어싱하는 것은, 그라운드에서 바이어싱된 선택된 워드 라인(WLS)(본 경우에 있어서는 WL2)에 대한 적절한 Vread를 제공한다. Vread(본 경우에 있어서는 1.5 볼트)는 또한 비선택된 워드 라인들에 인가된다. 글로벌 비트 라인은 전류 운반 감지를 위해 사용되는바, 예를 들어, 선택된 메모리 소자로부터의 전류는 글로벌 비트 라인을 따라 감지 증폭기 회로들로 흐르게 되고, 글로벌 비트 라인은 클램프 회로에 의해 대략 Vread에서 유지된다. 로우 선택 라인은 선택된 로우에 대해서는 1.5 볼트에 있고, 비선택된 로우들에 대해서는 0 볼트에 있다.

[0191] 예를 들어, 판독 동안 스위칭 소자 양단에 낮은 전압을 인가하는 바람직한 다른 실시예들에서, 선택된 워드 라인 전압은 그라운드보다 크게 상승되고, 선택된 워드 라인 전압은 일반적으로 0.2 볼트 내지 0.2 볼트보다 낮은 Vread의 범위에 있다. 글로벌 비트 라인 전압(Vread)은, 비선택된 TFT 디바이스들이 글로벌 비트 라인으로 임의의 상당량의 누설을 전도시키지 않도록 보장하기 위해, 공핍 모드 임계치의 크기 및 다른 인자들에 따라, 1.5 볼트보다 더 높거나 혹은 더 낮을 수 있다.

- [0192] 선택된 메모리 소자(S)(1500)가 감지된다. H를 갖는 메모리 소자는, 워드 라인 혹은 비트 라인 중 어느 하나가 선택된 반면 다른 제어 라인은 선택되지 않았다는 점에서, 반선택된다. U를 갖는 메모리 소자들은, 관련된 비트 라인 혹은 워드 라인 어느 것도 선택되지 않았기 때문에, 비선택된다.
- [0193] 도 40은 설정 동작(메모리 소자를 낮은 저항 상태로 설정하는 것)을 수행하는 예를 보여준다. 이러한 예에서, 글로벌 비트 라인(GBL)은 그라운드가 아닌 1 볼트에서 바이어싱된다. 이러한 경우에, VPP도 또한 1 볼트만큼 상승될 수 있다. 로우 선택 라인은 선택된 로우에 대해서는 5 볼트에 있고, 비선택된 로우들에 대해서는 제로 볼트에 있다. 선택된 수직으로 배향된 선택 디바이스(예를 들어, TFT(1522))의 공핍 모드 면만이 온(on) 상태에 있다. 선택된 워드 라인은 5 볼트에 있다. 비선택된 워드 라인들은 3 볼트에 있다. 워드 라인에 대한 전압에서의 차이는, 메모리 소자의 가역 저항 스위칭 물질에 대한 프로그래밍 임계치(2 볼트)보다 작거나 혹은 동일하다. 반선택된 메모리 소자들(H)은 비선택된 비트 라인들 상의 비선택된 다른 메모리 소자들(U)로 인해 2 볼트보다 작은 전압을 갖는다. 설정 동작이 수행되기 전에, 비트 라인들은 플로팅 상태가 되고, 3 볼트의 비선택된 워드 라인 전압을 향해 드리프트한다. 비트 라인들의 일부는 (앞서 설명된 바와 같이) 낮은 저항 상태에 이미 있는 메모리 소자들로 인해 3 볼트에 도달하지 못할 수 있다. 선택된 수직 비트 라인은 수직으로 배향된 선택 디바이스(예를 들어, TFT(1522))에 의해 약 2.5 볼트 혹은 이보다 낮은 전압으로 풀다운되어, 선택된 메모리 소자는 프로그래밍 임계치 이상을 갖게 된다. 이러한 방식으로, 선택된 메모리 소자(S)(1500)는 더 낮은 저항 상태로 설정된다. 전압들은 가역 저항 스위칭 물질, IR 강하, 및 다른 회로 특성들에 근거하여 변할 수 있음에 유의해야 한다.
- [0194] 도 41은 도 37의 구조체 상에서 수행된 재설정 동작의 예를 보여준다. 재설정 동작 예는 선택된 메모리 소자(S)(1500) 양단의 전압의 극성을 반전시킨다. 글로벌 비트 라인은 이제 5 볼트에서 바이어싱되어 있고, 로우 선택은 선택된 로우에 대해서는 5 볼트이고, 비선택된 로우에 대해서는 제로 볼트이다. 수직으로 배향된 선택 디바이스(1522)의 공핍 모드 면만이 온(on) 상태에 있다. 선택된 워드 라인은 제로 볼트에 있다. 비선택된 워드 라인들은 2 볼트에 있다. 워드 라인들에 대한 전압에서의 차이는, 가역 저항 스위칭 물질에 대한 프로그래밍 임계치(예를 들어, 2 볼트)보다 작거나 혹은 동일하다. 반선택된 메모리 소자들(H)은 반선택된 메모리 소자들(H)로의 전류 경로와 직렬로 연결된 비선택된 메모리 소자들(U)의 IR 강하로 인해 2 볼트 강하보다 작은 전압 강하를 갖는다. 선택된 비트 라인은 수직으로 배향된 선택 디바이스(1522)에 의해 약 2.5 볼트 혹은 이보다 높은 전압으로 풀업(pull up)되어, 선택된 메모리 소자(S)(1500)는 프로그래밍 임계치 이상을 갖게 된다. 이러한 방식으로, 선택된 메모리 소자(S)(1500)는 더 높은 저항 상태로 재프로그래밍된다.
- [0195] 듀얼 층 선택 라인들(Dual Layer Select Lines)
- [0196] 도 42는 메모리 시스템의 동작 및 메모리 소자들의 적절한 선택을 가능하게 하는 또 다른 실시예를 제공하는 메모리의 구조체의 단면도이며, 여기에는 워드 라인 코움 구조체(혹은 다른 타입의 모양)가 구현되어 있다. (워드 라인 코움 구조체들 혹은 다른 모양들을 포함할 수 있는) 도 42의 실시예에서는, 도 37의 실시예와는 반대로, 수직으로 배향된 선택 디바이스들이 대칭이다. 따라서, 각각의 면 상의 옥사이드 층들은 대칭이다. 그러나, 도 42의 실시예는, 수직으로 배향된 선택 디바이스들의 두 개의 층들 및 로우 선택 라인들의 두 개의 층들을 포함한다. 도 42는 1600b, 1602b, 1604b, 1606b 및 1608b를 포함하는 수직으로 배향된 선택 디바이스들의 제 1 층을 보여준다. 수직으로 배향된 선택 디바이스들의 상부 제 2 층은 1600t, 1602t, 1604t, 1606t 및 1608t를 포함한다. 로우 선택 라인들의 하부 층은 580b, 582b, 584b, 586b, 588b, 및 590b를 포함한다. 로우 선택 라인들의 상부 층은 580t, 582t, 584t, 586t, 588t, 및 590t를 포함한다.
- [0197] 로우 선택 라인(580t)은 580b 위에 형성된다. 로우 선택 라인(582t)은 로우 선택 라인(580b) 위에 형성된다. 로우 선택 라인(584t)은 로우 선택 라인(584b) 위에 형성된다. 로우 선택 라인(586t)은 로우 선택 라인(586b) 위에 형성된다. 로우 선택 라인(588t)은 로우 선택 라인(588b) 위에 형성된다. 로우 선택 라인(590t)은 로우 선택 라인(590b) 위에 형성된다.
- [0198] 수직으로 배향된 선택 디바이스(1600t)는 수직으로 배향된 선택 디바이스(1600b) 위에 직렬로 연결되어 형성된다. 수직으로 배향된 선택 디바이스(1602t)는 수직으로 배향된 선택 디바이스(1602b) 위에 직렬로 연결되어 형성된다. 수직으로 배향된 선택 디바이스(1604t)는 수직으로 배향된 선택 디바이스(1604b) 위에 직렬로 연결되어 형성된다. 수직으로 배향된 선택 디바이스(1606t)는 수직으로 배향된 선택 디바이스(1606b) 위에 직렬로 연결되어 형성된다. 수직으로 배향된 선택 디바이스(1608t)는 수직으로 배향된 선택 디바이스(1608b) 위에 직렬로 연결되어 형성된다.
- [0199] 도 42의 실시예에서, 글로벌 비트 라인(1360)이 로컬 비트 라인들(1370, 1372, 1374, 1376 또는 1378) 중 하나

와 통신하기 위해서는, 적절한 로컬 비트 라인들 밑에 있는 수직으로 배향된 선택 디바이스들 양쪽 모두가 턴온돼야만 한다. 양쪽 스위치들(상부 스위치 및 하부 스위치)을 턴온시키기 위해, 상부 로우 선택 라인 및 하부 로우 선택 라인이 턴온돼야만 한다. 도 42는 3 볼트를 구동시킴으로써 선택("+")된 것으로서 로우 선택 라인(584t)을 보여주고, 그리고 3 볼트를 구동시킴으로써 선택("+")된 것으로서 로우 선택 라인(582b)을 보여준다. 따라서, 수직으로 배향된 선택 디바이스(1602t) 및 수직으로 배향된 선택 디바이스(1602b) 양쪽 모두는 턴온된다. 로우 선택 라인(584t)이 선택되었기 때문에, 수직으로 배향된 선택 디바이스(604t)가 또한 턴온된다. 수직으로 배향된 선택 디바이스(604b)가 오프(off) 상태이기 때문에, 로컬 비트 라인(1374)은 선택되지 않고, 글로벌 비트 라인(1360)과 통신하지 않는다. 로우 선택 라인(582b)이 선택되었기 때문에, 수직으로 배향된 선택 디바이스(1600b)가 또한 턴온된다. 수직으로 배향된 선택 디바이스(1600t)가 턴온되지 않았기 때문에, 로컬 비트 라인(1370)은 글로벌 비트 라인(1360)에 연결되지 않거나 혹은 글로벌 비트 라인(1360)과 통신하지 않는다. 이러한 방식으로, 단지 로컬 비트 라인(1372)만이 선택된다. 메모리 소자(1620)가 메모리 동작을 갖는다. 따라서, 도 42의 구조체에서, 두 개의 수직으로 배향된 선택 디바이스들의 스택의 반대쪽 면들 상에 있는 상부 로우 선택 라인 및 하부 로우 선택 라인을 선택함으로써, 로컬 비트 라인이 선택된다. 선택된/활성화된 로우 선택 라인들 각각이 또한, 의도된 타겟 선택 디바이스에 인접한 선택 디바이스들에 연결되는바, 예를 들어, 로우 선택 라인(584t)이 또한, 선택 디바이스(1602t)에 인접한 선택 디바이스(1604t)에 연결된다.

[0200] 도 43은 도 42로부터의 수직으로 배향된 선택 디바이스들 및 로우 선택 라인들의 두 개의 로우들을 보여주는 블록도이다. 일 실시예에서, 도 42의 구조체는 메모리 시스템 내에 로우 선택 라인들의 양을 두 배 포함한다. 이것은 주요 공간을 점유하는 더 많은 신호 라인들을 부가시킬 수 있다. 도 43에 도시된 바와 같이, 제안되고 있는 것은, 메모리 소자들의 블록들 내에 두 개의 로우 선택 라인들을 연결시키는 것이다. 일 실시예에서, 대각선 로우 선택 라인들이 서로 연결(예를 들어, 와이어링)된다. 예를 들어, 도 43은 로우 선택 라인(584t)에 와이어링되는 로우 선택 라인(582b)을 보여준다. 도 43은 또한, 로우 선택 라인(582t)에 와이어링되는 로우 선택 라인(580b), 로우 선택 라인(586t)에 와이어링되는 로우 선택 라인(584b), 로우 선택 라인(588t)에 와이어링되는 로우 선택 라인(586b), 그리고 로우 선택 라인(590t)에 와이어링되는 로우 선택 라인(588b)을 보여 준다. 두 개의 로우 선택 라인들을 서로 와이어링시키기 위한 다른 구성들이 또한 사용될 수 있다.

[0201] 도 44는 도 42 및 도 43의 실시예를 구현하기 위해 로우 선택 라인 드라이버가 어떻게 사용되는가를 보여준다. 도 44는 메모리 소자들의 4개의 블록들 및 워드 라인 드라이버를 보여준다. 워드 라인 드라이버는 nMOS 트랜지스터(1630), nMOS 트랜지스터(1632), 및 pMOS 트랜지스터(1634)를 포함한다. nMOS 트랜지스터(1630)의 소스 및 pMOS 트랜지스터(1634)의 소스는 글로벌 워드 라인(GWL)에 연결된다. nMOS 트랜지스터(1630)의 드레인 및 pMOS 트랜지스터(1634)의 드레인은 선택 라인(582c)에 연결된다. nMOS 트랜지스터(1632)의 드레인은 또한 선택 라인(582c)에 연결되고, nMOS 트랜지스터(1632)의 소스는 그라운드에 연결된다. nMOS 트랜지스터(1630)의 게이트는 신호 라인(Row582c)에 연결된다. nMOS 트랜지스터(1632) 및 pMOS 트랜지스터(1634)의 게이트들은 신호 라인(Row582cBar)에 연결된다. Row582c가 3 v를 구동시키고 있고 Row582cBar가 그라운드(GND)에 있기 때문에, 복합 선택 라인(582C)은 pMOS 트랜지스터(1634)를 통해 3v가 된다.

[0202] 블록들(예를 들어, 워드 라인 브레이크들) 간에 라인(582c)은 하나의 단일 로우 선택 라인이다. 블록 안쪽 혹은 밑에서, 신호 라인(582c)은 두 개(혹은 그 이상)의 신호 라인들(예컨대, 로우 선택 라인들(582b 및 584t))로 분할된다. 이러한 방식으로, 로우 선택 라인(582b)은 로우 선택 라인(584t)에 와이어링된다. 두 개의 선택 라인들을 와이어링시키기 위한 다른 구성들이 또한 만들어질 수 있다.

[0203] 앞서 설명된 기술적 특징들은 메모리 소자들의 조밀한 연속 메쉬 어레이를 가능하게 한다. 본 명세서의 목적을 위해, 연속 메쉬 어레이는, 비트 라인들의 양쪽 면들에 연결되는 메모리 소자들 및 워드 라인들의 양쪽 면들에 연결되는 메모리 소자들이 존재하는 그러한 메모리 어레이이다.

[0204] 일 실시예는 비휘발성 저장 시스템을 포함하는바, 여기서 비휘발성 저장 시스템은: 기판과; 기판 내에 배치되지 않고 기판 위에 배치되는 메모리 소자들의 모놀리식 삼차원 어레이와; 메모리 소자들에 연결되는 워드 라인들과; 기판 내에 위치하며 워드 라인들과 통신하는 복수의 워드 라인 드라이버들과; 기판 내의 복수의 비트 라인 드라이버들과; 비트 라인 드라이버들과 통신하는 복수의 글로벌 비트 라인들과; 기판 내에 없고 기판 위에 있는 복수의 수직으로 배향된 비트 라인들과, 여기서 메모리 소자들은 수직으로 배향된 비트 라인들 및 워드 라인들과 결합되어 연속 메쉬를 형성하며; 기판 내에 없고 기판 위에 있는 복수의 수직으로 배향된 선택 디바이스들과, 여기서 수직으로 배향된 선택 디바이스들은 수직으로 배향된 비트 라인들과 글로벌 비트 라인들에 연결되며; 그리고 수직으로 배향된 선택 디바이스들에 연결되는 복수의 선택 라인들을 포함하여 구성되며, 선택 라인

들은 기판 내에 없고 기판 위에 있다.

[0205] 비휘발성 저장 시스템의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 워드 라인 드라이버들은 메모리 소자들의 모놀리식 삼차원 어레이 밑에 배치되는 것; 글로벌 워드 라인들은 금속 층 내에 형성되며, 여기서 금속 층은 메모리 소자들의 모놀리식 삼차원 어레이 밑에 그리고 기판 위에 있는 것; 수직으로 배향된 선택 디바이스들은 3 단자 스위치들인 것; 각각의 수직으로 배향된 선택 디바이스는 트랜지스터인 것; 수직으로 배향된 선택 디바이스들은 필러 형상의 박막 트랜지스터들인 것; 수직으로 배향된 선택 디바이스들은 수직으로 배향된 채널들을 갖는 능동 박막 트랜지스터들인 것; 수직으로 배향된 선택 디바이스들은 필러 형상의 박막 트랜지스터들인 것; 수직으로 배향된 비트 라인들은 필러들이고 그리고 두 개의 인접한 수직으로 배향된 선택 디바이스들은 공통 게이트 영역을 공유하는 것; 워드 라인들은 메모리 소자들의 모놀리식 삼차원 어레이의 서로 다른 수직 층들에 배치되는 것; 복수의 수직으로 배향된 선택 디바이스들 및 복수의 선택 라인들은 선택 층 내에 배치되며, 여기서 선택 층은 메모리 소자들의 모놀리식 삼차원 어레이 아래에 그리고 금속 층 위에 있으며, 이 경우 금속 층은 글로벌 워드 라인들을 포함하고 기판 위에 배치되는 것; 선택 층은 글로벌 워드 라인들 위에 그리고 복수의 수직으로 배향된 선택 디바이스들 및 복수의 선택 라인들 아래에 있는 n^+ 폴리실리콘 층을 포함하는 것; 메모리 소자들의 일 세트는 수직으로 배향된 비트 라인 옆에 그리고 복수의 워드 라인들 옆에 수직으로 배향된 가역 저항 스위칭 물질 층을 포함하는 것.

[0206] 일 실시예는 비휘발성 저장소를 동작시키는 방법을 포함하며, 이 방법은: 데이터 종속 신호들을 복수의 글로벌 비트 라인들에 인가하는 단계와; 어드레스 종속 신호들을 메모리 소자들의 모놀리식 삼차원 어레이에 연결된 워드 라인들의 세트에 인가하는 단계와, 여기서 메모리 소자들은 워드 라인들 및 수직으로 배향된 비트 라인들과 함께 연속 메쉬를 형성하고, 메모리 소자들의 모놀리식 삼차원 어레이는 기판 내에 배치되지 않고 기판 위에 배치되며; 상기 기판 내에는 없고 상기 기판 위에는 있는 복수의 수직으로 배향된 선택 디바이스들을 턴온시키기 위해 인에이블 신호를 제 1 선택 라인에 인가하는 단계와, 여기서 수직으로 배향된 선택 디바이스들은 수직으로 배향된 비트 라인들 및 글로벌 비트 라인들에 연결되어 복수의 수직으로 배향된 선택 디바이스들의 턴온은 글로벌 비트 라인들로부터의 신호들을 수직으로 배향된 비트 라인들에 제공하게 되고, 수직으로 배향된 비트 라인들은 기판 내에 없고 기판 위에 있으며; 그리고 데이터 종속 신호들을 복수의 글로벌 비트 라인들에 인가하는 것, 어드레스 종속 신호들을 워드 라인들의 세트에 인가하는 것, 그리고 인에이블 신호를 제 1 선택 라인에 인가하는 것에 응답하여, 하나 이상의 메모리 동작들을 수행하는 단계를 포함한다.

[0207] 이러한 동작시키는 방법의 일부 실시예들은, 기판 내에 없고 기판 위에 있는 다른 수직으로 배향된 선택 디바이스들이 턴온되지 않도록 디스에이블 신호를 이러한 다른 수직으로 배향된 선택 디바이스들에 연결된 다른 선택 라인들에 인가하는 단계를 포함한다.

[0208] 일 실시예는 비휘발성 저장소를 제조하는 방법을 포함하고, 이 방법은: 기판 위에 하나 이상의 디바이스들 및 신호 라인들을 추가하는 단계와; 하나 이상의 디바이스들 및 상기 신호 라인들 위에 선택 층을 추가하는 단계와, 여기서 선택 층을 추가하는 단계는 선택 라인들을 추가하는 것과, 그리고 기판 내에 없고 기판 위에 있는 수직으로 배향된 선택 디바이스들을 추가하는 것을 포함하며; 그리고 선택 층 위에 모놀리식 삼차원 어레이를 추가하는 단계를 포함하고, 여기서 모놀리식 삼차원 어레이는 워드 라인들, 수직으로 배향된 비트 라인들, 및 메모리 소자들을 포함하고, 워드 라인들, 수직으로 배향된 비트 라인들, 및 메모리 소자들은 연속 메쉬를 형성하며, 수직으로 배향된 선택 디바이스들은, 수직으로 배향된 비트 라인들, 선택 라인들, 및 글로벌 비트 라인들에 연결된다.

[0209] 이러한 제조하는 방법의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 선택 라인들을 추가하는 것은, 하위 옥사이드 층을 증착시키는 것과, 하위 옥사이드 층 위에 게이트 물질을 증착시키는 것과, 게이트 물질 위에 상위 옥사이드 층을 증착시키는 것과, 그리고 하위 옥사이드 층, 게이트 물질, 및 상위 옥사이드 층 내에 트렌치들을 에칭하는 것을 포함하는 것; 수직으로 배향된 선택 디바이스들을 추가하는 것은, 열 옥사이드 물질을 증착시키는 것과, 측벽 스페이서를 증착시키는 것과, 트렌치들을 에칭하는 것과, 트렌치들을 p^- 폴리실리콘으로 충전하는 것과, 폴리실리콘의 상부에 n^+ 영역을 생성하기 위해 n^+ 소스 주입을 수행하는 것과, 그리고 폴리실리콘의 하부에 n^+ 영역을 생성하기 위해 열 어닐링을 수행하는 것을 포함하는 것; 하위 옥사이드 층을 증착하기 전에 n^+ 폴리실리콘 층을 추가하고, 열 어닐링은 p^- 폴리실리콘과 n^+ 폴리실리콘 층 간의 접합을 활성화시켜 n^+ 폴리실리콘 층으로부터의 n^+ 주입의 확산으로 인해 수직으로 배향된 선택 디바이스들의 드레인들이 형성되도록 p^- 폴리실리콘의 하단부가 n^+ 로 도핑되게 되는 것; 수직으로 배향된 선택 디바이스들을 추가하는 것은, n^+ 폴리실리콘 층을 추가하는 것과, 신호 라인들의 양쪽 면들 상에 있으며 수직으로 배향된 비트 라인들에 의해 점유될 위치들 아래에 있는 트렌치들을 에칭하는 것과, 트렌치들을 p^- 폴리실리콘으로 충전하는 것과,

폴리실리콘의 상부에 n^+ 영역을 생성하기 위해 n^+ 소스 주입을 수행하는 것과, 그리고 폴리실리콘의 하부에 n^+ 영역을 생성하기 위해 열 어닐링을 수행하는 것을 포함하고, 여기서 수직으로 배향된 비트 라인들은 열 어닐링을 수행한 이후 폴리실리콘 위에 추가되는 것; 수직으로 배향된 선택 디바이스들을 추가하는 것은, 신호 라인들의 양쪽 면들 상에 있으며 수직으로 배향된 비트 라인들에 의해 점유될 위치들 아래에 있는 트렌치들을 에칭하는 것과, 트렌치들을 제 1 타입의 폴리실리콘으로 충전하는 것과, 제 1 타입의 폴리실리콘의 상부에 제 2 타입의 폴리실리콘 영역을 생성하는 것과, 그리고 제 1 타입의 폴리실리콘의 하부에 제 2 타입의 영역을 생성하는 것을 포함하며, 수직으로 배향된 비트 라인들은 폴리실리콘의 하부에 제 2 타입의 영역을 생성한 이후에 폴리실리콘 위에 추가되는 것.

[0210] 일 실시예는 비휘발성 저장 시스템을 포함하며, 이러한 비휘발성 저장 시스템은: 기관과; 기관 내에 배치되지 않고 기관 위에 배치되는 메모리 셀들의 모놀리식 삼차원 메모리 어레이와; 메모리 셀들에 연결되는 워드 라인들과; 기관 내에 위치하며 워드 라인들과 통신하는 복수의 워드 라인 드라이버들과; 기관 내의 복수의 비트 라인 드라이버들과; 비트 라인 드라이버들에 연결되는 복수의 글로벌 비트 라인들과; 기관 내에 없고 기관 위에 있는 복수의 수직으로 배향된 비트 라인들과, 여기서 수직으로 배향된 비트 라인들은 메모리 셀들에 연결되고; 기관 내에 없고 기관 위에 있는 복수의 수직으로 배향된 선택 디바이스들과, 여기서 수직으로 배향된 선택 디바이스들은 수직으로 배향된 비트 라인들과 글로벌 비트 라인들에 연결되며; 그리고 선택 디바이스들에 연결되는 복수의 선택 라인들을 포함하며, 각각의 선택 디바이스는 선택 라인들 중 두 개의 선택 라인들 사이에 배치되어 각각의 선택 디바이스가 두 개의 이웃하는 선택 라인들 중 어느 하나에 의해 제어될 수 있게 된다.

[0211] 비휘발성 저장 시스템의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 메모리 셀은 메모리 셀에 대해 메모리 셀에 연결된 특정의 수직으로 배향된 비트 라인의 반대쪽 면에 있는 선택 라인을 사용하여 특정의 수직으로 배향된 비트 라인 바로 아래에 있는 수직으로 배향된 선택 디바이스를 선택함으로써 액세스되는 것; 수직으로 배향된 비트 라인들의 두 개의 면들 각각에 수직으로 배향된 비휘발성 스위칭 물질 층들을 포함하여 수직으로 배향된 비트 라인들의 두 개의 면들에 메모리 셀들이 형성되게 되며, 수직으로 배향된 선택 디바이스들은 수직으로 배향된 비트 라인들 바로 아래에 배치되고, 특정의 수직으로 배향된 비트 라인의 두 개의 면들 중 제 1 면 상의 특정 메모리 셀은 특정의 수직으로 배향된 비트 라인의 두 개의 면들 중 제 2 면 상에 있는 선택 라인을 사용하여 특정의 수직으로 배향된 비트 라인 바로 아래의 수직으로 배향된 선택 디바이스를 선택함으로써 액세스되는 것; 각각의 선택 라인이 두 개의 수직으로 배향된 선택 디바이스들 사이에 배치되어 각각의 선택 라인이 어느 하나의 수직으로 배향된 선택 디바이스를 구동시킬 수 있게 되는 것; 특정의 수직으로 배향된 선택 디바이스에 대해, 두 개의 이웃하는 선택 라인들 모두가 게이트 신호로서의 역할을 할 수 있어 특정의 수직으로 배향된 선택 디바이스가 더블 게이팅되는 것; 특정의 수직으로 배향된 비트 라인은 선택 라인들 중 두 개의 선택 라인들에 의해 글로벌 비트 라인들 중 하나에 연결가능한 것; 수직으로 배향된 선택 디바이스들은 수직으로 배향된 채널들을 갖는 능동 박막 트랜지스터들인 것; 복수의 수직으로 배향된 선택 디바이스들 및 복수의 선택 라인들은 선택 층 내에 배치되며, 선택 층은 메모리 셀들의 모놀리식 삼차원 어레이 아래에 그리고 금속 층 위에 있으며, 금속 층은 글로벌 워드 라인들을 포함하고 기관 위에 배치되는 것; 메모리 셀은, 각각의 수직으로 배향된 비트 라인의 양쪽 면들에 있는 선택 라인들을 사용하여, 관련된 수직으로 배향된 선택 디바이스를 선택함으로써 액세스되는 것.

[0212] 일 실시예는 비휘발성 저장소를 동작시키는 방법을 포함하며, 이 방법은: 데이터 패턴에 근거하여, 선택된 비트 라인 전압을 선택된 글로벌 비트 라인들에 인가하는 단계와; 선택된 메모리 소자에 대해 관련된 수직으로 배향된 비트 라인의 반대쪽 면 상의 특정 선택 라인에 선택 신호를 인가하는 단계와; 선택된 워드 라인 전압을 선택된 워드 라인들에 인가하는 단계와; 그리고 선택된 워드 라인 전압 및 선택된 비트 라인 전압에 응답하여 메모리 동작을 수행하는 단계를 포함한다.

[0213] 이러한 동작시키는 방법의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 선택된 비트 라인 전압을 인가하기 전에, 비선택된 워드 라인 전압을 비선택된 워드 라인들에 인가하는 것과 그리고 선택된 비트 라인 전압을 인가하기 전에, 비선택된 비트 라인 전압을 글로벌 비트 라인들에 인가하는 것; 비선택된 워드 라인 전압을 인가한 이후에, 수직으로 배향된 비트 라인들이 비선택된 워드 라인 전압을 향해 드리프트하도록 수직으로 배향된 비트 라인들을 플로팅 상태가 되게 하는 것; 다른 선택 라인들의 선택을 막기 위한 신호를 인가하는 것; 특정 선택 라인은 기관 내에 없고 기관 위에 있는 복수의 선택 라인들의 일부이며, 복수의 선택 라인들은, 기관 내에 없고 기관 위에 있는 복수의 수직으로 배향된 선택 디바이스들에 연결되며, 수직으로 배향된 선택 디바이스들은 수직으로 배향된 비트 라인들 및 글로벌 비트 라인들에 연결되고, 각각의 수직으로 배향된 선택 디바이스는 각각의 수직으로 배향된 비트 라인 바로 아래에 배치되며, 그리고 선택 신호를 특정 선택 라인에 인가

하는 것은 각각의 수직으로 배향된 선택 디바이스를 턴온시키고 특정의 수직으로 배향된 비트 라인을 특정 글로벌 비트 라인에 연결시키는 것; 복수의 선택 라인들은 수직으로 배향된 선택 디바이스 및 특정의 수직으로 배향된 비트 라인의 제 1 면 상의 특정 선택 라인을 포함하고, 복수의 선택 라인들은 수직으로 배향된 선택 디바이스 및 특정의 수직으로 배향된 비트 라인의 반대쪽 제 2 면 상의 다른 선택 라인을 포함하고, 그리고 선택된 메모리 셀은 수직으로 배향된 선택 디바이스 및 특정의 수직으로 배향된 비트 라인의 제 2 면 상에 있는 것.

[0214] 일 실시예는 비휘발성 저장 시스템을 포함하고, 비휘발성 저장 시스템은: 기관과; 기관 내에 배치되지 않고 기관 위에 배치되는 메모리 셀들의 모놀리식 삼차원 메모리 어레이와; 메모리 셀들의 세트에 연결됨과 아울러 함께 연결된 복수의 워드 라인들과; 메모리 셀들의 세트 아래 기관 내에 위치하며 함께 연결된 워드 라인들 모두와 통신하는 워드 라인 드라이버와; 복수의 글로벌 비트 라인들과; 메모리 셀들의 어레이에 연결된 복수의 수직으로 배향된 비트 라인들과; 기관 내에 없고 기관 위에 있으며 수직으로 배향된 비트 라인들과 글로벌 비트 라인들에 연결되는 복수의 수직으로 배향된 선택 디바이스들을 포함하고, 수직으로 배향된 선택 디바이스들이 작동될 때, 수직으로 배향된 비트 라인들은 글로벌 비트 라인들과 통신한다.

[0215] 비휘발성 저장 시스템의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 메모리 셀들의 세트는 공통 블록 내에 있고, 워드 라인 드라이버는 공통 블록 밑에 배치되고, 메모리 셀들의 모놀리식 삼차원 메모리 어레이는 복수의 레벨들 상에 메모리 셀들을 포함하고 그리고 함께 연결된 워드 라인들은 공통 평면 상에 있고 메모리 셀들의 세트는 공통 레벨 상에 있는 것; 함께 연결된 워드 라인들은 코움 모양을 형성하는 것; 코움 모양은, 스파인, 제1면상의 핑거들, 및 제2면상의 핑거들을 포함하고, 함께 연결된 워드 라인들의 제 1 세트는 제1면상의 핑거들이고 그리고 함께 연결된 워드 라인들의 제 2 세트는 제2면상의 핑거들인 것; 제1면상의 핑거들인 워드 라인들의 제 1 세트는 제 1 블록 내의 메모리 셀들에 연결되고 그리고 제2면상의 핑거들인 워드 라인들의 제 2 세트는 제 2 블록 내의 메모리 셀들에 연결되며, 제 1 블록은 제 2 블록 옆에 있는 것; 워드 라인들의 제 1 세트의 두 개의 인접하는 워드 라인들 사이에 복수의 수직으로 배향된 비트 라인들이 있는 것; 함께 연결된 워드 라인들은 제 1 구조를 형성하고, 비휘발성 저장 시스템은 코움 모양의 제 2 구조를 형성하도록 함께 연결된 추가적 워드 라인들을 더 포함하고 그리고 제 1 구조의 워드 라인들은 제 2 구조의 워드 라인들과 교차배치되는 것; 제 1 구조의 워드 라인들과 제 2 구조의 워드 라인들 사이에는 수직으로 배향된 비트 라인들에 연결된 메모리 셀들이 있는 것; 워드 라인 드라이버는 함께 연결된 워드 라인들의 집합체와 동일한 크기인 것; 수직으로 배향된 선택 디바이스들에 연결된 복수의 선택 라인들을 포함하고, 복수의 수직으로 배향된 비트 라인들은 기관 내에 없고 기관 위에 있으며, 복수의 수직으로 배향된 선택 디바이스들은 기관 내에 없고 기관 위에 있으며, 메모리 셀들은 수직으로 배향된 비트 라인들 및 워드 라인들과 결합되어 연속 메쉬를 형성하는 것.

[0216] 일 실시예는 비휘발성 저장소를 동작시키는 방법을 포함하며, 이 방법은: 공통 신호를 복수의 워드 라인들에 인가하고 수직으로 배향된 비트 라인들을 플로팅 상태가 되게 하여 수직으로 배향된 비트 라인들이 공통 신호를 향해 드리프트하도록 하는 단계와; 하나 이상의 신호들을 글로벌 비트 라인들에 인가하는 단계와; 수직으로 배향된 선택 디바이스들을 턴온시켜, 선택된 수직으로 배향된 비트 라인들을 대응하는 글로벌 비트 라인들에 연결시키는 단계와; 그리고 공통 워드 라인 드라이버를 이용하여 모놀리식 삼차원 어레이의 선택된 메모리 셀들에 연결됨과 아울러 함께 연결된 워드 라인들의 선택된 세트에 새로운 신호를 인가하는 단계를 포함한다.

[0217] 이러한 동작시키는 방법의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 함께 연결된 워드 라인들의 선택된 세트는 코움 모양을 형성하고, 코움 모양은, 스파인, 제1면상의 핑거들, 및 제2면상의 핑거들을 포함하고, 워드 라인들의 선택된 세트의 제 1 세트는 제1면상의 핑거들이고, 워드 라인들의 선택된 세트의 제 2 세트는 제2면상의 핑거들이고, 그리고 선택된 수직으로 배향된 비트 라인들 및 제1면상의 핑거들은 선택된 메모리 셀들에 연결되는 것; 공통 워드 라인 드라이버는 선택된 메모리 셀들 아래에 배치되는 것; 비선택된 수직으로 배향된 비트 라인들은 셀프 바이어스를 위해 그리고 교란을 피하기 위해 플로팅 상태로 유지되는 것; 공통 신호는 프로그래밍 전압의 크기의 절반인 것; 하나 이상의 신호들을 글로벌 비트 라인들에 인가하기 전에, 비선택된 전압을 글로벌 비트 라인들에 인가하는 것; 그리고 선택된 수직으로 배향된 비트 라인들이 데이터 종속 신호들 중 하나 이상의 데이터 종속 신호를 향해 움직이는 것; 워드 라인들의 선택된 세트에 새로운 신호를 인가하는 것은, 워드 라인들의 선택된 세트를 그라운드로 풀다운시키는 것을 포함하고, 워드 라인들의 선택된 세트에 새로운 신호를 인가하는 것은, 수직으로 배향된 선택 디바이스들을 턴온시킨 후에 수행되고, 그리고 워드 라인들의 선택된 세트에 새로운 신호를 인가하는 것은, 수직으로 배향된 선택 디바이스들을 턴온시키기 전에 수행되는 것.

[0218] 일 실시예는 비휘발성 저장 시스템을 포함하고, 이러한 비휘발성 저장 시스템은: 기관과; 기관 내에 배치되지 않고 기관 위에 배치되는 메모리 소자들의 모놀리식 삼차원 메모리 어레이와, 여기서 메모리 소자들은 블록들

내에 정렬되고; 메모리 소자들에 연결된 복수의 워드 라인들과, 여기서 워드 라인들은 연결된 워드 라인들의 그룹들로서 정렬되고; 복수의 글로벌 워드 라인들과, 여기서 각각의 글로벌 워드 라인은 블록 내에 그룹들 중 하나의 그룹에 연결되고; 메모리 소자들 아래 기판 내에 위치하며 그룹들과 통신하는 워드 라인 드라이버들과; 기판 내의 복수의 비트 라인 드라이버들과; 비트 라인 드라이버들에 연결된 복수의 글로벌 비트 라인들과; 기판 내에 없고 기판 위에 있는 복수의 수직으로 배향된 비트 라인들과; 수직으로 배향된 비트 라인들과 글로벌 비트 라인들에 연결된 복수의 선택 디바이스들과, 여기서 메모리 소자들의 각각의 블록은 선택 디바이스들의 서로 다른 서브세트에 연결되고; 복수의 로우 선택 라인들과, 여기서 각각의 로우 선택 라인은 복수의 블록들에 대한 선택 디바이스들의 서브세트에 연결되고; 그리고 기판 내의 로우 선택 라인 드라이버들을 포함하며, 각각의 로우 선택 라인 드라이버는 로우 선택 라인을 구동시킨다.

[0219] 비휘발성 저장 시스템의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 각각의 로우 선택 라인은 메모리 소자들의 복수의 블록들에 걸쳐 있는 것; 하나의 워드 라인의 팬아웃은 하나의 수직으로 배향된 비트 라인의 팬아웃보다 더 크고, 하나의 로우 선택 라인 드라이버의 팬아웃은 하나의 워드 라인의 팬아웃보다 더 크고, 그리고 하나의 글로벌 비트 라인의 팬아웃 및 하나의 글로벌 워드 라인의 팬아웃은 모두 하나의 로우 선택 라인 드라이버의 팬아웃보다 더 큰 것; 복수의 선택 디바이스들은, 기판 내에 없고 기판 위에 있는 수직으로 배향된 선택 디바이스들인 것; 연결된 워드 라인들의 각각의 그룹은 두 개의 블록들 내의 메모리 소자들에 연결된 워드 라인들을 포함하는 것; 메모리 소자의 모놀리식 삼차원 메모리 어레이는 복수의 레벨들 상에 메모리 소자들을 포함하고 그리고 연결된 워드 라인들의 각각의 그룹은 공통 레벨 상의 워드 라인들을 포함하는 것; 연결된 워드 라인들의 그룹들은 코움 모양들을 형성하고, 코움 모양들은, 스핀인, 제1면상의 핑거들, 및 제2면상의 핑거들을 포함하고, 각각의 그룹의 워드 라인들의 제 1 세트는 제1면상의 핑거들이고 그리고 각각의 그룹의 워드 라인들의 제 2 세트는 제2면상의 핑거들인 것; 로우 선택 라인 드라이버들은 메모리 소자들 밑에 배치되고 그리고 로우 선택 라인 드라이버들은 메모리 소자들의 블록들 사이에 배치되는 것; 메모리 소자들은 복수의 블록들의 제 1 세트를 포함하는 블록들의 복수의 세트들을 포함하고, 로우 선택 라인 드라이버들의 서브세트는 복수의 블록들의 제 1 세트의 다양한 블록들 간에 분포되는 방식으로 배치되고, 그리고 로우 선택 라인 드라이버들의 서브세트는 로우 선택 라인들의 세트에 연결되고, 로우 선택 라인들의 세트는 수직으로 배향된 선택 디바이스들에 연결되며, 수직으로 배향된 선택 디바이스들은 복수의 블록들의 제 1 세트의 블록들 모두에 대한 수직으로 배향된 비트 라인들에 연결되는 것; 메모리 소자들은 복수의 블록들의 제 1 세트를 포함하는 블록들의 복수의 세트들을 포함하고, 로우 선택 라인 드라이버들의 제 1 서브세트는 복수의 블록들의 제 1 세트의 제 1 면 상에 배치되고, 로우 선택 라인 드라이버들의 제 2 서브세트는 복수의 블록들의 제 1 세트의 제 2 면 상에 배치되고, 그리고 로우 선택 라인 드라이버들의 제 1 서브세트 및 로우 선택 라인 드라이버들의 제 2 서브세트는 로우 선택 라인들의 제 1 세트에 연결되며, 로우 선택 라인들의 제 1 세트는 수직으로 배향된 선택 디바이스들에 연결되고, 수직으로 배향된 선택 디바이스들은 복수의 블록들의 제 1 세트의 블록들 모두에 대한 수직으로 배향된 비트 라인들에 연결되는 것; 메모리 소자들은 복수의 블록들의 제 1 세트를 포함하는 블록들의 복수의 세트들을 포함하고, 로우 선택 라인 드라이버들의 제 1 서브세트는 복수의 블록들의 제 1 세트의 중앙에 배치되고, 그리고 로우 선택 라인 드라이버들의 서브세트는 로우 선택 라인들의 세트에 연결되며, 로우 선택 라인들의 세트는 수직으로 배향된 선택 디바이스들에 연결되고, 수직으로 배향된 선택 디바이스들은 복수의 블록들의 제 1 세트의 블록들 모두에 대한 수직으로 배향된 비트 라인들에 연결되는 것.

[0220] 일 실시예는, 기판 내에 배치되지 않고 기판 위에 배치되는 메모리 소자들의 모놀리식 삼차원 메모리 어레이를 동작시키는 방법을 포함하며, 여기서 메모리 소자들은 블록들 내에 정렬된다. 이러한 방법은: 워드 라인들 및 글로벌 비트 라인들 상의 신호들을 구동시키는 단계와; 복수의 로우 선택 라인들 상에 신호들을 인가하기 위해 로우 선택 라인 드라이버들을 사용하는 단계와; 로우 선택 라인들에 인가된 신호들에 근거하여 복수의 선택 디바이스들을 활성화시키는 단계와, 여기서 메모리 소자들의 각각의 블록은 선택 디바이스들의 서로 다른 서브세트에 연결되고, 각각의 로우 선택 라인은 복수의 블록들에 대한 선택 디바이스들의 서브세트에 연결되고; 그리고 선택 디바이스들을 사용하여 글로벌 비트 라인들로부터의 신호들을 수직으로 배향된 비트 라인들에 전달하는 단계를 포함하며, 수직으로 배향된 비트 라인들은 기판 내에 없고 기판 위에 있다.

[0221] 이러한 동작시키는 방법의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 각각의 로우 선택 라인은 메모리 소자들의 복수의 블록들에 걸쳐 있는 것; 하나의 워드 라인의 팬아웃은 하나의 수직으로 배향된 비트 라인의 팬아웃보다 더 크고, 하나의 로우 선택 라인 드라이버의 팬아웃은 하나의 워드 라인의 팬아웃보다 더 크고, 그리고 하나의 글로벌 비트 라인의 팬아웃 및 하나의 글로벌 워드 라인의 팬아웃은 모두 하나의 로우 선택 라인 드라이버의 팬아웃보다 더 큰 것; 복수의 선택 디바이스들은, 기판 내에 없고 기판 위에 있는 수직으로 배향된 선택 디바이스들이고, 워드 라인들은 연결된 워드 라인들의 그룹들로서 정렬되며, 그리고 연결된 워드

라인이 선택되고 관련된 로우 선택 라인이 선택되는 경우, 관련된 글로벌 워드 라인으로부터 관련된 로우 선택 라인으로 pmos 트랜지스터를 통해 전류가 흐르고, 관련된 글로벌 워드 라인이 선택되지 않고 관련된 로우 선택 라인인 선택되는 경우, 관련된 글로벌 워드 라인은 관련된 로우 선택 라인을 그라운드로 제 1 nmos 트랜지스터를 통해 풀다운시키고, 그리고 관련된 로우 선택 라인이 선택되지 않은 경우, 관련된 로우 선택 라인은 제 2 nmos 트랜지스터를 통해 풀다운되는 것; 로우 선택 라인 드라이버들에 관해서, 갭들 각각은 하나의 로우 선택 라인 드라이버로부터 하나의 컴포넌트를 단지 포함하는 것; 로우 선택 라인 드라이버들은 기관 내에 있고, 메모리 셀들은 기관 내에 없고 기관 위에 있으며, 수직으로 배향된 비트 라인들은 기관 내에 없고 기관 위에 있으며, 그리고 수직으로 배향된 선택 디바이스들은 기관 내에 없고 기관 위에 있는 것; 로우 선택 라인 드라이버들 각각은 제 1 nmos 트랜지스터, 제 2 nmos, 트랜지스터, 및 pmos 트랜지스터를 포함하고, 제 1 nmos 트랜지스터는 관련된 글로벌 워드 라인과 관련된 로우 선택 라인 사이에 연결되고, pmos 트랜지스터는 관련된 글로벌 워드 라인과 관련된 로우 선택 라인 사이에 연결되고, 그리고 제 2 nmos 트랜지스터는 관련된 로우 선택 라인과 그라운드 사이에 연결되는 것.

[0226] 일 실시예는 비휘발성 저장 시스템을 포함하고, 이 시스템은: 기관과; 기관 내에 배치되지 않고 기관 위에 배치되는 메모리 셀들의 모놀리식 삼차원 메모리 어레이와; 메모리 셀들의 서브세트에 연결됨과 아울러 함께 연결된 복수의 워드 라인들과; 복수의 글로벌 비트 라인들과; 메모리 셀들에 연결된 복수의 수직으로 배향된 비트 라인들과, 여기서 메모리 셀들은 수직으로 배향된 비트 라인들 및 워드 라인들과 결합되어 연속 메쉬를 형성하고; 기관 내에 없고 기관 위에 있는 복수의 더블 게이팅되는 수직으로 배향된 선택 디바이스들과, 여기서 더블 게이팅되는 수직으로 배향된 선택 디바이스들은 수직으로 배향된 비트 라인들 및 글로벌 비트 라인들에 연결되고, 더블 게이팅되는 수직으로 배향된 선택 디바이스들이 활성화되는 경우 수직으로 배향된 비트 라인들이 글로벌 비트 라인들과 통신하고; 그리고 더블 게이팅되는 수직으로 배향된 선택 디바이스들의 양쪽 게이트들에 연결된 복수의 선택 라인들을 포함하며, 각각의 수직으로 배향된 선택 디바이스는 선택 라인들 중 두 개의 선택 라인들에 연결되어 두 개의 선택 라인들 모두가 각각의 더블 게이팅되는 수직으로 배향된 선택 디바이스들이 활성화되도록 하는 "온" 신호를 구동시키게 한다.

[0227] 비휘발성 저장 시스템의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 각각의 수직으로 배향된 선택 디바이스는 선택 라인들 중 두 개의 선택 라인들 사이에 배치되는 것; 더블 게이팅되는 수직으로 배향된 선택 디바이스들 각각은 도핑된 채널 영역을 포함하여, 더블 게이팅되는 수직으로 배향된 선택 디바이스의 임계 전압이 충족되도록 함과 아울러 전류가 채널 내에서 흐르도록 하기 위해 두 개의 선택 라인들의 두 개로부터의 "온" 전압이 요구되게 되는 것; 더블 게이팅되는 수직으로 배향된 선택 디바이스들은, 수직으로 배향된 채널들 및 두 개의 게이트 인터페이스들을 갖는 트랜지스터들인 것; 메모리 셀들은 블록들 내에 정렬되고, 메모리 어레이는 블록들 사이에 갭들을 포함하고, 그리고 각각의 로우 선택 라인 드라이버는 블록들 사이의 서로 다른 갭들 내에 분포된 복수의 컴포넌트들을 포함하는 것; 로우 선택 라인 드라이버들 각각은 제 1 nmos 트랜지스터, 제 2 nmos 트랜지스터, 및 pmos 트랜지스터를 포함하고, 제 1 nmos 트랜지스터는 관련된 글로벌 워드 라인과 관련된 로우 선택 라인 사이에 연결되고, pmos 트랜지스터는 관련된 글로벌 워드 라인과 관련된 로우 선택 라인 사이에 연결되고, 그리고 제 2 nmos 트랜지스터는 관련된 로우 선택 라인과 그라운드 사이에 연결되는 것; 메모리 셀들은 블록들 내에 정렬되고, 메모리 셀들의 각각의 블록은 더블 게이팅되는 수직으로 배향된 선택 디바이스들의 서로 다른 서브세트에 연결되고, 그리고 각각의 로우 선택 라인은 복수의 블록들에 대한 더블 게이팅되는 수직으로 배향된 선택 디바이스들에 연결되는 것; 워드 라인들은 함께 연결되어 코움 모양을 형성하고, 코움 모양은, 스파인, 제1면상의 핑거들, 및 제2면상의 핑거들을 포함하고, 함께 연결된 워드 라인들의 제 1 세트는 제1면상의 핑거들이고 그리고 함께 연결된 워드 라인들의 제 2 세트는 제2면상의 핑거들인 것; 제1면상의 핑거들인 워드 라인들의 제 1 세트는 제 1 블록 내의 메모리 셀들에 연결되고, 그리고 제2면상의 핑거들인 워드 라인들의 제 2 세트는 제 2 블록 내의 메모리 셀들에 연결되며, 제 1 블록은 제 2 블록 옆에 있는 것.

[0228] 일 실시예는, 관련된 기관 내에 배치되지 않고 관련된 기관 위에는 배치되는 메모리 셀들의 모놀리식 삼차원 메모리 어레이를 포함하는 저장 시스템을 동작시키는 방법이고, 여기서 메모리 셀들은 블록들 내에 정렬되고, 수직으로 배향된 비트 라인들 및 워드 라인들이 메모리 셀들에 연결된다. 이 방법은: 비선택된 워드 라인 전압을 비선택된 워드 라인들에 인가하는 단계와; 데이터 패턴에 근거하여, 하나 이상의 선택된 비트 라인 전압들을 글로벌 비트 라인들에 인가하는 단계와, 여기서 수직으로 배향된 비트 라인들 및 글로벌 비트 라인들은 더블 게이팅되는 수직으로 배향된 선택 디바이스들에 연결되고; 특정의 수직으로 배향된 비트 라인의 두 개의 면들 상의 로우 선택 라인들에 하나 이상의 선택 신호들을 인가하여 특정의 수직으로 배향된 비트 라인이 각각의 글로벌 비트 라인과 통신하게 하기 위해 특정의 수직으로 배향된 비트 라인에 연결된 각각의 더블 게이팅되는 수직으로 배향된 선택 디바이스를 활성화시키는 단계와; 그리고 선택된 워드 라인 전압을 선택된 메모리 셀에 연결된 선

택된 워드 라인에 인가하는 단계를 포함하며, 선택된 메모리 셀은 또한 특정의 수직으로 배향된 비트 라인에 연결되고, 선택된 워드 라인 전압을 인가하는 것과 그리고 하나 이상의 선택된 비트 라인 전압들을 인가하는 것은 선택된 메모리 셀에 대한 메모리 동작이 수행되게 한다.

[0229] 이러한 동작시키는 방법의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 비선택된 비트 라인들에 연결된 더블 게이팅되는 수직으로 배향된 선택 디바이스들의 활성화를 막기 위한 신호를 다른 로우 선택 라인들에 인가하는 단계를 더 포함하는 것; 특정의 수직으로 배향된 비트 라인의 두 개의 면들 상의 로우 선택 라인들은 각각의 더블 게이팅되는 수직으로 배향된 선택 디바이스의 서로 다른 게이트 인터페이스들에서 연결되는 것; 각각의 더블 게이팅되는 수직으로 배향된 선택 디바이스의 채널은, 두 개의 연결된 로우 선택 라인들이 작동되는 경우에만 각각의 더블 게이팅되는 수직으로 배향된 선택 디바이스가 턴온되도록, 도핑되는 것; 선택된 워드 라인을 포함하는 복수의 워드 라인들은 함께 연결되어, 선택된 워드 라인 전압을 선택된 워드 라인에 인가함으로써, 선택된 워드 라인 전압이 또한 함께 연결된 복수의 워드 라인들 전체에 인가되게 되며, 메모리 셀들은 수직으로 배향된 비트 라인들 및 워드 라인들과 결합되어 연속 메쉬를 형성하고, 더블 게이팅되는 수직으로 배향된 선택 디바이스들 및 수직으로 배향된 비트 라인들은 기판 내에 없고 기판 위에 있는 것; 메모리 어레이는 블록들 사이에 갭들을 포함하고, 그리고 각각의 로우 선택 라인 드라이버는 블록들 사이의 서로 다른 갭들 내에 분포된 복수의 트랜지스터들을 포함하는 것; 하나 이상의 선택된 비트 라인 전압들을 글로벌 비트 라인들에 인가하기 전에, 비선택 비트 라인 전압을 글로벌 비트 라인들에 인가하는 단계를 더 포함하는 것; 비선택된 비트 라인 전압을 글로벌 비트 라인들에 인가하면서 수직으로 배향된 비트 라인들을 플로팅 상태가 되게 함으로써, 플로팅 상태가 된 수직으로 배향된 비트 라인들에 연결된 메모리 셀들이 비선택된 비트 라인 전압을 향해 드리프트하도록 하는 단계를 더 포함하는 것.

[0230] 일 실시예는 비휘발성 저장 시스템을 포함하고, 이러한 비휘발성 저장 시스템은: 메모리 셀들의 모놀리식 삼차원 메모리 어레이와; 메모리 셀들에 연결된 워드 라인들과; 메모리 셀들에 연결된 복수의 수직으로 배향된 비트 라인들과; 복수의 글로벌 비트 라인들과; 글로벌 비트 라인들에 연결된 제1의 복수의 선택 디바이스들과; 수직으로 배향된 비트 라인들 및 제1의 복수의 선택 디바이스들에 연결된 제2의 복수의 선택 디바이스들과, 여기서 제1의 복수의 선택 디바이스들은 제 1 레벨 상에 있고, 제2의 복수의 선택 디바이스들은 제 1 레벨 위에 있는 제 2 레벨 상에 있으며; 그리고 제1의 복수의 선택 디바이스들 및 제2의 복수의 선택 디바이스들에 연결된 선택 라인들을 포함한다.

[0231] 비휘발성 저장 시스템의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 제1의 복수의 선택 디바이스들의 각각의 선택 디바이스는 제2의 복수의 선택 디바이스들의 대응하는 선택 디바이스 위에 있는 것; 제1의 복수의 선택 디바이스들의 각각의 선택 디바이스는 제2의 복수의 선택 디바이스들의 대응하는 선택 디바이스에 연결되는 것; 제1의 복수의 선택 디바이스들의 각각의 선택 디바이스는 제2의 복수의 선택 디바이스들의 대응하는 선택 디바이스와 직렬로 연결되는 것; 제1의 복수의 선택 디바이스들의 각각의 선택 디바이스는 두 개의 게이트 인터페이스들을 포함하고, 제2의 복수의 선택 디바이스들의 각각의 선택 디바이스는 두 개의 게이트 인터페이스들을 포함하고, 그리고 선택 라인들은 제1의 복수의 선택 라인들 및 제2의 복수의 선택 라인들을 포함하고, 제1의 복수의 선택 라인들 각각은 제1의 복수의 선택 디바이스들의 두 개의 게이트 인터페이스들에 연결되고, 제2의 복수의 선택 라인들 각각은 제2의 복수의 선택 디바이스들의 두 개의 게이트 인터페이스들에 연결되고, 제1의 복수의 선택 라인들은 제 1 레벨 상에 있으며, 제2의 복수의 선택 라인들은 제 2 레벨 상에 있는 것; 제1의 복수의 선택 디바이스들로부터의 제 1 선택 디바이스를 턴온시킴과 아울러 제2의 복수의 선택 디바이스들로부터의 제 2 선택 디바이스를 턴온시킴으로써 특정의 수직으로 배향된 비트 라인이 특정 글로벌 비트와 통신하게 되어, 제 1 선택 디바이스는 특정 글로벌 비트에 연결되게 되고 제 2 선택 디바이스는 특정의 수직으로 배향된 비트 라인에 연결되게 되며, 제 1 선택 디바이스는 제 2 선택 디바이스에 연결되고, 그리고 제 1 선택 디바이스 및 제 2 선택 디바이스를 턴온시키는 것은, 제1의 복수의 선택 라인들로부터 제 1 선택 라인을 선택하는 것과 제2의 복수의 선택 라인들로부터 제 2 선택 라인을 선택하는 것을 포함하고, 제 1 선택 라인은 제 2 선택 라인에 대해 제 2 선택 디바이스 및 제 1 선택 디바이스의 반대쪽 면 상에 있는 것; 선택 라인들의 대각선 쌍들이 함께 연결되고, 각각의 대각선 쌍은, 직렬로 연결된 선택 디바이스들의 쌍의 반대쪽 면 상에 있는 제2의 복수의 선택 라인들로부터의 하나의 선택 라인 및 제1의 복수의 선택 라인들로부터의 하나의 선택 라인을 포함하는 것; 제1의 복수의 선택 라인들로부터의 제 1 선택 라인을 선택함과 아울러 제2의 복수의 선택 라인들로부터의 제 2 선택 라인을 선택함으로써 특정의 수직으로 배향된 비트 라인이 특정 글로벌 비트와 통신하게 되어, 제 1 선택 라인은 제 2 선택 라인에 대해, 직렬로 연결된 선택 디바이스들의 쌍의 반대쪽 면 상에 있게 되는 것; 메모리 셀들은 블록들 내에 그룹화되고, 블록들 사이에, 선택 라인들이 단일 신호 라인들로서 존재하고, 그리고 블록들 밑에서, 선택 라인들이 복수의 신호 라인들로 분할되고, 여기서 복수의 신호 라인들은 제 1 라인

및 제 2 라인을 포함하고, 제 1 라인은 제1의 복수의 선택 디바이스들 중의 선택 디바이스들에 연결되고, 제 2 라인은 제2의 복수의 선택 디바이스들 중의 선택 디바이스들에 연결되는 것; 로우 선택 라인 드라이버들을 포함하고, 메모리 셀들은 블록들 내에 정렬되고, 메모리 어레이는 블록들 사이에 갭들을 포함하고, 각각의 로우 선택 라인 드라이버는, 블록들 사이의 서로 다른 갭들 내에 분포됨과 아울러 갭들 내의 선택 라인들에 연결되는, 복수의 컴포넌트들을 포함하는 것; 기판을 포함하고, 메모리 셀들의 모놀리식 삼차원 메모리 어레이는 기판 내에 배치되지 않고 기판 위에 배치되며, 수직으로 배향된 비트 라인들은 기판 내에 배치되지 않고 기판 위에 배치되며, 제1의 복수의 선택 디바이스들 및 제2의 복수의 선택 디바이스들은, 기판 내에는 없고 기판 위에 있는 수직으로 배향된 선택 디바이스들이고, 워드 라인들의 그룹들이 함께 연결되는 것; 제1의 복수의 선택 디바이스들로부터의 제 1 선택 디바이스를 턴온시킴과 아울러 제2의 복수의 선택 디바이스들로부터의 제 2 선택 디바이스를 턴온시킴으로써 특정의 수직으로 배향된 비트 라인이 특정 글로벌 비트와 통신하게 되어 제 1 선택 디바이스는 특정 글로벌 비트에 연결되게 되고, 제 2 선택 디바이스는 특정의 수직으로 배향된 비트 라인에 연결되게 되며, 제 1 선택 디바이스는 제 2 선택 디바이스에 연결되고, 제 1 선택 디바이스 및 제 2 선택 디바이스를 턴온시키는 것은, 제 1 선택 라인 및 제 2 선택 라인을 선택하는 것을 포함하고, 제 1 선택 라인은 제 2 선택 라인에 대해 제 2 선택 디바이스 및 제 1 선택 디바이스의 반대쪽 면 상에 있으며, 그리고 제 1 선택 라인은 또한 제 1 선택 디바이스에 인접한 다른 선택 디바이스에 연결되고, 제 2 선택 라인은 또한 제 2 선택 디바이스에 인접한 다른 선택 디바이스에 연결되는 것.

[0232] 일 실시예는, 메모리 셀들의 모놀리식 삼차원 메모리 어레이, 메모리 셀들에 연결된 워드 라인들 및 수직으로 배향된 비트 라인들을 포함하는 저장 시스템을 동작시키는 방법을 포함한다. 이 방법은: 선택된 메모리 셀에 연결된 워드 라인에 선택된 워드 라인 전압을 인가하는 단계와, 여기서 선택된 메모리 셀에는 또한 선택된 수직으로 배향된 비트 라인이 연결되고; 데이터 패턴에 근거하여, 선택된 비트 라인 전압을 선택된 글로벌 비트 라인들에 인가하는 단계와, 여기서 글로벌 비트 라인들은 글로벌 비트 라인들에 연결된 제1의 복수의 선택 디바이스들과, 제1의 복수의 선택 디바이스들 및 수직으로 배향된 비트 라인들에 연결된 제2의 복수의 선택 디바이스들을 통해 수직으로 배향된 비트 라인들과 통신하고, 제1의 복수의 선택 디바이스들은 제 1 레벨 상에 있고, 제2의 복수의 선택 디바이스들은 제 1 레벨 위에 있는 제 2 레벨 상에 있으며; 제1의 복수의 선택 디바이스들로부터의 제 1 선택 디바이스와 제2의 복수의 선택 디바이스들로부터의 제 2 선택 디바이스를 턴온시키는 단계와, 여기서 턴온시키는 단계는, 제 1 선택 신호를 제 1 선택 디바이스에 연결된 제 1 선택 라인에 인가함과 아울러 제 2 선택 신호를 제 2 선택 디바이스에 연결된 제 2 선택 라인에 인가함으로써 행해지고, 제 1 선택 라인은 제 2 선택 라인에 대해 스택의 반대쪽 면 상에 있고, 여기서 스택은 직렬로 함께 연결된 제 1 선택 디바이스 및 제 2 선택 디바이스를 포함하고; 그리고 선택된 비트 라인 전압 및 선택된 워드 라인 전압에 응답하여, 선택된 메모리 셀 내에서 메모리 동작을 수행하는 단계를 포함한다.

[0233] 이러한 동작시키는 방법의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 선택 라인은 또한 제 1 선택 디바이스에 인접한 다른 선택 디바이스에 연결되고, 제 2 선택 라인은 또한 제 2 선택 디바이스에 인접한 다른 선택 디바이스에 연결되고 그리고 선택된 워드 라인 전압을 선택된 워드 라인에 인가하는 것은 선택된 워드 라인 전압을 연결된 워드 라인들의 그룹에 인가하는 것을 포함하는 것; 선택된 워드 라인 전압을 인가하기 전에, 비선택된 워드 라인 전압을 비선택된 워드 라인들에 인가하는 것, 선택된 비트 라인 전압을 인가하기 전에, 비선택된 비트 라인 전압을 글로벌 비트 라인들에 인가하는 것, 그리고 비선택된 워드 라인 전압을 인가한 이후, 수직으로 배향된 비트 라인들을 플로팅 상태가 되게 하여 수직으로 배향된 비트 라인들이 비선택된 워드 라인 전압을 향해 드리프트하도록 하는 것; 메모리 셀들은 블록 내에 정렬되고, 메모리 어레이는 블록들 사이에 갭들을 포함하며 그리고 제 1 선택 신호를 제 1 선택 라인에 인가하는 것은 갭들 내의 컴포넌트들로부터 제 1 선택 라인을 구동시키는 것을 포함하는 것.

[0234] 일 실시예는 비휘발성 저장 시스템을 포함하고, 이러한 비휘발성 저장 시스템은: 기판과; 기판 내에 배치되지 않고 기판 위에 배치되는 메모리 셀들의 모놀리식 삼차원 메모리 어레이와; 메모리 셀들에 연결된 워드 라인들과; 기판 내에 없고 기판 위에 있는 복수의 수직으로 배향된 비트 라인들과, 여기서 수직으로 배향된 비트 라인들은 메모리 셀들에 연결되고; 복수의 글로벌 비트 라인들과; 기판 내에 없고 기판 위에 있는 복수의 비대칭의 수직으로 배향된 선택 디바이스들과, 여기서 비대칭의 수직으로 배향된 선택 디바이스들은 수직으로 배향된 비트 라인들과 글로벌 비트 라인들에 연결되고, 비대칭의 수직으로 배향된 선택 디바이스들은 제 1 게이트 인터페이스 및 제 2 게이트 인터페이스를 가지며; 그리고 선택 디바이스들에 연결된 복수의 선택 라인들을 포함하고, 각각의 비대칭의 수직으로 배향된 선택 디바이스는, 각각의 비대칭의 수직으로 배향된 선택 디바이스에 대한 제 1 게이트 인터페이스에 연결된 선택 라인들 중 하나와, 그리고 각각의 비대칭의 수직으로 배향된 선택 디바이스

에 대한 제 2 게이트 인터페이스에 연결된 선택 라인들 중 다른 하나를 갖는다.

[0235] 비휘발성 저장 시스템의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 각각의 비대칭의 수직으로 배향된 선택 디바이스는 비대칭적으로 도핑된 채널을 포함하는 것; 각각의 비대칭의 수직으로 배향된 선택 디바이스는 비대칭 채널을 포함하는 것; 각각의 비대칭의 수직으로 배향된 선택 디바이스는, 제 1 게이트 인터페이스에서 제1의 면을 갖고 제 2 게이트 인터페이스에서 제2의 면을 갖는 채널을 포함하고, 제1의 면은 제2의 면과는 다른 임계 전압을 갖는 것; 제 1 게이트 인터페이스를 포함하는 비대칭의 수직으로 배향된 선택 디바이스들의 제1의 면은 공핍 모드 트랜지스터들처럼 동작하고, 제 2 게이트 인터페이스를 포함하는 비대칭의 수직으로 배향된 선택 디바이스들의 제2의 면은 인헨스먼트 모드 트랜지스터들처럼 동작하는 것; 각각의 비대칭의 수직으로 배향된 선택 디바이스는 인헨스먼트 모드 면 및 공핍 모드 면을 포함하는 것; 복수의 선택 라인들 각각은 두 개의 이웃하는 비대칭의 수직으로 배향된 선택 디바이스들에 대한 게이트 인터페이스들 사이에 배치되어 게이트 인터페이스들과 통신하고, 선택 신호를 선택 라인들에 인가함으로써 두 개의 이웃하는 비대칭의 수직으로 배향된 선택 디바이스들 중 하나가 단지 턴온되게 되는 것; 비대칭의 수직으로 배향된 선택 디바이스들은, 수직으로 배향된 채널들을 갖는 능동 박막 트랜지스터인 것; 워드 라인들은 워드 라인들의 그룹들을 포함하고, 워드 라인들의 각각의 그룹은 함께 연결된 복수의 워드 라인들을 포함하고, 그리고 각각의 선택 라인이 비대칭의 수직으로 배향된 선택 디바이스들의 세트에 연결되고, 비대칭의 수직으로 배향된 선택 디바이스들의 세트는 수직으로 배향된 비트 라인들의 세트에 연결되고, 수직으로 배향된 비트 라인들의 세트는 또한 워드 라인들의 특정 그룹의 단지 하나의 워드 라인에만 연결되는 것; 메모리 셀은 수직으로 배향된 비트 라인들 및 워드 라인들과 결합되어 연속 메쉬를 형성하는 것; 로우 선택 라인 드라이버들을 포함하고, 메모리 셀들은 블록들 내에 정렬되고, 메모리 어레이는 블록들 사이에 갭들을 포함하고, 그리고 각각의 로우 선택 라인 드라이버는 블록들 사이의 서로 다른 갭들 내에 분포된 복수의 컴포넌트들을 포함하는 것; 각각의 비대칭의 수직으로 배향된 선택 디바이스는, 제 1 게이트 인터페이스에서 제 1 게이트 옥사이드와, 그리고 제 2 게이트 인터페이스에서 제 2 게이트 옥사이드를 포함하고, 제 1 게이트 옥사이드는 제 2 게이트 옥사이드와는 다른 두께를 갖는 것; 그리고 각각의 비대칭의 수직으로 배향된 선택 디바이스는 게이트 물질 일함수 차이로 인해 비대칭인 것.

[0236] 일 실시예는 비휘발성 저장소를 제조하는 방법을 포함하고, 이 방법은: 기판 위에 하나 이상의 디바이스들 및 신호 라인들을 추가하는 단계와; 하나 이상의 디바이스들 및 신호 라인들 위에 선택 층을 추가하는 단계와, 여기서 선택 층을 추가하는 단계는 선택 라인들을 추가하는 것과, 비대칭의 수직으로 배향된 선택 디바이스들을 추가하는 것을 포함하고; 그리고 선택 층 위에 모놀리식 삼차원 어레이를 추가하는 단계를 포함하며, 모놀리식 삼차원 어레이는 메모리 소자들에 연결된 수직으로 배향된 비트 라인들 및 워드 라인들을 포함하고, 수직으로 배향된 선택 디바이스들은, 수직으로 배향된 비트 라인들, 선택 라인들, 및 글로벌 비트 라인들에 연결된다.

[0237] 이러한 제조하는 방법의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 선택 라인들을 추가하는 것은, 하위 옥사이드 층을 증착시키는 것과, 하위 옥사이드 층 위에 게이트 물질을 증착시키는 것과, 게이트 물질 위에 상위 옥사이드 층을 증착시키는 것과, 그리고 스택들을 형성하기 위해 하위 옥사이드 층, 게이트 물질, 및 상위 옥사이드 층 내에 트렌치들을 에칭하는 것을 포함하는 것; 열 옥사이드 물질을 증착시키는 것, 측벽 스페이서를 증착시키는 것, 트렌치들을 에칭하는 것, 제1의 각도로 높은 임계 전압 인헨스먼트 모드 경사 주입을 수행하여 스택들의 제1의 면이 높은 임계 전압 인헨스먼트 모드 경사 주입을 수용하도록 하는 것, 제2의 각도로 기울어진 공핍 모드 경사 주입을 수행하여 스택들의 제2의 면이 공핍 모드 경사 주입을 수용하도록 하는 것, 트렌치들을 p- 폴리실리콘으로 충전하는 것, 폴리실리콘의 상부에 n+ 영역을 생성하기 위해 n+ 소스 주입을 수행하는 것, 그리고 폴리실리콘의 하부에 n+ 영역을 생성하기 위해 열 어닐링을 수행하는 것; 하위 옥사이드 층을 증착시키기 전에 n+ 폴리실리콘 층을 추가하는 것을 더 포함하고, 열 어닐링은 p- 폴리실리콘과 n+ 폴리실리콘 층 간의 접합을 활성화시켜 n+ 폴리실리콘 층으로부터의 n+ 주입의 확산으로 인해 수직으로 배향된 선택 디바이스들의 드레인들이 형성되도록 p- 폴리실리콘의 하단부가 n+로 도핑되게 되는 것; 수직으로 배향된 선택 디바이스들을 추가하는 것은, n+ 폴리실리콘 층을 추가하는 것과, 신호 라인들의 양쪽 면들 상에 있으며 수직으로 배향된 비트 라인들에 의해 점유될 위치들 아래에 있는 트렌치들을 에칭하는 것과, 제1의 각도로 높은 임계 전압 인헨스먼트 모드 경사 주입을 수행하여 선택 라인 스택들의 제1의 면이 높은 임계 전압 인헨스먼트 모드 경사 주입을 수용하도록 하는 것과, 제2의 각도로 기울어진 공핍 모드 경사 주입을 수행하여 스택들의 제2의 면이 공핍 모드 경사 주입을 수용하도록 하는 것과, 트렌치들을 p- 폴리실리콘으로 충전하는 것과, 폴리실리콘의 상부에 n+ 영역을 생성하기 위해 n+ 소스 주입을 수행하는 것과, 그리고 폴리실리콘의 하부에 n+ 영역을 생성하기 위해 열 어닐링을 수행하는 것을 포함하고, 수직으로 배향된 비트 라인들은 열 어닐링을 수행한 이후 폴리실리콘 위에 추가되는 것; 수직으로 배향된 선택 디바이스들을 추가하는 것은, 신호 라인들의 양쪽 면들 상에 있으며 수직으로 배향된 비트 라인들에 의해 점유될 위치들 아래에 있는 트렌치들을 에칭하는 것과, 제1의 각도로

높은 임계 전압 인헨스먼트 모드 경사 주입을 수행하여 선택 라인 스택들의 제1의 면이 높은 임계 전압 인헨스먼트 모드 경사 주입을 수용하도록 하는 것과, 제2의 각도로 기울어진 공핍 모드 경사 주입을 수행하여 스택들의 제2의 면이 공핍 모드 경사 주입을 수용하도록 하는 것과 그리고 트렌치들을 폴리실리콘으로 충전하는 것을 포함하는 것.

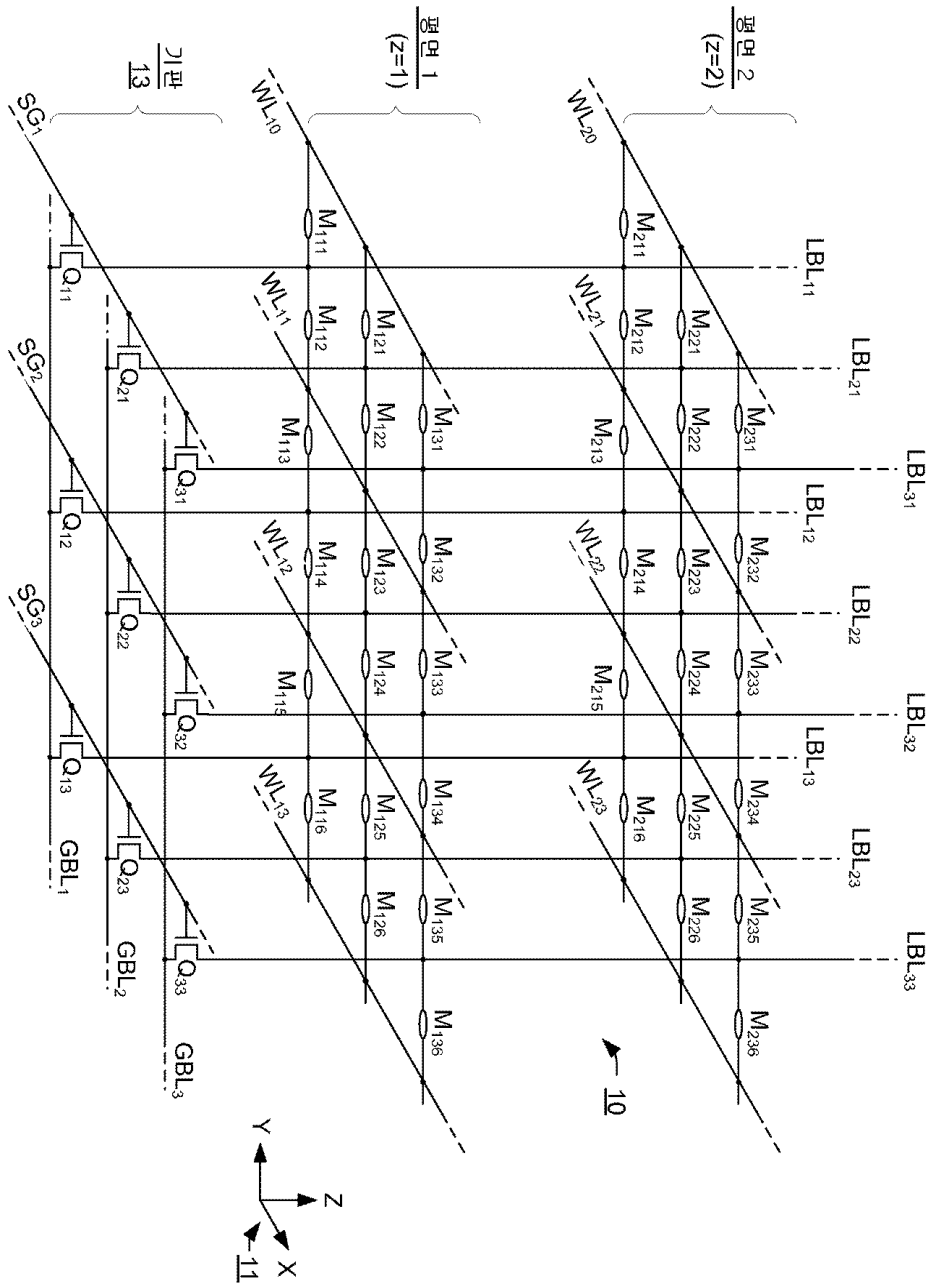
[0238] 일 실시예는, 메모리 셀들의 모놀리식 삼차원 메모리 어레이, 메모리 셀들에 연결된 워드 라인들 및 수직으로 배향된 비트 라인들을 포함하는 저장 시스템을 동작시키는 방법을 포함한다. 이 방법은: 데이터 패턴에 근거하여, 선택된 비트 라인 전압을 선택된 글로벌 비트 라인들에 인가하는 단계와, 여기서 글로벌 비트 라인들은 복수의 비대칭의 수직으로 배향된 선택 디바이스들을 통해 수직으로 배향된 비트 라인들과 통신하고, 각각의 비대칭의 수직으로 배향된 선택 디바이스는, 각각의 비대칭의 수직으로 배향된 선택 디바이스에 대한 제 1 게이트 인터페이스에 연결된 복수의 선택 라인들 중 하나와, 그리고 각각의 비대칭의 수직으로 배향된 선택 디바이스에 대한 제 2 게이트 인터페이스에 연결된 선택 라인들 중 다른 하나를 가지며, 제 1 게이트 인터페이스는 제 2 게이트 인터페이스보다 낮은 임계 전압을 갖고; 선택된 수직으로 배향된 비트 라인에 연결된 특정의 비대칭의 수직으로 배향된 선택 디바이스에 대한 제 1 게이트 인터페이스에 연결된 특정 선택 라인에 선택 신호를 인가하는 단계와, 여기서 선택된 수직으로 배향된 비트 라인은 선택된 메모리 셀에 연결되고; 선택된 메모리 셀에 연결된 선택된 워드 라인에 선택된 워드 라인 전압을 인가하는 단계와; 그리고 선택된 워드 라인 전압 및 선택된 비트 라인 전압에 응답하여 메모리 동작을 수행하는 단계를 포함한다.

[0239] 이러한 동작시키는 방법의 다양한 실시예들은 다음과 같은 것의 임의의 조합을 포함한다: 선택된 워드 라인 전압을 선택된 워드 라인에 인가하는 것은 선택된 워드 라인 전압을 연결된 워드 라인들의 그룹에 인가하는 것을 포함하는 것; 그리고 선택된 비트 라인 전압을 인가하기 전에, 비선택된 워드 라인 전압을 비선택된 워드 라인들에 인가하는 것과, 선택된 비트 라인 전압을 인가하기 전에, 비선택된 비트 라인 전압을 글로벌 비트 라인들에 인가하는 것과, 그리고 비선택된 워드 라인 전압을 인가한 이후, 수직으로 배향된 비트 라인들을 플로팅 상태가 되게 하여 수직으로 배향된 비트 라인들이 비선택된 워드 라인 전압을 향해 드리프트하도록 하는 것을 더 포함하는 것.

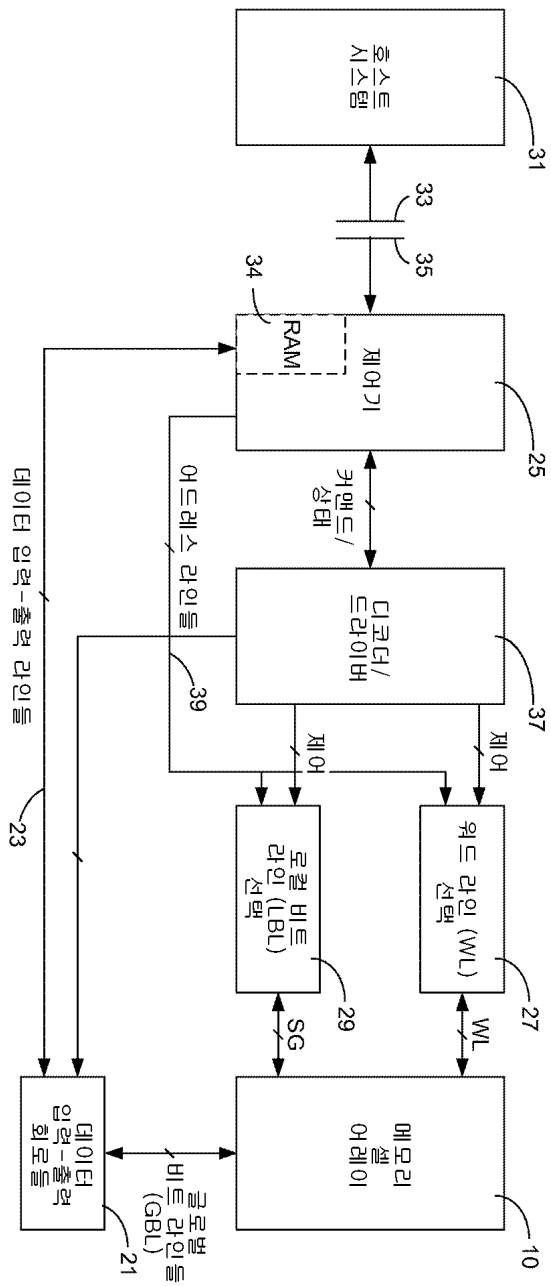
[0240] 앞서의 상세한 설명은 예시적 목적 그리고 설명 목적으로 제시된 것이다. 이것은 본 발명을 개시된 형태로 정확히 한정하려는 것이 아니며 아울러 본 발명의 실시예 모두를 말하는 것이 아니다. 앞서의 가르침을 통해 많은 수정 및 변형이 가능하다. 설명된 실시예들은 개시된 기술 및 그 실제 애플리케이션의 원리들을 가장 잘 설명하도록 선택된 것이며, 그럼으로써 본 발명의 기술분야에서 숙련된 다른 사람들로 하여금 그 고려되는 특정 용도에 적합하게 본 기술을 다양한 수정으로 그리고 다양한 실시예로 가장 잘 이용할 수 있게 하려는 것이다. 본 명세서에 첨부되는 특허청구범위에 의해 본 발명의 범위가 정의되도록 의도되었다.

도면

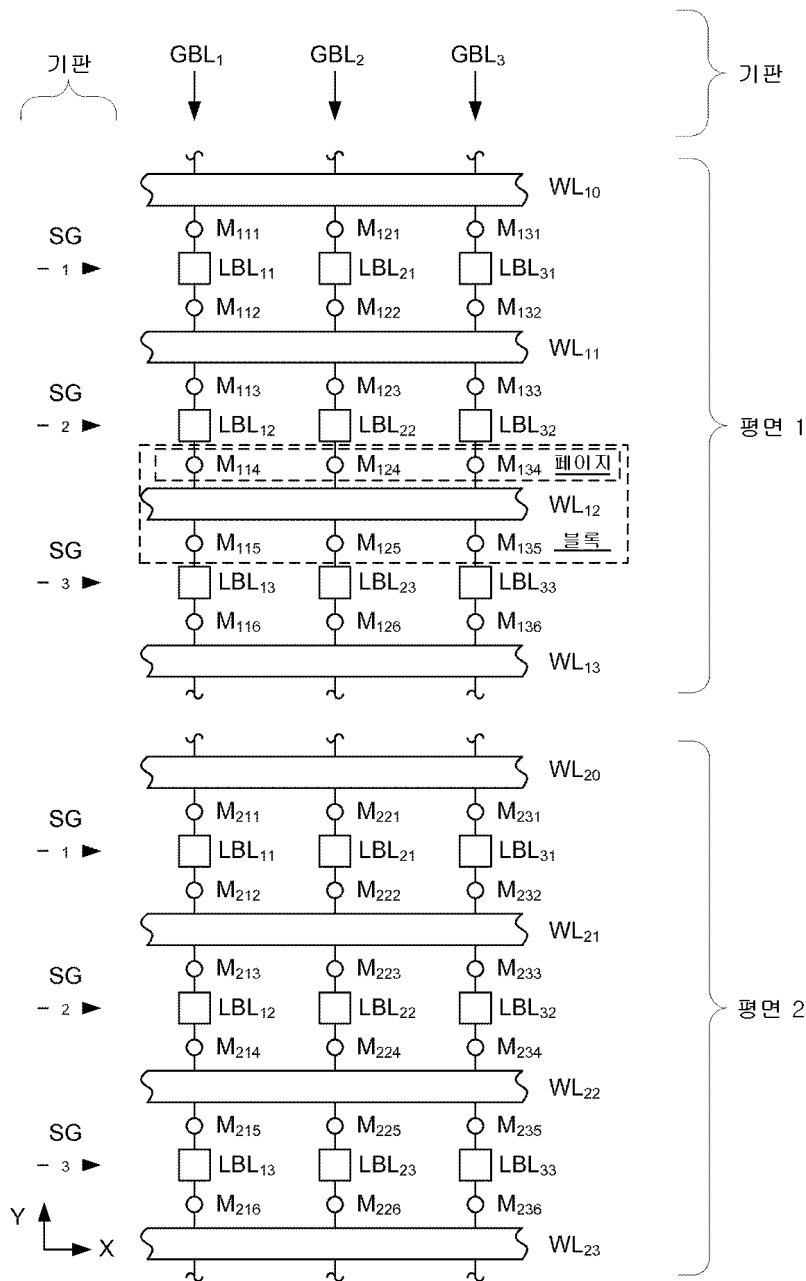
도면1



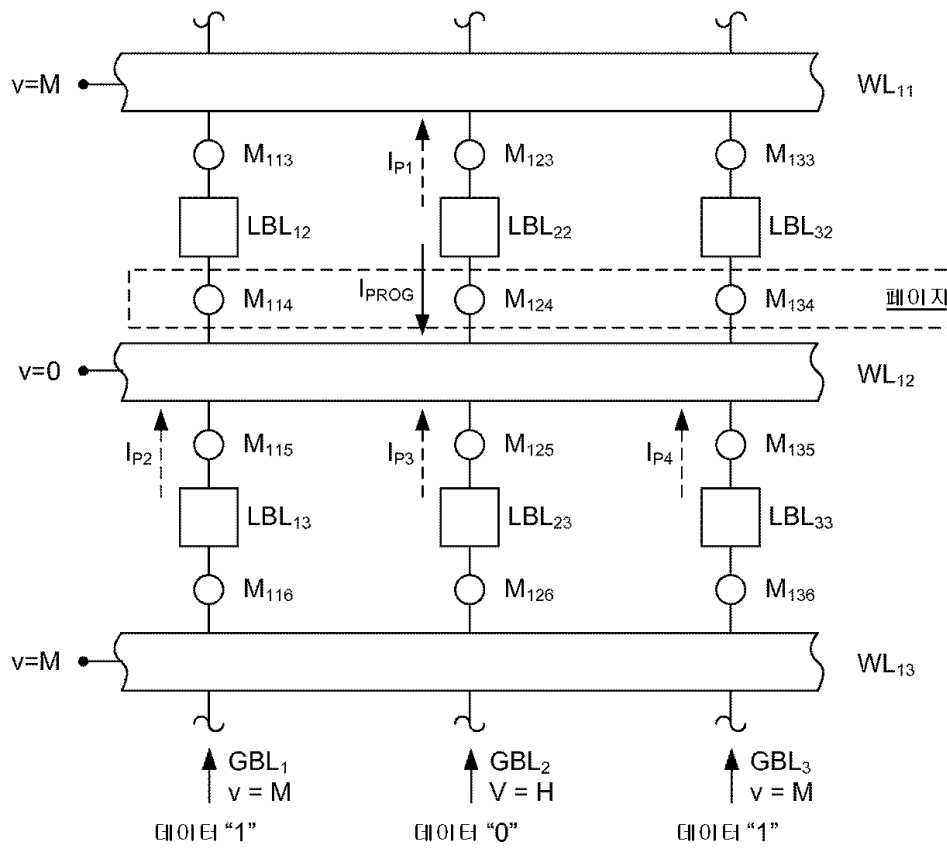
도면2



도면3

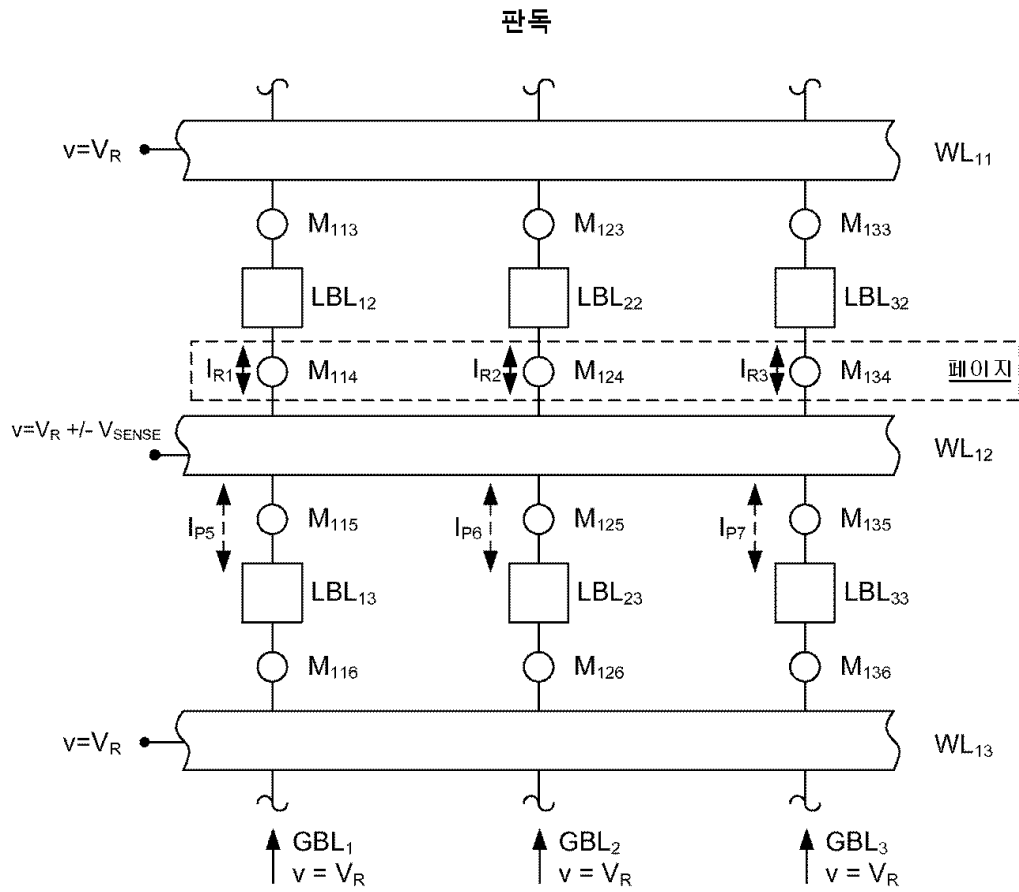


도면4

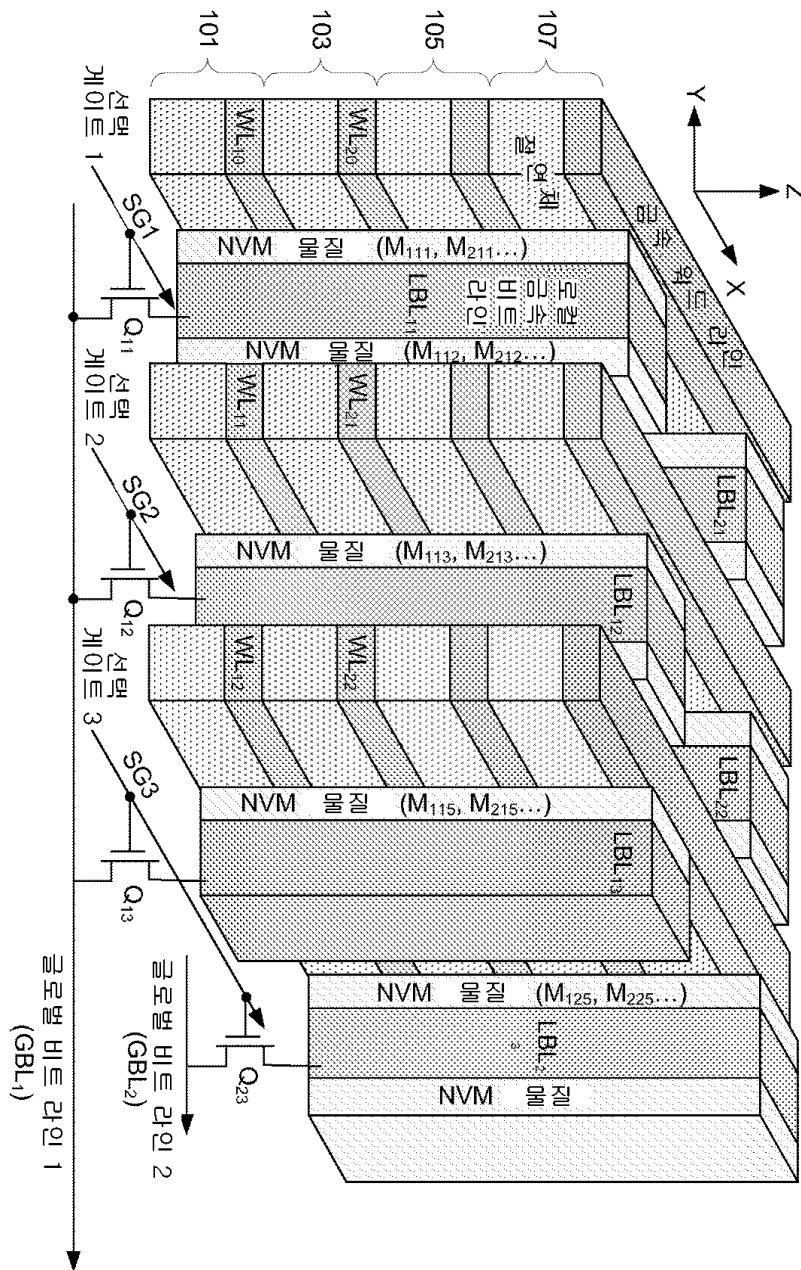


프로그래밍

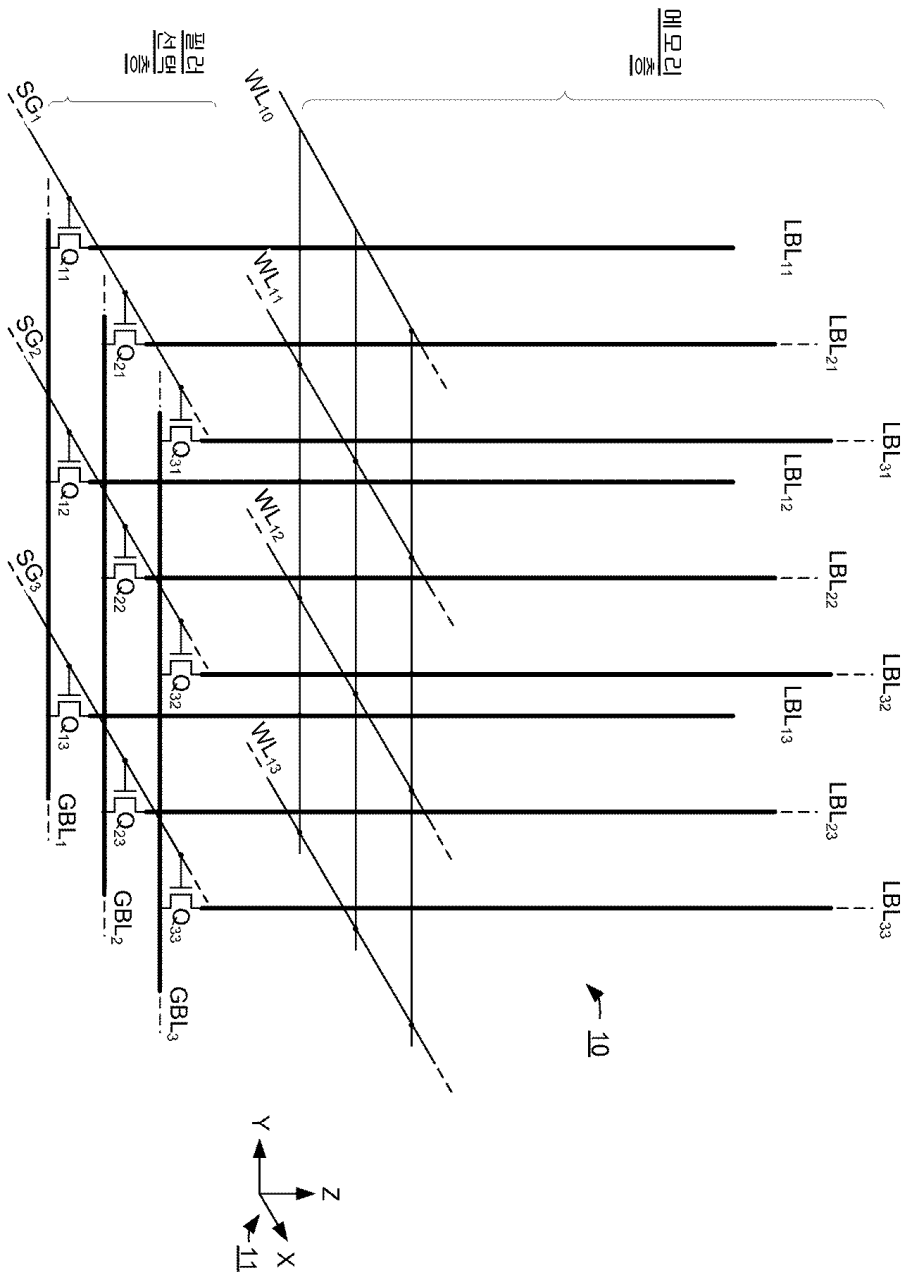
도면5



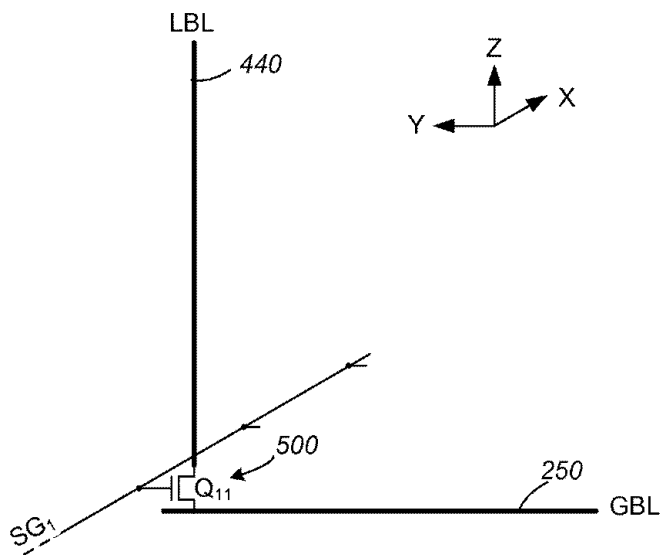
도면6



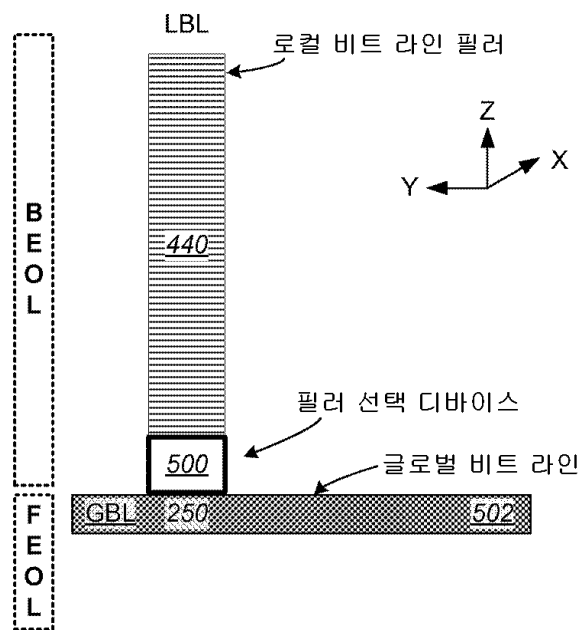
도면7



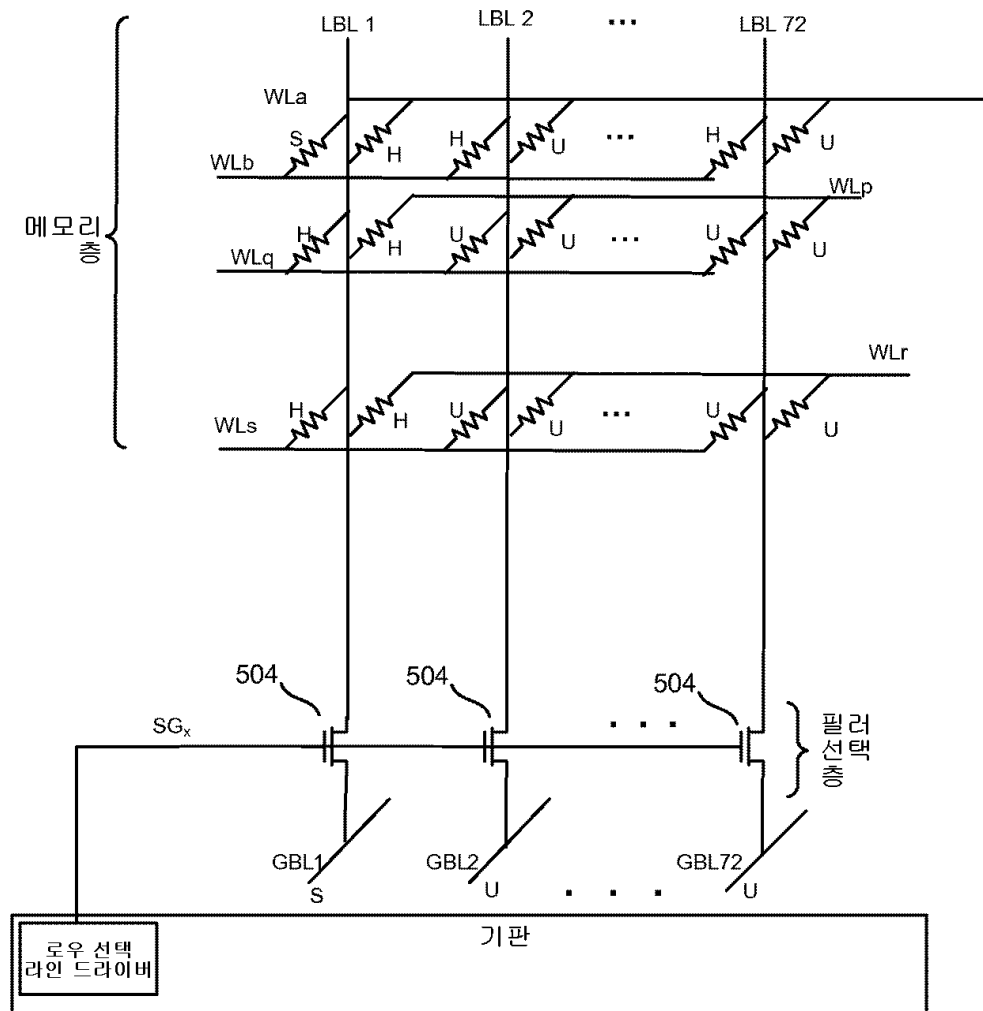
도면8a



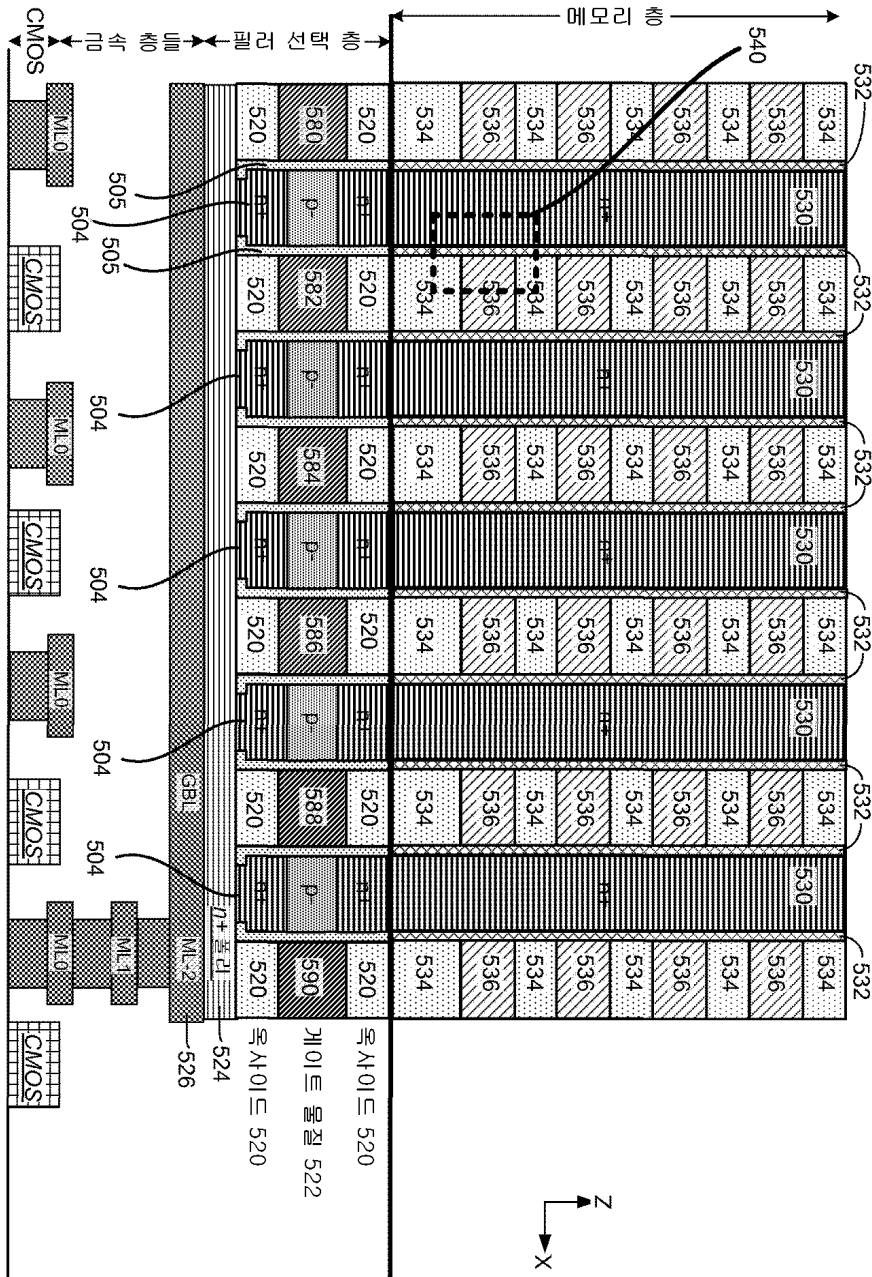
도면8b



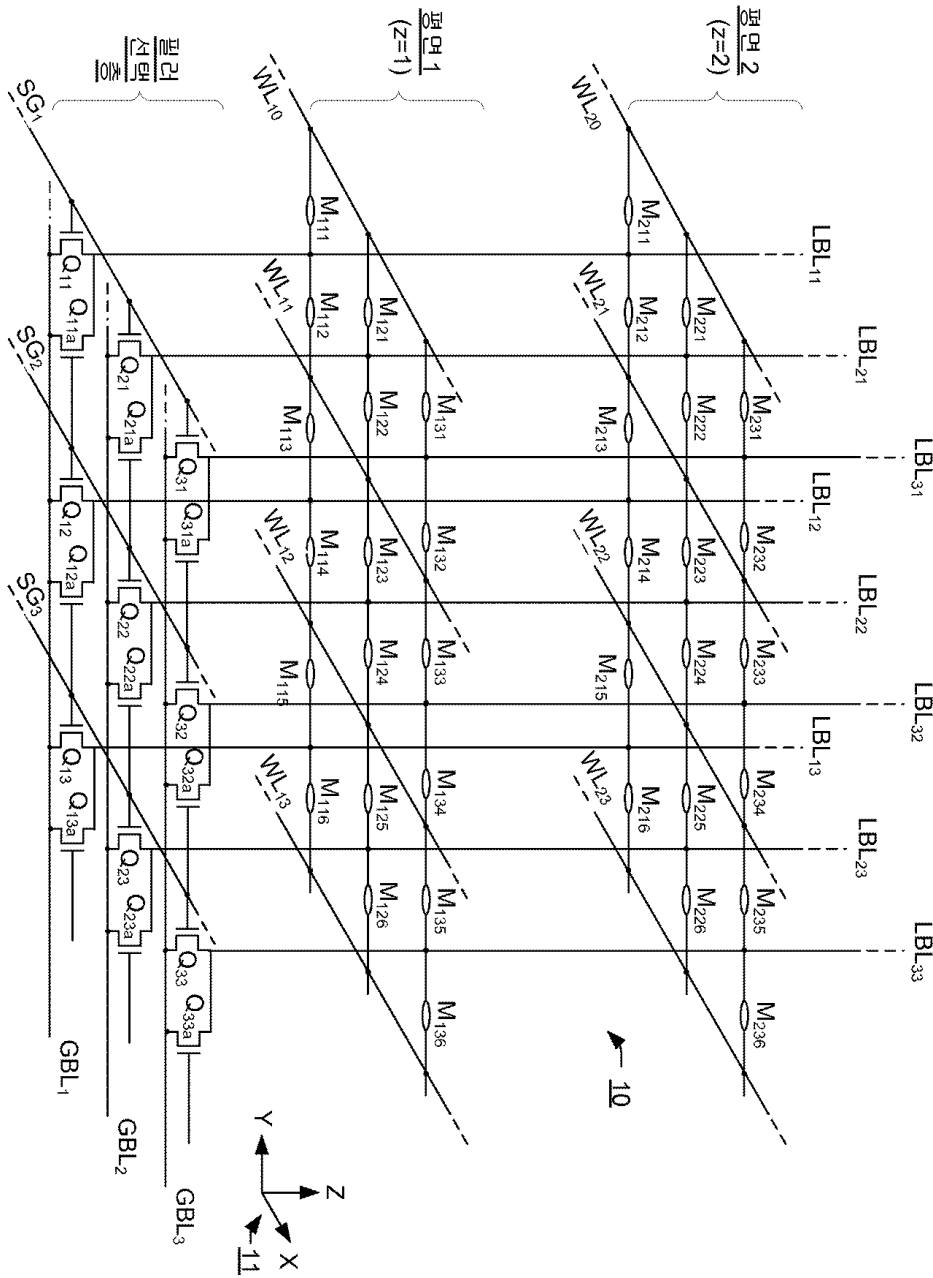
도면9



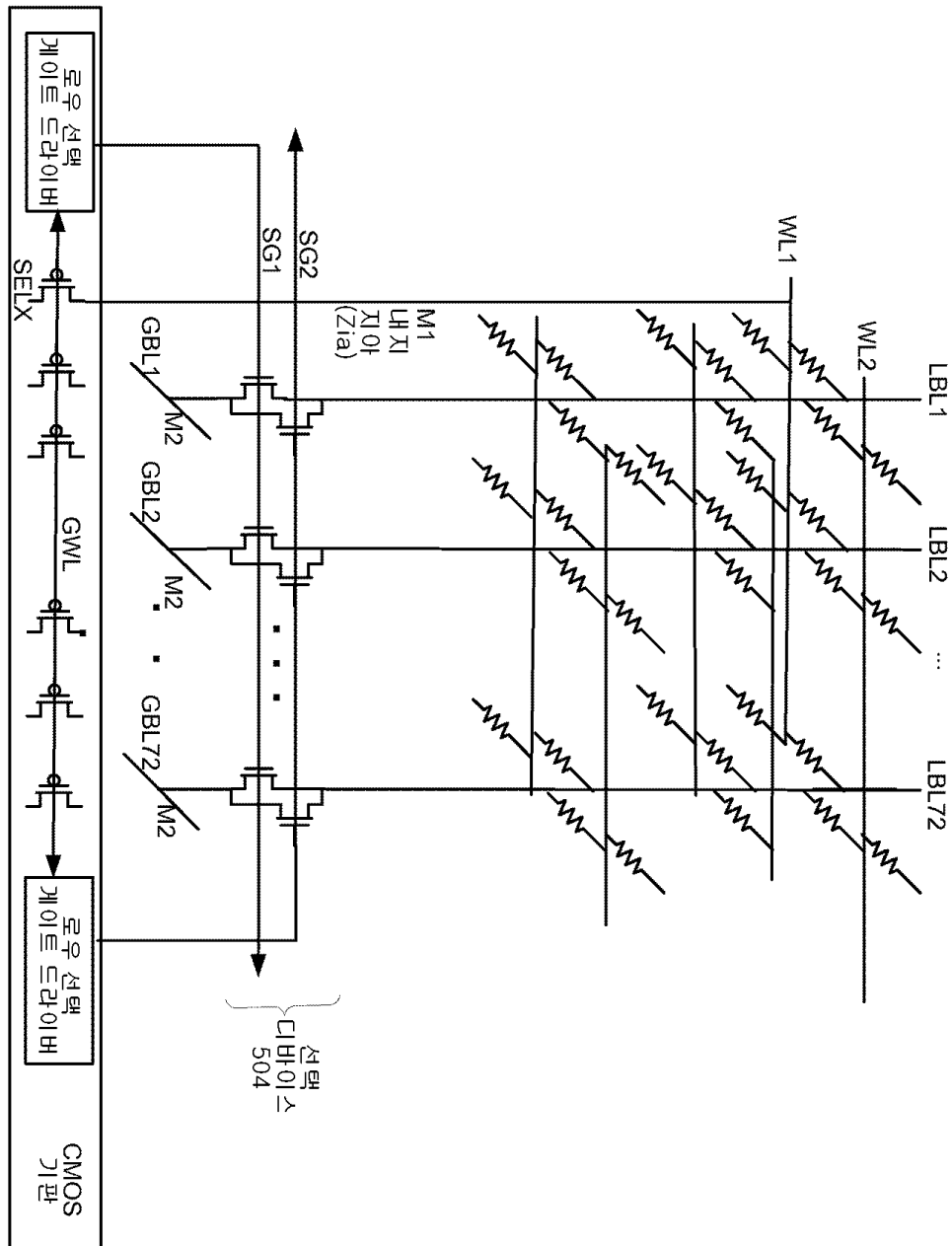
도면10



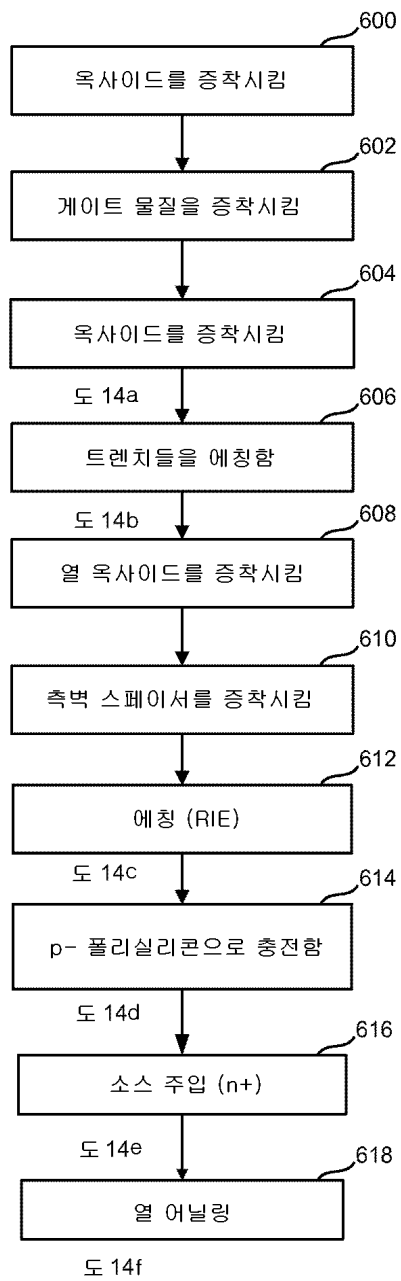
도면11



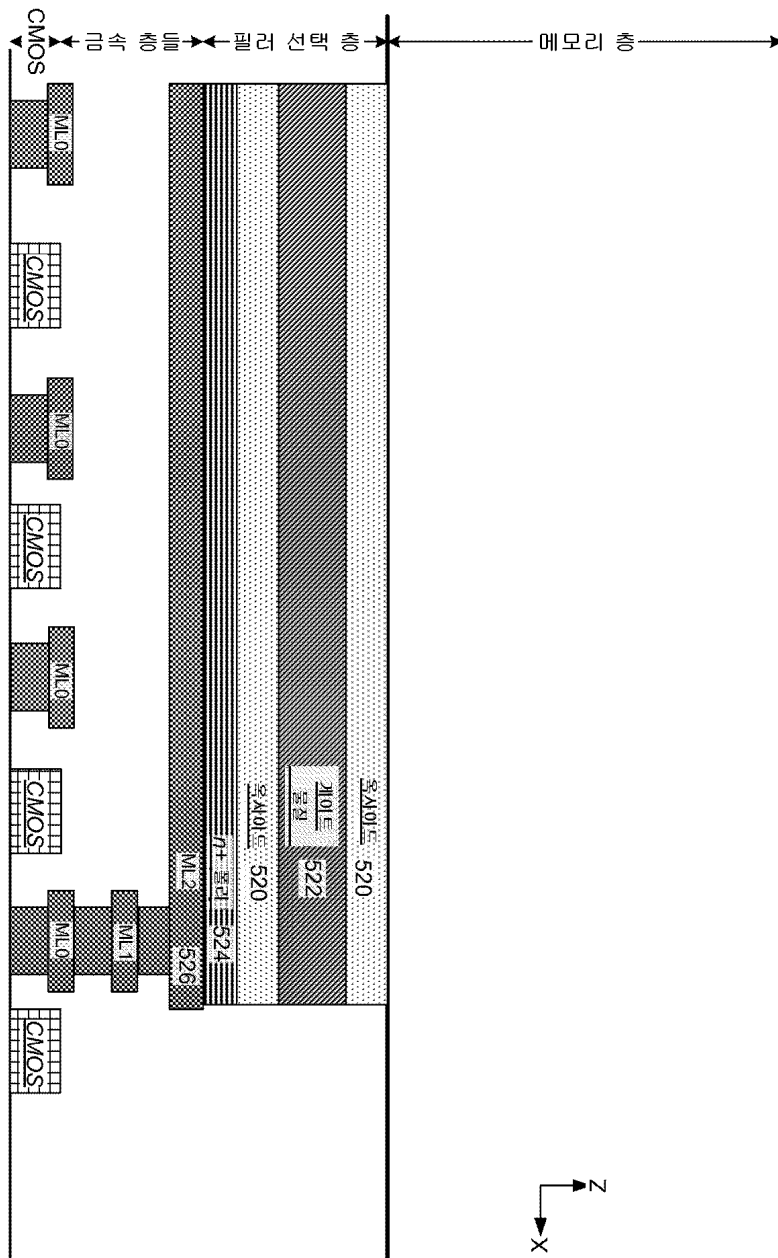
도면12



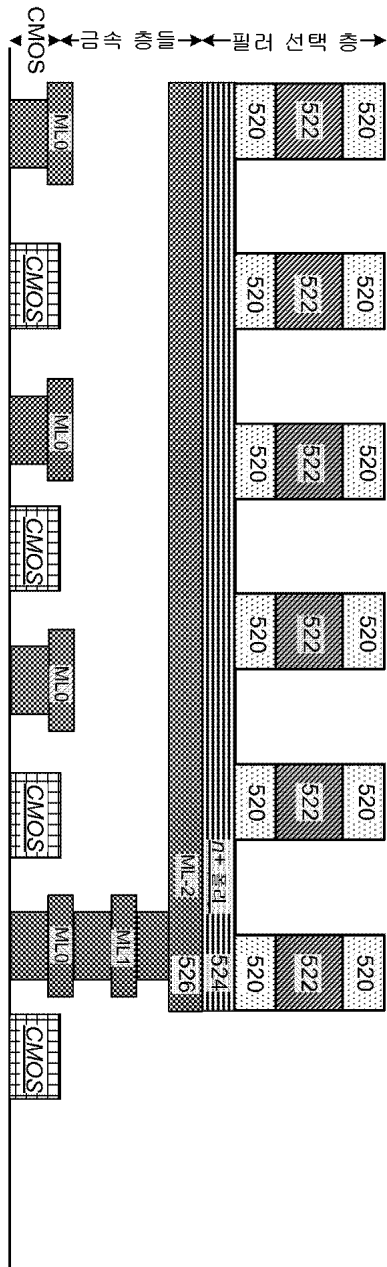
도면13



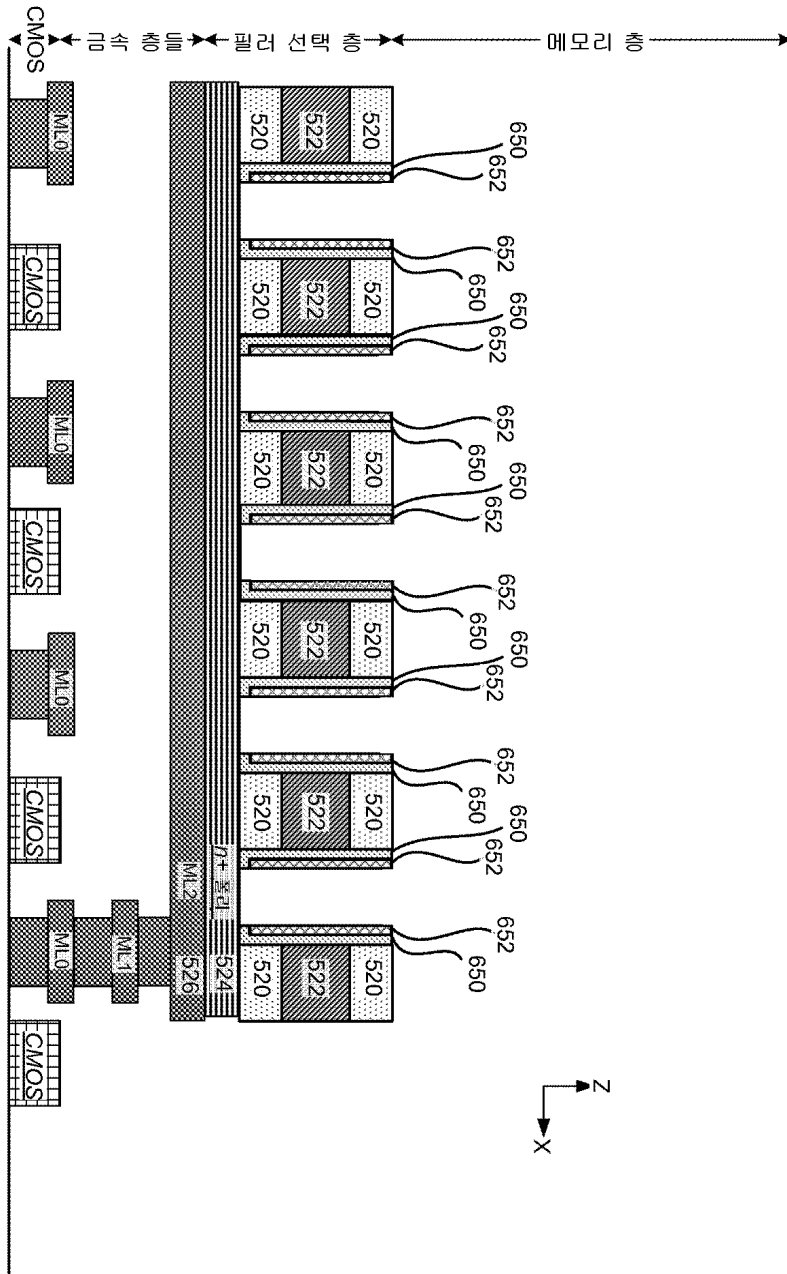
도면14a



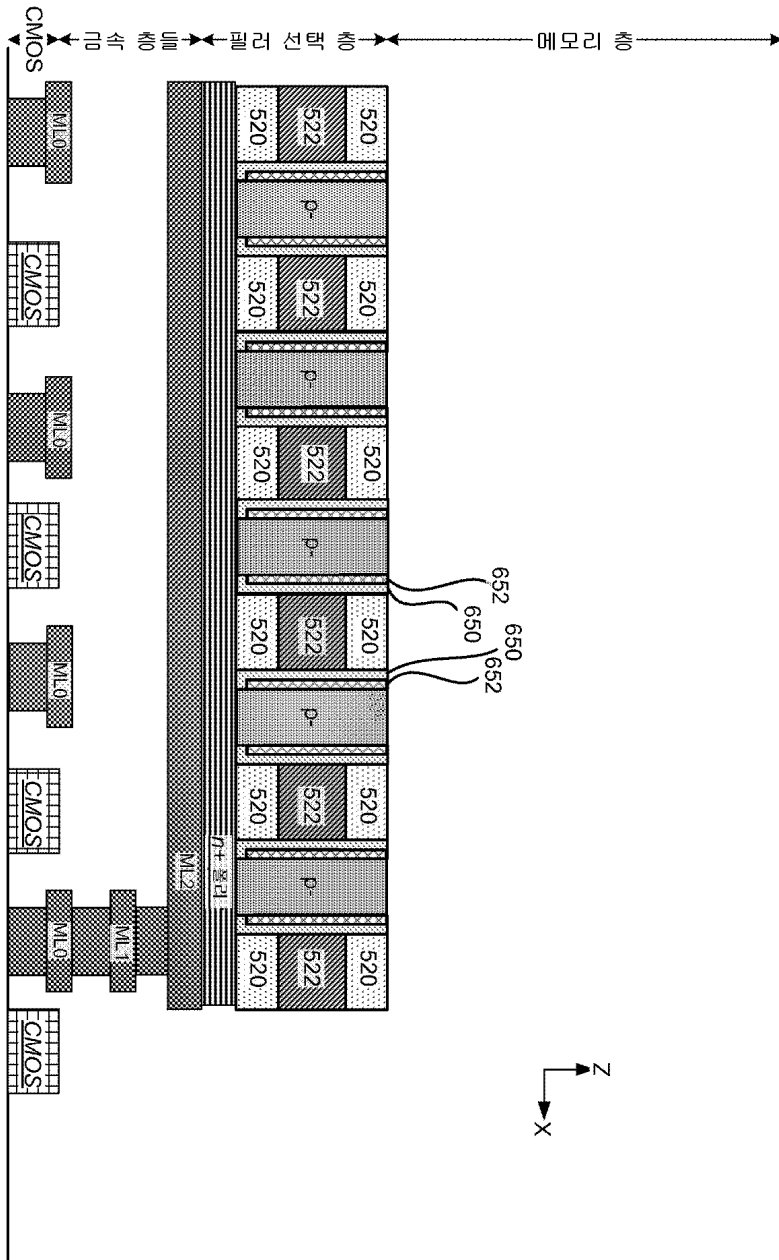
도면14b



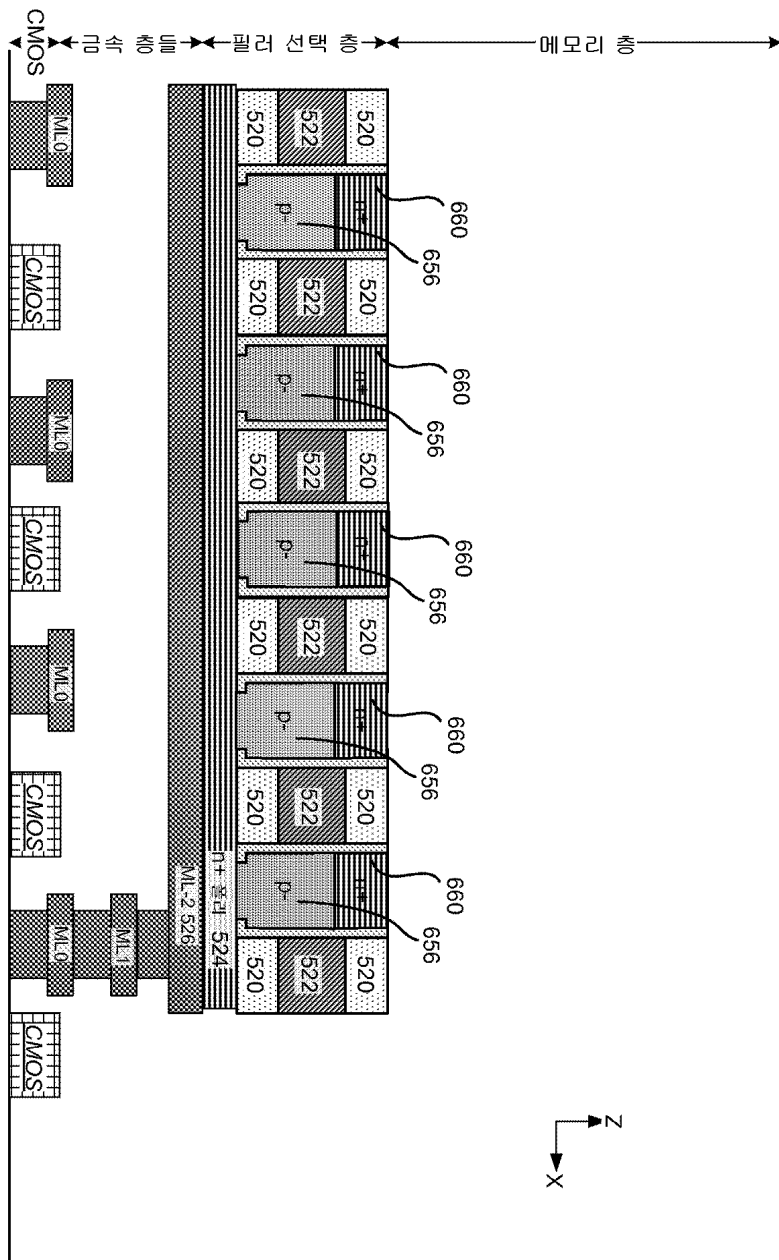
도면14c



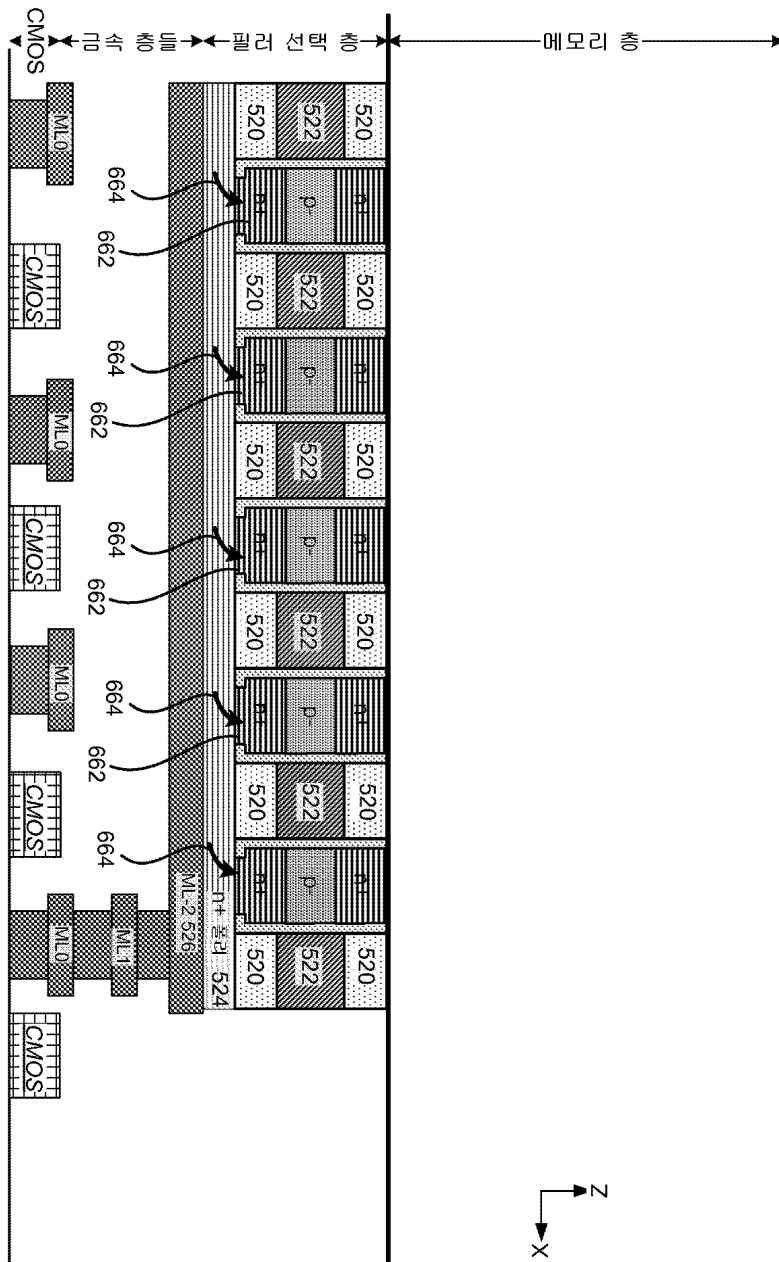
도면14d



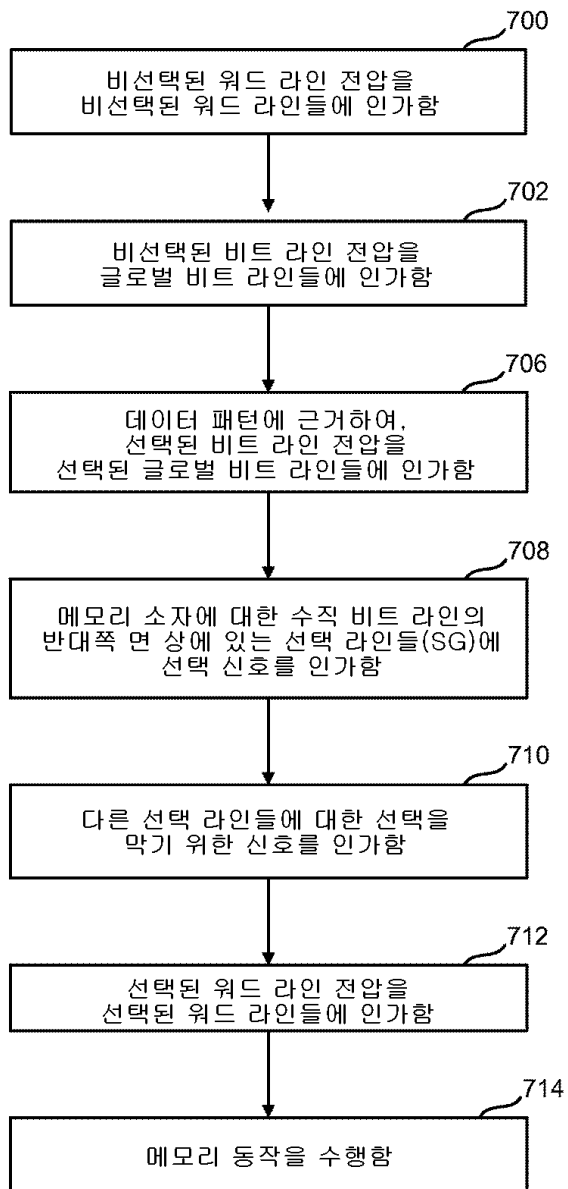
도면14e



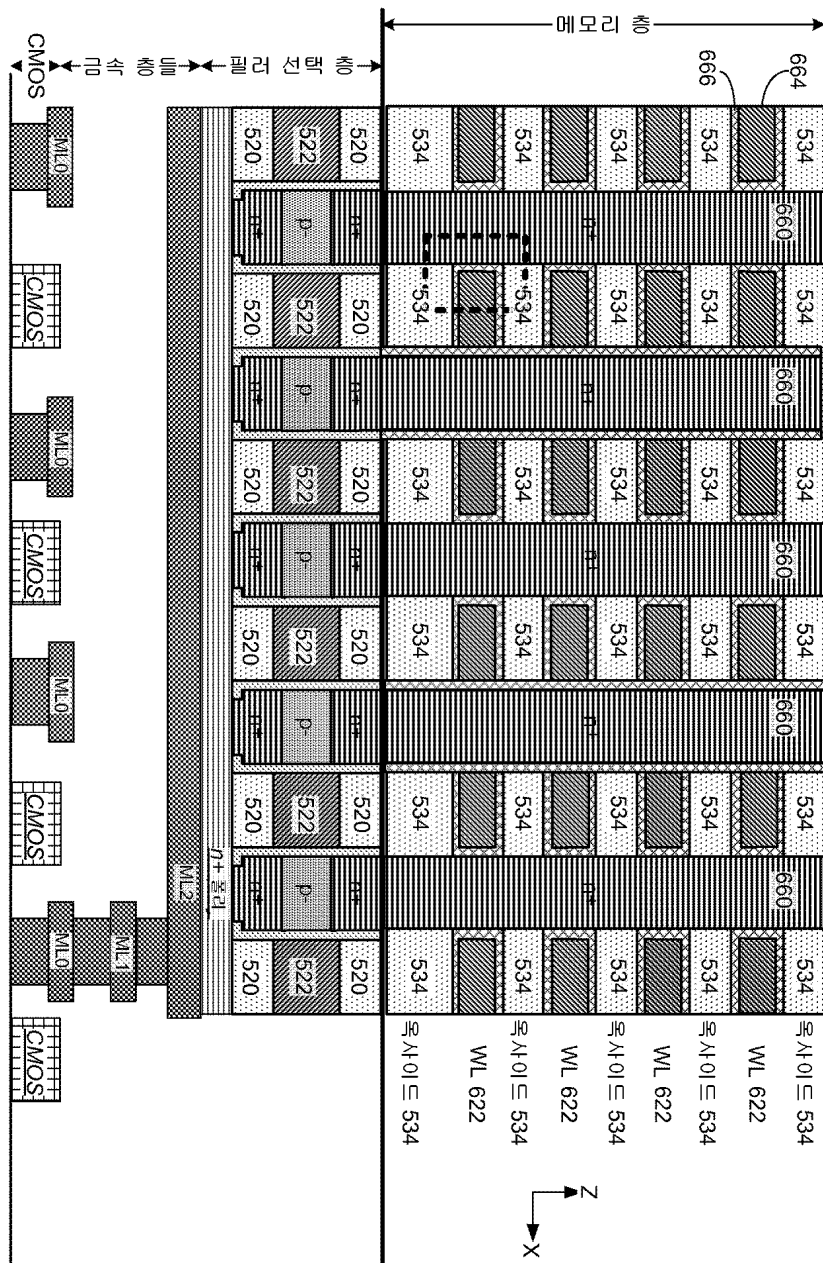
도면14f



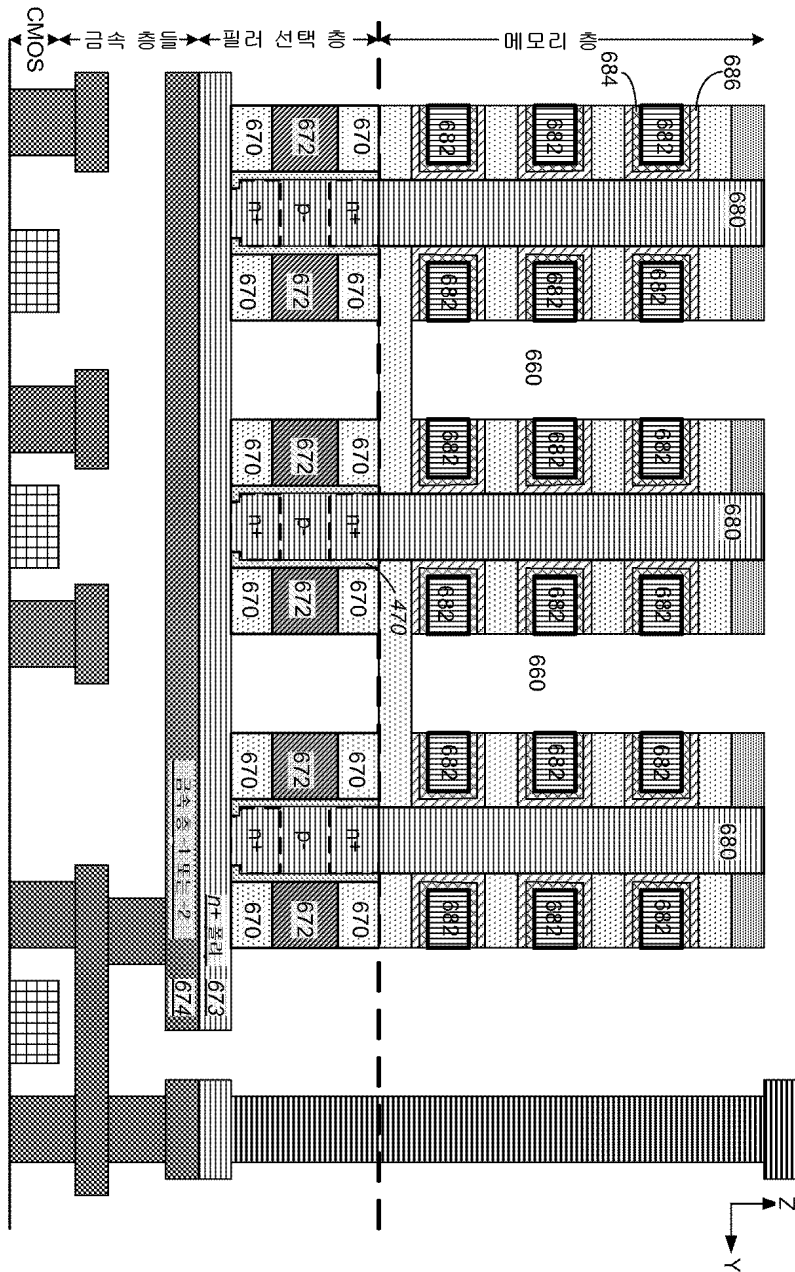
도면15



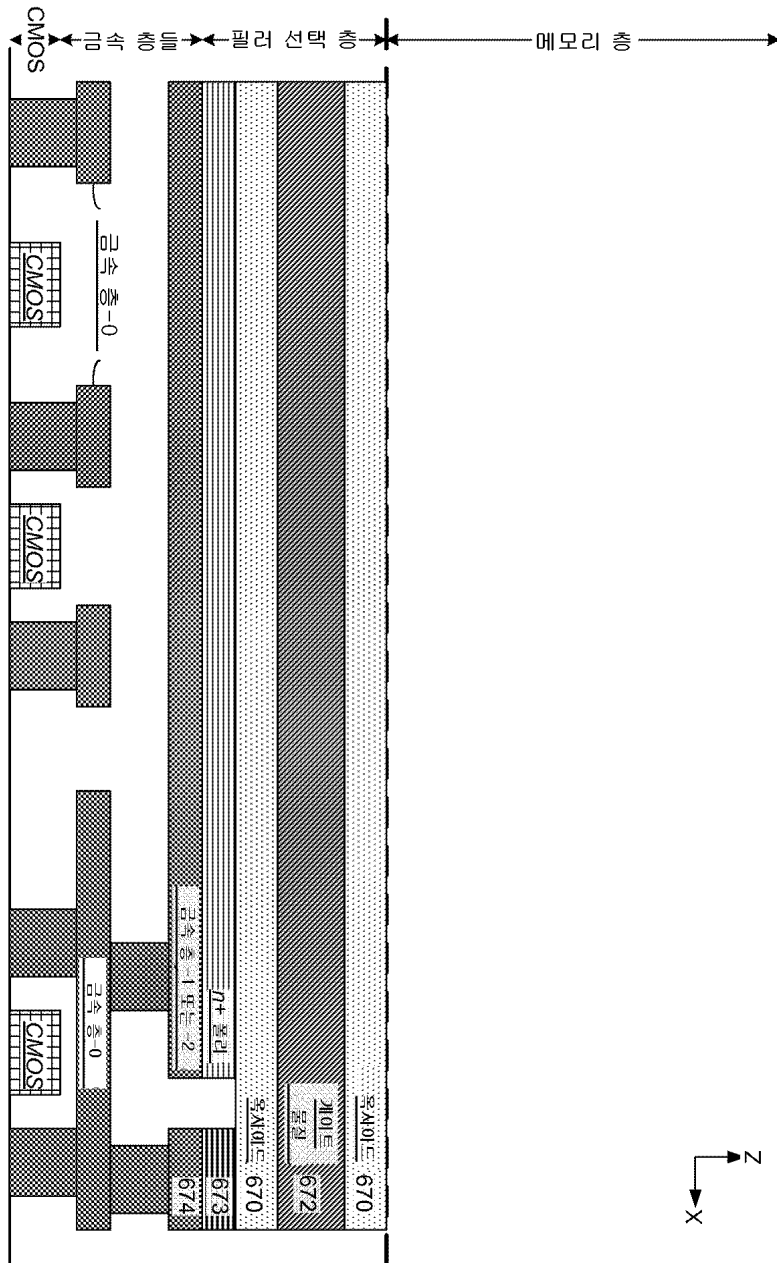
도면16



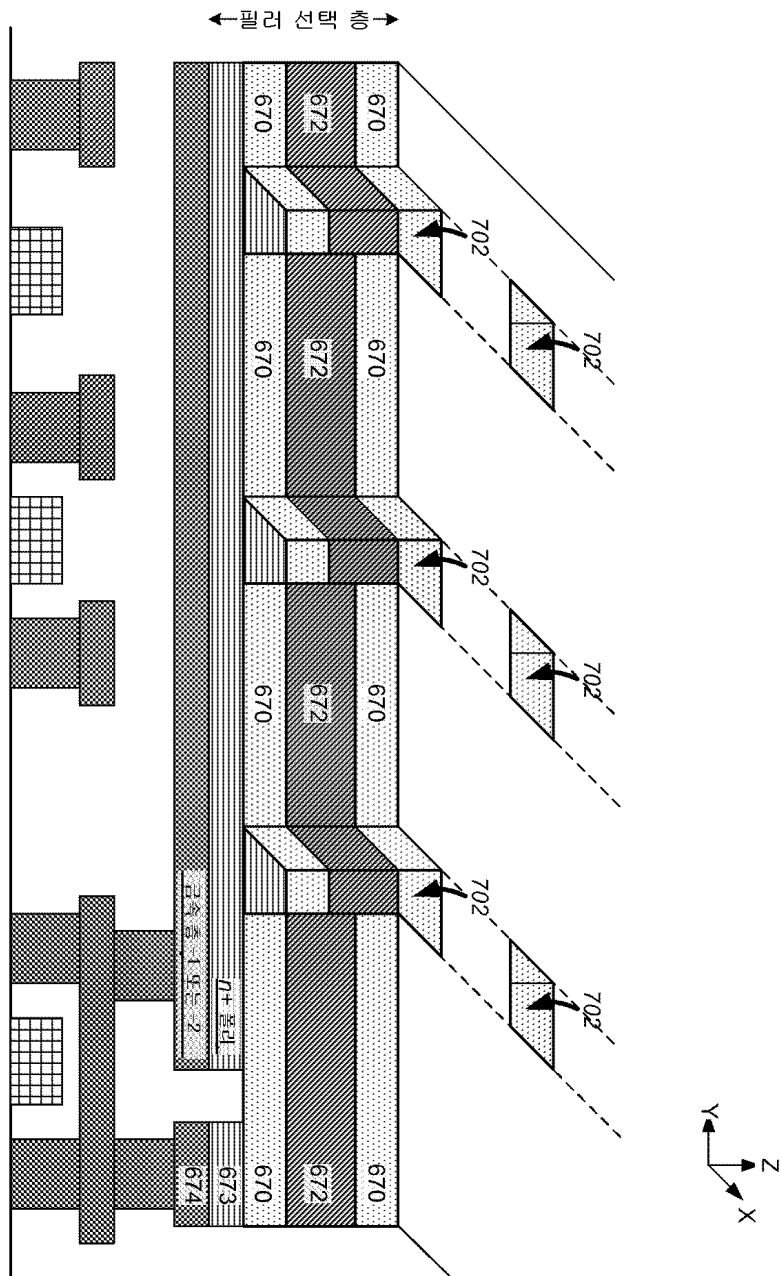
도면17



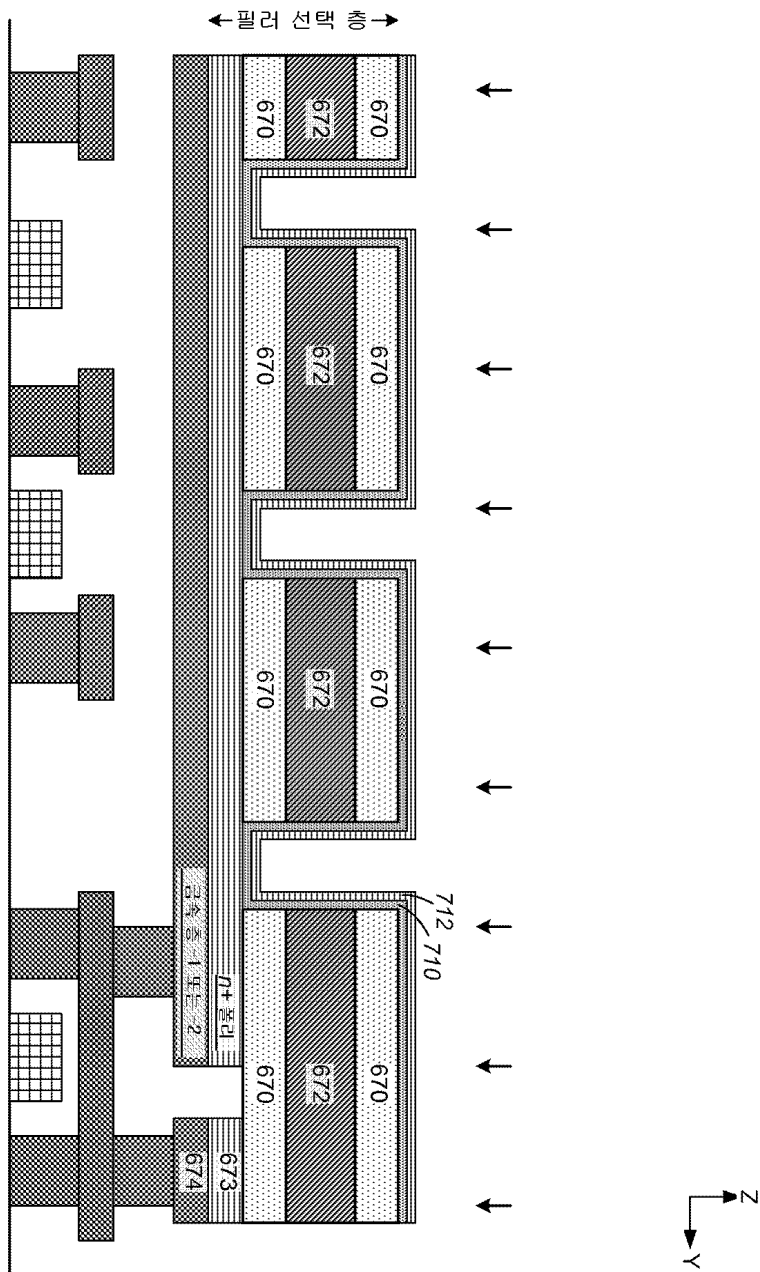
도면18a



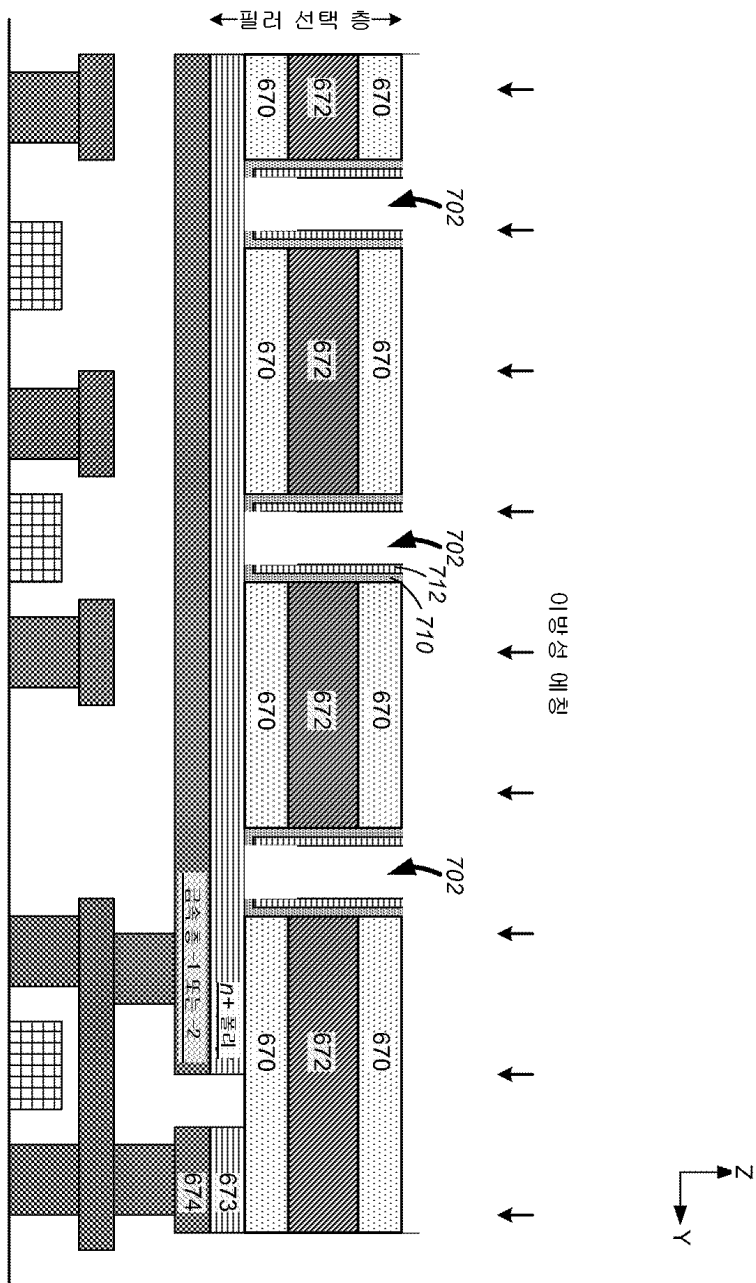
도면18b



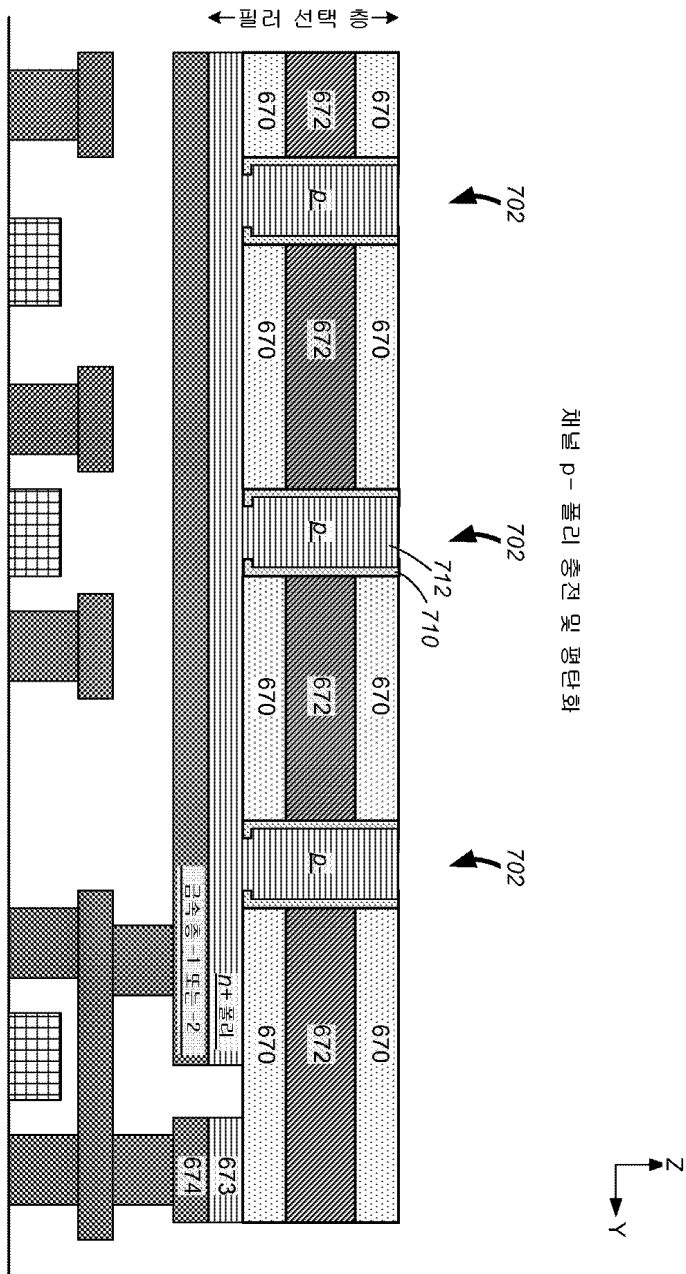
도면18c



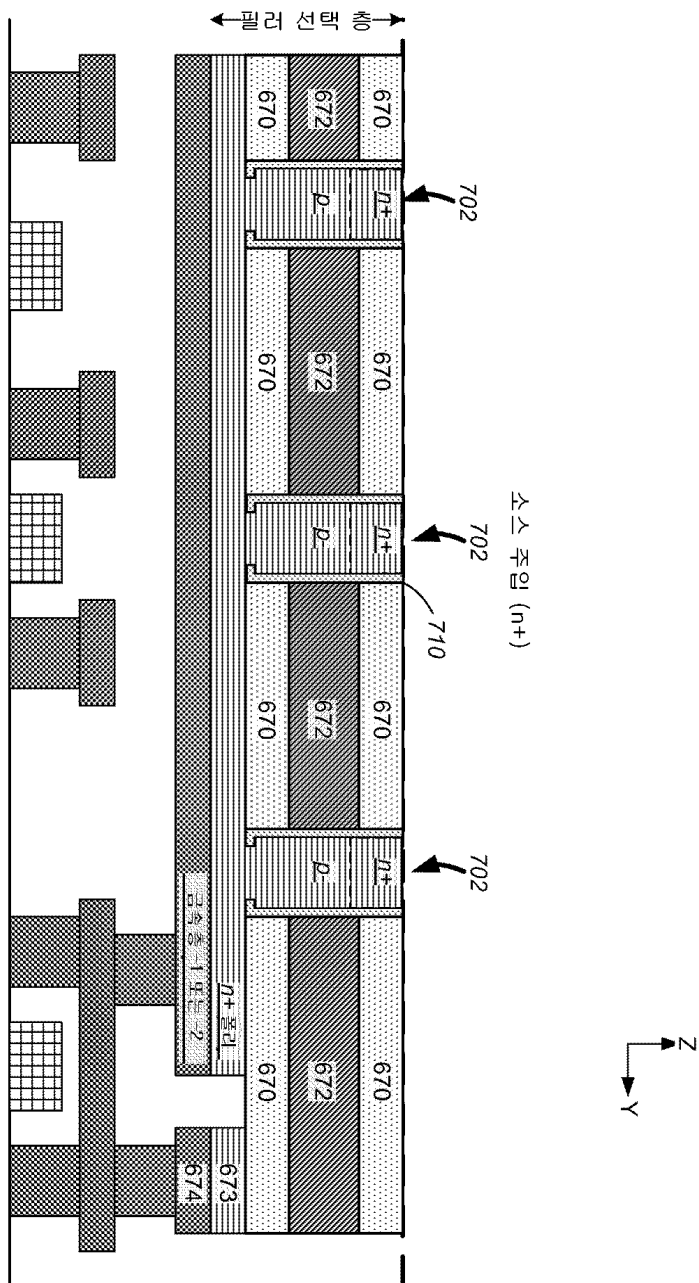
도면18d



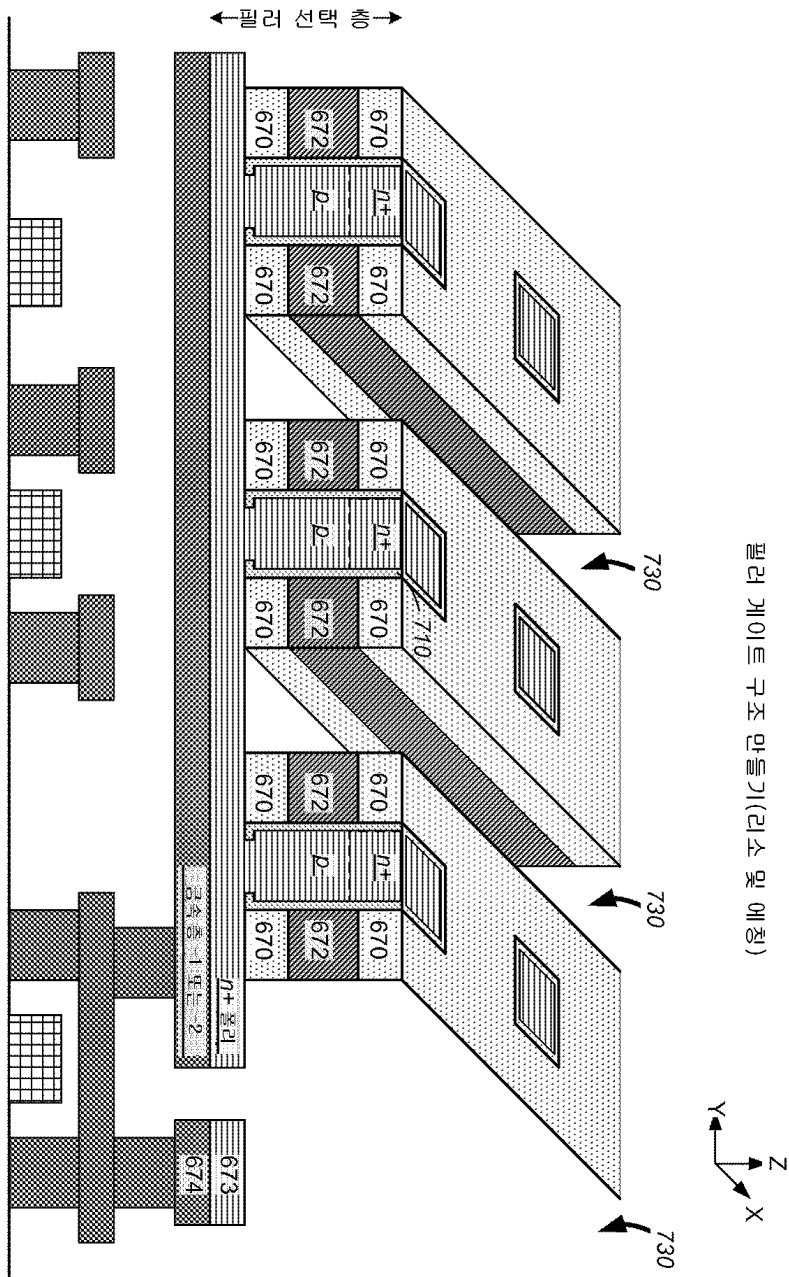
도면18e



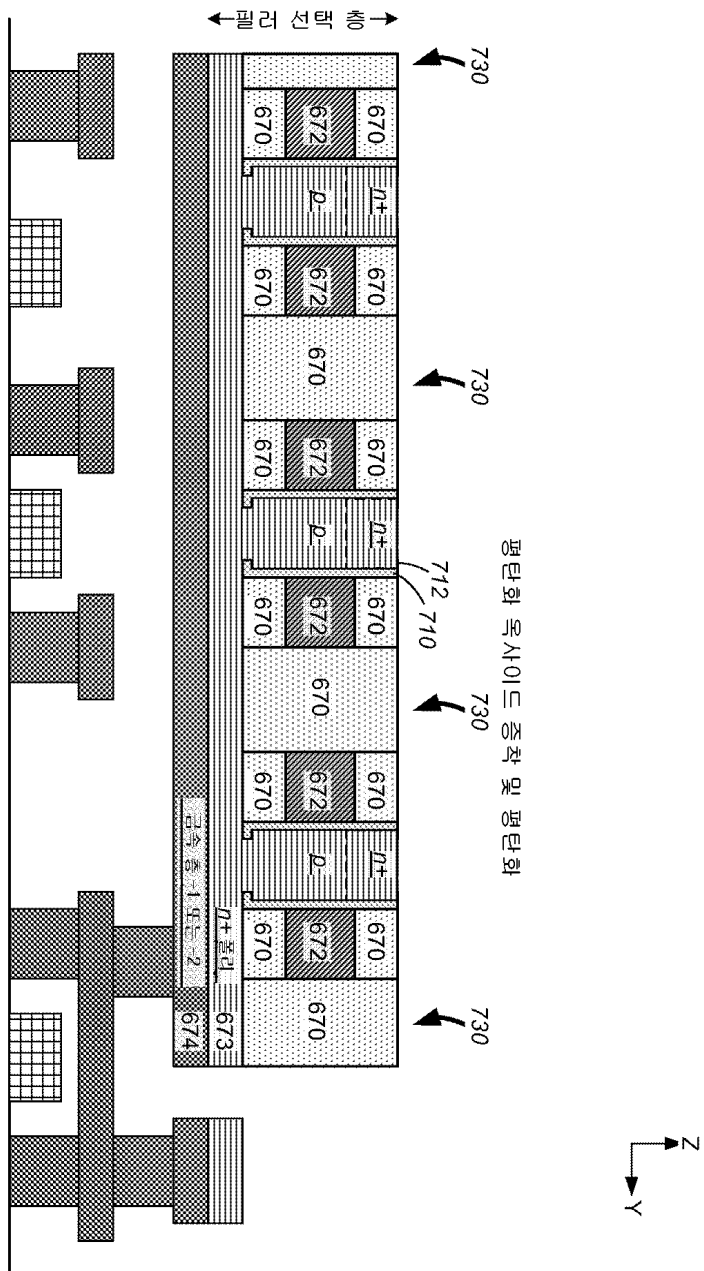
도면18f



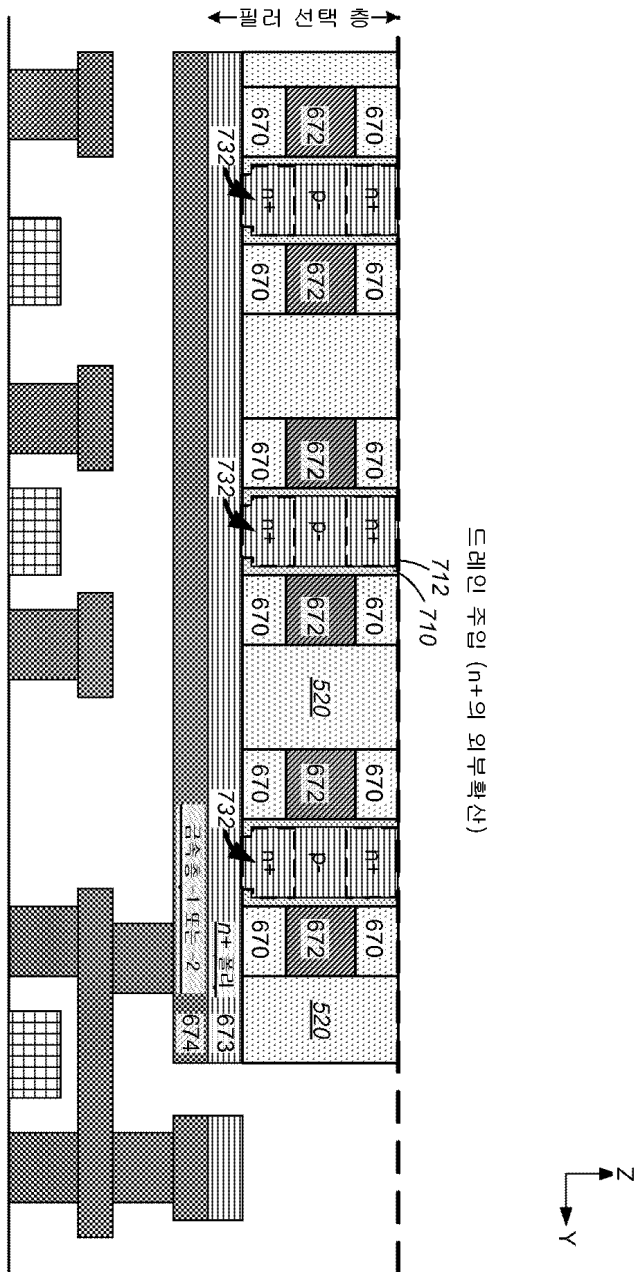
도면18g



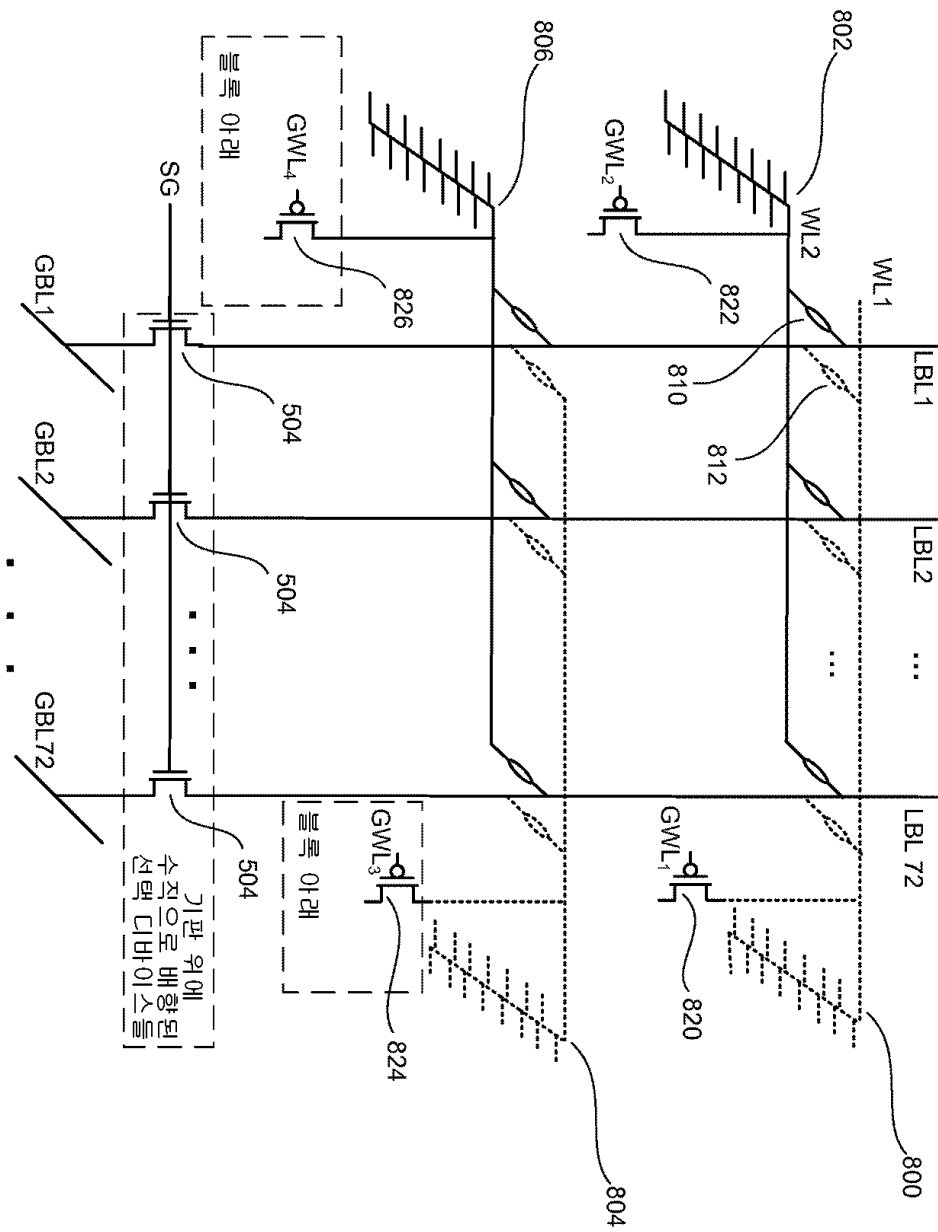
도면 18h



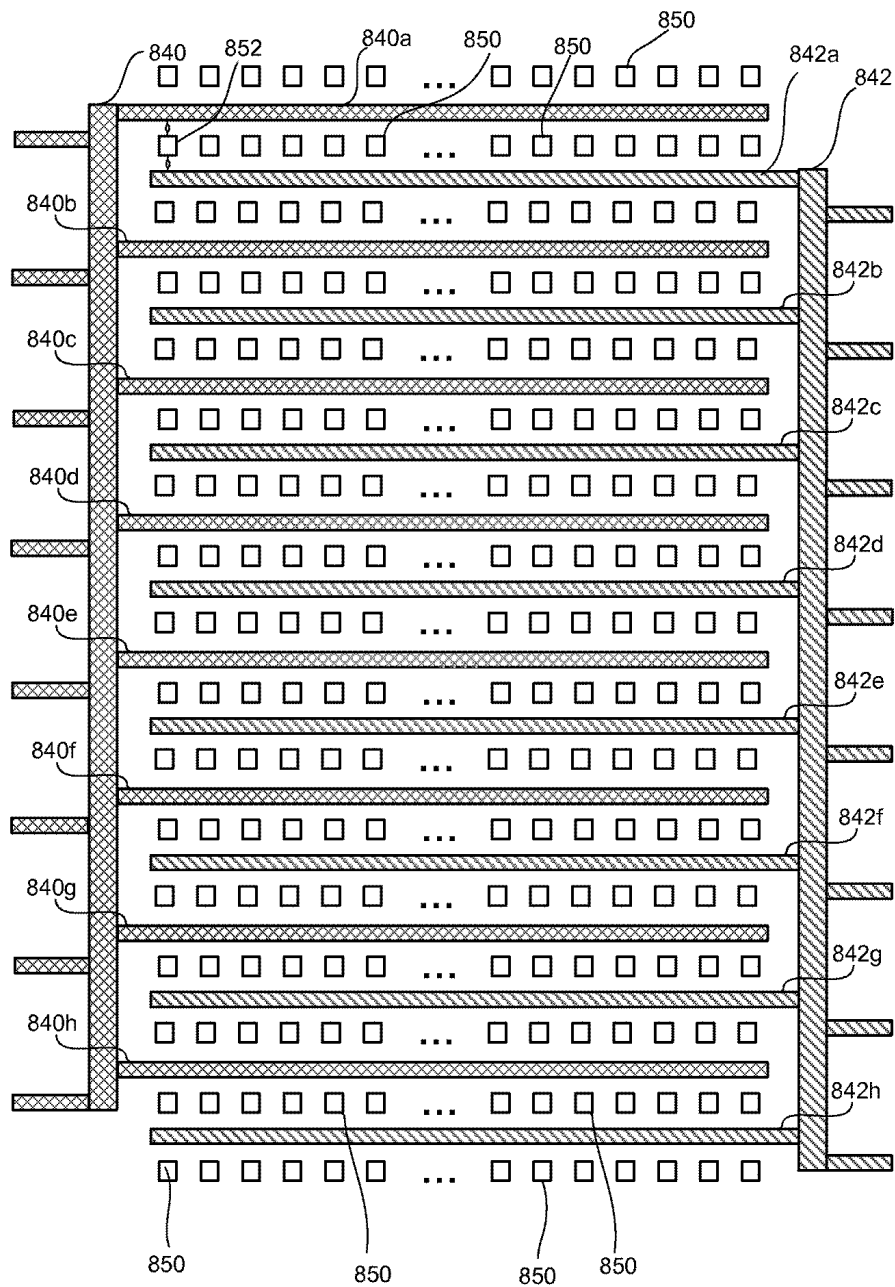
도면18i



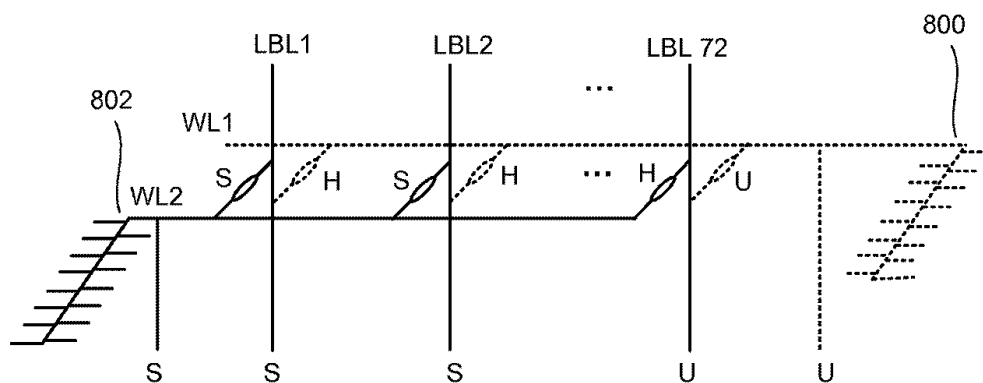
도면19



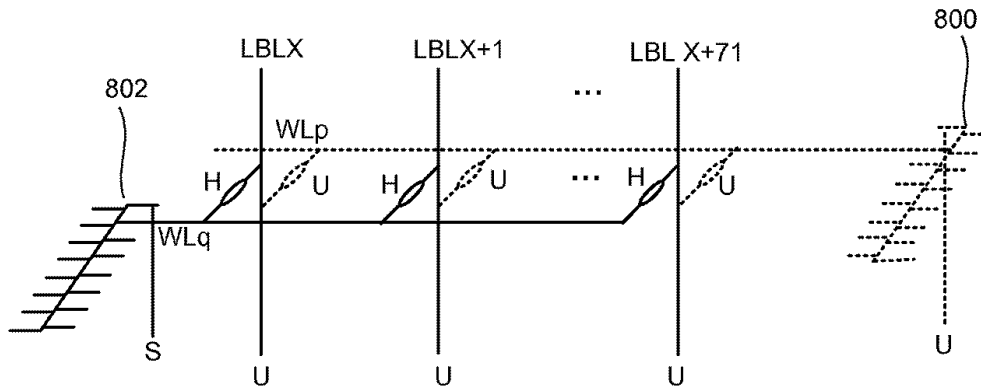
도면20



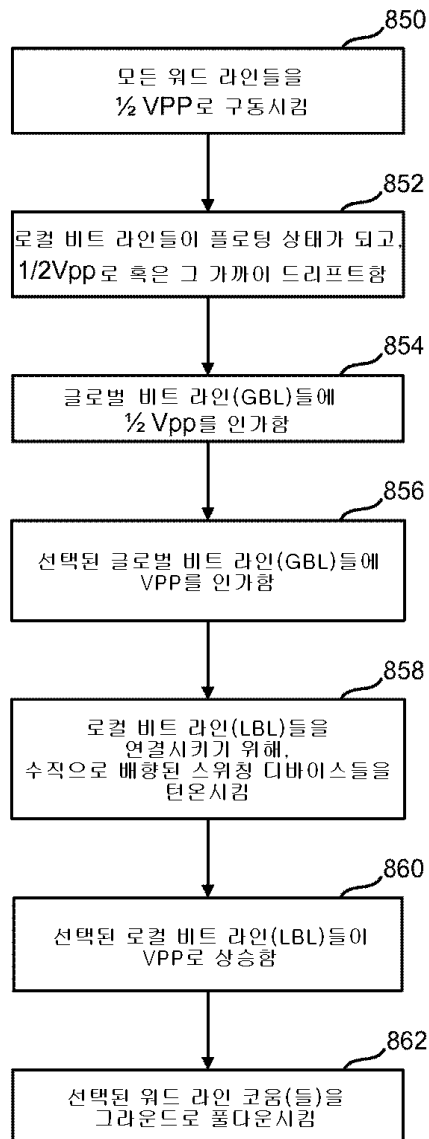
도면21a



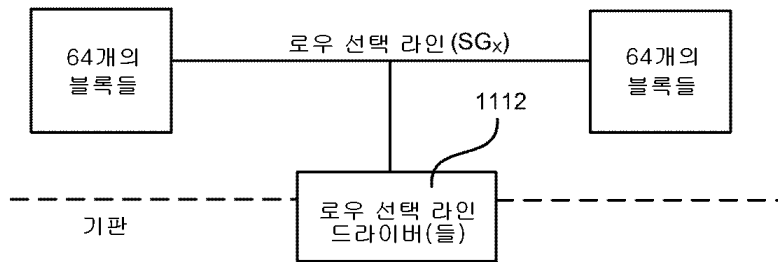
도면21b



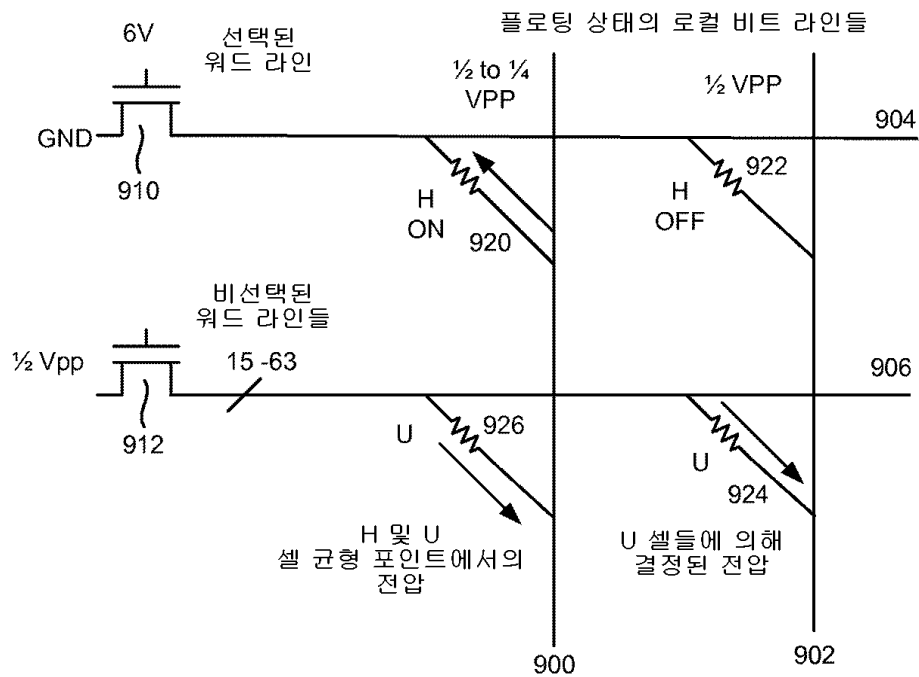
도면22a



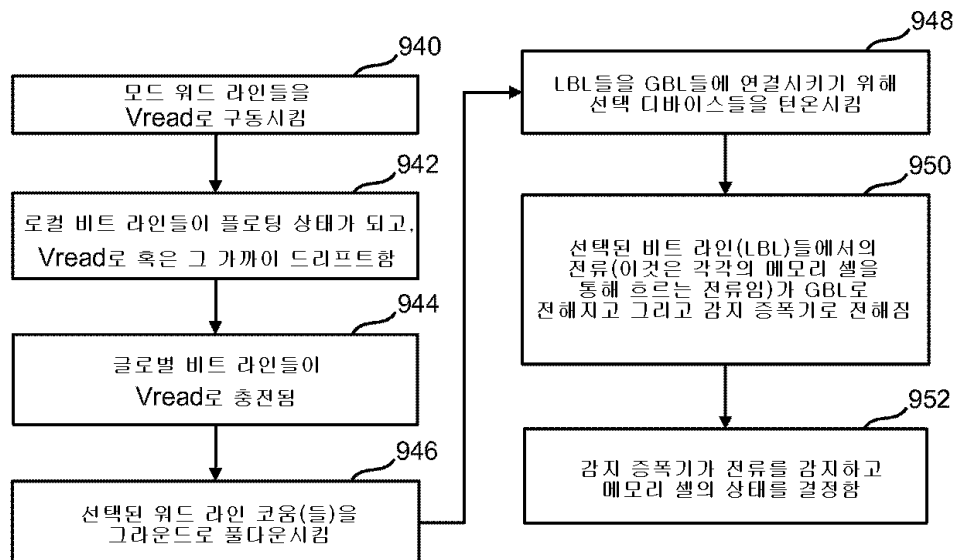
도면22b



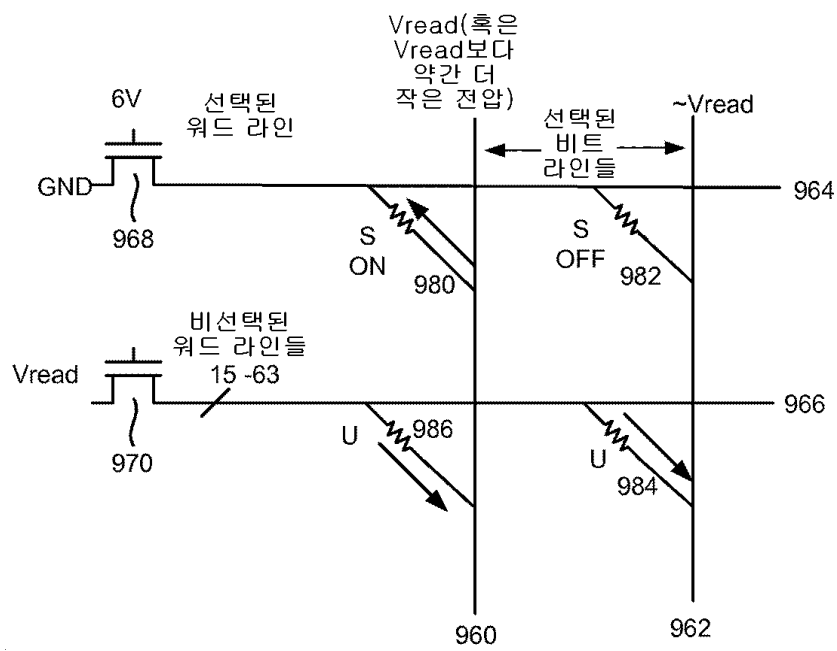
도면23



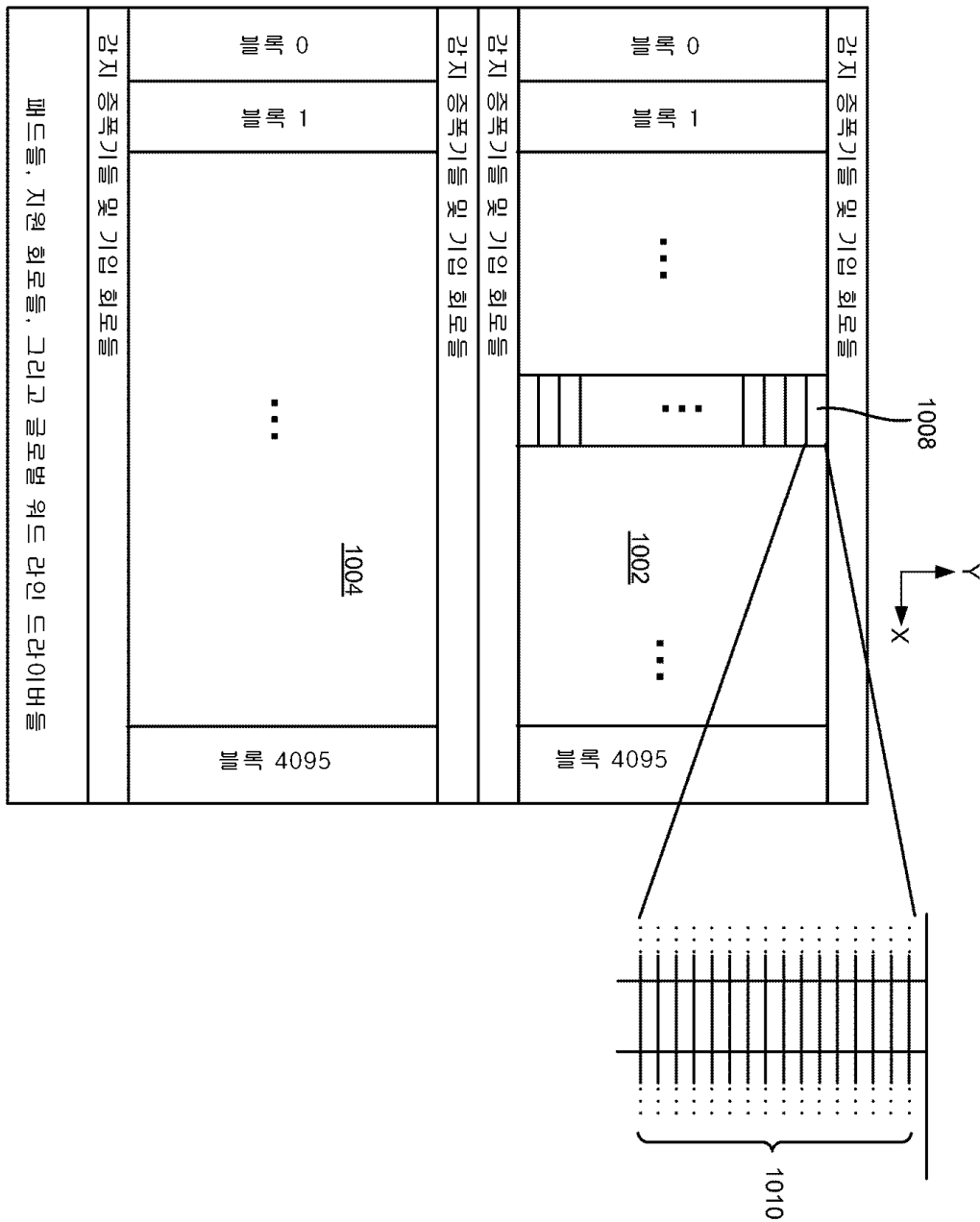
도면24



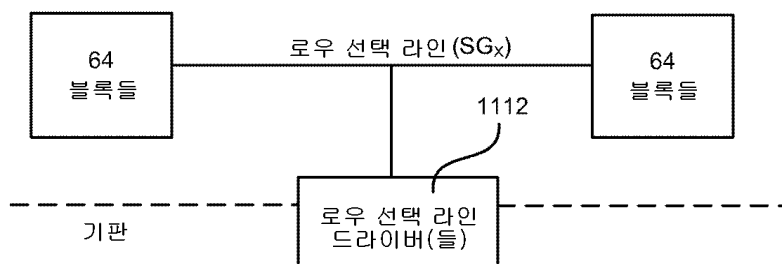
도면25



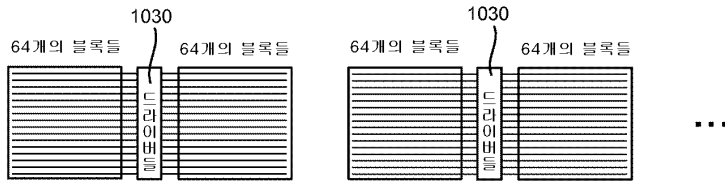
도면26



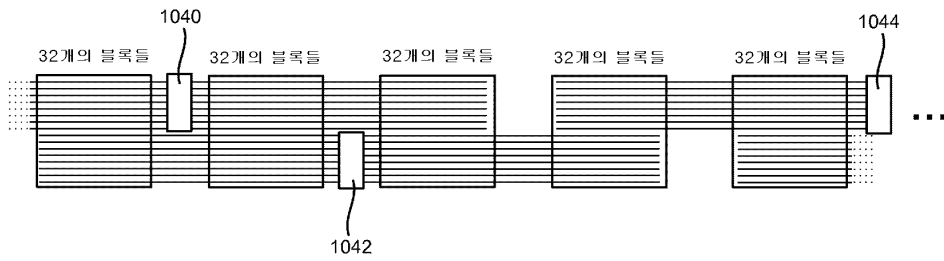
도면27



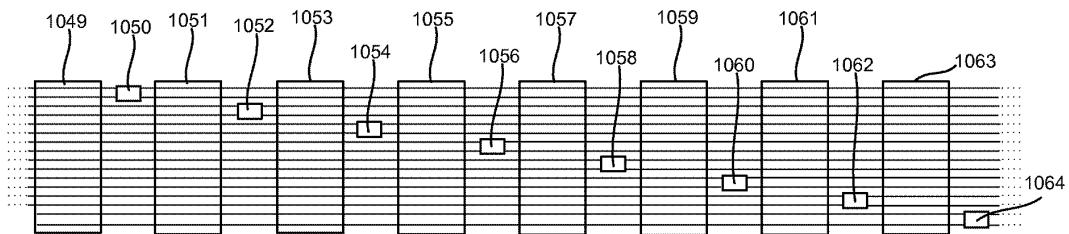
도면28a



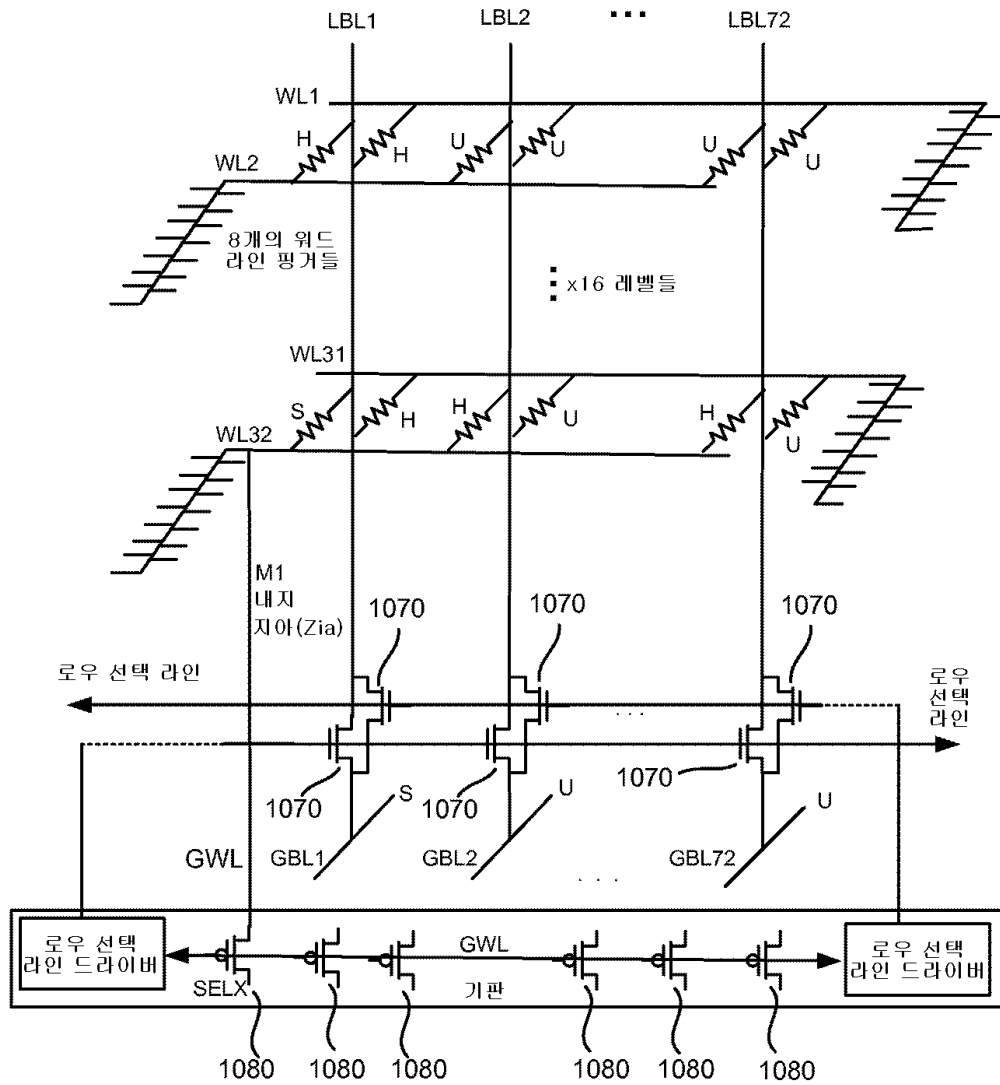
도면28b



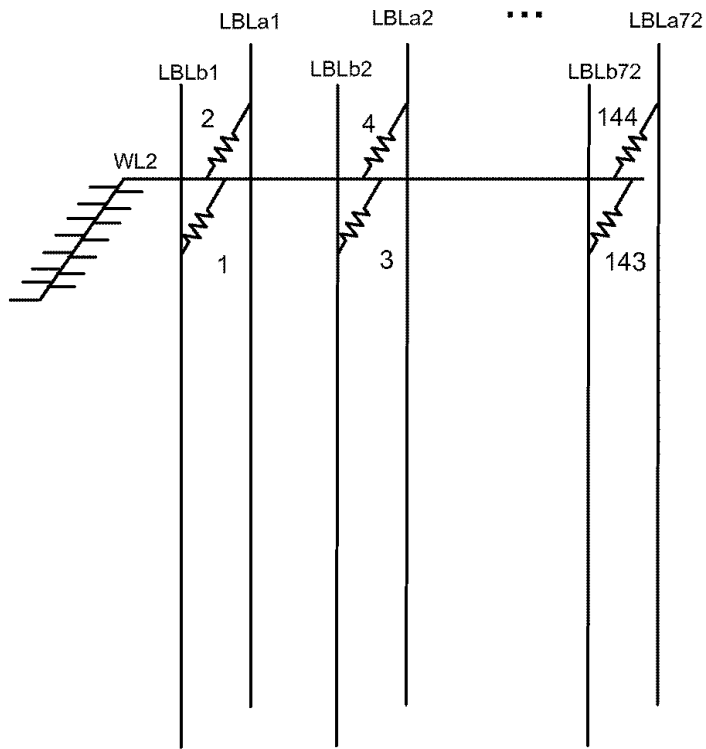
도면28c



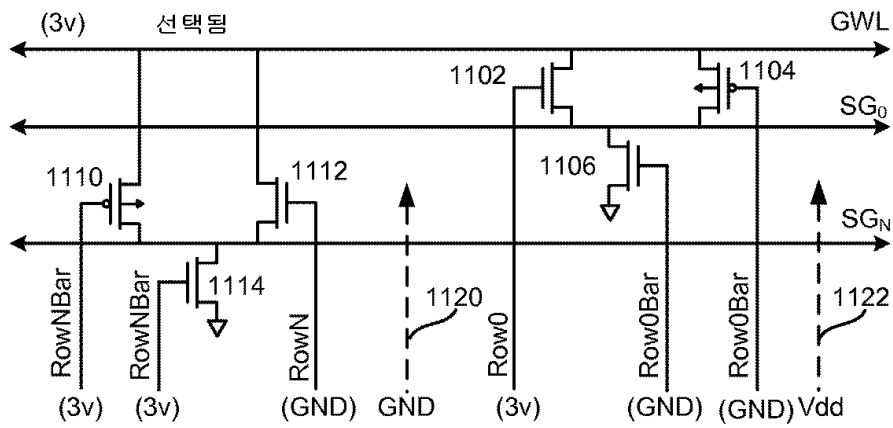
도면29



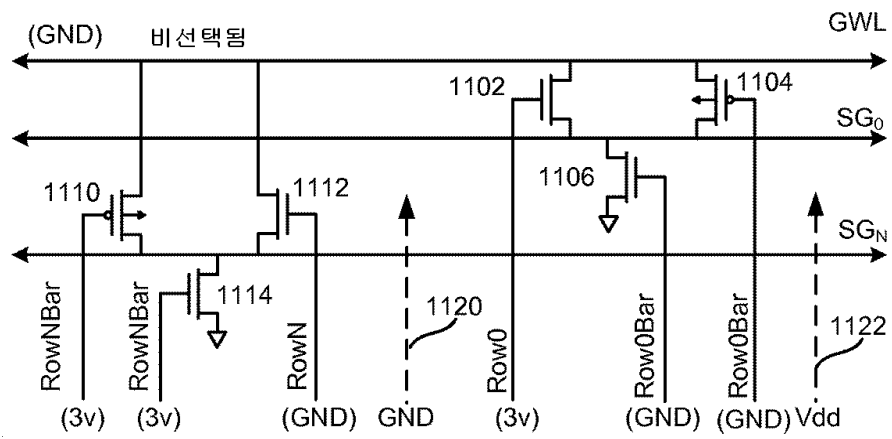
도면30



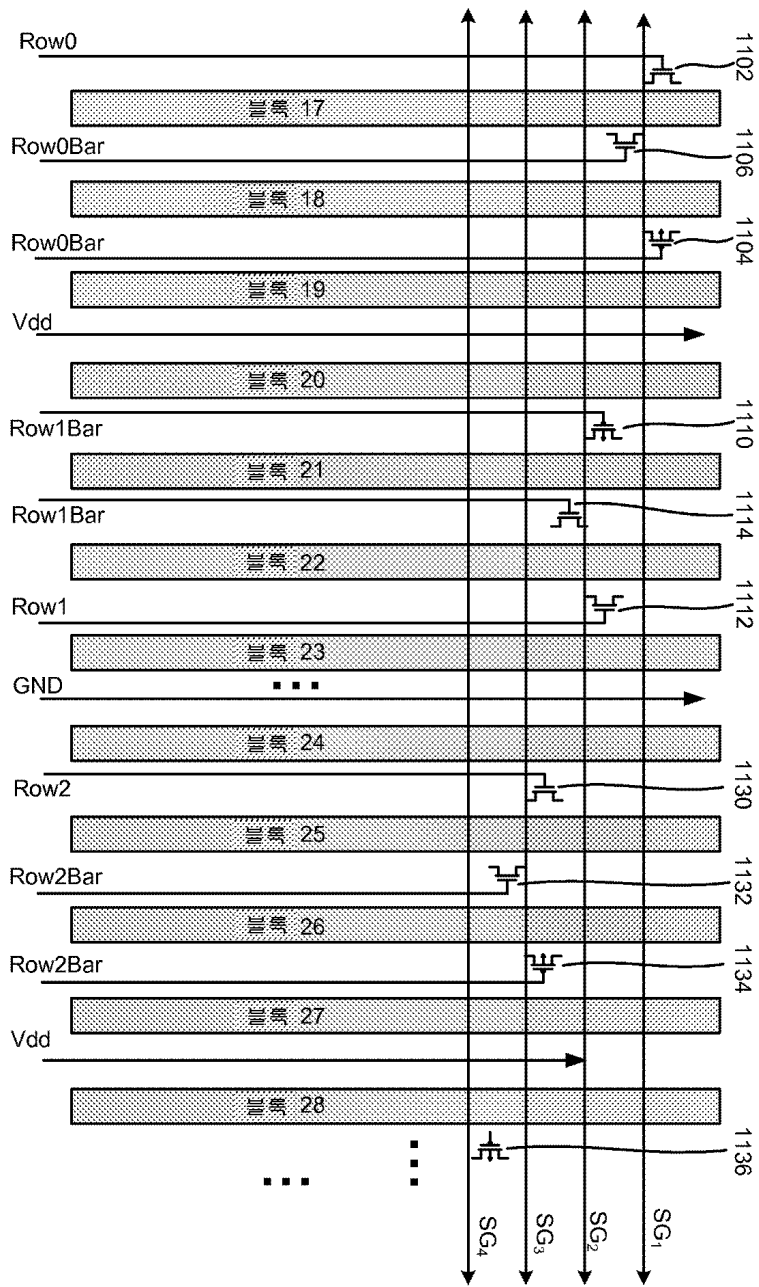
도면31a



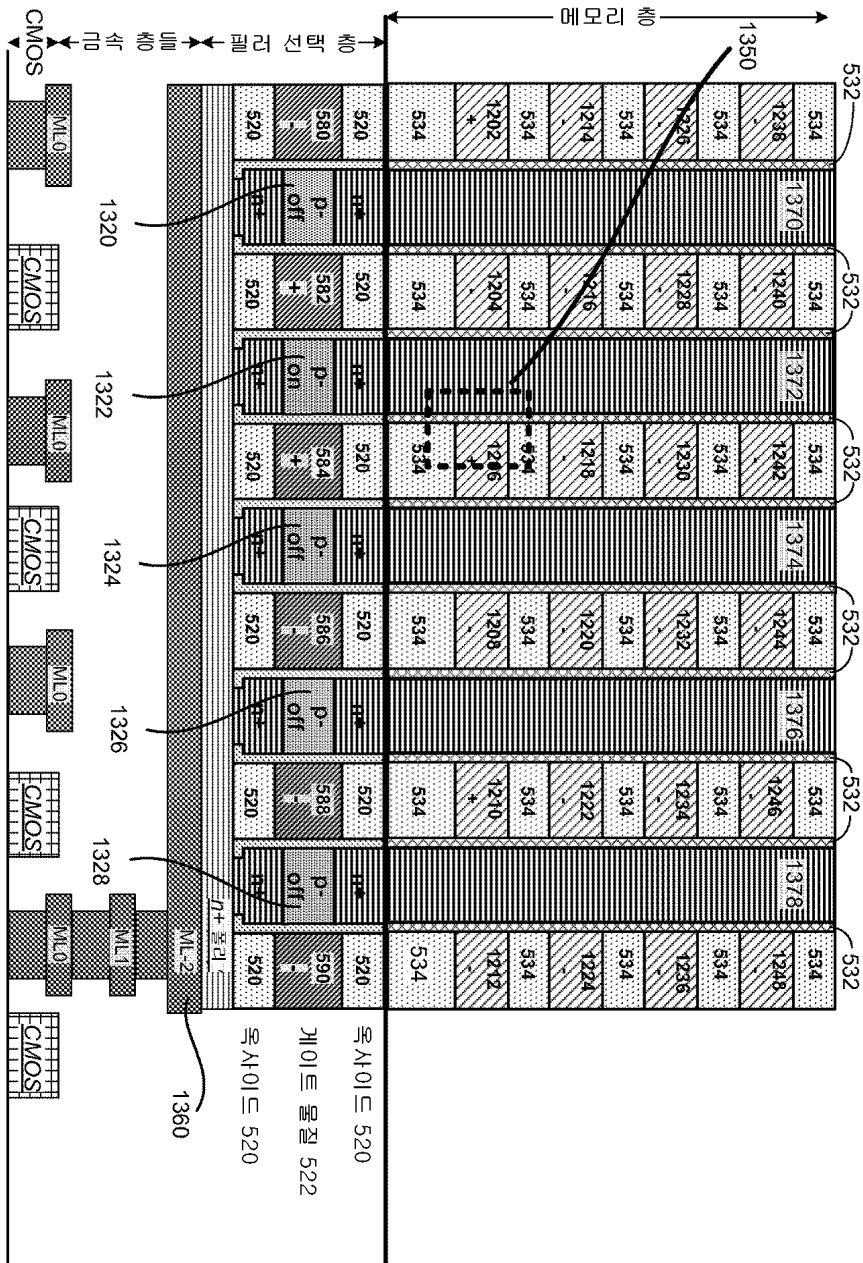
도면31b



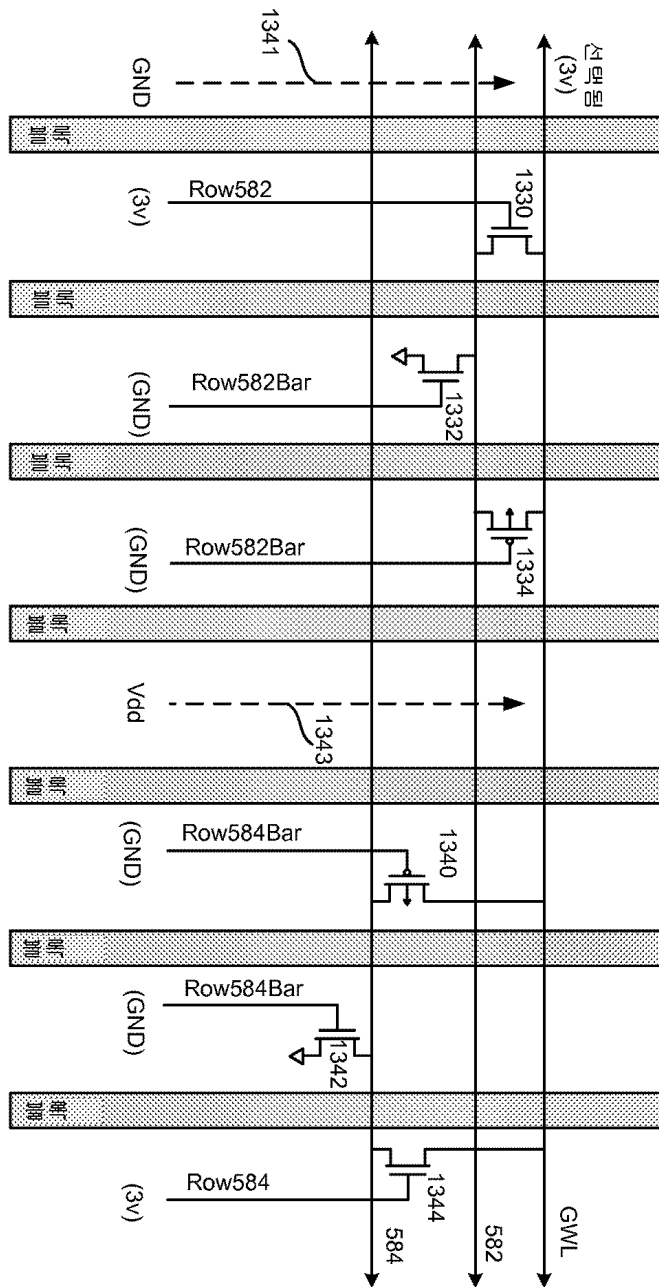
도면32



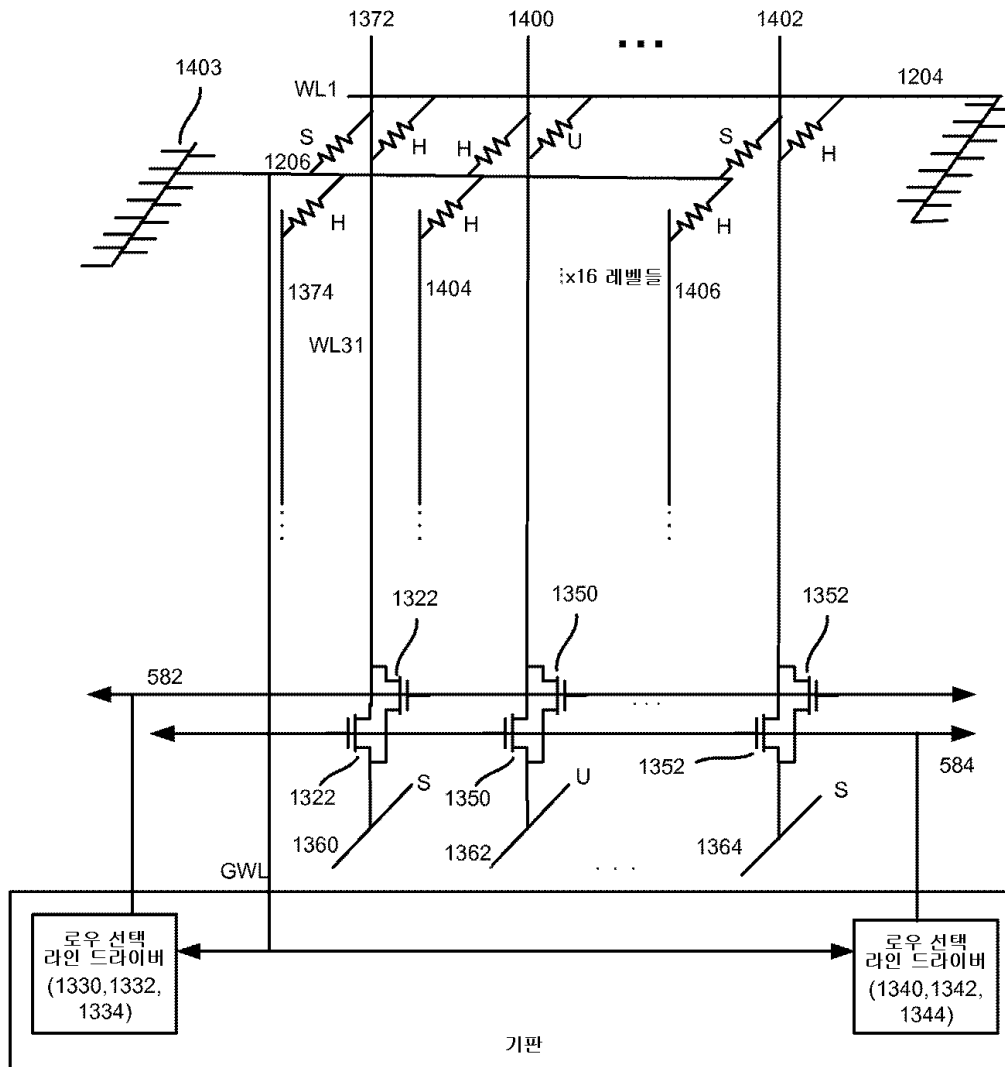
도면33



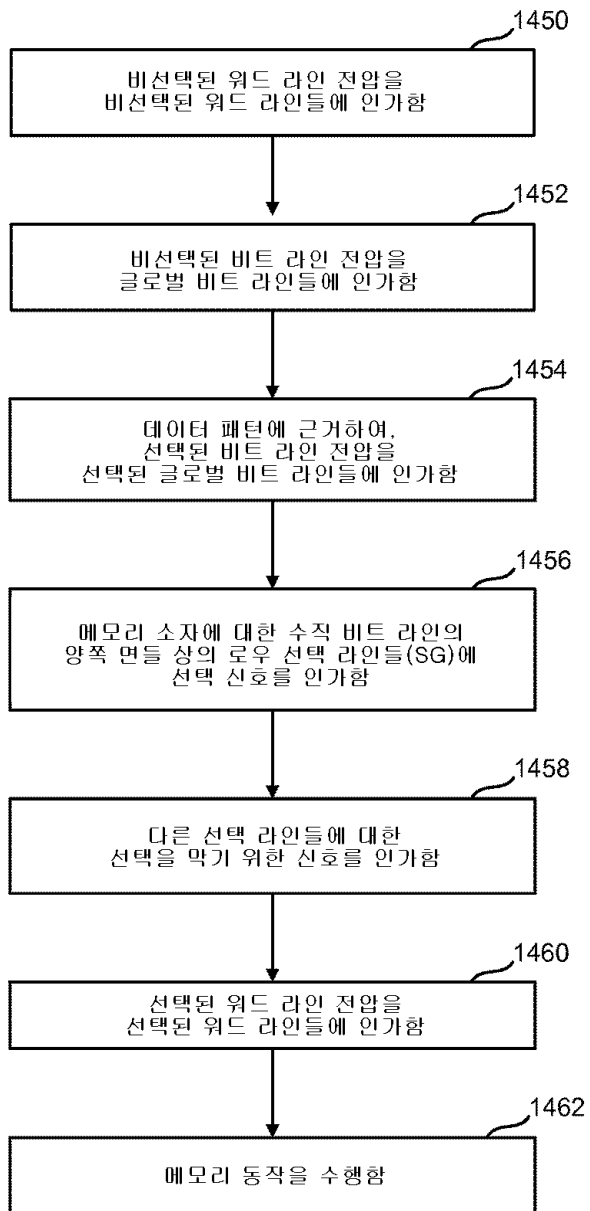
도면34



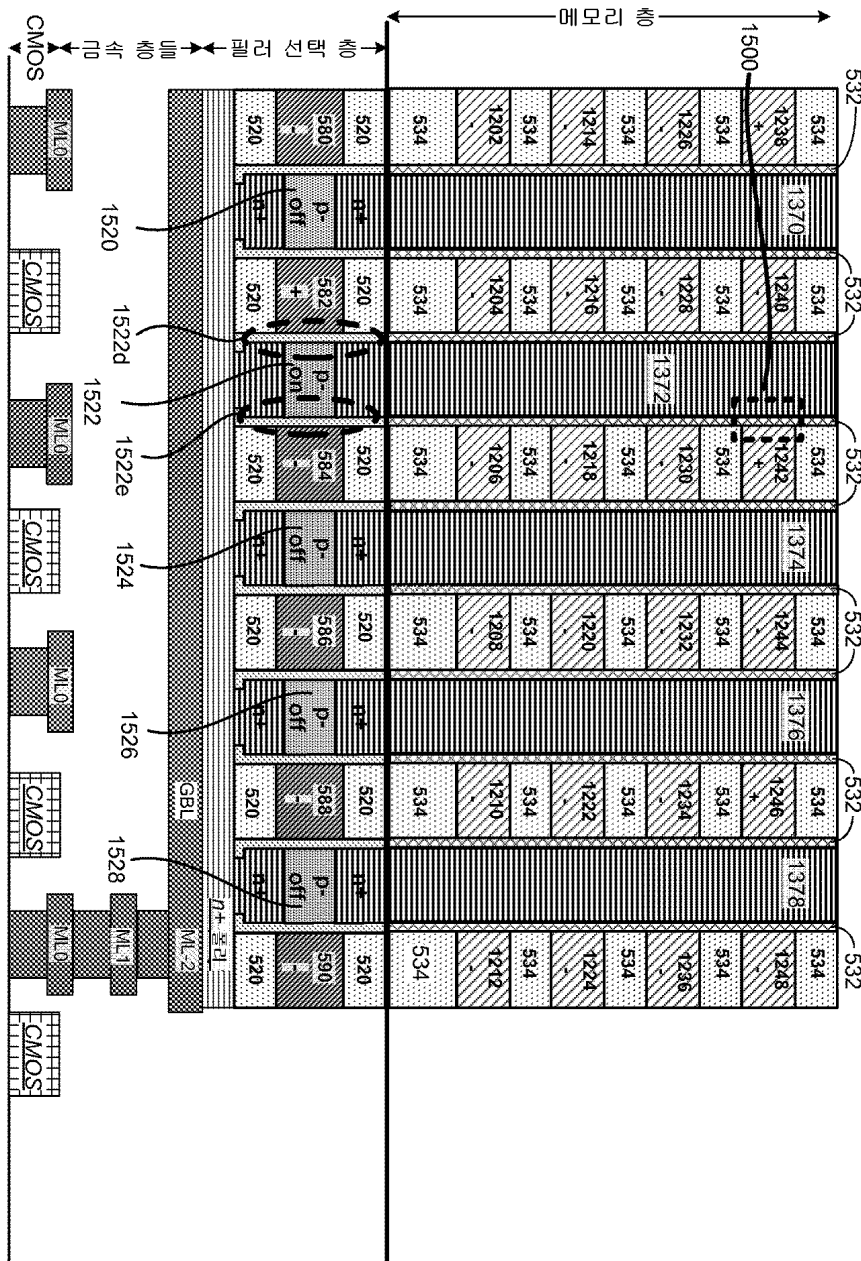
도면35



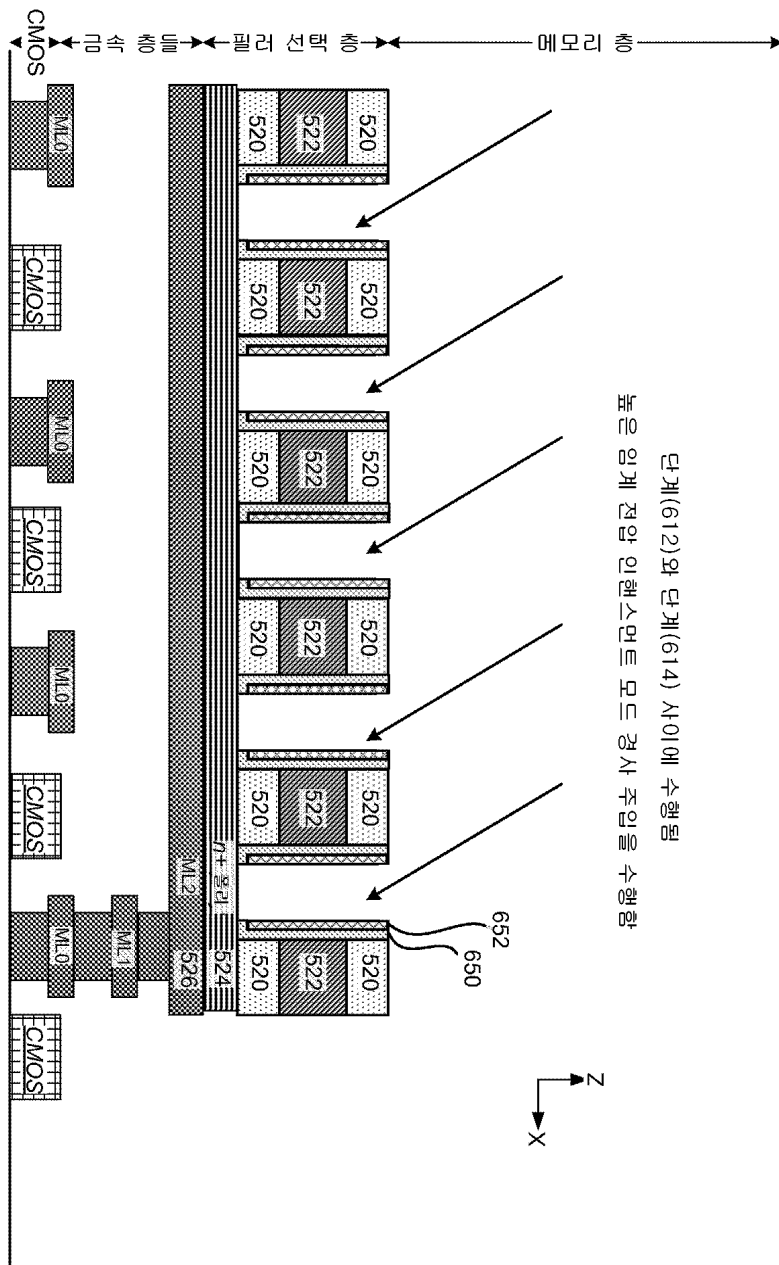
도면36



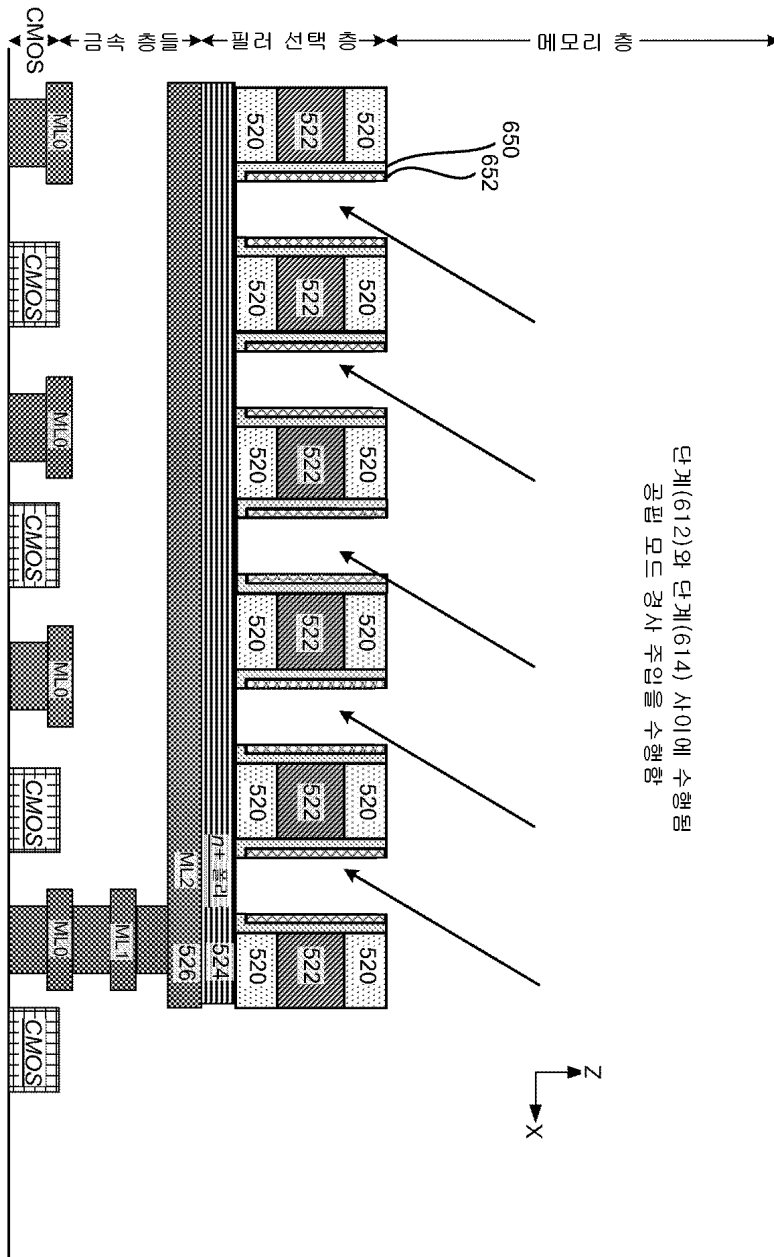
도면37



도면38a



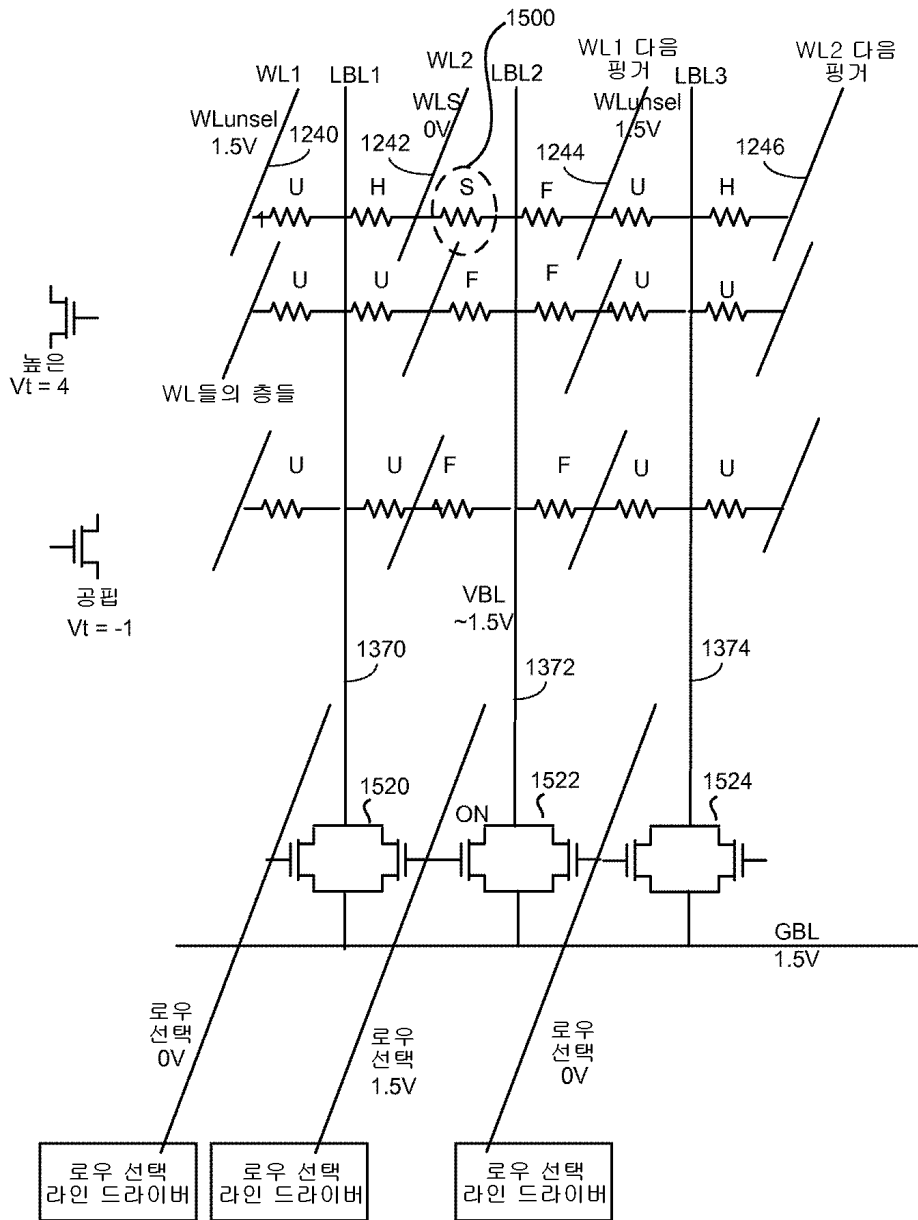
도면38b



단계(612)와 단계(614) 사이에 수행된
공립 모드 검사 주입을 수행함

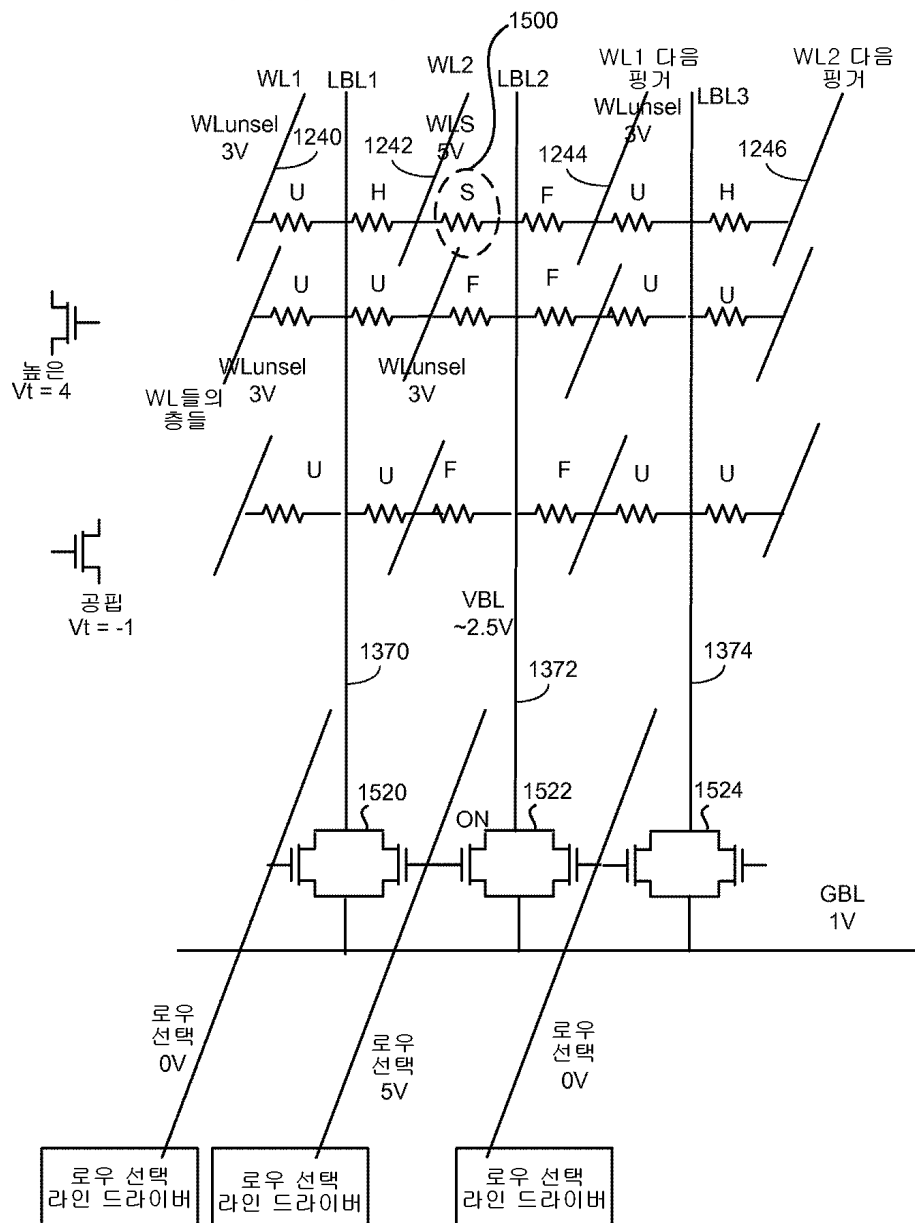
도면39

판독 바이어스 예



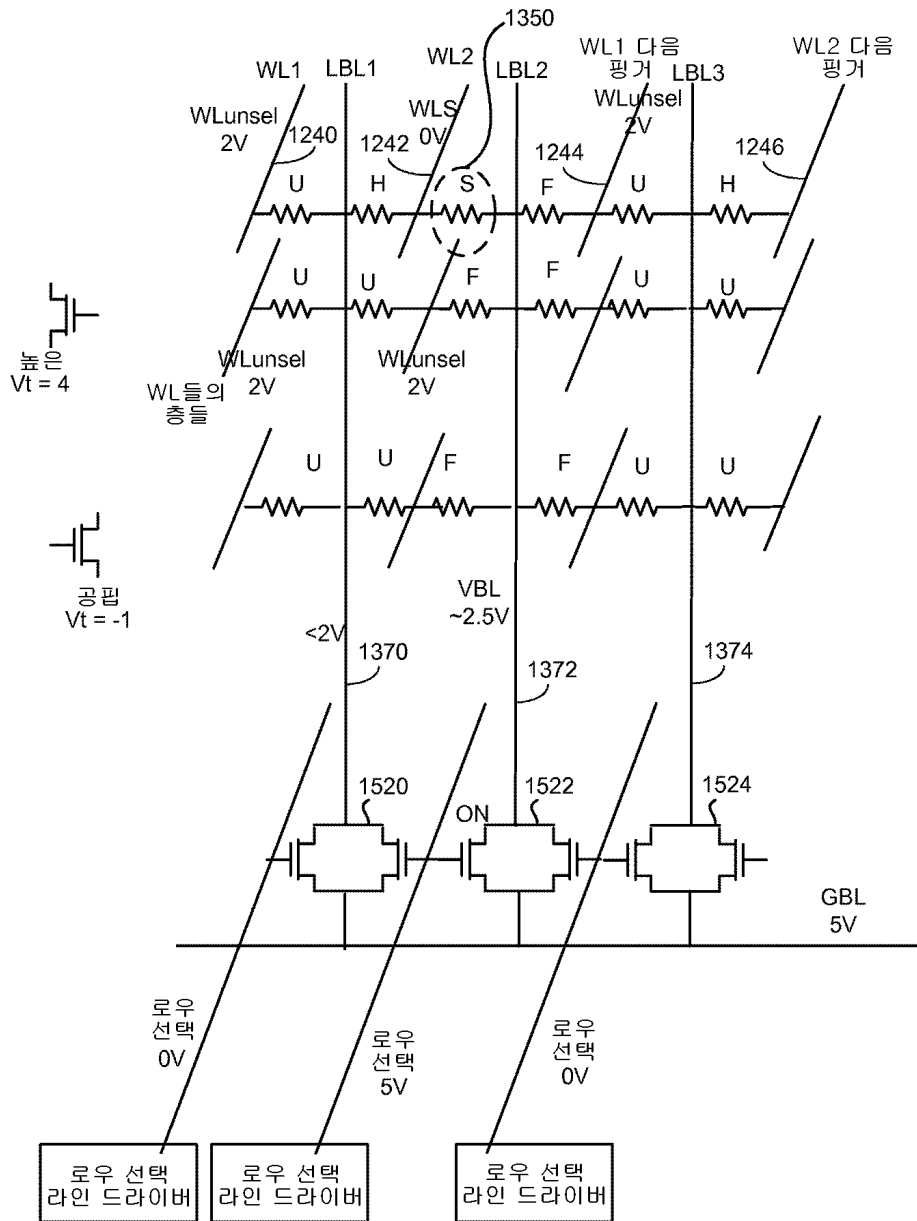
도면40

설정 바이어스 예

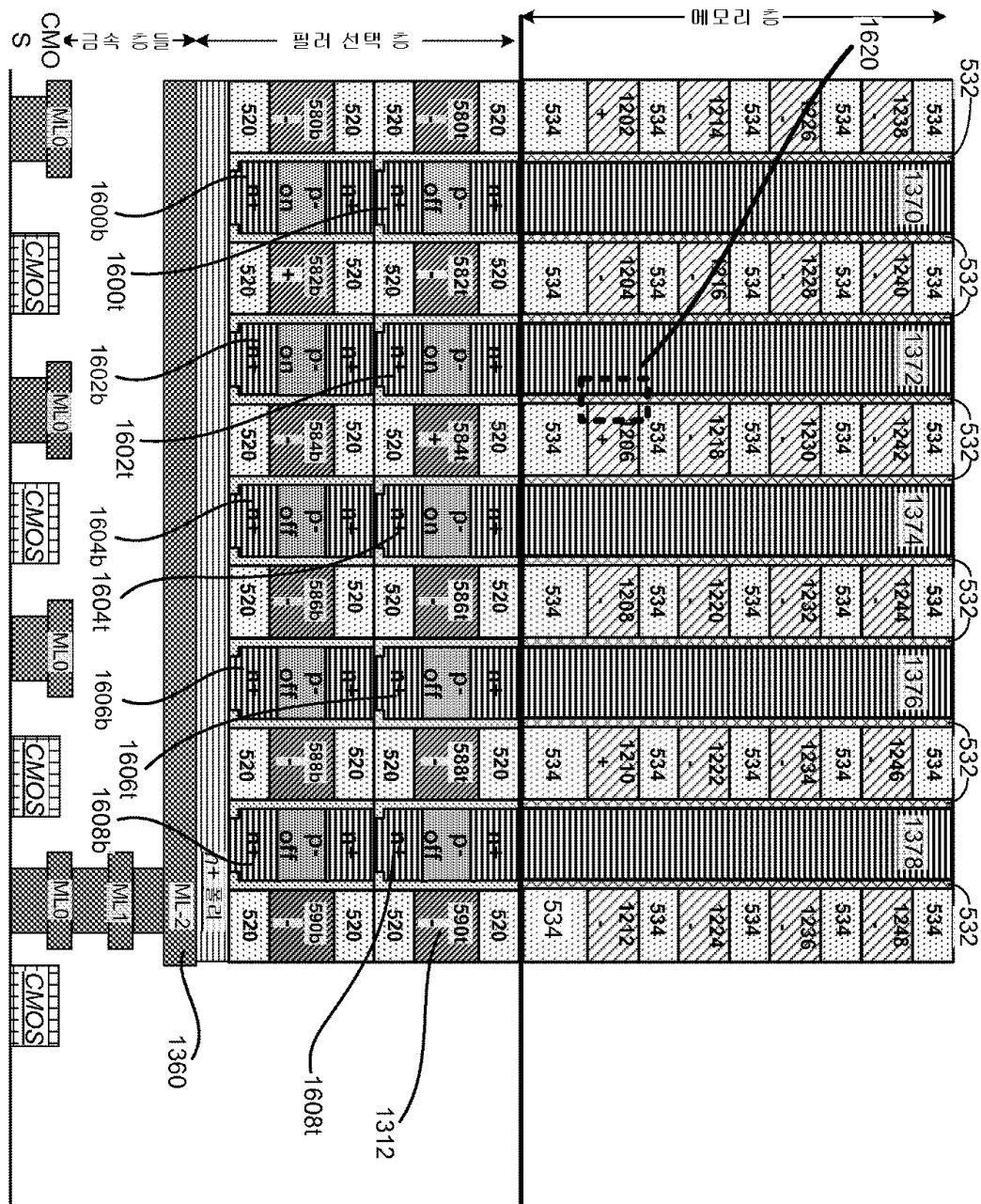


도면41

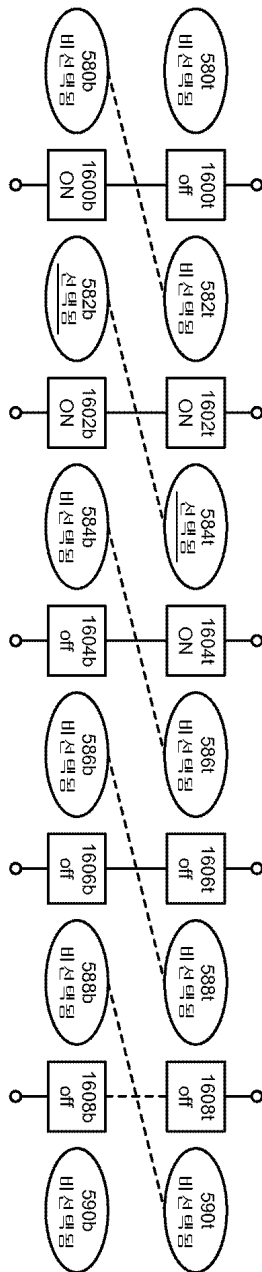
재설정 바이어스 예



도면42



도면43



도면44

