



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0051054  
(43) 공개일자 2014년04월30일

(51) 국제특허분류(Int. Cl.)  
G01R 19/00 (2006.01)  
(21) 출원번호 10-2013-0110520  
(22) 출원일자 2013년09월13일  
심사청구일자 없음  
(30) 우선권주장  
13/657,549 2012년10월22일 미국(US)

(71) 출원인  
케이슬리 인스트리먼트 인코포레이티드  
미합중국 오하이오 44139 클리블랜드 오로라 로드 28775  
(72) 발명자  
피케 웨인 씨.  
미국 44139 오하이오주 클리블랜드 오로라 로드 28775  
(74) 대리인  
유미특허법인

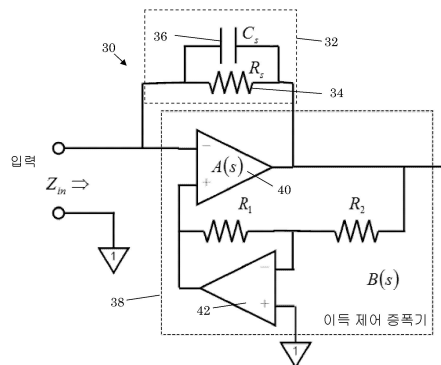
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 능동 셉트 전류계 장치 및 방법

(57) 요약

피시험 디바이스(DUT)를 통해 흐르는 전류를 측정하기 위한 능동 셉트 전류계 및 방법이 개시된다. 능동 셉트 전류계는 주파수 대역 내의 주파수를 가지며 상기 DUT를 통해 흐르는 전류를 나타내는 입력 신호를 수신하도록 구성되는 입력을 포함한다. 출력은 상기 DUT를 통해 흐르는 전류를 나타내는 출력 전압을 생성하도록 구성된다. 능동 셉트 전류계는 또한 이득 회로로서, 주파수 대역 내의 주파수에 대하여 변동하는 이득 특성을 가지는 증폭기 및 이득 회로의 출력으로부터 이득 회로의 음의 입력으로 커플링된 임피던스를 가지는 피드백 소자를 가지는, 이득 회로를 포함하는데, 피드백 소자 임피던스는 주파수 대역에 걸쳐 피드백 소자 임피던스를 증폭기 이득으로 나눈 값이 최소 주파수 의존성을 가지도록, 증폭기 이득 특성과 상관되게 주파수에 따라 변화하도록 구성된다.

대표도 - 도2a



## 특허청구의 범위

### 청구항 1

피시험 디바이스(device under test; DUT)를 통해 흐르는 전류를 측정하기 위한 능동 셉트 전류계에 있어서:

주파수 대역 내의 주파수를 가지며 상기 DUT를 통해 흐르는 전류를 나타내는 입력 신호를 수신하도록 구성되는 입력;

상기 DUT를 통해 흐르는 전류를 나타내는 출력 전압을 생성하도록 구성되는 출력;

이득 회로로서, 상기 주파수 대역 내의 주파수에 대하여 변동하는 이득 특성을 가지는 증폭기 및 상기 이득 회로의 출력으로부터 상기 이득 회로의 음의 입력으로 커플링된 임피던스를 가지는 피드백 소자를 가지는, 이득 회로를 포함하고,

피드백 소자 임피던스는 상기 주파수 대역에 걸쳐 상기 피드백 소자 임피던스를 상기 증폭기 이득으로 나눈 값이 최소 주파수 의존성을 가지도록, 증폭기 이득 특성과 상관되게 주파수에 따라 변화하도록 구성되는, 능동 셉트 전류계.

### 청구항 2

제 1 항에 있어서,

상기 증폭기는 병렬 RC 피드백 소자인, 능동 셉트 전류계.

### 청구항 3

제 1 항에 있어서,

상기 증폭기는 음의-입력 단자와 출력 단자 사이에 커플링된 병렬 RC 피드백 소자를 가지는 차동 증폭기인, 능동 셉트 전류계.

### 청구항 4

제 1 항에 있어서,

상기 이득 회로는 상기 이득 특성 및 상기 피드백 소자 임피던스에 기초하여 상기 증폭기의 전체 대역폭에 걸쳐 대체적으로 일정하게 유지되는 입력 임피던스를 가지는, 능동 셉트 전류계.

### 청구항 5

제 1 항에 있어서,

상기 증폭기는 피드백 소자 양단에 제어된 음의 이득을 가지는, 능동 셉트 전류계.

### 청구항 6

제 1 항에 있어서,

상기 증폭기는 저항비에 의하여 설정된 이득을 가지는 반전 스테이지를 가지는, 능동 셉트 전류계.

### 청구항 7

제 1 항에 있어서,

상기 증폭기는 두 개의 연산 증폭기들(op-amps) 사이에서 분할되는 이득을 가지는, 능동 셉트 전류계.

### 청구항 8

제 1 항에 있어서,

상기 피드백 소자 양단의 전압은 버퍼링되고 저항비에 따라서 감소되는, 능동 셉트 전류계.

**청구항 9**

제 1 항에 있어서,  
 상기 증폭기는 자신의 피드백 경로 내에 배치된 이득을 가지는 입력 연산 증폭기를 가지는, 능동 셉트 전류계.

**청구항 10**

피시험 디바이스(DUT)를 통해 흐르는 전류를 측정하는 방법에 있어서:  
 주파수 대역 내의 주파수를 가지며 상기 DUT를 통해 흐르는 전류를 나타내는 입력 신호를 수신하는 단계;  
 상기 DUT를 통해 흐르는 전류를 나타내는 출력 전압을 생성하는 단계;  
 이득 회로로서, 상기 주파수 대역 내의 주파수에 대하여 변동하는 이득 특성을 가지는 증폭기 및 상기 이득 회로의 출력으로부터 상기 이득 회로의 음의 입력으로 커플링된 임피던스를 가지는 피드백 소자를 가지는, 이득 회로를 제공하는 단계를 포함하며,  
 피드백 소자 임피던스는 상기 주파수 대역에 걸쳐 상기 피드백 소자 임피던스를 상기 증폭기 이득으로 나눈 값이 최소 주파수 의존성을 가지도록, 증폭기 이득 특성과 상관되게 주파수에 따라 변화하도록 구성되는, DUT를 통해 흐르는 전류를 측정하는 방법.

**청구항 11**

제 10 항에 있어서,  
 상기 증폭기는 병렬 RC 피드백 소자인, DUT를 통해 흐르는 전류를 측정하는 방법.

**청구항 12**

제 10 항에 있어서,  
 상기 증폭기는 음의-입력 단자와 출력 단자 사이에 커플링된 병렬 RC 피드백 소자를 가지는 차동 증폭기인, DUT를 통해 흐르는 전류를 측정하는 방법.

**청구항 13**

제 10 항에 있어서,  
 상기 이득 회로는 상기 이득 특성 및 상기 피드백 소자 임피던스에 기초하여 상기 증폭기의 전체 대역폭에 걸쳐 대체적으로 일정하게 유지되는 입력 임피던스를 가지는, DUT를 통해 흐르는 전류를 측정하는 방법.

**청구항 14**

제 10 항에 있어서,  
 상기 증폭기는 병렬 RC 피드백 소자 양단에 제어된 음의 이득을 가지는, DUT를 통해 흐르는 전류를 측정하는 방법.

**청구항 15**

제 10 항에 있어서,  
 상기 증폭기는 저항비에 의하여 설정된 이득을 가지는 반전 스테이지를 가지는, DUT를 통해 흐르는 전류를 측정하는 방법.

**청구항 16**

제 10 항에 있어서,  
 상기 증폭기는 두 개의 연산 증폭기들(op-amps) 사이에서 분할되는 이득을 가지는, DUT를 통해 흐르는 전류를 측정하는 방법.

**청구항 17**

제 10 항에 있어서,

상기 피드백 소자 양단의 전압은 버퍼링되고 저항비에 따라서 감소되는, DUT를 통해 흐르는 전류를 측정하는 방법.

**청구항 18**

제 10 항에 있어서,

상기 증폭기는 자신의 피드백 경로 내에 배치된 이득을 가지는 입력 연산 증폭기를 가지는, DUT를 통해 흐르는 전류를 측정하는 방법.

**명세서**

**기술분야**

[0001] 본 발명은 일반적으로 전기적 측정 장비에 관련하며, 특히 전류를 측정하는 데에 사용되기 위한 능동 셉트 전류계에 관한 것이다.

**배경기술**

[0002] 소스 측정 유닛(Source measure units; SMU)이 반도체 제품들의 테스트를 포함하는 많은 분야에서 정밀도 측정을 수행하기 위하여 사용된다. 예를 들어, 미국 특허 번호 제 5,039,934 호는 하나의 이러한 디바이스를 설명하며 이러한 디바이스에서의 범위-변화는 미국 특허 번호 제 5,144,154 호에 설명되는데, 이들 모두는 그들 전체로서 원용에 의해 본 명세서에 포함된다. 통상적 SMU 디자인은 집적된 전압 및 전류 측정 성능을 가지는 전압 또는 전류원을 포함한다. 피시험 디바이스(device under test; DUT)는 SMU로 커플링되며 이제 전압 또는 전류원 중 하나에 의하여 여기된다.

[0003] DUT를 통과하는 전류가 측정될 수도 있는 수 개의 방법들이 존재한다. 예를 들어, 단순히 저항  $R_S$  양단의 전압을 감지하기 위하여 셉트 전류계가 사용될 수도 있다.  $R_S$ 는 입력 신호에 큰 부담 전압(burden voltage)을 야기하지 않기 위하여 작게 유지되어야 한다. 부담 전압을 증폭하여 이것이 측정될 수 있도록 하기 위하여 저잡음 이득 스테이지가 요구된다.

[0004] 피드백 전류계는 고이득 연산 증폭기를 사용하여 저항  $R_S$ 를 통하여 입력 회로를 풀링한다(pull). 연산 증폭기는 자신의 높은 dc 이득(통상적으로 1백만배보다 더 크다) 때문에 부담 전압을 낮게 유지한다. 이것은  $R_S$ 가 더 커지게 하고 출력 신호가 더 커지게 한다. 그러나, 연산 증폭기의 고이득은 상대적으로 낮은 주파수에서 롤 오프(roll off)하기 시작한다. 이것은 부담 전압이 더 높은 주파수에서 역시 증가하도록 한다. 만일 입력이 용량성이라면, 이것은 피드백 전류계가 링잉하거나(ring) 심지어 발진하도록 야기할 수 있다. 이러한 문제들을 다루는 개선된 전류계 구성을 제공하는 것이 바람직할 수 있다.

**발명의 내용**

**과제의 해결 수단**

[0005] 피시험 디바이스(DUT)를 통해 흐르는 전류를 측정하기 위한 능동 셉트 전류계 및 방법이 개시된다. 능동 셉트 전류계는 주파수 대역 내의 주파수를 가지며 DUT를 통해 흐르는 전류를 나타내는 입력 신호를 수신하도록 구성되는 입력을 포함한다. 출력은 상기 DUT를 통해 흐르는 전류를 나타내는 출력 전압을 생성하도록 구성된다. 능동 셉트 전류계는 또한 이득 회로로서, 주파수 대역 내의 주파수에 대하여 변동하는 이득 특성을 가지는 증폭기 및 이득 회로의 출력으로부터 이득 회로의 음의 입력으로 커플링된 임피던스를 가지는 피드백 소자를 가지는, 이득 회로를 포함하고, 피드백 소자 임피던스는 주파수 대역에 걸쳐 피드백 소자 임피던스를 증폭기 이득으로 나눈 값이 최소 주파수 의존성을 가지도록, 증폭기 이득 특성과 상관되게 주파수에 따라 변화하도록 구성된다.

[0006] 증폭기는 병렬 RC 피드백 소자를 가질 수도 있다. 증폭기는 음의-입력 단자와 출력 단자 사이에 커플링된 병렬

RC 피드백 소자를 가지는 차동 증폭기일 수도 있다. 이득 회로는 이득 특성 및 피드백 소자 임피던스에 기초하여 증폭기의 전체 대역폭에 걸쳐 대체적으로 일정하게 유지되는 입력 임피던스를 가질 수도 있다. 증폭기는 피드백 소자 양단에 제어된 음의 이득을 가질 수도 있다. 증폭기는 저항비에 의하여 설정된 이득을 가지는 반전 스테이지를 가질 수도 있다. 증폭기는 두 개의 연산 증폭기들(op-amps) 간에 분할된 이득을 가질 수도 있다. 피드백 소자 양단의 전압은 저항비에 의하여 버퍼링되며 감소될 수도 있다. 증폭기는 자신의 피드백 경로 내에 배치된 이득을 가지는 입력 연산 증폭기를 가질 수도 있다.

[0007] 피시엄 디바이스(DUT)를 통해 흐르는 전류를 측정하기 위한 방법이 역시 개시되는데, 이 방법은 주파수 대역 내의 주파수를 가지며 DUT를 통해 흐르는 전류를 나타내는 입력 신호를 수신하는 단계를 포함한다. 출력 전압이 생성되는데, 출력 전압은 DUT를 통해 흐르는 전류를 나타낸다. 이득 회로가 제공된다. 이득 회로는 주파수 대역 내의 주파수에 대하여 변동하는 이득 특성을 가지는 증폭기 및 이득 회로의 출력으로부터 이득 회로의 음의 입력으로 커플링된 임피던스를 가지는 피드백 소자를 가지는데, 피드백 소자 임피던스는 주파수 대역에 걸쳐 피드백 소자 임피던스를 증폭기 이득으로 나눈 값이 최소 주파수 의존성을 가지도록, 증폭기 이득 특성과 상관되게 주파수에 따라 변화하도록 구성된다.

[0008] 증폭기는 병렬 RC 피드백 소자를 가질 수도 있다. 증폭기는 음의-입력 단자와 출력 단자 사이에 커플링된 병렬 RC 피드백 소자를 가지는 차동 증폭기일 수도 있다. 이득 회로는 이득 특성 및 피드백 소자 임피던스에 기초하여 증폭기의 전체 대역폭에 걸쳐 대체적으로 일정하게 유지되는 입력 임피던스를 가질 수도 있다. 증폭기는 피드백 소자 양단에 제어된 음의 이득을 가질 수도 있다. 증폭기는 저항비에 의하여 설정된 이득을 가지는 반전 스테이지를 가질 수도 있다. 증폭기는 두 개의 연산 증폭기들(op-amps) 간에 분할된 이득을 가질 수도 있다. 피드백 소자 양단의 전압은 저항비에 의하여 버퍼링되며 감소될 수도 있다. 증폭기는 자신의 피드백 경로 내에 배치된 이득을 가지는 입력 연산 증폭기를 가질 수도 있다.

**도면의 간단한 설명**

- [0009] 도 1a 는 간단히 저항  $R_s$  양단의 전압을 감지하도록 구성된 셉트 전류계의 기본적인 도면이다;
- 도 1b 는 입력 회로를 저항  $R_s$ 를 통하여 풀링하기 이<sub>T</sub>해 고이득 연산 증폭기를 이용하여 구성된 피드백 전류계의 기본적인 도면이다;
- 도 2a 는 병렬 RC 피드백 소자 양단의 제어된 음의 이득을 사용하는 능동 셉트 전류계 디자인이다;
- 도 2b 는 도 2a 에 있는 능동 셉트 전류계의 이득 고정 증폭기의 이득  $B(s)$ 를 도시하는 그래프이다;
- 도 3 은 반전 이득이 저항비에 의하여 설정되는 반전 스테이지를 사용하여 구성된 이득 고정 증폭기를 가지는 능동 셉트 전류계 디자인이다;
- 도 4 는 이득이 두 개의 연산 증폭기들 사이에서 분할되는 이득 고정 증폭기를 가지는 능동 셉트 전류계 디자인이다;
- 도 5 는 셉트 양단의 전압이 버퍼링되며 저항비에 의하여 다소 감소하는 이득 고정 증폭기를 가지는 능동 셉트 전류계 디자인이다; 그리고
- 도 6 은 입력 연산 증폭기가 자신의 피드백 경로에 배치된 작은 이득을 가지는 이득 고정 증폭기를 가지는 능동 셉트 전류계 디자인이다.

**발명을 실시하기 위한 구체적인 내용**

[0010] 본원의 개시물은 일반적으로 전기적 측정 장비에 관련하며, 특히 전류를 측정하는 데에 사용되기 위한 능동 셉트 전류계에 관련한다. 이러한 전류계는 흔히 디지털 멀티-미터(digital multi-meters; DMM) 및 소스 측정 유닛(SMU)을 포함하는 측정 제품의 부품이다. 피시엄 디바이스(DUT)를 통과하는 전류가 측정될 수도 있는 수 개의 방법들이 존재한다. 도 1a 는 간단히 저항  $R_s$  양단의 전압을 감지하도록 구성된 셉트 전류계(10)의 기본적인 도면이다.  $R_s$ 는 입력 신호에 큰 부담 전압을 야기하지 않기 위하여 작게 유지되어야 한다. 저잡음 이득 스테이지(12)는 부담 전압을 증폭하여 이것이 측정될 수 있도록 한다.

[0011] 도 1b 는 입력 회로를 저항  $R_s$ 를 통하여 풀링하기 위해 고이득 연산 증폭기를 이용하여 구성된 피드백 전류계 (20)의 기본적인 도면이다. 연산 증폭기(op-amp; 22)는 자신의 높은 dc 이득(통상적으로 1백만배보다 더 크다)

때문에 부담 전압을 낮게 유지한다. 이것은  $R_s$  가 더 커지게 하고 출력 신호가 더 커지게 한다. 그러나, 연산 증폭기의 고이득은 상대적으로 낮은 주파수에서 롤오프하기 시작한다. 이것은 부담 전압이 더 높은 주파수에서도 역시 증가하도록 한다. 만일 입력이 용량성이라면, 이것은 피드백 전류계가 링잉하거나(ring) 심지어 발진하도록 야기할 수 있다.

[0012] 능동 셉트 전류계 디자인이 이러한 문제점들을 다룬다. 능동 셉트 전류계 구성은 일반적으로 피드백 전류계에서 사용되는 연산 증폭기를 이득 고정 증폭기로 대체한다. 그 결과는 더 높은 주파수에서 일정한 이득이다. 증폭기가 롤오프하기 시작하는 주파수에서, 커패시터 임피던스( $1/j\omega C_s$ )는  $R_s$ 와 동일하도록 설계된다.  $R_s$  및  $C_s$ 의 병렬 임피던스의 롤오프가 증폭기의 이득의 롤오프와 결합하면, 결과적으로 증폭기의 전체 대역폭에 걸쳐 일정한 전류계의 입력-임피던스가 된다. 그 결과로서 전통적인 셉트 전류계보다 더 높은 출력 신호 대 부담 전압을 가지는 셉트형 전류계가 얻어지며, 피드백 전류계의 안정성에는 문제가 없다..

[0013] 도 2a 는 병렬 RC 피드백 소자(32) 양단에 제어된 음의 이득을 사용함으로써 회로의 입력 임피던스가 R을 이득으로 나눈 값과 같은 저항이 되게 하는 능동 셉트 전류계 디자인(30)이다. 이러한 예에서는, 능동 셉트 전류계(30)는 이득 고정 차동 증폭기(38)의 음의-입력과 출력 단자 사이에 접속된 병렬 저항(34) 및 커패시터(36)를 가지는 이득 고정 차동 증폭기(38)를 포함한다. 저항(34) 및 커패시터(36)의 RC 곱은 증폭기의 이득-대역폭을 고정된 이득으로 나눈 값과 동일하도록 선택된다.

[0014] 도 2b 는 이득 고정 증폭기(38)의 이득 B(s) 및 다른 파라미터를 도시하는 그래프이다. 일반적으로, 이득 고정 증폭기(38)의 이득 B(s)(참조 번호 50으로 도시됨)는 DC로부터 타겟 주파수(52)까지 본질적으로 일정하게 유지된다. 타겟 주파수(52)에 도달되면, 이득 고정 증폭기(38)의 이득 B(s)는 예를 들어, 20db/decade의 비율로 롤오프한다. 이러한 예에서는, 도 2a 에서의 연산 증폭기(40)는 B(s)보다 훨씬 더 높은 이득 A(s)를 가진다. 그러나, 연산 증폭기(42)는 피드백 경로에서는 인버터로서 기능하며, 결과적으로 이득 고정 증폭기(38)에 대한 합성 이득 B(s)를 산출한다. 이러한 구성은 병렬 RC 피드백 소자(34, 36) 양단에 제어된 음의 이득을 사용함으로써 회로의 입력 임피던스가 R을 이득으로 나눈 값과 같은 저항이 되게 한다.

[0015] 도 2a 에서,  $\omega_t$ 는 연산 증폭기(40)의 이득 대역폭이다. 또한 도 2a 에는 도시된 주파수 범위에 걸쳐 일정하게 유지되는 저항(34,  $R_s$ )의 저항이 도시된다. 또한 도 2a 에는 능동 셉트 전류계(30)의 입력 임피던스  $Z_{in}$ 이 도시된다. 일반적으로, 입력 임피던스  $Z_{in}$ 은  $R_s$ 보다 상당히 더 적도록 그리고  $\omega t$  이상인 주파수에 대하여 성질상 저항성으로 보이도록 구성된다. 이러한 예에서는:  $Z_{in} = R_s * (R_1/(R_1+R_2))$ ,  $C_s \sim R_2/(\omega_t * R_s * R_1)$  및  $R_2 \gg R_1$ 이다.

[0016] 만일 피드백 소자(32)가 오직 저항성이었다면, 즉, 커패시터(36)가 생략되었다면, 입력 임피던스  $Z_{in}$ 은 타겟 주파수(52) 이후에 주파수와 함께 증가할 것이다. 커패시터(36)의 임피던스는 타겟 주파수(52)에서 저항의 임피던스와 동일하도록 선택될 수도 있다. 이것은 피드백 소자(32)의 임피던스가 연산 증폭기(40)가 롤 오프하기 시작하는 것과 동일한 주파수에서 떨어지게 한다. 이러한 구성은 도 2b 에 도시된 바와 같이 타겟 주파수(52) 이후에 롤 오프하지 않는 평평한 입력 임피던스를 산출한다.

[0017] 이득 고정 증폭기가 여러 구성들로 구현될 수도 있다는 것이 이해되어야 한다. 도 3 은 반전 이득이  $R_2/R_1$ 에 의하여 설정되는 반전 스테이지를 사용하여 구성된 이득 고정 증폭기(58)를 가지는 능동 셉트 전류계 디자인(50)이다. 커패시턴스,  $C_2$ 가 양자의 저항  $R_1, R_2$  양단에 추가되어 입력 버퍼가  $\omega_t$ 에 근접할수록 롤 오프하기 시작하는 주파수에서 반전 이득을 1로 감소시킨다. 이러한 예에서는:  $Z_{in} = R_s * (R_1/R_2)$  및  $C_2 \sim 1/(\omega_t * R_{1b}) = R_s * C_s/R_{2b}$ 이다.

[0018] 도 4 는 이득이 두 개의 연산 증폭기들(80, 82) 사이에서 분할되는 이득 고정 증폭기(78)를 가지는 능동 셉트 전류계 디자인(70)이다. 이러한 예에서는:  $Z_{in} = R_s * (R_{1a} * R_{1b}) / (R_{2a} * R_{2b})$  및  $C_s \sim 1/(\omega_t * R_1) = (R_s * C_s) / R_2$ 이다.

[0019] 도 5 는 셉트 양단의 전압이 버퍼링되며  $R_2/(R_1+R_2)$ 에 의하여 다소 감쇠하는 이득 고정 증폭기(98)를 가지는 능동 셉트 전류계 디자인(90)이다. 일반적으로, 감쇠된 신호는 버퍼링되며 입력의 하부 측을 구동한다. 이러한 예에서는:  $Z_{in} = R_s * (R_1/(R_1+R_2))$ 이다.

[0020] 도 6 은 입력 연산 증폭기(122)가 자신의 피드백에 배치된 작은 이득을 가지는 이득 고정 증폭기(118)를 가지는

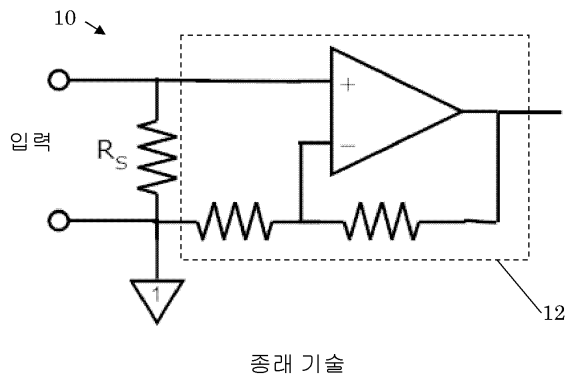
능동 셉트 전류계 디자인(110)이다. 이것은 입력 연산 증폭기가 자신의 출력이 1 보다 다소 적은 출력,  $R_2/(R_1+R_2)$ 를 가지는 버퍼가 되도록 한다. 이러한 예에서는:  $Z_{in} = R_s * (R_1/(R_1+R_2))$ 이다.

[0021]

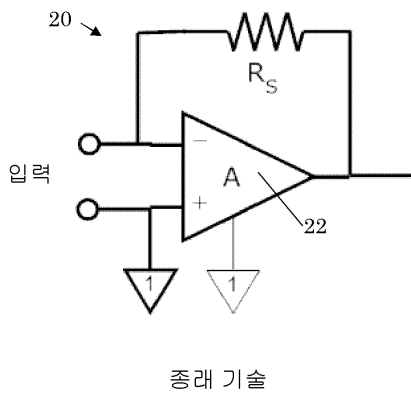
본 명세서에서 개시된 개시물에 기초하여 많은 변형예들이 가능하다는 것이 이해되어야 한다. 비록 위에서 피쳐들 및 소자들이 특정 조합으로 설명되었지만, 각각의 피쳐 또는 소자는 다른 피쳐 및 소자 없이 홀로 또는 다른 피쳐 및 소자가 있거나 없는 다양한 조합에서 사용될 수 있다.

**도면**

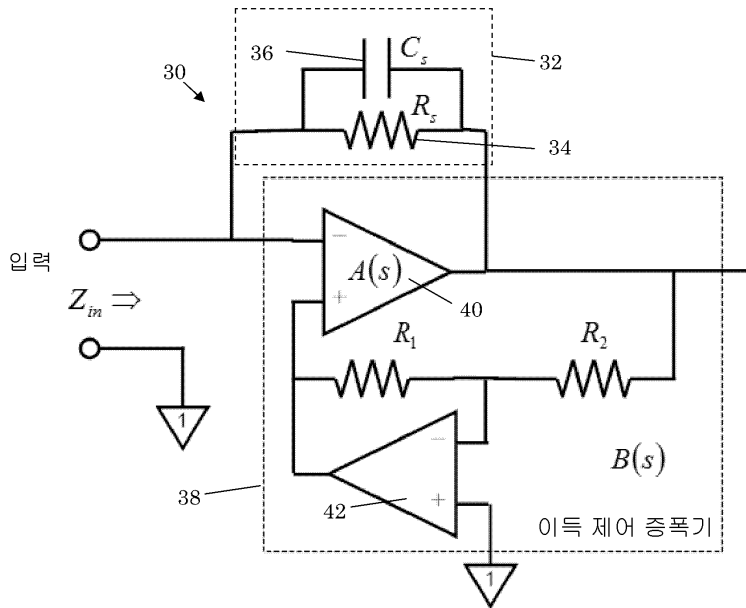
**도면1a**



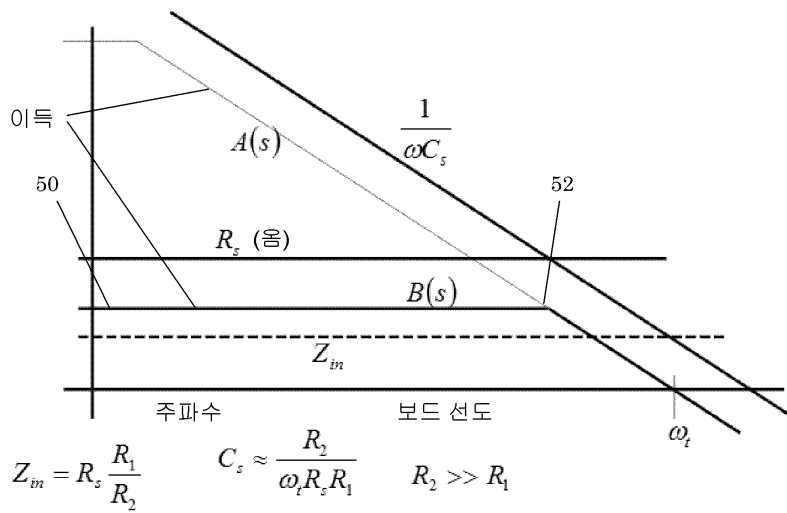
**도면1b**



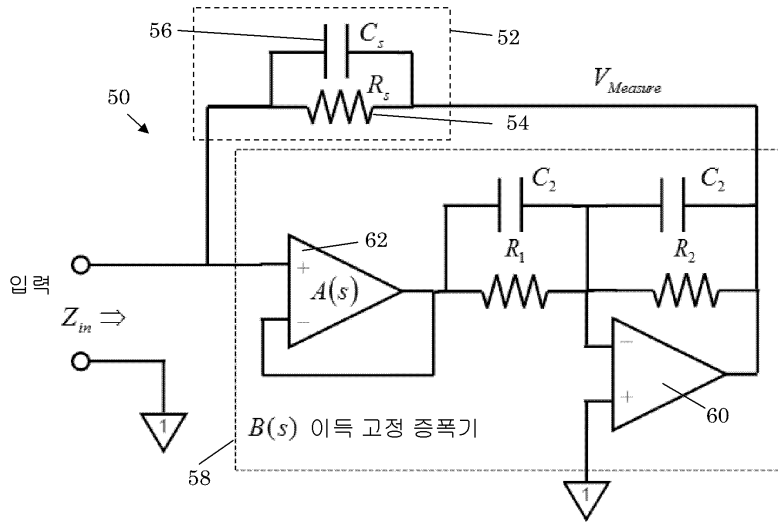
도면2a



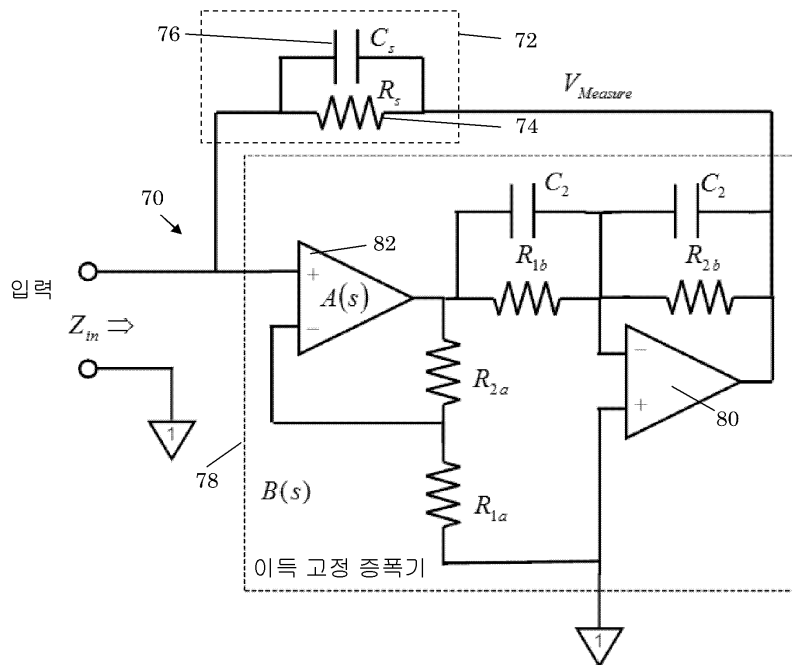
도면2b



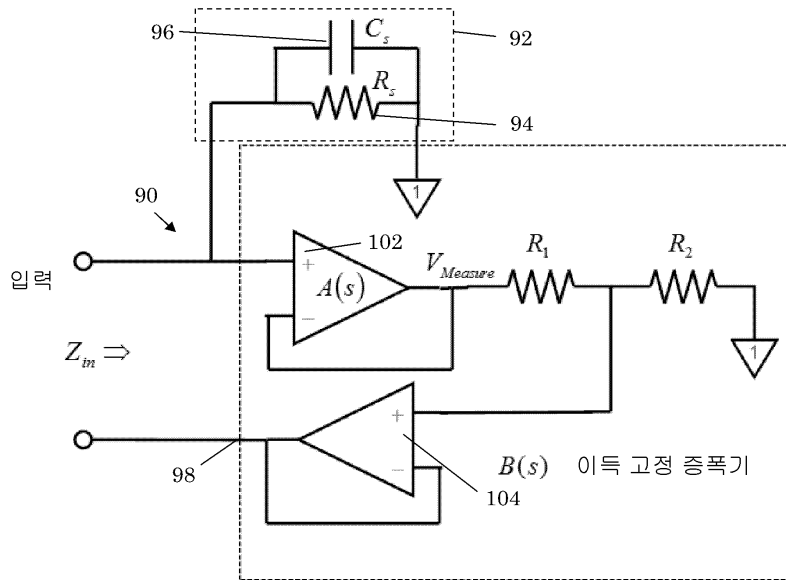
도면3



도면4



도면5



도면6

