



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I769111 B

(45) 公告日：中華民國 111 (2022) 年 06 月 21 日

(21) 申請案號：110142723

(22) 申請日：中華民國 110 (2021) 年 11 月 17 日

(51) Int. Cl. : H04L12/861 (2013.01)

H04L12/801 (2013.01)

H04L12/70 (2013.01)

(71) 申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORP. (TW)
 新竹科學園區創新二路二號

(72) 發明人：陸志豪 LIU, CHIH-HAO (TW)

(74) 代理人：吳豐任；戴俊彥；高銘良

(56) 參考文獻：

TW 200537888

US 6298370B1

US 2004/0062267A1

US 2012/0236789A1

US 2021/0056058A1

審查人員：謝紀明

申請專利範圍項數：10 項 圖式數：4 共 22 頁

(54) 名稱

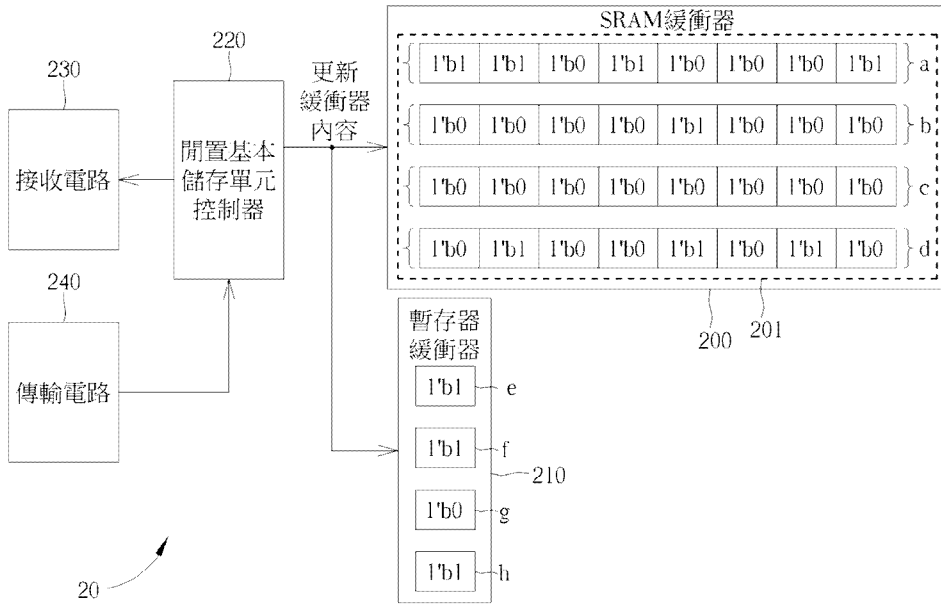
基本儲存單元管理電路以及基本儲存單元管理方法

(57) 摘要

一種基本儲存單元管理電路包含有一接收電路、一傳輸電路、一第一緩衝器以及一閒置基本儲存單元控制器。第一緩衝器用以儲存一位元表，其中位元表包含有複數個第一位元，其分別對應複數個基本儲存單元，以及複數個第一位元中的每一第一位元用以標示一相對應之基本儲存單元是否為一閒置基本儲存單元。閒置基本儲存單元控制器耦接於接收電路、傳輸電路以及第一緩衝器，並且用以管理第一緩衝器所儲存的位元表，以及依據位元表來處理對應接收電路所接收或傳輸電路所傳輸的至少一封包的至少一基本儲存單元。

A basic storage unit management circuit includes a receiving circuit, a transmitting circuit, a first buffer, and an idle basic storage unit controller. The first buffer is arranged to store a bit map, wherein the bit map includes a plurality of first bits that correspond to a plurality of basic storage units, respectively, and each of the plurality of first bits is arranged to label whether a corresponding basic storage unit is an idle basic storage unit. The idle basic storage unit controller is coupled to the receiving circuit, the transmitting circuit, and the first buffer, and is arranged to manage the bit map stored by the first buffer, and process at least one basic storage unit of at least one packet that is received by the receiving circuit or is transmitted by the transmitting circuit.

指定代表圖：



第2圖

符號簡單說明：

20:資料管理電路

200:靜態隨機存取記憶體緩衝器

201:位元表

210:暫存器緩衝器

220:閒置基本儲存單元控制器

230:接收電路

240:傳輸電路

a~d:有效閒置儲存單元標示欄位

e~h:第二位元



I769111

【發明摘要】

【中文發明名稱】基本儲存單元管理電路以及基本儲存單元管理方法

【英文發明名稱】BASIC STORAGE UNIT MANAGEMENT CIRCUIT AND BASIC STORAGE UNIT MANAGEMENT METHOD

【中文】

一種基本儲存單元管理電路包含有一接收電路、一傳輸電路、一第一緩衝器以及一閒置基本儲存單元控制器。第一緩衝器用以儲存一位元表，其中位元表包含有複數個第一位元，其分別對應複數個基本儲存單元，以及複數個第一位元中的每一第一位元用以標示一相對應之基本儲存單元是否為一閒置基本儲存單元。閒置基本儲存單元控制器耦接於接收電路、傳輸電路以及第一緩衝器，並且用以管理第一緩衝器所儲存的位元表，以及依據位元表來處理對應接收電路所接收或傳輸電路所傳輸的至少一封包的至少一基本儲存單元。

【英文】

A basic storage unit management circuit includes a receiving circuit, a transmitting circuit, a first buffer, and an idle basic storage unit controller. The first buffer is arranged to store a bit map, wherein the bit map includes a plurality of first bits that correspond to a plurality of basic storage units, respectively, and each of the plurality of first bits is arranged to label whether a corresponding basic storage unit is an idle basic storage unit. The idle basic storage unit controller is coupled to the receiving circuit, the transmitting circuit, and the first buffer, and is arranged to manage the bit map stored by the first buffer, and process at least one basic storage unit of at least one packet that is received by the receiving circuit or is transmitted by the transmitting circuit.

【指定代表圖】第（ 2 ）圖。

【代表圖之符號簡單說明】

20:資料管理電路

200:靜態隨機存取記憶體緩衝器

201:位元表

210:暫存器緩衝器

220:閒置基本儲存單元控制器

230:接收電路

240:傳輸電路

a~d:有效閒置儲存單元標示欄位

e~h:第二位元

【特徵化學式】

無

【發明說明書】

【中文發明名稱】基本儲存單元管理電路以及基本儲存單元管理方法

【英文發明名稱】BASIC STORAGE UNIT MANAGEMENT CIRCUIT AND
BASIC STORAGE UNIT MANAGEMENT METHOD

【技術領域】

【0001】 本發明係有關於資料管理，尤指針對閒置(idle)基本儲存單元(basic storage unit)的基本儲存單元管理電路以及基本儲存單元管理方法。

【先前技術】

【0002】 在傳統的交換器(switch)、路由器(router)或媒體存取控制(media access control, MAC)中，一記憶體，諸如靜態隨機存取記憶體(static random access memory, SRAM)，通常會被劃分為複數個基本儲存單元，並且可利用多位元(multi-bit)的閒置基本儲存單元鏈結串列(link list)來管理複數個基本儲存單元中的閒置基本儲存單元，然而，一些問題可能會發生。由於在多位元的閒置基本儲存單元鏈結串列中的一閒置基本儲存單元之位址是被儲存在前一個閒置基本儲存單元中，因此有著多位元的閒置基本儲存單元連結列表的一記憶體（例如靜態隨機存取記憶體）的大小可能會因為基本儲存單元數量而增加，其可能會增加成本以及讀取時間，此外，取得/釋放(get/release)閒置基本儲存單元的流通量(throughput)可能會被該記憶體的頻寬限制，因此，極需一種新穎的架構來取代閒置基本儲存單元鏈結串列。

【發明內容】

【0003】 因此，本發明的目的之一在於提供一種基本儲存單元管理電路以及相關基本儲存單元管理方法，以解決上述問題。

【0004】 本發明之至少一實施例提供了一種基本儲存單元管理電路，其中該基本儲存單元管理電路可包含有一接收電路、一傳輸電路、一第一緩衝器以及一閒置基本儲存單元控制器。第一緩衝器可用以儲存一位元表，其中位元表包含有複數個第一位元，其分別對應複數個基本儲存單元，以及複數個第一位元中的每一第一位元用以標示一相對應之基本儲存單元是否為一閒置基本儲存單元。閒置基本儲存單元控制器可耦接於接收電路、傳輸電路以及第一緩衝器，並且可用以管理第一緩衝器所儲存的位元表，以及依據位元表來處理對應接收電路所接收或傳輸電路所傳輸的至少一封包的至少一基本儲存單元，其中當複數個基本儲存單元的一基本儲存單元是一閒置基本儲存單元時，閒置基本儲存單元控制器將該基本儲存單元所對應的一第一位元設為一第一邏輯值；以及當複數個基本儲存單元的該基本儲存單元不是閒置基本儲存單元時，閒置基本儲存單元控制器將該基本儲存單元所對應的第一位元設為一第二邏輯值。

【0005】 本發明之至少一實施例提供了一種基本儲存單元管理方法。該基本儲存單元管理方法可包含有：儲存一位元表，其中位元表包含有複數個第一位元，其分別對應複數個基本儲存單元，以及複數個第一位元中的每一第一位元用以指示一相對應基本儲存單元是否為一閒置基本儲存單元；以及使用一閒置基本儲存單元控制器來依據位元表處理對應一接收電路所接收或一傳輸電路所傳輸的至少一封包的至少一基本儲存單元，並且管理位元表，其中當複數個基本儲存單元的一基本儲存單元是一閒置基本儲存單元時，閒置基本儲存單元控制器將該基本儲存單元所對應的一第一位元設為一第一邏輯值，以及當複數個

基本儲存單元的該基本儲存單元不是閒置基本儲存單元時，閒置基本儲存單元控制器將該基本儲存單元所對應的第一位元設為一第二邏輯值。

【0006】 本發明的好處之一是，本發明所提供之基本儲存單元管理電路可以利用儲存著位元表的記憶體緩衝器以及暫存器緩衝器來管理閒置基本儲存單元，基本儲存單元管理電路的閒置基本儲存單元控制器先從暫存器緩衝器的複數個第二位元中找出具有第一邏輯值（例如1）之一目標第二位元來取得一讀取位址，且根據讀取位址來讀取記憶體緩衝器的位元表中的一目標有效閒置儲存單元標示欄位，並自目標有效閒置儲存單元標示欄位中找出具有第一邏輯值（例如1）的至少一個目標第一位元來取得至少一個閒置基本儲存單元，如此一來，可以大幅地減少讀取記憶體緩衝器的時間，此外，為了減少記憶體緩衝器的功率消耗以及節省記憶體緩衝器的頻寬，本發明另提供了一種基本儲存單元管理電路，其包含有一釋放基本儲存單元緩衝器，其中釋放基本儲存單元緩衝器可用以減少記憶體緩衝器的存取次數。

【圖式簡單說明】

【0007】

第1圖為依據本發明一實施例之記憶體緩衝器中的位元以及暫存器緩衝器中的位元之間的對應關係的示意圖。

第2圖為依據本發明一實施例之基本儲存單元管理電路的示意圖。

第3圖為依據本發明另一實施例之基本儲存單元管理電路的示意圖。

第4圖為依據本發明一實施例之基本儲存單元管理方法的流程圖。

【實施方式】

【0008】 第1圖為依據本發明一實施例之記憶體緩衝器中的位元以及暫存器緩衝器中的位元之間的對應關係的示意圖。如第1圖所示，一記憶體緩衝器（例如靜態隨機存取記憶體緩衝器100；為簡潔起見，在第1圖中標記為“SRAM緩衝器”）可用以儲存一位元表101，其中位元表101可包含有32個第一位元（其分別對應至32個基本儲存單元），以及32個第一位元中的每一個第一位元可用以標示一相對應之基本儲存單元是否為一閒置基本儲存單元，舉例來說，當32個基本儲存單元中的一基本儲存單元是一閒置基本儲存單元時，則該基本儲存單元所對應的一第一位元是第一邏輯值（例如1）；以及當32個基本儲存單元中的一基本儲存單元不是閒置基本儲存單元時，則該基本儲存單元所對應的一第一位元是第二邏輯值（例如0）。此外，為了節省讀取記憶體緩衝器的時間並且能更快速地找出閒置基本儲存單元，可以將位元表以複數個位元為單位來劃分為複數個有效閒置儲存單元標示欄位(field)，舉例來說，位元表101中的 $M \times N$ （例如 $M \times N = 32$ ）個第一位元可以 M （例如 $M = 8$ ）個位元為單位來劃分為 N （例如 $N = 4$ ）個有效閒置儲存單元標示欄位（例如有效閒置儲存單元標示欄位a~有效閒置儲存單元標示欄位d）。

【0009】 暫存器緩衝器110可用以儲存4個第二位元（例如第二位元e~第二位元h，其分別對應至位元表101中的有效閒置儲存單元標示欄位a~有效閒置儲存單元標示欄位d），其中4個第二位元中的每一個第二位元可用以指示一相對應的有效閒置儲存單元標示欄位中是否包含具有第一邏輯值（例如1）的至少一個第一位元（亦即指示相對應的有效閒置儲存單元標示欄位中的8個第一位元所對應的8個基本儲存單元中是否包含至少一個閒置基本儲存單元）。當4個有效閒置儲存單元標示欄位中的一有效閒置儲存單元標示欄位包含具有第一邏輯值（例如1）的至少一個第一位元時，則該有效閒置儲存單元標示欄位所對應的第二位元

是第一邏輯值（例如1）；以及當4個有效閒置儲存單元標示欄位中的一有效閒置儲存單元標示欄位所包含的所有第一位元均具有第二邏輯值（例如0）時（亦即該有效閒置儲存單元標示欄位中的8個第一位元所對應的8個基本儲存單元中沒有閒置基本儲存單元），則該有效閒置儲存單元標示欄位所對應的第二位元是第二邏輯值（例如0）。舉例來說，由於位元表101中的有效閒置儲存單元標示欄位a包含有4個具有第一邏輯值（例如1）的第一位元，因此有效閒置儲存單元標示欄位a所對應的第二位元e是第一邏輯值（例如1）。又例如，由於位元表101中的有效閒置儲存單元標示欄位c所包含的所有第一位元均具有第二邏輯值（例如0），因此有效閒置儲存單元標示欄位c所對應的第二位元g是第二邏輯值（例如0）。

【0010】 第2圖為依據本發明一實施例之基本儲存單元管理電路20的示意圖。如第2圖所示，基本儲存單元管理電路20可包含有一記憶體緩衝器（例如靜態隨機存取記憶體緩衝器200；為簡潔起見，在第2圖中標記為“SRAM緩衝器”）、暫存器緩衝器210、閒置基本儲存單元控制器220、接收電路230以及傳輸電路240，其中靜態隨機存取記憶體緩衝器200以及暫存器緩衝器210可分別由第1圖所示之靜態隨機存取記憶體緩衝器100以及暫存器緩衝器110來實現。靜態隨機存取記憶體緩衝器200可用以儲存一位元表201，本實施例中，位元表201可包含有32個第一位元（其分別對應至32個基本儲存單元），以及位元表201中的32個第一位元可以8個位元為單位來劃分為4個有效閒置儲存單元標示欄位（例如有效閒置儲存單元標示欄位a~有效閒置儲存單元標示欄位d），然而，此僅作為範例說明，而非本發明的限制條件，實作上，位元表201的大小以及有效閒置儲存單元標示欄位劃分可根據需求來調整。暫存器緩衝器210可用以儲存4個第二位元（例如第二位元e~第二位元h，其分別對應至位元表201中的有效閒置儲存單

元標示欄位a~有效閒置儲存單元標示欄位d)，然而，此僅作為範例說明，而非本發明的限制條件，實作上，暫存器緩衝器210所儲存的第二位元的個數會取決於位元表201的有效閒置儲存單元標示欄位個數。為簡潔起見，於本實施例中針對靜態隨機存取記憶體緩衝器200以及暫存器緩衝器210的類似內容在此不重複贅述。

【0011】 閒置基本儲存單元控制器220可耦接於靜態隨機存取記憶體緩衝器200、接收電路230以及傳輸電路240，並且可用以管理靜態隨機存取記憶體緩衝器200所儲存的位元表201，以及依據位元表201來處理對應接收電路230所接收或傳輸電路240所傳輸的至少一封包的至少一基本儲存單元，其中當位元表201的32個第一位元所對應的32個基本儲存單元中的一基本儲存單元是閒置基本儲存單元時，閒置基本儲存單元控制器220可將該基本儲存單元所對應的第一位元設為第一邏輯值（例如1）；以及當位元表201的32個第一位元所對應的32個基本儲存單元中的一基本儲存單元不是閒置基本儲存單元時，閒置基本儲存單元控制器220可將該基本儲存單元所對應的第一位元設為第二邏輯值（例如0）。此外，閒置基本儲存單元控制器220另可耦接於暫存器緩衝器210，其中當位元表201的4個有效閒置儲存單元標示欄位中的一有效閒置儲存單元標示欄位包含具有第一邏輯值（例如1）的至少一個第一位元時，閒置基本儲存單元控制器220可將該有效閒置儲存單元標示欄位所對應的第二位元設為第一邏輯值（例如1）；以及當位元表201的4個有效閒置儲存單元標示欄位中的一有效閒置儲存單元標示欄位所包含的所有第一位元均具有第二邏輯值（例如0）時，閒置基本儲存單元控制器220可將該有效閒置儲存單元標示欄位所對應的第二位元設為第二邏輯值（例如0）。

【0012】 當接收電路230接收到一接收封包時，閒置基本儲存單元控制器220可藉由靜態隨機存取記憶體緩衝器200以及暫存器緩衝器210來取得至少一個閒置基本儲存單元以供暫存該接收封包，舉例來說，閒置基本儲存單元控制器220會先自暫存器緩衝器210的4個第二位元（例如第二位元e~第二位元h）中找出具有第一邏輯值（例如1）的一目標第二位元（例如第二位元e、第二位元f或第二位元h）來取得一讀取位址，並且根據該讀取位址來讀取靜態隨機存取記憶體緩衝器200的位元表201中的一目標有效閒置儲存單元標示欄位（例如對應於第二位元e的有效閒置儲存單元標示欄位a、對應於第二位元f的有效閒置儲存單元標示欄位b或對應於第二位元h的有效閒置儲存單元標示欄位d），最後再自該目標有效閒置儲存單元標示欄位中找出具有第一邏輯值（例如1）的至少一個目標第一位元來取得至少一個閒置基本儲存單元。

【0013】 應注意的是，在該至少一個閒置基本儲存單元被用來暫存該接收封包之後，閒置基本儲存單元控制器220另可用以將對應於該至少一個閒置基本儲存單元的該至少一個目標第一位元從第一邏輯值（例如1）更新為第二邏輯值（例如0），此外，當閒置基本儲存單元控制器220更新完對應於該至少一個閒置基本儲存單元的該至少一個目標第一位元之後，包含有該至少一個目標第一位元的該目標有效閒置儲存單元標示欄位內所有的第一位元均具有第二邏輯值（例如0）時，閒置基本儲存單元控制器220另可用以將暫存器緩衝器210中對應於該目標有效閒置儲存單元標示欄位的第二位元從第一邏輯值（例如1）更新為第二邏輯值（例如0），另一方面，當閒置基本儲存單元控制器220更新完對應於該至少一個閒置基本儲存單元的該至少一個目標第一位元之後，包含有該至少一個目標第一位元的該目標有效閒置儲存單元標示欄位內仍包含具有第一邏輯值（例如1）的至少一個第一位元時，閒置基本儲存單元控制器220可另用以將暫存器

緩衝器210中對應於該目標有效閒置儲存單元標示欄位的第二位元維持為第一邏輯值（例如1）。閒置基本儲存單元控制器220可透過管線(pipeline)的方式來實現對於靜態隨機存取記憶體緩衝器200之位元表中的32個第一位元以及暫存器緩衝器210的4個第二位元的更新，但是本發明不限於此。

【0014】 當傳輸電路240傳輸一傳輸封包完畢時，傳輸電路240釋放(release)對應於該傳輸封包的至少一個基本儲存單元至閒置基本儲存單元控制器220，閒置基本儲存單元控制器220可用以根據該傳輸封包的該至少一個基本儲存單元來將靜態隨機存取記憶體緩衝器200的位元表201中的至少一個目標有效閒置儲存單元標示欄位中之至少一個目標第一位元由第二邏輯值（例如0）更新為第一邏輯值（例如1），也就是說，對應於該至少一個目標第一位元的至少一個基本儲存單元是至少一個閒置基本儲存單元。此外，在原本的至少一個目標有效閒置儲存單元標示欄位中之至少一個目標第一位元均具有第二邏輯值（例如0）的情況下（亦即原本的至少一個目標有效閒置儲存單元標示欄位中不具有閒置基本儲存單元），當閒置基本儲存單元控制器220更新完該至少一個目標第一位元之後，包含有該至少一個目標第一位元的該至少一個目標有效閒置儲存單元標示欄位內包含具有第一邏輯值（例如1）的至少一個第一位元時，閒置基本儲存單元控制器220另可用以將暫存器緩衝器210中對應於該至少一個目標有效閒置儲存單元標示欄位的至少一個第二位元從第二邏輯值（例如0）更新為第一邏輯值（例如1），另一方面，在原本的至少一個目標有效閒置儲存單元標示欄位中已經包含具有第一邏輯值（例如1）的至少一個第一位元的情況下（亦即原本的至少一個目標有效閒置儲存單元標示欄位中已經具有閒置基本儲存單元），閒置基本儲存單元控制器220可另用以將暫存器緩衝器210中對應於該至少一個目標有效閒置儲存單元標示欄位的至少一個第二位元維持為第一邏輯值（例如1）。

【0015】 此外，為了減少記憶體緩衝器的功率消耗以及節省記憶體緩衝器的頻寬，可利用一釋放基本儲存單元緩衝器來減少記憶體緩衝器的存取次數，第3圖為依據本發明另一實施例之基本儲存單元管理電路30的示意圖。如第3圖所示，基本儲存單元管理電路30可包含有一記憶體緩衝器（例如靜態隨機存取記憶體緩衝器300；為簡潔起見，在第3圖中標記為“SRAM緩衝器”）、暫存器緩衝器310、閒置基本儲存單元控制器320、接收電路330、傳輸電路340以及釋放基本儲存單元緩衝器350，其中第3圖所示之基本儲存單元管理電路30與第2圖所示之基本儲存單元管理電路20的不同之處在於基本儲存單元管理電路30可另包含有釋放基本儲存單元緩衝器350。釋放基本儲存單元緩衝器350可耦接於閒置基本儲存單元控制器320以及傳輸電路340，並且可用以暫存傳輸電路340傳輸一傳輸封包完畢時所釋放的對應於傳輸封包的至少一個基本儲存單元，其中閒置基本儲存單元控制器320可自釋放基本儲存單元緩衝器350取得對應於傳輸封包的至少一個基本儲存單元來作為閒置基本儲存單元。如此一來，當接收電路330接收一接收封包時，閒置基本儲存單元控制器320可預先讀取釋放基本儲存單元緩衝器350中所暫存的對應於傳輸封包的至少一個基本儲存單元，以供接收封包使用，而無需透過靜態隨機存取記憶體緩衝器300以及暫存器緩衝器310來取得閒置基本儲存單元（其減少了靜態隨機存取記憶體緩衝器300的存取次數）。

【0016】 在本實施例中，釋放基本儲存單元緩衝器350中暫存了靜態隨機存取記憶體緩衝器300中對應於第一位元B10的閒置基本儲存單元（其以十進制值為10的5位元來暫存至釋放基本儲存單元緩衝器350中，並且在第3圖中標記為“5'd10”）、對應於第一位元B21的閒置基本儲存單元（其以十進制值為21的5位元來暫存至釋放基本儲存單元緩衝器350中，並且在第3圖中標記為“5'd21”）、

第9頁，共12頁(發明說明書)

對應於第一位元B22的閒置基本儲存單元（其以十進制值為22的5位元來暫存至釋放基本儲存單元緩衝器350中，並且在第3圖中標記為“5'd22”）以及對應於第一位元B27的閒置基本儲存單元（其以十進制值為27的5位元來暫存至釋放基本儲存單元緩衝器350中，並且在第3圖中標記為“5'd27”）。應注意的是，當釋放基本儲存單元緩衝器350中所暫存的對應於傳輸封包的至少一個基本儲存單元皆被佔用（亦即釋放基本儲存單元緩衝器350中沒有閒置基本儲存單元）時，閒置基本儲存單元控制器320可自暫存器緩衝器310的4個第二位元中找出具有第一邏輯值（例如1）的一目標第二位元來取得一讀取位址，且根據讀取位址來讀取靜態隨機存取記憶體緩衝器300的位元表301中的一目標有效閒置儲存單元標示欄位，並自目標有效閒置儲存單元標示欄位中找出具有第一邏輯值（例如1）之至少一個目標第一位元來取得至少一個閒置基本儲存單元，以供接收封包使用。換言之，若釋放基本儲存單元緩衝器350具有閒置基本儲存單元可供使用，則閒置基本儲存單元控制器320會優先讀取釋放基本儲存單元緩衝器350，若無法自釋放基本儲存單元緩衝器350取得所要的閒置基本儲存單元，閒置基本儲存單元控制器320再透過暫存器緩衝器310以及靜態隨機存取記憶體緩衝器300來取得閒置基本儲存單元。

【0017】 於上述實施例中，閒置基本儲存單元控制器220（或閒置基本儲存單元控制器320）可透過暫存器緩衝器210（或暫存器緩衝器310）所儲存的第二位元來快速地自靜態隨機存取記憶體緩衝器200（或靜態隨機存取記憶體緩衝器300）的位元表中找到標示閒置基本儲存單元的第一位元，然而，暫存器緩衝器可以是選擇性(optional)元件，舉例來說，於本發明的一些實施例中，資料管理電路20（或資料管理電路30）可省略暫存器緩衝器210（或暫存器緩衝器310），而直接於靜態隨機存取記憶體緩衝器200（或靜態隨機存取記憶體緩衝器300）

的位元表中進行搜尋來找到標示閒置基本儲存單元的第一位元。綜上所述，任何採用位元表所記錄的位元來標示相對應基本儲存單元是否為閒置基本儲存單元的資料管理電路均落入本發明的範疇。

【0018】 第4圖為依據本發明一實施例之基本儲存單元管理方法的流程圖。假若可以得到相同的結果，則步驟不一定要完全遵照第4圖所示的流程來依序執行，舉例來說，於第4圖所示之基本儲存單元管理方法可由第2圖所示之資料管理電路20或第3圖所示之資料管理電路30來加以實現。

【0019】 在步驟S400中，靜態隨機存取記憶體緩衝器可儲存一位元表，其中位元表可包含有複數個第一位元，其分別對應於複數個基本儲存單元，以及複數個第一位元中的每一個第一位元可用以標示相對應的基本儲存單元是否為一閒置基本儲存單元。

【0020】 在步驟S402中，可使用一閒置基本儲存單元控制器來管理位元表，並且依據位元表處理對應一接收電路所接收或一傳輸電路所傳輸的至少一封包的至少一基本儲存單元，其中當複數個基本儲存單元的一基本儲存單元是一閒置基本儲存單元時，閒置基本儲存單元控制器可將該基本儲存單元所對應的第一位元設為一第一邏輯值，以及當複數個基本儲存單元的該基本儲存單元不是閒置基本儲存單元時，閒置基本儲存單元控制器可將該基本儲存單元所對應的第一位元設為一第二邏輯值。

【0021】 由於熟習技藝者可透過上述說明書內容而輕易瞭解第4圖所示各步驟的操作，為了簡潔起見，於本實施例中類似的內容在此不重複贅述。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0022】

100, 200, 300:靜態隨機存取記憶體控制器

101, 201, 301:位元表

110, 210, 310:暫存器控制器

a~d:有效閒置儲存單元標示欄位

e~h:第二位元

20, 30:基本儲存單元管理電路

220, 320:閒置基本儲存單元控制器

230, 330:接收電路

240, 340:傳輸電路

350:釋放基本儲存單元緩衝器

B10, B21, B22, B27:第一位元

S400, S402:步驟

【發明申請專利範圍】

【請求項1】 一種基本儲存單元管理電路，包含有：

一接收電路；

一傳輸電路；

一第一緩衝器，用以儲存一位元表，其中該位元表包含有複數個第一位元，其分別對應複數個基本儲存單元，以及該複數個第一位元中的每一第一位元用以標示一相對應之基本儲存單元是否為一閒置基本儲存單元；

一閒置基本儲存單元控制器，耦接於該接收電路、該傳輸電路以及該第一緩衝器，並且用以管理該第一緩衝器所儲存的該位元表，以及依據該位元表來處理對應該接收電路所接收或該傳輸電路所傳輸的至少一封包的至少一基本儲存單元，其中當該複數個基本儲存單元的一基本儲存單元是一閒置基本儲存單元時，該閒置基本儲存單元控制器將該基本儲存單元所對應的一第一位元設為一第一邏輯值；以及當該複數個基本儲存單元的該基本儲存單元不是該閒置基本儲存單元時，該閒置基本儲存單元控制器將該基本儲存單元所對應的該第一位元設為一第二邏輯值。

【請求項2】 如申請專利範圍第1項所述之基本儲存單元管理電路，其中該位元表中的該複數個第一位元被劃分為複數個有效閒置儲存單元標示欄位，以及該基本儲存單元管理電路另包含：

一第二緩衝器，耦接於該閒置基本儲存單元控制器，並且用以儲存複數個第二位元，其分別對應該複數個有效閒置儲存單元標示欄位，其中該複數個第二位元中的每一第二位元用以指示一相對應之有效閒置儲存

單元標示欄位中是否包含具有該第一邏輯值的至少一第一位元；其中當該複數個有效閒置儲存單元標示欄位的一有效閒置儲存單元標示欄位包含具有該第一邏輯值的該至少一第一位元時，該閒置基本儲存單元控制器將該有效閒置儲存單元標示欄位所對應的一第二位元設為該第一邏輯值與該第二邏輯值的其中之一邏輯值；以及當該複數個有效閒置儲存單元標示欄位的該有效閒置儲存單元標示欄位所包含的所有第一位元均具有該第二邏輯值時，該閒置基本儲存單元控制器將該有效閒置儲存單元標示欄位所對應的該第二位元設為該第一邏輯值與該第二邏輯值的其中之一邏輯值。

【請求項3】 如申請專利範圍第2項所述之基本儲存單元管理電路，其中當該接收電路接收一接收封包時，該閒置基本儲存單元控制器先自該第二緩衝器的該複數個第二位元中找出具有該邏輯值之一目標第二位元來取得一讀取位址，且根據該讀取位址來讀取該第一緩衝器的該位元表中的一目標有效閒置儲存單元標示欄位，並自該目標有效閒置儲存單元標示欄位中找出具有該第一邏輯值的至少一目標第一位元來取得至少一閒置基本儲存單元。

【請求項4】 如申請專利範圍第3項所述之基本儲存單元管理電路，其中該閒置基本儲存單元控制器另用以將該至少一目標第一位元從該第一邏輯值更新為該第二邏輯值。

【請求項5】 如申請專利範圍第2項所述之基本儲存單元管理電路，其中當該傳輸電路傳輸一傳輸封包完畢時，該傳輸電路釋放對應於該傳輸封包的至少一基本儲存單元至該閒置基本儲存單元控制器。

【請求項6】 如申請專利範圍第5項所述之基本儲存單元管理電路，其中該閒置基本儲存單元控制器另用以根據該傳輸封包的該至少一基本儲存單元來將該第一緩衝器的該位元表中的至少一目標有效閒置儲存單元標示欄位中的至少一目標第一位元由該第二邏輯值更新為該第一邏輯值。

【請求項7】 如申請專利範圍第2項所述之基本儲存單元管理電路，另包含有：
一釋放基本儲存單元緩衝器，耦接於該傳輸電路以及該閒置基本儲存單元控制器，並且用以暫存該傳輸電路傳輸一傳輸封包完畢時所釋放的對應於該傳輸封包的至少一基本儲存單元，其中該閒置基本儲存單元控制器自該釋放基本儲存單元緩衝器取得對應於該傳輸封包的該至少一基本儲存單元來作為閒置基本儲存單元。

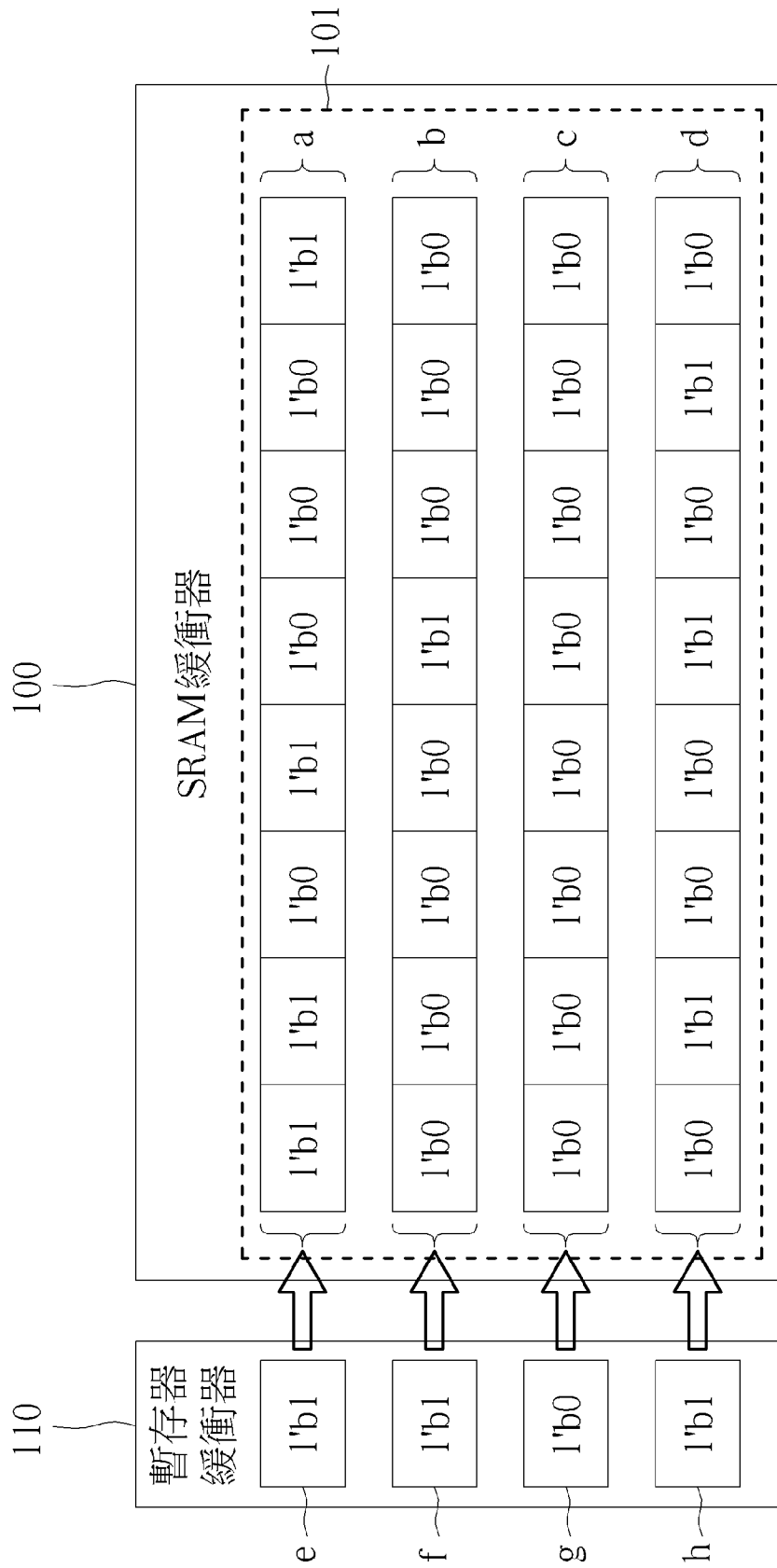
【請求項8】 如申請專利範圍第7項所述之基本儲存單元管理電路，其中當該接收電路接收一接收封包時，該閒置基本儲存單元控制器讀取該釋放基本儲存單元緩衝器中所暫存的對應於該傳輸封包的該至少一基本儲存單元，以供該接收封包使用。

【請求項9】 如申請專利範圍第8項所述之基本儲存單元管理電路，其中當該釋放基本儲存單元緩衝器中所暫存的對應於該傳輸封包的該至少一基本儲存單元皆被佔用時，該閒置基本儲存單元控制器自該第二緩衝器的該複數個第二位元中找出具有該邏輯值之一目標第二位元來取得一讀取位址，且根據該讀取位址來讀取該第一緩衝器的該位元表中的一目標有效閒置儲存單元標示欄位，並自該目標有效閒置儲存單元標示欄位中找出具有該第一邏輯值之至少一目標第一位元來取得至少一閒置基本儲存單元，以供該接收封包使用。

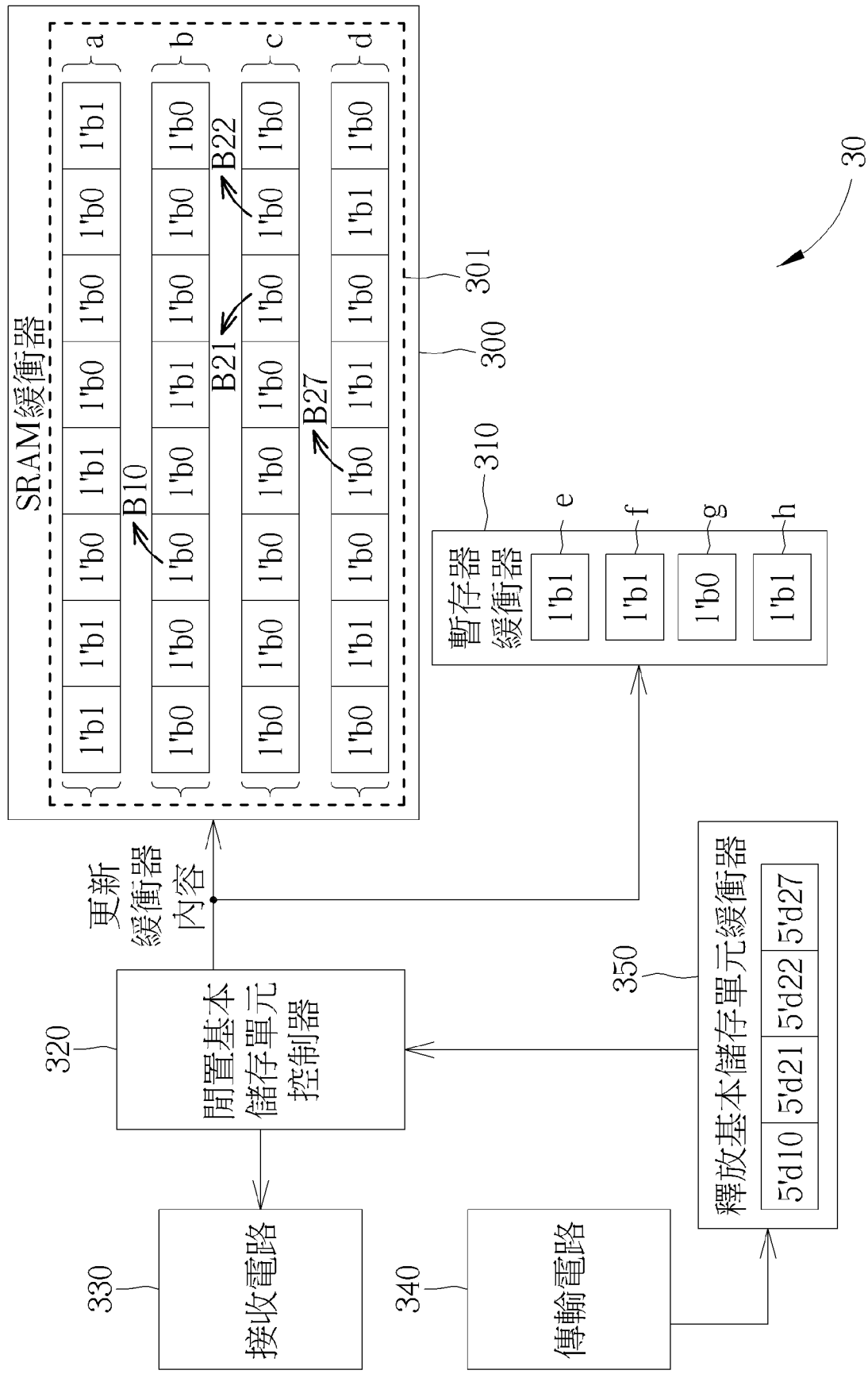
【請求項10】 一種基本儲存單元管理方法，包含有：

儲存一位元表，其中該位元表包含有複數個第一位元，其分別對應複數個基本儲存單元，以及該複數個第一位元中的每一第一位元用以指示一相對應基本儲存單元是否為一閒置基本儲存單元；以及
使用一閒置基本儲存單元控制器來管理該位元表，並且依據該位元表處理對應一接收電路所接收或一傳輸電路所傳輸的至少一封包的至少一基本儲存單元，其中當該複數個基本儲存單元的一基本儲存單元是一閒置基本儲存單元時，該閒置基本儲存單元控制器將該基本儲存單元所對應的一第一位元設為一第一邏輯值，以及當該複數個基本儲存單元的該基本儲存單元不是該閒置基本儲存單元時，該閒置基本儲存單元控制器將該基本儲存單元所對應的該第一位元設為一第二邏輯值。

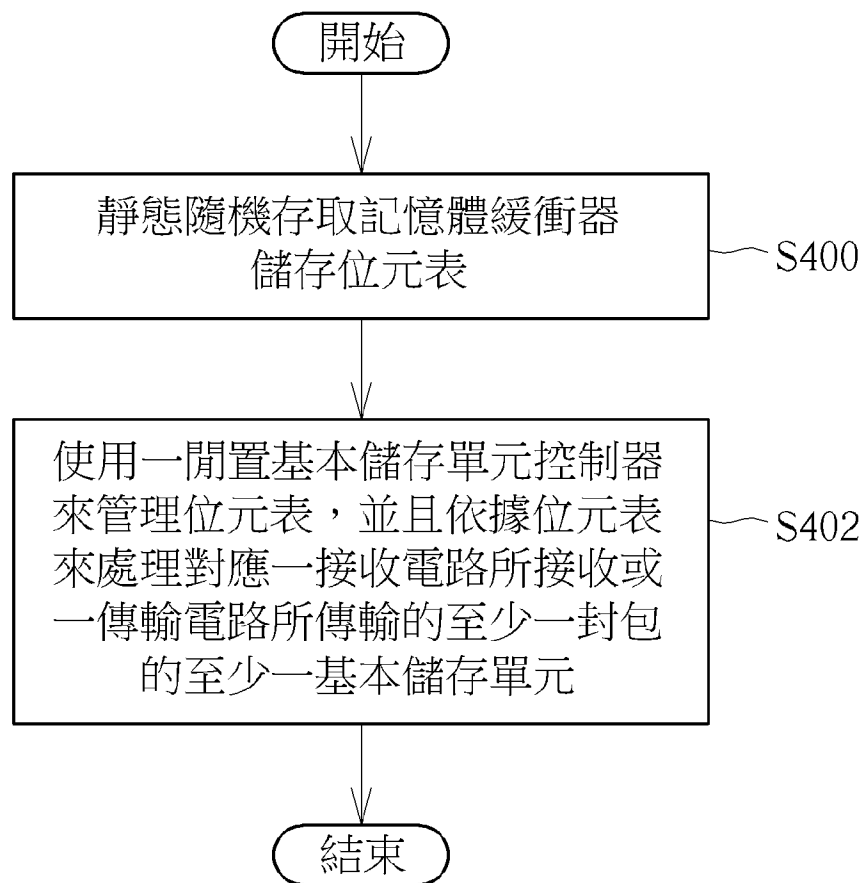
【發明圖式】



第1圖



第3圖



第4圖