



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년05월10일
(11) 등록번호 10-1977152
(24) 등록일자 2019년05월03일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 27/12 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 27/1225 (2013.01)
(21) 출원번호 10-2018-7007393(분할)
(22) 출원일자(국제) 2011년03월11일
심사청구일자 2018년03월14일
(85) 번역문제출일자 2018년03월14일
(65) 공개번호 10-2018-0031065
(43) 공개일자 2018년03월27일
(62) 원출원 특허 10-2012-7027962
원출원일자(국제) 2011년03월11일
심사청구일자 2016년03월09일
(86) 국제출원번호 PCT/JP2011/056488
(87) 국제공개번호 WO 2011/122363
국제공개일자 2011년10월06일
(30) 우선권주장
JP-P-2010-086397 2010년04월02일 일본(JP)
(56) 선행기술조사문헌
JP2007073701 A*
JP2007201366 A*
JP2008281988 A*
KR1020060132720 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본국 2430036 가나가와 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 4 항

심사관 : 최혜미

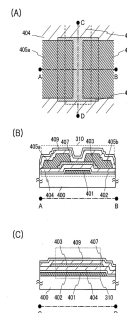
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은, 산화물 반도체를 이용한 반도체 장치에 안정된 전기적 특성을 부여하여, 고신뢰성화하는 것을 목적의 하나로 한다.

산화물 반도체막을 포함하는 트랜지스터에 있어서, 산화물 반도체막의 상면부 및 하면부에, 산화물 반도체막과 (뒷면에 계속)

대표도 - 도1



동종의 성분으로 이루어지는 금속 산화물막이 적층되고, 또한, 금속 산화물막에 있어서 산화물 반도체막과 접하는 면과 대향하는 면에는, 금속 산화물막 및 산화물 반도체막과는 다른 성분으로 이루어지는 절연막이 접하여 형성되어 있는 트랜지스터를 제공한다. 또한, 트랜지스터의 활성층에 이용하는 산화물 반도체막은, 열처리에 의해, 수소, 수분, 수산기 또는 수소화물 등의 불순물을 산화물 반도체로부터 배제하고, 또한 불순물의 배제 공정에 의해 동시에 감소하게 되는 산화물 반도체를 구성하는 주성분 재료인 산소를 공급함으로써, 고순도화 및 전기적으로 i형(진성)화된 것이다.

명세서

청구범위

청구항 1

반도체 장치의 제작 방법으로서,

게이트 전극;

상기 게이트 전극의 상방의 제 1 절연막;

상기 제 1 절연막의 상방의 제 1 금속 산화물막;

상기 제 1 금속 산화물막의 상방의 산화물 반도체막;

상기 산화물 반도체막의 상방의 소스 전극 및 드레인 전극;

상기 소스 전극의 상방, 상기 드레인 전극의 상방, 및 상기 산화물 반도체막의 상방의 제 2 금속 산화물막; 및

상기 제 2 금속 산화물막의 상방의 제 2 절연막을 포함하고,

상기 소스 전극은 상기 산화물 반도체막과 접촉하는 영역을 포함하고,

상기 드레인 전극은 상기 산화물 반도체막과 접촉하는 영역을 포함하고,

상기 제 1 금속 산화물막은 상기 산화물 반도체막의 구성 원소로부터 선택되는 하나 또는 복수의 금속 원소를 포함하고,

상기 제 2 금속 산화물막은 상기 산화물 반도체막의 구성 원소로부터 선택되는 하나 또는 복수의 금속 원소를 포함하고,

상기 산화물 반도체막은 트랜지스터의 채널 형성 영역을 가지는 반도체 장치의 제작 방법으로서,

상기 산화물 반도체막은, 성막한 산화물 반도체막에 제 1 열처리에 의해 수소, 수분, 수산기 또는 수소화물을 저장하는 공정 후, 제 2 열처리에 의해 상기 제 2 금속 산화물막으로부터 산소를 공급받는 공정을 거쳐 형성된, 반도체 장치의 제작 방법.

청구항 2

반도체 장치의 제작 방법으로서,

제 1 게이트 전극;

상기 제 1 게이트 전극의 상방의 제 1 절연막;

상기 제 1 절연막의 상방의 제 1 금속 산화물막;

상기 제 1 금속 산화물막의 상방의 산화물 반도체막;

상기 산화물 반도체막의 상방의 소스 전극 및 드레인 전극;

상기 소스 전극의 상방, 상기 드레인 전극의 상방, 및 상기 산화물 반도체막의 상방의 제 2 금속 산화물막; 및

상기 제 2 금속 산화물막의 상방의 제 2 절연막;

상기 제 2 절연막의 상방의 제 2 게이트 전극을 포함하고,

상기 소스 전극은 상기 산화물 반도체막과 접촉하는 영역을 포함하고,

상기 드레인 전극은 상기 산화물 반도체막과 접촉하는 영역을 포함하고,

상기 제 1 금속 산화물막은 상기 산화물 반도체막의 구성 원소로부터 선택되는 하나 또는 복수의 금속 원소를

포함하고,

상기 제 2 금속 산화물막은 상기 산화물 반도체막의 구성 원소로부터 선택되는 하나 또는 복수의 금속 원소를 포함하고,

상기 산화물 반도체막은 트랜지스터의 채널 형성 영역을 가지는 반도체 장치의 제작 방법으로서,

상기 산화물 반도체막은, 성막한 산화물 반도체막에 제 1 열처리에 의해 수소, 수분, 수산기 또는 수소화물을 저장하는 공정 후, 제 2 열처리에 의해 상기 제 2 금속 산화물막으로부터 산소를 공급받는 공정을 거쳐 형성된, 반도체 장치의 제작 방법.

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 1 금속 산화물막의 에너지 갭은 상기 산화물 반도체막의 에너지 갭보다 크고,

상기 제 2 금속 산화물막의 에너지 갭은 상기 산화물 반도체막의 에너지 갭보다 큰, 반도체 장치의 제작 방법.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 제 1 절연막의 에너지 갭은 상기 제 1 금속 산화물막의 에너지 갭보다 크고,

상기 제 2 절연막의 에너지 갭은 상기 제 2 금속 산화물막의 에너지 갭보다 큰, 반도체 장치의 제작 방법.

청구항 7

삭제

청구항 8

삭제

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자기기는 모두 반도체 장치이다.

배경 기술

[0003] 절연 표면을 가지는 기판 위에 형성된 반도체 박막을 이용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 이 트랜지스터는 집적회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목받고 있다.

[0004] 예를 들면, 트랜지스터의 활성층으로서, 전자 캐리어 농도가 $10^{18}/\text{cm}^3$ 미만인 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 비정질 산화물을 이용한 트랜지스터가 개시되어 있다(특허문헌 1 참조).

[0005] 산화물 반도체를 이용한 트랜지스터는, 아몰퍼스(amorphous) 실리콘을 이용한 트랜지스터보다 동작 속도가 빠르고, 다결정 실리콘을 이용한 트랜지스터보다 제조가 용이하지만, 전기적 특성이 변동하기 쉽고 신뢰성이 낮다는 문제점이 알려져 있다. 예를 들면, 광 BT 시험 전후에 있어서, 트랜지스터의 스레숄드 전압은 변동하게 된다. 이것에 대하여, 특허문헌 2 및 특허문헌 3에서는, 산화물 반도체를 이용한 트랜지스터의 스레숄드 전압의 시프트를 억제하기 위해, 산화물 반도체층의 상부면 또는 하부면의 적어도 일면에 형성한 계면 안정화층에 의해 산화물 반도체층의 계면에서의 전하 트랩을 방지하는 기술이 개시되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본국 특개 2006-165528호 공보

(특허문헌 0002) 일본국 특개 2010-16347호 공보

(특허문헌 0003) 일본국 특개 2010-16348호 공보

발명의 내용

해결하려는 과제

[0007] 그러나, 특허문헌 2 또는 특허문헌 3에 개시된 트랜지스터는, 계면 안정화층으로서 게이트 절연층 및 보호층과 동질성을 가지는 층을 이용하고 있고, 활성층과의 계면 상태를 양호하게 유지할 수 없기 때문에, 활성층과 계면 안정화층과의 계면에서의 전하 트랩을 억제하는 것이 곤란하다. 특히, 계면 안정화층과 활성층이 동등한 밴드 갭을 가지는 경우에는, 전하의 축적이 용이하게 일어날 수 있다.

[0008] 따라서, 산화물 반도체를 이용한 트랜지스터는, 아직 충분한 신뢰성을 가지고 있다고는 할 수 없다.

[0009] 이러한 문제를 감안하여, 산화물 반도체를 이용한 반도체 장치에 안정된 전기적 특성을 부여하여, 고신뢰성화하는 것을 목적의 하나로 한다.

과제의 해결 수단

[0010] 개시하는 발명의 일 양태는, 게이트 절연막 또는 보호 절연막 등의 절연막과, 활성층으로서의 산화물 반도체막이 직접적으로 접하는 것이 아니라, 이들 사이에, 이것들과 접하여 금속 산화물막이 존재하고, 또한 이 금속 산화물막은 산화물 반도체막과 동종의 성분으로 이루어지는 것을 기술적 사상으로 하는 것이다. 즉, 개시하는 발명의 일 양태는, 금속 산화물막 및 산화물 반도체막과는 다른 성분으로 이루어지는 절연막과, 금속 산화물막과, 산화물 반도체막이 적층된 구조를 구비하고 있다. 여기서, 「산화물 반도체막과 동종의 성분」이란, 산화물 반도체막의 구성 원소로부터 선택되는 하나 또는 복수의 금속 원소를 포함하는 것을 의미한다.

[0011] 이러한 적층 구조를 구비함으로써, 반도체 장치의 동작 등에 기인하여 생길 수 있는 전하 등이 상술한 절연막과 산화물 반도체막과의 계면에 포획되는 것을 충분히 억제할 수 있는 것이다. 이 효과는, 산화물 반도체막과 성질이 맞는 재료에 의해 구성된 금속 산화물막을 산화물 반도체막과 접하는 양태로 존재시킴으로써, 반도체 장치의 동작 등에 기인하여 생길 수 있는 전하 등이 산화물 반도체막과 금속 산화물막과의 계면에 포획되는 것을 억제하고, 또한, 계면에 전하의 포획 중심이 형성될 수 있는 재료를 이용하여 구성된 절연막을 금속 산화물막과 접하는 양태로 존재시킴으로써, 금속 산화물막과 절연막과의 계면에 상술한 전하를 포획시킬 수 있다는 메커니즘에 의한 것이다.

[0012] 즉, 금속 산화물막만으로는, 전하가 다량으로 생기는 상황에서 산화물 반도체막과의 계면에서의 전하의 포획을 억제하는 것이 곤란하게 되므로, 금속 산화물막과 접하는 양태의 절연막을 형성함으로써, 금속 산화물막과 절연막과의 계면에 우선적으로 전하를 포획하여, 산화물 반도체막과 금속 산화물막과의 계면에서의 전하의 포획을 억제할 수 있는 것이다. 이와 같이, 개시하는 발명의 일 양태에 관한 효과는, 절연막과, 금속 산화물막과, 산화물 반도체막이 적층된 구조에 기인하는 것이며, 금속 산화물막과 산화물 반도체막과의 적층 구조가 발생하는

효과와는 다른 것이라고 할 수 있다.

- [0013] 그리고, 산화물 반도체막의 계면에서의 전하의 포획을 억제하여, 전하의 포획 중심을 산화물 반도체막으로부터 멀리할 수 있다는 상술한 효과에 의해, 반도체 장치의 동작 불량을 억제하여, 반도체 장치의 신뢰성을 향상시킬 수 있는 것이다.
- [0014] 또한, 상술한 메카니즘으로부터, 금속 산화물막은 충분한 두께를 가지고 있는 것이 바람직하다. 금속 산화물막이 얇은 경우에는, 금속 산화물막과 절연막과의 계면에 포획되는 전하의 영향이 커지는 경우가 있기 때문이다. 예를 들면, 금속 산화물막은 산화물 반도체막보다 두껍게 하는 것이 적합하다.
- [0015] 또한, 절연성을 가지는 금속 산화물막은 소스 전극 및 드레인 전극과 산화물 반도체막과의 접촉을 방해하지 않는 양태로 형성되므로, 소스 전극 또는 드레인 전극과, 산화물 반도체막과의 사이에 금속 산화물막이 존재하는 경우와 비교하여 저항의 증대를 막을 수 있다. 따라서, 트랜지스터의 전기적 특성의 저하를 억제할 수 있다.
- [0016] 또한, 산화물 반도체는 박막 형성 공정에 있어서, 산소의 과부족 등에 의한 화학양론적 조성으로부터의 차이나, 전자 공여체를 형성하는 수소나 수분의 혼입 등이 생기면, 그 전기 전도도가 변화하게 된다. 이러한 현상은, 산화물 반도체를 이용한 트랜지스터에 있어 전기적 특성의 변동 요인이 된다. 따라서, 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 함) 등의 불순물을 산화물 반도체로부터 의도적으로 배제하고, 또한 불순물의 배제 공정에 의해 동시에 감소하게 되는 산화물 반도체를 구성하는 주성분 재료인 산소를 공급함으로써, 산화물 반도체막을 고순도화 및 전기적으로 i형(진성)화한다.
- [0017] i형(진성)의 산화물 반도체란, n형 불순물인 수소를 산화물 반도체로부터 제거하여, 산화물 반도체의 주성분 이외의 불순물이 극력 포함되지 않도록 고순도화함으로써 i형(진성)의 산화물 반도체, 또는 i형(진성)에 한없이 가까운 산화물 반도체로 한 것이다.
- [0018] 또한, 산화물 반도체막을 i형화하는 공정에 있어서, 산화물 반도체막과 동종의 성분으로 이루어지는 금속 산화물막을 동시에 i형화하는 것도 가능하다. 개시하는 발명의 일 양태에 있어서, 산화물 반도체막의 상부면 및 하부면에 형성된 금속 산화물막은 수분이나 수소 등의 불순물이 충분히 저감되고, 전기적으로 i형화한 금속 산화물막인 것이 바람직하다.
- [0019] 고순도화된 산화물 반도체막을 가지는 트랜지스터는 스레숄드 전압이나 온 전류 등의 전기적 특성에 온도 의존성을 거의 볼 수 없다. 또한, 광 열화(劣化)에 의한 트랜지스터 특성의 변동도 적다.
- [0020] 본 발명의 일 양태의 반도체 장치는, 게이트 전극과 게이트 전극을 덮는 게이트 절연막과, 게이트 절연막에 접하여 형성된 제 1 금속 산화물막과, 제 1 금속 산화물막과 접하고, 게이트 전극과 중첩하는 영역에 형성된 산화물 반도체막과, 산화물 반도체막과 접하는 소스 전극 및 드레인 전극과, 산화물 반도체막과 접하는 제 2 금속 산화물막과, 제 2 금속 산화물막을 덮는 절연막을 가지는 반도체 장치이다.
- [0021] 또한, 상기 반도체 장치에 있어서 제 2 금속 산화물막은 소스 전극 및 드레인 전극을 덮고, 또한 제 1 금속 산화물막과 접하여 형성되는 것이 바람직하고, 산화물 반도체막은 제 1 금속 산화물막 및 제 2 금속 산화물막으로 둘러싸이는 것이 보다 바람직하다.
- [0022] 또한, 상기 반도체 장치에 있어서, 적어도 산화물 반도체막의 상면의 일부가, 소스 전극 및 드레인 전극과 접하고 있어도 좋고, 이 경우에, 산화물 반도체막의 채널 길이 방향의 측단부와, 제 1 금속 산화물막의 채널 길이 방향의 측단부가 일치하여도 좋다.
- [0023] 또는, 상기 반도체 장치에 있어서, 적어도 소스 전극 및 드레인 전극의 상면의 일부가 산화물 반도체막과 접하고 있어도 좋고, 이 경우에, 산화물 반도체막의 채널 길이 방향의 측단부와, 제 2 금속 산화물막의 채널 길이 방향의 측단부가 일치하여도 좋다.
- [0024] 또한, 상기 반도체 장치의 어느 것인가에 있어서, 제 1 금속 산화물막 및 제 2 금속 산화물막은 산화물 반도체막의 성분 원소를 포함하여 구성되는 것이 바람직하다.
- [0025] 또한, 상기 반도체 장치의 어느 것인가에 있어서, 제 1 금속 산화물막 및 제 2 금속 산화물막의 에너지 갭은 산화물 반도체막의 에너지 갭보다 큰 것이 바람직하다.
- [0026] 또한, 상기 반도체 장치의 어느 것인가에 있어서, 제 1 금속 산화물막 및 제 2 금속 산화물막의 전도대의 하단의 에너지는, 산화물 반도체막의 전도대의 하단의 에너지보다 높은 것이 바람직하다.

[0027] 또한, 상기 반도체 장치의 어느 것인가에 있어서, 제 1 금속 산화물막 및 제 2 금속 산화물막은 산화 갈륨을 포함하여 구성되는 것이 바람직하고, 제 1 금속 산화물막의 구성 원소의 비율과 제 2 금속 산화물막의 구성 원소의 비율이 같은 것이 보다 바람직하다.

[0028] 또한, 상기 반도체 장치의 어느 것인가에 있어서, 산화물막 위에 도전막을 가지고 있어도 좋다.

[0029] 또한, 상기에 있어서, 소스 전극과 드레인 전극의 간격에 의해 결정되는 트랜지스터의 채널 길이(L)는 10 nm 이상 10 μ m 이하, 예를 들면, 0.1 μ m~0.5 μ m로 할 수 있다. 물론, 채널 길이(L)는 1 μ m 이상이어도 상관없다. 또한, 채널폭(W)에 대해서도, 10 nm 이상으로 할 수 있다.

발명의 효과

[0030] 본 발명의 한 형태는 안정적인 전기 특성을 가지는 트랜지스터를 제작할 수 있다.

[0031] 또한, 본 발명의 한 형태는 전기 특성이 양호하고 신뢰성이 높은 트랜지스터를 가지는 반도체 장치를 제작할 수 있다.

도면의 간단한 설명

[0032] 도 1은 반도체 장치의 일 양태를 나타낸 평면도 및 단면도.

도 2는 산화물 반도체막 및 금속 산화물막을 가지는 트랜지스터의 밴드도.

도 3은 반도체 장치의 일 양태를 나타낸 도면.

도 4는 반도체 장치의 제작 공정의 일례를 나타낸 도면.

도 5는 반도체 장치의 제작 공정의 일례를 나타낸 도면.

도 6은 반도체 장치의 한 형태를 설명한 도면.

도 7은 반도체 장치의 한 형태를 설명한 도면.

도 8은 반도체 장치의 한 형태를 설명한 도면.

도 9는 반도체 장치의 한 형태를 설명한 도면.

도 10은 전자기기를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

[0033] 이하에서는, 본 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되는 것은 아니고, 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은, 당업자라면 용이하게 이해할 수 있을 것이다. 또한, 본 발명은 이하에 나타난 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0034] 또한, 제 1, 제 2로 붙여지는 서수사는 편의상 이용하는 것이고, 공정순 또는 적층순을 나타내는 것은 아니다. 또한, 본 명세서에 있어서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것은 아니다.

[0036] (실시형태 1)

[0037] 본 실시형태에서는, 반도체 장치 및 반도체 장치의 제작 방법의 한 형태를, 도 1 내지 도 5를 이용하여 설명한다.

[0038] <반도체 장치의 구성예>

[0039] 도 1에, 반도체 장치의 예로서, 보텀 게이트형의 트랜지스터의 단면도 및 평면도를 나타낸다. 도 1(A)은 평면도이며, 도 1(B) 및 도 1(C)은 도 1(A)의 A-B 단면 및 C-D 단면에 관한 단면도이다. 또한, 도 1(A)에서는, 번잡하게 되는 것을 피하기 위해, 트랜지스터(310)의 구성 요소의 일부(예를 들면, 제 2 금속 산화물막(407) 등)을 생략하고 있다.

[0040] 도 1에 나타난 트랜지스터(310)는 절연 표면을 가지는 기판(400) 위에, 게이트 전극(401), 게이트 절연막(402), 제 1 금속 산화물막(404), 산화물 반도체막(403), 소스 전극(405a), 드레인 전극(405b), 제 2 금속 산화물막(407), 및 절연막(409)을 포함한다.

- [0041] 도 1에 나타난 트랜지스터(310)에 있어서, 제 2 금속 산화물막(407)은 소스 전극(405a) 및 드레인 전극(405b)을 덮고, 또한 제 1 금속 산화물막(404) 및 산화물 반도체막(403)과 접하여 형성되어 있다. 또한, 도 1(B) 및 도 1(C)에 나타난 바와 같이, 제 2 금속 산화물막(407)과 제 1 금속 산화물막(404)은 산화물 반도체막(403)이 존재하지 않는 영역에서 접하고 있다. 즉, 산화물 반도체막(403)은 제 1 금속 산화물막(404) 및 제 2 금속 산화물막(407)에 둘러싸여 형성되어 있다.
- [0042] 여기서, 제 1 금속 산화물막(404)이나 제 2 금속 산화물막(407)에는, 산화물 반도체막(403)과 동종의 성분으로 이루어지는 산화물을 이용하는 것이 바람직하다. 구체적으로는, 산화물 반도체막의 구성 원소로부터 선택되는 하나 또는 복수의 금속 원소의 산화물을 포함하는 막을 이용하는 것이 바람직하다. 이러한 재료는 산화물 반도체막(403)과 성질이 맞고, 이것을 제 1 금속 산화물막(404)이나 제 2 금속 산화물막(407)에 이용함으로써, 산화물 반도체막과의 계면 상태를 양호하게 유지할 수 있기 때문이다. 즉, 상술한 재료를 제 1 금속 산화물막(404)이나 제 2 금속 산화물막(407)에 이용함으로써, 산화물 반도체막과 이것에 접하는 금속 산화물막의 계면(여기에서는, 제 1 금속 산화물막(404)과 산화물 반도체막(403)과의 계면, 또는, 제 2 금속 산화물막(407)과 산화물 반도체막(403)과의 계면)에서의 전하의 포획을 억제할 수 있다.
- [0043] 또한, 제 1 금속 산화물막(404)과 제 2 금속 산화물막(407)은 모두 산화물 반도체막(403)과 동종의 성분으로 이루어지는 막이기 때문에, 산화물 반도체막(403)이 존재하지 않는 영역에서 접하는 구성으로 하는 경우, 그 밀착성을 향상시킬 수 있다. 또한, 제 1 금속 산화물막(404)의 구성 원소의 비율과 제 2 금속 산화물막(407)의 구성 원소의 비율을 같게 하는 것이 보다 바람직하다.
- [0044] 또한, 산화물 반도체막(403)을 활성층으로서 이용하는 관계상, 제 1 금속 산화물막(404)이나 제 2 금속 산화물막(407)의 에너지 갭은, 산화물 반도체막(403)의 에너지 갭보다 큰 것이 요구된다. 또한, 제 1 금속 산화물막(404)과 산화물 반도체막(403)의 사이, 또는, 제 2 금속 산화물막(407)과 산화물 반도체막(403)의 사이에는, 적어도 실온(20℃)에서, 산화물 반도체막(403)으로부터 캐리어가 유출하지 않을 정도의 에너지 장벽의 형성이 요구된다. 예를 들면, 제 1 금속 산화물막(404) 또는 제 2 금속 산화물막(407)의 전도대의 하단과, 산화물 반도체막(403)의 전도대의 하단과의 에너지차, 혹은, 제 1 금속 산화물막(404) 또는 제 2 금속 산화물막(407)의 원자가 전자대의 상단과, 산화물 반도체막(403)의 원자가 전자대의 상단과의 에너지차는 0.5 eV 이상인 것이 바람직하고, 0.7 eV 이상이면 보다 바람직하다. 또한, 1.5 eV 이하이면 바람직하다.
- [0045] 구체적으로는, 예를 들면, 산화물 반도체막(403)에 In-Ga-Zn-O계의 재료를 이용하는 경우에는, 산화 갈륨을 포함하는 재료 등을 이용하여 제 1 금속 산화물막(404)이나 제 2 금속 산화물막(407)을 형성하면 좋다. 또한, 산화 갈륨과 In-Ga-Zn-O계의 재료를 접촉시킨 경우의 에너지 장벽은, 전도대측에서 약 0.8 eV이고, 원자가 전자대측에서 약 0.9 eV이다.
- [0046] 또한, 산화 갈륨은 GaO_x 라고도 표기되고, 산소가 화학양론비보다 과잉이 되도록 x의 값을 설정하는 것이 바람직하다. 예를 들면, x의 값을 1.4 이상 2.0 이하로 하는 것이 바람직하고, x의 값을 1.5 이상 1.8 이하로 하는 것이 보다 바람직하다. 단, 산화 갈륨막 중에, 이트륨 등의 3족 원소, 하프늄 등의 4족 원소, 알루미늄 등의 13족 원소, 실리콘 등의 14족 원소, 질소, 등의 수소 이외의 불순물 원소를 포함시킴으로써, 산화 갈륨의 에너지 갭을 확대시켜 절연성을 높여도 좋다. 불순물을 포함하지 않는 산화 갈륨막의 에너지 갭은 4.9 eV 이지만, 상술한 불순물을 예를 들면 0을 초과하고 20 원자% 이하 정도 포함시킴으로써, 그 에너지 갭을 6 eV 정도까지 확대할 수 있다.
- [0047] 또한, 전하의 발생원이나 포획 중심을 저감한다는 관점에서는, 금속 산화물막에서의 수소나 물 등의 불순물은 충분히 저감된 것인 것이 바람직하다. 이 사상은, 산화물 반도체막에서의 불순물 저감의 사상과 공통되는 것이다.
- [0048] 또한, 게이트 절연막(402)이나 절연막(409)에는 제 1 금속 산화물막(404)이나 제 2 금속 산화물막(407)과 접촉시킴으로써, 그 계면에 전하의 포획 중심이 형성될 수 있는 재료를 이용하는 것이 바람직하다. 이러한 재료를 게이트 절연막(402)이나 절연막(409)에 이용함으로써, 전하는 게이트 절연막(402)과 제 1 금속 산화물막(404)과의 계면, 또는, 절연막(409)과 제 2 금속 산화물막(407)과의 계면에 포획되기 때문에, 제 1 금속 산화물막(404)과 산화물 반도체막(403)의 계면에서의 전하 포획, 또는, 제 2 금속 산화물막(407)과 산화물 반도체막(403)의 계면에서의 전하 포획을 충분히 억제할 수 있게 된다.
- [0049] 구체적으로는, 게이트 절연막(402)이나 절연막(409)에는, 산화 실리콘, 질화 실리콘, 산화 알루미늄, 질화 알루미늄, 이들의 혼합 재료, 등을 단층으로 또는 적층하여 이용하면 좋다. 예를 들면, 제 1 금속 산화물막(404)이

나 제 2 금속 산화물막(407)에 산화 갈륨을 포함하는 재료를 이용하는 경우에는, 게이트 절연막(402)이나 절연막(409)에는, 산화 실리콘이나 질화 실리콘 등을 이용하는 것이 적합하다. 또한, 제 1 금속 산화물막(404)이나 제 2 금속 산화물막(407)과 접하는 관계상, 게이트 절연막(402)이나 절연막(409)의 에너지 갭은 제 1 금속 산화물막(404)이나 제 2 금속 산화물막(407)의 에너지 갭보다 큰 것이 바람직하다.

[0050] 또한, 게이트 절연막(402)과 제 1 금속 산화물막(404)과의 계면, 또는, 절연막(409)과 제 2 금속 산화물막(407)과의 계면에 전하의 포획 중심을 형성할 수 있다면, 게이트 절연막(402)이나 절연막(409)의 재료를 상술한 것으로 한정할 필요는 없다. 또한, 게이트 절연막(402)과 제 1 금속 산화물막(404)과의 계면, 또는, 절연막(409)과 제 2 금속 산화물막(407)과의 계면에, 전하의 포획 중심이 형성되는 처리를 행하여도 좋다. 이러한 처리로서는, 예를 들면, 플라즈마 처리나 원소의 첨가 처리(이온 주입 등)가 있다.

[0051] 트랜지스터(310) 위에는, 절연물이 더 형성되어 있어도 좋다. 또한, 소스 전극(405a)이나 드레인 전극(405b)과 배선을 전기적으로 접속시키기 위해, 게이트 절연막(402), 제 1 금속 산화물막(404), 제 2 금속 산화물막(407), 절연막(409) 등에는 개구가 형성되어 있어도 좋다. 또한, 산화물 반도체막(403)의 상부에, 제 2 게이트 전극을 더 가지고 있어도 좋다. 또한, 산화물 반도체막(403)은 섬 형상으로 가공되어 있는 것이 바람직하지만, 섬 형상으로 가공되어 있지 않아도 좋다.

[0052] 도 2는, 상술한 트랜지스터(310), 즉, 게이트 전극(GE)측으로부터 게이트 절연막(I1), 제 1 금속 산화물막(M01), 산화물 반도체막(OS), 제 2 금속 산화물막(M02) 및 절연막(I2)을 접합한 구조에서의 에너지 밴드도(모식도)이다. 도 2에서는, 절연막, 금속 산화물막, 산화물 반도체막 모두가 진성이라는 이상적인 상황을 가정하고, 게이트 절연막(I1) 및 절연막(I2)으로서 산화 실리콘(밴드 갭(Eg) 8eV~9 eV)을, 제 1 금속 산화물막(M01) 및 제 2 금속 산화물막(M02)으로서 산화 갈륨(밴드 갭(Eg) 4.9 eV)을, 산화물 반도체막(OS)으로서 In-Ga-Zn-O계 비단결정막(밴드 갭(Eg) 3.15 eV)을 이용한 경우에 대하여 나타내고 있다. 또한, 산화 실리콘의 진공 준위와 전도대의 하단의 에너지차는 0.95 eV이며, 산화 갈륨의 진공 준위와 전도대의 하단의 에너지차는 3.5 eV이며, In-Ga-Zn-O계 비단결정막의 진공 준위와 전도대의 하단의 에너지차는 4.3 eV이다.

[0053] 도 2에 나타난 바와 같이, 산화물 반도체막(OS)의 게이트 전극(GE)측(채널측)에는, 산화물 반도체와 금속 산화물과의 계면에 약 0.8 eV 및 약 0.95 eV의 에너지 장벽이 존재한다. 마찬가지로, 산화물 반도체막(OS)의 백 채널측(게이트 전극(GE)과는 반대측)에도, 산화물 반도체와 금속 산화물과의 계면에 약 0.8 eV 및 약 0.95 eV의 에너지 장벽이 존재한다. 산화물 반도체와 금속 산화물과의 계면에 있어서, 이러한 에너지 장벽이 존재함으로써, 그 계면에서의 캐리어의 이동은 방해될 수 있기 때문에, 캐리어는 산화물 반도체로부터 금속 산화물로 이동하지 않고, 산화물 반도체 중을 이동한다. 도 2에 나타난 바와 같이, 산화물 반도체막(OS), 금속 산화물막, 및 절연막을, 산화물 반도체막이 산화물 반도체보다 밴드 갭이 단계적으로 커지는 재료(금속 산화물막보다 절연막의 밴드 갭이 큼)로 끼워지도록 형성한 경우에, 그와 같은 유익한 결과를 얻을 수 있다.

[0054] 도 3(A) 내지 도 3(G)에, 도 1과는 다른 트랜지스터의 구성예를 나타낸다.

[0055] 도 3(A)에 나타난 트랜지스터(320)는 기판(400) 위에, 게이트 전극(401), 게이트 절연막(402), 제 1 금속 산화물막(404), 산화물 반도체막(403), 소스 전극(405a), 드레인 전극(405b), 제 2 금속 산화물막(407), 및 절연막(409)을 포함하는 점에서 도 1에 나타난 트랜지스터(310)와 공통된다. 도 3(A)에 나타난 트랜지스터(320)와 도 1에 나타난 트랜지스터(310)와의 차이는, 소스 전극(405a) 및 드레인 전극(405b)과 산화물 반도체막(403)이 접속하는 위치이다. 즉, 트랜지스터(310)는 산화물 반도체막(403)을 형성한 후에, 소스 전극(405a) 및 드레인 전극(405b)을 형성함으로써, 적어도 산화물 반도체막(403)의 상면의 일부가, 소스 전극(405a) 및 드레인 전극(405b)과 접하고 있는 것에 대하여, 트랜지스터(320)는 소스 전극(405a) 및 드레인 전극(405b)을 형성한 후에, 산화물 반도체막(403)을 형성함으로써, 적어도 소스 전극(405a) 및 드레인 전극(405b)의 상면의 일부가 산화물 반도체막(403)과 접하고 있다. 그 외의 구성 요소에 대해서는, 도 1과 마찬가지로이다. 상세한 것은, 도 1에 관한 기재를 참조할 수 있다.

[0056] 도 3(B)에 나타난 트랜지스터(330)는, 기판(400) 위에, 게이트 전극(401), 게이트 절연막(402), 제 1 금속 산화물막(404), 산화물 반도체막(403), 소스 전극(405a), 드레인 전극(405b), 제 2 금속 산화물막(407), 및 절연막(409)을 포함하는 점에서 도 1에 나타난 트랜지스터(310)와 공통된다. 도 3(B)에 나타난 트랜지스터(330)에서는, 제 1 금속 산화물막(404)이 섬 형상으로 가공되어 있는 점에서 도 1에 나타난 트랜지스터(310)와 상이하다.

[0057] 트랜지스터(330)에 있어서, 제 2 금속 산화물막(407)은 소스 전극(405a) 및 드레인 전극(405b)을 덮고, 또한 산화물 반도체막(403) 및 게이트 절연막(402)과 접하여 형성되어 있다. 그 외의 구성 요소에 대해서는, 도 1과

마찬가지이다. 상세한 것은, 도 1에 관한 기재를 참조할 수 있다.

- [0058] 도 3(C)에 나타낸 트랜지스터(340)는 제 2 금속 산화물막(407)이 섬 형상으로 가공되어 있다는 점에서, 도 3(A)에 나타낸 트랜지스터(320)와 상이하고, 그 외의 구성 요소에 대해서는 도 3(A)과 마찬가지이다. 트랜지스터(340)에 있어서, 제 2 금속 산화물막(407)은 산화물 반도체막(403)과 접하여 형성되어 있다.
- [0059] 도 3(D) 내지 도 3(G)에 나타낸 트랜지스터(350, 360, 370, 380)는 상술한 트랜지스터(310, 320, 330, 340)의 구성에 대하여, 각각, 절연막(409) 위이며, 산화물 반도체막(403)의 채널 형성 영역과 중첩하는 영역에 도전막(410)을 형성한 구성이다. 그 외의 구성 요소에 대해서는, 도 1 또는 도 3(A) 내지 도 3(C)과 마찬가지이다.
- [0060] <트랜지스터의 제작 공정의 예>
- [0061] 이하, 도 4 또는 도 5를 이용하여, 도 1 또는 도 3(A)에 나타낸 트랜지스터의 제작 공정의 예에 대하여 설명한다.
- [0062] <트랜지스터(310)의 제작 공정>
- [0063] 도 4(A) 내지 도 4(E)를 이용하여, 도 1에 나타낸 트랜지스터(310)의 제작 공정의 일례에 대하여 설명한다.
- [0064] 먼저, 절연 표면을 가지는 기판(400) 위에 도전막을 형성한 후, 제 1 포토리소그래피 공정에 의해 게이트 전극(401)을 형성한다. 또한, 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0065] 절연 표면을 가지는 기판(400)에 사용할 수 있는 기판에 큰 제한은 없지만, 적어도, 후의 가열 처리에 견딜 수 있을 정도의 내열성을 가지고 있는 것이 필요하다. 예를 들면, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등의 기판을 이용할 수 있다. 또한, 절연 표면을 가지고 있으면, 실리콘이나 탄화 실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용하는 것도 가능하고, 이들 기판 위에 반도체 소자가 형성되어 있어도 좋다.
- [0066] 또한, 기판(400)으로서 가요성 기판을 이용해도 좋다. 가요성 기판을 이용하는 경우, 가요성 기판 위에 산화물 반도체막(403)을 포함하는 트랜지스터를 직접 제작해도 좋고, 다른 제작 기판에 산화물 반도체막(403)을 포함하는 트랜지스터를 제작하고, 그 후 가요성 기판으로 박리, 전치해도 좋다. 또한, 제작 기판에서 가요성 기판으로 박리, 전치하기 위해, 제작 기판과 산화물 반도체막(403)을 포함하는 트랜지스터와의 사이에 박리층을 형성하면 좋다.
- [0067] 베이스막이 되는 절연막을 기판(400)과 게이트 전극(401)과의 사이에 형성해도 좋다. 베이스막은 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 또는 산화 질화 실리콘막으로부터 선택된 하나 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다.
- [0068] 또한, 게이트 전극(401)은, 몰리브덴, 티탄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 이용하여, 단층으로 또는 적층하여 형성할 수 있다.
- [0069] 다음에, 게이트 전극(401) 위에 게이트 절연막(402)을 형성한다(도 4(A)). 게이트 절연막(402)에는, 제 1 금속 산화물막(404)과 접촉시킴으로써, 그 계면에 전하의 포획 중심이 형성될 수 있는 재료를 이용하는 것이 바람직하다. 이러한 재료를 게이트 절연막(402)에 이용함으로써, 전하는 게이트 절연막(402)과 제 1 금속 산화물막(404)과의 계면에 포획되기 때문에, 제 1 금속 산화물막(404)과 산화물 반도체막(403)의 계면에서의 전하 포획을 충분히 억제할 수 있게 된다.
- [0070] 구체적으로는, 게이트 절연막(402)으로서는, 산화 실리콘막, 질화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화 질화 알루미늄막, 질화 산화 알루미늄막, 또는 산화 하프늄막 등을 단층으로 또는 적층하여 형성할 수 있고, 산화물 반도체막(403) 또는 제 1 금속 산화물막(404)과는 다른 성분으로 이루어지는 막으로 한다. 또한, 후의 산화물 반도체막(403)에의 열처리 공정에 있어서, 제 1 금속 산화물막(404)으로부터도 수소나 수분 등의 불순물을 효율적으로 제거하기 위해서는, 게이트 절연막(402)을 산화 실리콘막으로 하는 것이 바람직하다. 또한, 제 1 금속 산화물막(404)과 접하는 관계상, 게이트 절연막(402)의 에너지 갭은 제 1 금속 산화물막(404)의 에너지 갭보다 큰 것이 바람직하다.
- [0071] 또한, 게이트 절연막(402)과 제 1 금속 산화물막(404)과의 계면에 전하의 포획 중심을 형성할 수 있다면, 게이트 절연막(402)의 재료를 상술한 것으로 한정할 필요는 없다. 또한, 게이트 절연막(402)과 제 1 금속 산화물막(404)과의 계면에, 전하의 포획 중심이 형성되는 처리를 행하여도 좋다. 이러한 처리로서는, 예를 들면, 플라

즈마 처리나 원소의 첨가 처리(이온 주입 등)가 있다.

- [0072] 게이트 절연막(402)의 제작 방법에 특별히 한정은 없지만, 예를 들면, 플라즈마 CVD법이나 스퍼터링법 등의 성막 방법을 이용하여 게이트 절연막(402)을 제작할 수 있다.
- [0073] 다음에, 게이트 절연막(402) 위에, 제 1 금속 산화물막(404)을 형성한다(도 4(B)). 제 1 금속 산화물막(404)은 산화물 반도체막(403)과 동종의 성분으로 이루어지는 산화물을 이용하는 것이 바람직하다. 이러한 재료는 산화물 반도체막(403)과 성질이 맞고, 이것을 제 1 금속 산화물막(404)에 이용함으로써, 산화물 반도체막과의 계면 상태를 양호하게 유지할 수 있기 때문이다. 즉, 상술한 재료를 제 1 금속 산화물막(404)에 이용함으로써, 제 1 금속 산화물막(404)과 산화물 반도체막(403)과의 계면에서의 전하의 포획을 억제할 수 있는 것이다.
- [0074] 또한, 제 1 금속 산화물막(404)의 에너지 갭은 산화물 반도체막(403)의 에너지 갭보다 큰 것이 요구된다. 또한, 제 1 금속 산화물막(404)과 산화물 반도체막(403)의 사이에는, 적어도 실온(20℃)에서, 산화물 반도체막(403)으로부터 캐리어가 유출하지 않을 정도의 에너지 장벽의 형성이 요구된다.
- [0075] 또한, 전하의 발생원이나 포획 중심을 저장한다는 관점에서는, 금속 산화물막에 있어서의 수소나 물 등의 불순물은 충분히 저장된 것인 것이 바람직하다. 이 사상은 산화물 반도체막에서의 불순물 저장의 사상과 공통되는 것이다.
- [0076] 또한, 전하의 포획 중심을 산화물 반도체막(403)으로부터 멀리하기 위해서는, 제 1 금속 산화물막(404)은 충분한 막두께를 가지고 있는 것이 바람직하다. 구체적으로는, 제 1 금속 산화물막으로서 10 nm를 넘는 막두께이고, 100 nm 이하로 하는 것이 바람직하다.
- [0077] 제 1 금속 산화물막(404)의 제작 방법에 특별히 한정은 없다. 예를 들면, 플라즈마 CVD법이나 스퍼터링법 등의 성막 방법을 이용하여 제 1 금속 산화물막(404)을 제작할 수 있다. 또한, 수소나 물 등이 혼입하기 어렵다는 점에서는 스퍼터링법 등이 적당하다. 한편, 막의 품질을 높인다는 점에서는, 플라즈마 CVD법 등이 적당하다.
- [0078] 다음에, 제 1 금속 산화물막(404) 위에, 막두께 3 nm 이상 30 nm 이하의 산화물 반도체막(403)을 스퍼터링법으로 형성한다. 산화물 반도체막(403)의 막두께를 너무 크게 하면(예를 들면, 막두께를 50 nm 이상), 트랜지스터가 노멀리 온(normally on)이 될 우려가 있기 때문에, 상술한 막두께로 하는 것이 바람직하다. 또한, 게이트 절연막(402), 제 1 금속 산화물막(404) 및 산화물 반도체막(403)은 대기에 접하게 하지 않고 연속하여 성막하는 것이 바람직하다.
- [0079] 또한, 산화물 반도체막(403)을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하여, 제 1 금속 산화물막(404)의 표면에 부착되어 있는 분상 물질(파티클, 먼지라고도 함)을 제거하는 것이 바람직하다. 역스퍼터링이란, 기관에 전압을 인가하고, 기관 근방에 플라즈마를 형성하여, 기관측의 표면을 개질하는 방법이다. 또한, 아르곤 대신에, 질소, 헬륨, 산소 등의 가스를 이용해도 좋다.
- [0080] 산화물 반도체막(403)에 이용하는 산화물 반도체로서는, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체나, 2원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체, In-Ga-O계 산화물 반도체나, 단원계 금속 산화물인 In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 이용할 수 있다. 또한, 상기 산화물 반도체에 SiO₂를 포함해도 좋다. 여기서, 예를 들면, In-Ga-Zn-O계 산화물 반도체란, 인듐(In), 갈륨(Ga), 아연(Zn)을 가지는 산화물막이라는 의미이며, 그 화학양론비는 특별히 묻지 않는다. 또한, In과 Ga와 Zn 이외의 원소를 포함해도 좋다.
- [0081] 또한, 산화물 반도체막(403)은 화학식 InMO₃(ZnO)_m(m>0)으로 표기되는 막막을 이용할 수 있다. 여기서, M은, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들면 M으로서 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.
- [0082] 본 실시형태에서는, 산화물 반도체막(403)으로서 In-Ga-Zn-O계 산화물 반도체막 성막용 타겟을 이용하여 스퍼터링법에 의해 성막한다. 또한, 산화물 반도체막(403)은 회가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 회가스와 산소의 혼합 분위기 하에서 스퍼터링법에 의해 형성할 수 있다.
- [0083] 산화물 반도체막(403)으로서 In-Ga-Zn-O막을 스퍼터링법으로 제작하기 위한 타겟으로서, 예를 들면, 조성

비로서 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol수비] 의 산화물 반도체막 성막용 타겟을 이용할 수 있다. 또한, 이 타겟의 재료 및 조성에 한정되지 않고, 예를 들면, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol수비] 의 산화물 반도체막 성막용 타겟을 이용해도 좋다.

[0084] 또한, 산화물 반도체로서 In-Zn-O계의 재료를 이용하는 경우, 이용하는 타겟의 조성비는, 원자수비로 In : Zn = 50 : 1~1 : 2(몰비로 환산하면 $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$), 바람직하게는 In : Zn = 20 : 1~1 : 1(몰비로 환산하면 $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1 \sim 1 : 2$), 더욱 바람직하게는 In : Zn = 15 : 1~1.5 : 1(몰비로 환산하면 $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2 \sim 3 : 4$)로 한다. 예를 들면, In-Zn-O계 산화물 반도체의 형성에 이용하는 타겟은 원자수비가 In : Zn : O = X : Y : Z일 때, $Z > 1.5X + Y$ 로 한다.

[0085] 또한, 산화물 반도체막 성막용 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 산화물 반도체막 성막용 타겟을 이용함으로써, 성막한 산화물 반도체막(403)은 치밀한 막으로 할 수 있다.

[0086] 산화물 반도체막(403)을 성막할 때에 이용하는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.

[0087] 산화물 반도체막(403)의 성막은 감압 상태로 보유된 성막실 내에 기관(400)을 보유하고, 기관 온도를 100℃ 이상 600℃ 이하 바람직하게는 200℃ 이상 400℃ 이하로 하여 행한다. 기관(400)을 가열하면서 성막함으로써, 성막한 산화물 반도체막(403)에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 그리고, 성막실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상기 타겟을 이용하여 기관(400) 위에 산화물 반도체막(403)을 성막한다. 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프, 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단은, 터보 펌프에 콜드 트랩을 더한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 성막실은 예를 들면, 수소 원자, 물(H_2O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되기 때문에, 이 성막실에서 성막한 산화물 반도체막(403)에 포함되는 불순물의 농도를 저감할 수 있다.

[0088] 성막 조건의 일례로서는, 기관과 타겟의 사이와의 거리를 100 mm, 압력 0.6 Pa, 직류(DC) 전원 0.5 kW, 산소(산소 유량 비율 100%) 분위기하의 조건이 적용된다. 또한, 펄스 직류 전원을 이용하면, 성막시에 발생하는 분상 물질(파티클, 먼지라고도 함)을 경감할 수 있어, 막두께 분포도 균일하게 되기 때문에 바람직하다.

[0089] 그 후, 산화물 반도체막(403)에 대하여, 열처리(제 1 열처리)를 행하는 것이 바람직하다. 이 제 1 열처리에 의해 산화물 반도체막(403) 중의 과잉의 수소(물이나 수산기를 포함함)를 제거하고, 산화물 반도체막(403)의 구조를 정돈하여, 에너지 갭 중의 결함 준위를 저감할 수 있다. 또는, 이 제 1 열처리에 의해, 제 1 금속 산화물막(404) 중의 과잉의 수소(물이나 수산기를 포함함)를 제거하는 것도 가능하다. 제 1 열처리의 온도는, 250℃ 이상 700℃ 이하, 바람직하게는 450℃ 이상 600℃ 이하, 또는 기관의 변형점 미만으로 한다.

[0090] 열처리는, 예를 들면, 저항 발열체 등을 이용한 전기로에 피처리물을 도입하여, 질소 분위기하, 450℃, 1시간의 조건으로 행할 수 있다. 이 동안, 산화물 반도체막(403)은 대기에 접하지 않게 하고, 물이나 수소의 혼입이 생기지 않도록 한다.

[0091] 열처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도, 또는 열복사에 의해, 피처리물을 가열하는 장치를 이용해도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 헬라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 이용하여 열처리를 행하는 장치이다. 가스로서는, 아르곤 등의 회가스, 또는 질소와 같은, 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.

[0092] 예를 들면, 제 1 열처리로서 가열된 불활성 가스 분위기 중에 피처리물을 투입하고, 수 분간 가열한 후, 이 불활성 가스 분위기로부터 피처리물을 취출하는 GRTA 처리를 행하여도 좋다. GRTA 처리를 이용하면 단시간에서의 고온 열처리가 가능하게 된다. 또한, 피처리물의 내열 온도를 넘는 온도 조건에서도 적용이 가능하게 된다. 또한, 처리 중에, 불활성 가스를, 산소를 포함하는 가스로 전환해도 좋다. 산소를 포함하는 분위기에서 제 1

열처리를 행함으로써, 산소 결손에 기인하는 에너지 갭 중의 결함 준위를 저감할 수 있기 때문이다.

- [0093] 또한, 불활성 가스 분위기로서는, 질소, 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기이며, 물, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들면, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하로 한다.
- [0094] 어쨌든, 제 1 열처리에 의해 불순물을 저감하여, i형(진성 반도체) 또는 i형에 한없이 가까운 산화물 반도체막(403)을 형성함으로써, 매우 뛰어난 특성의 트랜지스터를 실현할 수 있다.
- [0095] 그런데, 상술한 열처리(제 1 열처리)에는 수소나 물 등을 제거하는 효과가 있기 때문에, 이 열처리를 탈수화 처리나, 탈수소화 처리 등이라고 부를 수도 있다. 이 탈수화 처리나, 탈수소화 처리는, 예를 들면, 산화물 반도체막(403)을 섬 형상으로 가공한 후 등의 타이밍에서 행하는 것도 가능하다. 또한, 이러한 탈수화 처리, 탈수소화 처리는, 1회에 한정하지 않고 다수회 행하여도 좋다.
- [0096] 다음에, 산화물 반도체막(403)을 제 2 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체막(403)으로 가공하는 것이 바람직하다(도 4(C)). 또한, 섬 형상의 산화물 반도체막(403)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다. 여기서의 산화물 반도체막(403)의 에칭은, 드라이 에칭이어도 웨트 에칭이어도 좋고, 양쪽 모두를 이용해도 좋다.
- [0097] 또한, 제 2 포토리소그래피 공정에 있어서, 산화물 반도체막(403)에 더하여 제 1 금속 산화물막(404)의 패턴 형성을 행함으로써, 도 3(B)에 도시한 트랜지스터(330)로 할 수 있다. 트랜지스터(330)에서는 산화물 반도체막(403)의 패턴 형성과 제 1 금속 산화물막(404)의 패턴 형성을 같은 마스크를 이용하여 행함으로써 산화물 반도체막(403)의 채널 길이 방향의 측단부와, 제 1 금속 산화물막(404)의 채널 길이 방향의 측단부가 일치한다.
- [0098] 다음에, 제 1 금속 산화물막(404) 및 산화물 반도체막(403) 위에, 소스 전극 및 드레인 전극(이것과 같은 층에서 형성되는 배선을 포함함)을 형성하기 위한 도전막을 형성한다. 소스 전극 및 드레인 전극에 이용하는 도전막으로서는, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 티탄막, 질화 몰리브덴막, 질화 텅스텐막) 등을 이용할 수 있다. 또한, Al, Cu등의 금속막의 하층 또는 상층의 한쪽 또는 쌍방에 Ti, Mo, W 등의 고용점 금속막 또는 그들의 금속 질화물막(질화 티탄막, 질화 몰리브덴막, 질화 텅스텐막)을 적층시킨 구성으로 해도 좋다. 또한, 소스 전극 및 드레인 전극에 이용하는 도전막은, 도전성의 금속 산화물로 형성해도 좋다. 도전성의 금속 산화물로서는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐 산화 주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 약기함), 산화 인듐 산화 아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$) 또는 이들의 금속 산화물 재료에 산화 실리콘을 포함시킨 것을 이용할 수 있다.
- [0099] 제 3 포토리소그래피 공정에 의해 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여 소스 전극(405a), 드레인 전극(405b)을 형성한 후, 레지스트 마스크를 제거한다. 제 3 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광에는, 자외선이나 KrF 레이저광이나 ArF 레이저광을 이용하면 좋다. 산화물 반도체막(403) 위에서 서로 인접하는 소스 전극(405a)의 하단부와 드레인 전극(405b)의 하단부와와의 간격폭에 따라 후에 형성되는 트랜지스터의 채널 길이(L)가 결정된다. 또한, 채널 길이(L) = 25 nm 미만의 노광을 행하는 경우에는, 예를 들면, 수 nm~수 10 nm로 매우 파장이 짧은 초자외선(Extreme Ultraviolet)을 이용하여 제 3 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광을 행하면 좋다. 초자외선에 의한 노광은 해상도가 높고 초점심도도 크다. 따라서, 후에 형성되는 트랜지스터의 채널 길이(L)를 미세화하는 것이 가능하고, 회로의 동작 속도를 고속화할 수 있다.
- [0100] 또한, 포토리소그래피 공정에서 이용하는 포토마스크수 및 공정수를 삭감하기 위해, 투과한 광이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의해 형성된 레지스트 마스크를 이용하여 에칭 공정을 행하여도 좋다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 막두께를 가지는 형상이 되어, 에칭을 행함으로써 형상을 더욱 변형할 수 있기 때문에, 다른 패턴으로 가공하는 복수의 에칭 공정에 이용할 수 있다. 따라서, 한장의 다계조 마스크에 의해, 적어도 2종류 이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크수를 삭감할 수 있어 대응하는 포토리소그래피 공정도 삭감할 수 있기 때문에, 공정의 간략화가 가능하게 된다.
- [0101] 또한, 도전막의 에칭 시에, 산화물 반도체막(403)이 에칭되어, 분단하는 일이 없도록 에칭 조건을 최적화하는

것이 바람직하다. 그러나, 도전막만을 에칭하고, 산화물 반도체막(403)을 전혀 에칭하지 않는다는 조건을 얻는 것은 어렵고, 도전막의 에칭 시에 산화물 반도체막(403)은 일부만이 에칭되어, 예를 들면, 산화물 반도체막(403)의 막두께의 5 내지 50%가 에칭되어, 흠부(오목부)를 가지는 산화물 반도체막(403)이 될 수도 있다.

[0102] 다음에, N_2O , N_2 , 또는 Ar 등의 가스를 이용한 플라즈마 처리를 행하여, 노출되어 있는 산화물 반도체막(403)의 표면에 부착된 흡착수 등을 제거해도 좋다. 플라즈마 처리를 행한 경우, 이 플라즈마 처리에 계속하여 대기에 접하는 일 없이, 산화물 반도체막(403)에 접하는 제 2 금속 산화물막(407)을 형성하는 것이 바람직하다.

[0103] 다음에, 소스 전극(405a), 및 드레인 전극(405b)을 덮고, 또한 산화물 반도체막(403)의 일부와 접하는 제 2 금속 산화물막(407)을 형성한다(도 4(D)).

[0104] 제 2 금속 산화물막(407)은, 산화물 반도체막(403)과 동종의 성분으로 이루어지는 막으로 하고, 산화물 반도체막(403)의 주성분 재료를 포함하는 산화물을 이용하는 것이 바람직하다. 이들 재료는 산화물 반도체막(403)과 성질이 맞고, 이것을 제 2 금속 산화물막(407)에 이용함으로써, 산화물 반도체막과의 계면 상태를 양호하게 유지할 수 있기 때문이다. 즉, 상술한 재료를 제 2 금속 산화물막(407)에 이용함으로써, 제 2 금속 산화물막(407)과 산화물 반도체막(403)과의 계면에서의 전하의 포획을 억제할 수 있는 것이다.

[0105] 제 2 금속 산화물막(407)의 에너지 갭은 산화물 반도체막(403)의 에너지 갭보다 큰 것이 요구된다. 또한, 제 2 금속 산화물막(407)과 산화물 반도체막(403)의 사이에는, 적어도, 실온(20℃)에서, 산화물 반도체막(403)으로부터 캐리어가 유출하지 않을 정도의 에너지 장벽의 형성이 요구된다.

[0106] 제 2 금속 산화물막(407)은 물, 수소 등의 불순물을 혼입시키지 않는 방법을 이용하여 성막하는 것이 바람직하다. 제 2 금속 산화물막(407)에 수소가 포함되면, 그 수소의 산화물 반도체막(403)으로의 침입, 또는 수소에 의한 산화물 반도체막(403) 중의 산소의 추출이 발생하고 산화물 반도체막(403)의 백 채널이 저저항화(n형화)하게 되어, 기생 채널이 형성될 우려가 있다. 따라서, 제 2 금속 산화물막(407)은 가능한 한 수소를 포함하지 않는 막이 되도록, 성막 방법에 수소를 이용하지 않는 것이 중요하다.

[0107] 따라서, 제 2 금속 산화물막(407)은 스퍼터링법에 따라 성막하는 것이 바람직하고, 성막할 때에 이용하는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.

[0108] 또한, 전하의 포획 중심을 산화물 반도체막(403)으로부터 멀리하기 위해서는, 제 2 금속 산화물막(407)은 충분한 막두께를 가지고 있는 것이 바람직하다. 구체적으로는, 제 2 금속 산화물막(407)으로서 10 nm를 넘는 막두께이고, 100 nm 이하로 하는 것이 바람직하다.

[0109] 다음에, 제 2 금속 산화물막(407) 위에 절연막(409)을 형성한다(도 4(E)). 절연막(409)으로서는 무기 절연막을 이용하여, 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막 등의 산화 절연막, 또는 질화 실리콘막, 질화 산화 실리콘막, 질화 알루미늄막, 질화 산화 알루미늄막 등의 질화 절연막의 단층, 혹은 적층을 이용하면 좋다. 예를 들면, 스퍼터링법을 이용하여, 제 2 금속 산화물막(407)측으로부터 순차로 산화 실리콘막 및 질화 실리콘막의 적층을 형성한다.

[0110] 다음에 산화물 반도체막(403)에, 제 2 금속 산화물막(407)과 일부(채널 형성 영역)가 접한 상태로 제 2 열처리를 행하는 것이 바람직하다. 제 2 열처리의 온도는 250℃ 이상 700℃ 이하, 바람직하게는 450℃ 이상 600℃ 이하, 또는 기판의 변형점 미만으로 한다.

[0111] 제 2 열처리는, 질소, 산소, 조건조 공기(물의 함유량이 20 ppm 이하, 바람직하게는 1 ppm 이하, 보다 바람직하게는 10 ppb 이하의 공기), 또는 회가스(아르곤, 헬륨 등)의 분위기하에서 행하면 좋지만, 상기 질소, 산소, 조건조 공기, 또는 회가스 등의 분위기에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 질소, 산소, 또는 회가스의 순도를, 6N(99.9999%) 이상 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)으로 하는 것이 바람직하다.

[0112] 제 2 열처리에서는, 산화물 반도체막(403)과 제 2 금속 산화물막(407)이 접한 상태로 가열된다. 따라서, 상술한 탈수화(또는 탈수소화) 처리에 의해 동시에 감소하게 될 가능성이 있는 산화물 반도체를 구성하는 주성분 재료의 하나인 산소를, 산소를 포함하는 제 2 금속 산화물막(407)에서 산화물 반도체막(403)으로 공급할 수 있다. 이것에 의해, 산화물 반도체막(403) 중의 전하 포획 중심을 저감할 수 있다. 이상의 공정으로 고순도화하여, 전기적으로 i형(진성)화된 산화물 반도체막(403)을 형성할 수 있다. 또한, 이 가열 처리에 의해, 제 1 금속 산화물막(404) 또는 제 2 금속 산화물막(407)도 동시에 불순물이 제거되어 고순도화될 수 있다.

- [0113] 또한, 본 실시형태에서는, 절연막(409)의 형성 후에 제 2 열처리를 행하고 있지만, 제 2 열처리의 타이밍은 제 2 금속 산화물막(407)의 형성 후라면 이것에 특별히 한정되지 않는다. 예를 들면, 제 2 금속 산화물막(407)의 형성 후에 제 2 열처리를 행하여도 좋다. 또는, 절연막(409)을 예를 들면, 산화 실리콘막과 질화 실리콘막을 적층시켜 구성하는 경우에, 제 2 금속 산화물막(407) 위에 산화 실리콘막을 형성한 후 제 2 열처리를 행하고, 그 후, 질화 실리콘막을 형성해도 좋다. 또는, 제 1 열처리에 계속하여 제 2 열처리를 행하여도 좋고, 제 1 열처리에 제 2 열처리를 겹하게 해도 좋고, 제 2 열처리에 제 1 열처리를 겹하게 해도 좋다.
- [0114] 위에서 설명한 바와 같이, 제 1 열처리와 제 2 열처리의 적어도 한쪽을 적용함으로써, 산화물 반도체막(403)을, 그 주성분 이외의 불순물이 극력 포함되지 않도록 고순도화할 수 있다. 고순도화된 산화물 반도체막(403) 중에는 도너에 유래하는 캐리어가 매우 적고(제로에 가까움), 캐리어 농도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만이다.
- [0115] 이상의 공정으로 트랜지스터(310)가 형성된다(도 4(E)). 트랜지스터(310)는 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 함) 등의 불순물을 산화물 반도체막(403)으로부터 의도적으로 배제하여, 고순도화된 산화물 반도체막(403)을 포함하는 트랜지스터이다. 따라서, 트랜지스터(310)는 전기적 특성 변동이 억제되어, 전기적으로 안정적이다.
- [0116] 또한, 절연막(409)을 형성한 후, 절연막(409) 위에 도전막(410)을 더 형성함으로써, 도 3(D))에 나타낸 트랜지스터(350)를 형성할 수 있다. 도전막(410)은 게이트 전극(401)과 같은 재료, 같은 공정으로 형성할 수 있다. 도전막(410)을 산화물 반도체막(403)의 채널 형성 영역과 겹치는 위치에 형성함으로써, 트랜지스터(350)의 신뢰성을 조사하기 위한 바이어스-열 스트레스 시험(이하, BT 시험이라고 함)에 있어서, BT 시험 전후에 있어서의 트랜지스터(350)의 스레숄드 전압의 변화량을 보다 저감할 수 있다. 또한, 도전막(410)은 전위가 게이트 전극(401)과 같아도 좋고, 상이하여도 좋고, 제 2 게이트 전극으로서 기능시킬 수도 있다. 또한, 도전막(410)의 전위가 GND, 0 V, 혹은 플로팅 상태여도 좋다.
- [0117] 또한, 도시하지 않았지만, 트랜지스터(350)를 덮도록 보호 절연막을 더 형성해도 좋다. 보호 절연막으로서는, 질화 규소막, 질화 산화 규소막, 또는 질화 알루미늄 등을 이용할 수 있다.
- [0118] 또한, 트랜지스터(310, 350) 위에 평탄화 절연막을 형성해도 좋다. 평탄화 절연막으로서는, 아크릴, 폴리이미드, 벤조시클로부텐, 폴리아미드, 에폭시 등의, 내열성을 가지는 유기 재료를 이용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass: 인 유리), BPSG(borophosphosilicate glass: 인 붕소 유리) 등을 이용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시켜도 좋다.
- [0119] <트랜지스터(320)의 제작 공정>
- [0120] 도 5(A) 내지 도 5(C)를 이용하여, 도 3(A)에 나타낸 트랜지스터(320)의 제작 공정의 일례에 대하여 설명한다.
- [0121] 도 4(A)에 나타낸 공정과 마찬가지로, 기판(400) 위에 게이트 전극(401)과, 게이트 전극(401)을 덮는 게이트 절연막(402)과, 게이트 절연막(402)에 접하여 형성된 제 1 금속 산화물막(404)을 형성한 후, 제 1 금속 산화물막(404) 위에, 소스 전극 및 드레인 전극(이것과 같은 층에서 형성되는 배선을 포함함)을 형성하기 위한 도전막을 형성한다. 제 2 포토리소그래피 공정에 의해 이 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여 소스 전극(405a), 드레인 전극(405b)을 형성한 후, 레지스트 마스크를 제거한다(도 5(A)).
- [0122] 다음에, 제 1 금속 산화물막(404), 소스 전극(405a) 및 드레인 전극(405b) 위에, 막두께 3 nm 이상 30 nm 이하의 산화물 반도체막(403)을 스퍼터링법으로 형성한다.
- [0123] 또한, 산화물 반도체막(403)을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하고, 제 1 금속 산화물막(404), 소스 전극(405a) 또는 드레인 전극(405b)의 표면에 부착되어 있는 분상 물질(파티클, 먼지라고도 함)을 제거하는 것이 바람직하다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 이용해도 좋다.
- [0124] 그 후, 산화물 반도체막(403)에 대하여, 열처리(제 1 열처리)를 행하는 것이 바람직하다. 이 제 1 열처리에 의해 산화물 반도체막(403) 중의, 과잉의 수소(물이나 수산기를 포함함)를 제거하여, 산화물 반도체막(403)의 구조를 정돈하여, 에너지 갭 중의 결함 준위를 저감할 수 있다. 또는, 이 제 1 열처리에 의해, 제 1 금속 산화물막(404) 중의 과잉의 수소(물이나 수산기를 포함함)를 제거하는 것도 가능하다. 제 1 열처리의 온도는, 250℃

이상 700℃ 이하, 바람직하게는 450℃ 이상 600℃ 이하, 또는 기판의 변형점 미만으로 한다.

- [0125] 다음에, 산화물 반도체막(403)을 제 3 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체막(403)으로 가공한다(도 5(B)). 또한, 섬 형상의 산화물 반도체막(403)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다. 또한, 산화물 반도체막(403)으로의 제 1 열처리는 산화물 반도체막(403)의 패턴 형성 후에 행하는 것도 가능하다. 단, 산화물 반도체막(403)은 반드시 패턴 형성하지 않아도 좋다.
- [0126] 다음에, N₂O, N₂, 또는 Ar 등의 가스를 이용한 플라즈마 처리를 행하고, 노출하고 있는 산화물 반도체막(403)의 표면에 부착된 흡착수 등을 제거해도 좋다. 플라즈마 처리를 행한 경우, 이 플라즈마 처리에 계속하여 대기에 접하는 일 없이, 산화물 반도체막(403)에 접하는 제 2 금속 산화물막(407)을 형성하는 것이 바람직하다.
- [0127] 다음에, 소스 전극(405a), 및 드레인 전극(405b)을 덮고, 또한 산화물 반도체막(403)과 접하는 제 2 금속 산화물막(407)을 형성한다. 그 후, 제 2 금속 산화물막(407) 위에 절연막(409)을 형성한다.
- [0128] 다음에 산화물 반도체막(403)에, 제 2 금속 산화물막(407)과 접한 상태로 제 2 열처리를 행하는 것이 바람직하다. 제 2 열처리의 온도는, 250℃ 이상 700℃ 이하, 바람직하게는 450℃ 이상 600℃ 이하, 또는 기판의 변형점 미만으로 한다.
- [0129] 제 2 열처리는, 질소, 산소, 조건조 공기(물의 함유량이 20 ppm 이하, 바람직하게는 1 ppm 이하, 바람직하게는 10 ppb 이하의 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기하에서 행하면 좋지만, 상기 질소, 산소, 조건조 공기, 또는 희가스 등의 분위기에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 질소, 산소, 또는 희가스의 순도를, 6N(99.9999%) 이상 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)으로 하는 것이 바람직하다.
- [0130] 제 2 열처리에서는, 산화물 반도체막(403)과 제 2 금속 산화물막(407)이 접한 상태로 가열된다. 따라서, 상술한 탈수화(또는 탈수소화) 처리에 의해 동시에 감소하게 될 가능성이 있는 산화물 반도체를 구성하는 주성분 재료의 하나인 산소를, 산소를 포함하는 제 2 금속 산화물막(407)에서 산화물 반도체막(403)으로 공급할 수 있다. 이것에 의해, 산화물 반도체막(403) 중의 전하 포획 중심을 저감할 수 있다. 이상의 공정으로 고순도화하여, 전기적으로 i형(진성)화된 산화물 반도체막(403)을 형성할 수 있다. 또한, 이 가열 처리에 의해, 제 1 금속 산화물막(404) 또는 제 2 금속 산화물막(407)도 동시에 불순물이 제거되어 고순도화될 수 있다.
- [0131] 이상의 공정으로 트랜지스터(320)가 형성된다(도 5(C)). 트랜지스터(320)는, 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 함) 등의 불순물을 산화물 반도체막으로부터 의도적으로 배제하여, 고순도화된 산화물 반도체막(403)을 포함하는 트랜지스터이다. 따라서, 트랜지스터(320)는 전기적 특성 변동이 억제되어, 전기적으로 안정적이다.
- [0132] 또한, 본 실시형태에서는, 절연막(409)의 형성 후에 제 2 열처리를 행하고 있지만, 제 2 열처리의 타이밍은 제 2 금속 산화물막(407)의 형성 후라면 이것에 특별히 한정되지 않는다.
- [0133] 또한, 산화물 반도체막(403)을 형성한 후, 이 산화물 반도체막(403)을 패턴 형성하지 않고 제 2 금속 산화물막(407)을 형성하고, 제 2 금속 산화물막(407)과 산화물 반도체막(403)을 같은 마스크를 이용하여 패턴 형성함으로써, 도 3(C)에 나타난 트랜지스터(340)를 형성할 수 있다. 트랜지스터(340)에 있어서는, 산화물 반도체막(403)의 패턴 형성과 제 2 금속 산화물막(407)의 패턴 형성을 같은 마스크를 이용하여 행함으로써 산화물 반도체막(403)의 채널 길이 방향의 측단부와, 제 2 금속 산화물막(407)의 채널 길이 방향의 측단부가 일치한다. 또한, 이 경우, 제 1 열처리는 제 2 금속 산화물막(407)의 성막 전에 행하여도 좋고, 산화물 반도체막(403)과 제 2 금속 산화물막(407)을 연속하여 성막한 후에 제 1 열처리를 행하여도 좋다. 또는, 제 1 열처리에 계속하여 제 2 열처리를 행하여도 좋고, 제 1 열처리에 제 2 열처리를 겹하게 해도 좋고, 제 2 열처리에 제 1 열처리를 겹하게 해도 좋다.
- [0134] 위에서 설명한 바와 같이, 제 1 열처리와 제 2 열처리의 적어도 한쪽을 적용함으로써, 산화물 반도체막(403)을, 그 주성분 이외의 불순물이 극력 포함되지 않도록 고순도화할 수 있다. 고순도화된 산화물 반도체막(403) 중에는 도너에 유래하는 캐리어가 매우 적고(제로에 가까움), 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 미만이다.
- [0135] 또한, 도 5(C)에 있어서 절연막(409)을 형성한 후, 절연막(409) 위에 도전막(410)을 더 형성함으로써, 도 3(E)

에 나타낸 트랜지스터(360)를 형성할 수 있다. 도전막(410)은 게이트 전극(401)과 같은 재료, 같은 공정으로 형성할 수 있다.

[0136] 이상에 나타낸 바와 같이, 본 실시형태에 관한 트랜지스터는, 산화물 반도체막의 상면부 및 하면부에, 산화물 반도체막과 동종의 성분으로 이루어지는 금속 산화물막이 적층되고, 또한, 금속 산화물막에 있어서 산화물 반도체막과 접하는 면과 대향하는 면에는, 금속 산화물막 및 산화물 반도체막과는 다른 성분으로 이루어지는 절연막이 접하여 형성되어 있다. 이와 같이 산화물 반도체막과 성질이 맞는 재료에 의해 구성된 금속 산화물막을 산화물 반도체막과 접하는 양태로 존재시킴으로써, 반도체 장치의 동작 등에 기인하여 생길 수 있는 전하 등이 산화물 반도체막과 금속 산화물막과의 계면에 포획되는 것을 억제하고, 또한, 계면에 전하의 포획 중심이 형성될 수 있는 재료를 이용하여 구성된 절연물을 금속 산화물막과 접하는 양태로 존재시킴으로써, 금속 산화물막과 절연물과의 계면에 상술한 전하를 포획시킬 수 있다. 이것에 의해, 산화물 반도체막에의 전하의 영향을 완화할 수 있기 때문에, 산화물 반도체막 계면으로의 전하 트랩에 기인하는 트랜지스터의 스레숄드값 변동을 억제할 수 있다.

[0137] 또한, 트랜지스터의 활성층에 이용하는 산화물 반도체막은 열처리에 의해, 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 함) 등의 불순물을 산화물 반도체로부터 배제하고, 또한 불순물의 배제 공정에 의해 동시에 감소하게 되는 산화물 반도체를 구성하는 주성분 재료인 산소를 공급함으로써, 고순도화 및 전기적으로 i형(진성)화된 것이다. 이와 같이 고순도화된 산화물 반도체막을 포함하는 트랜지스터는 전기적 특성 변동이 억제되어, 전기적으로 안정적이다.

[0138] 또한, 산화물 반도체막의 계면에 전하가 트랩 되면, 트랜지스터의 스레숄드 전압은 시프트하지만(예를 들면, 백 채널 측으로 정전하가 트랩되면, 트랜지스터의 스레숄드 전압은 부(負) 방향으로 시프트함), 이러한 전하 포획의 요인의 하나로서, 양이온(또는 그 원인인 원자)의 이동 및 트랩의 모델을 가정할 수 있다. 그리고, 산화물 반도체를 이용한 트랜지스터에 있어서는, 이러한 양이온원으로서 수소 원자를 생각할 수 있다. 개시하는 발명에서는, 고순도화된 산화물 반도체를 이용하고, 또한, 이것이 금속 산화물막과 절연막과의 적층 구조에 접하는 구성을 채용하고 있기 때문에, 상술한 모델에 있어서 상정되는 수소에 기인하는 전하 포획마저도 억제할 수 있는 것이다. 또한, 상술한 모델은 수소의 이온화율이 예를 들면 10% 정도로 성립할 수 있다고 생각된다.

[0139] 이상과 같이, 안정된 전기적 특성을 가지는 산화물 반도체를 이용한 반도체 장치를 제공할 수 있다. 따라서, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0140] 이상, 본 실시형태에 나타낸 구성, 방법 등은, 다른 실시형태에 나타낸 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0142] (실시형태 2)

[0143] 실시형태 1에 예시한 트랜지스터를 이용하여 표시 기능을 가지는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를, 화소부와 같은 기관 위에 일체 형성하고, 시스템 온 패널을 형성할 수 있다.

[0144] 도 6(A)에서, 제 1 기관(4001) 위에 형성된 화소부(4002)를 둘러싸도록 하여, 시일재(4005)가 형성되고, 제 2 기관(4006)에 의해 봉지되어 있다. 도 6(A)에서는, 제 1 기관(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 주사선 구동 회로(4004), 신호선 구동 회로(4003)가 실장되어 있다. 또한 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 부여된 각종 신호 및 전위는, FPC(Flexible Printed Circuit)(4018a, 4018b)로부터 공급되고 있다.

[0145] 도 6(B) 및 도 6(C)에 있어서, 제 1 기관(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 하여, 시일재(4005)가 형성되어 있다. 또한, 화소부(4002)와 주사선 구동 회로(4004) 위에 제 2 기관(4006)이 설치되어 있다. 따라서 화소부(4002)와 주사선 구동 회로(4004)는, 제 1 기관(4001)과 시일재(4005)와 제 2 기관(4006)에 의해, 표시 소자와 함께 봉지되어 있다. 도 6(B) 및 도 6(C)에서는, 제 1 기관(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 도 6(B) 및 도 6(C)에서는, 별도 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004) 또는 화소부(4002)에 부여된 각종 신호 및 전위는, FPC(4018)로부터 공급되고 있다.

[0146] 또한, 도 6(B) 및 도 6(C)에서는, 신호선 구동 회로(4003)를 별도 형성하여, 제 1 기관(4001)에 실장하고 있는

예를 나타내고 있지만, 이 구성에 한정되는 것은 아니다. 주사선 구동 회로를 별도 형성하여 실장해도 좋은 것으로 하고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.

- [0147] 또한, 별도 형성한 구동 회로의 접속 방법은, 특별히 한정되는 것은 아니고, COG(Chip On Glass) 방법, 와이어 본딩 방법, 혹은 TAB(Tape Automated Bonding) 방법 등을 이용할 수 있다. 도 6(A)은 COG 방법에 의해 신호선 구동 회로(4003), 주사선 구동 회로(4004)를 실장하는 예이며, 도 6(B)은 COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 6(C)은 TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.
- [0148] 또한, 표시 장치는, 표시 소자가 봉지된 상태에 있는 패널과, 이 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다.
- [0149] 또한, 본 명세서 중에서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 혹은 광원(조명 장치 포함함)을 가리킨다. 또한, 커넥터, 예를 들면 FPC 혹은 TAB 테이프 혹은 TCP가 장착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG 방식에 의해 IC(집적회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.
- [0150] 또한, 제 1 기판 위에 형성된 화소부 및 주사선 구동 회로는, 트랜지스터를 복수 가지고 있고, 실시형태 1에 일례를 나타낸 트랜지스터를 적용할 수 있다.
- [0151] 표시 장치에 형성되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 이용할 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 적용할 수 있다.
- [0152] 반도체 장치의 한 형태에 대하여, 도 7 내지 도 9를 이용하여 설명한다. 도 7 내지 도 9는, 도 6(B)의 M-N에서의 단면도에 상당한다.
- [0153] 도 7 내지 도 9에 나타낸 바와 같이, 반도체 장치는 접속 단자 전극(4015) 및 단자 전극(4016)을 가지고 있고, 접속 단자 전극(4015) 및 단자 전극(4016)은 FPC(4018)가 가지는 단자와 이방성 도전막(4019)을 통하여, 전기적으로 접속되어 있다.
- [0154] 접속 단자 전극(4015)은 제 1 전극층(4030)과 같은 도전막으로 형성되고, 단자 전극(4016)은 트랜지스터(4010), 트랜지스터(4011)의 소스 전극 및 드레인 전극과 같은 도전막으로 형성되어 있다.
- [0155] 또한, 제 1 기판(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)는 트랜지스터를 복수 가지고 있고, 도 7 내지 도 9에서는 화소부(4002)에 포함되는 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 트랜지스터(4011)를 예시하고 있다.
- [0156] 본 실시형태에서는, 트랜지스터(4010), 트랜지스터(4011)로서 실시형태 1에 나타낸 트랜지스터를 적용할 수 있다. 트랜지스터(4010), 트랜지스터(4011)는, 전기적 특성 변동이 억제되어, 전기적으로 안정적이다. 따라서, 도 7 내지 도 9에 나타낸 본 실시형태의 반도체 장치로서 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0157] 화소부(4002)에 설치된 트랜지스터(4010)는 표시 소자와 전기적으로 접속하여, 표시 패널을 구성한다. 표시 소자는 표시를 행할 수 있다면 특별히 한정되지 않고, 다양한 표시 소자를 이용할 수 있다.
- [0158] 도 7에 표시 소자로서 액정 소자를 이용한 액정 표시 장치의 예를 나타낸다. 도 7에 있어서, 표시 소자인 액정 소자(4013)는 제 1 전극층(4030), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 또한, 액정층(4008)을 협지하도록 배향막으로서 기능하는 절연막(4032, 4033)이 형성되어 있다. 제 2 전극층(4031)은 제 2 기판(4006) 측에 형성되고, 제 1 전극층(4030)과 제 2 전극층(4031)과는 액정층(4008)을 통하여 적층하는 구성으로 되어 있다.
- [0159] 또한, 스페이서(4035)는 절연막을 선택적으로 에칭함으로써 얻어지고, 액정층(4008)의 막두께(셀 갭)를 제어하기 위해 제공되어 있다. 또한 본 실시형태에서는, 주상(柱狀)의 스페이서(4035)를 형성하는 예를 나타내지만, 구상(球狀)의 스페이서를 이용해도 좋다.
- [0160] 표시 소자로서 액정 소자를 이용하는 경우, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 이용할 수 있다. 이러한 액정 재료는, 조건에 따라, 콜레스테릭상, 스멕틱상, 큐빅상, 카이럴 네마틱상, 등방상 등을 나타낸다.

- [0161] 또한, 배향막을 이용하지 않는 블루상을 나타내는 액정을 이용해도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온해 가면, 콜레스테릭상에서 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서밖에 발현하지 않기 때문에, 온도 범위를 개선하기 위해 5 중량% 이상의 카이랄제를 혼합시킨 액정 조성물을 이용하여 액정층에 이용한다. 블루상을 나타내는 액정과 카이랄제를 포함하는 액정 조성물은 응답 속도가 1 msec 이하로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다. 또한 배향막을 형성하지 않아도 좋으므로 리빙 처리도 불필요해지기 때문에, 리빙 처리에 의해 일으켜지는 정전 파괴를 방지할 수 있어, 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서 액정 표시 장치의 생산성을 향상시키는 것이 가능하게 된다.
- [0162] 또한, 액정 재료의 고유 저항율은, $1 \times 10^9 \Omega \cdot \text{cm}$ 이상이며, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상이며, 더욱 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 또한, 본 명세서에서의 고유 저항율의 값은, 20℃에서 측정한 값으로 한다.
- [0163] 액정 표시 장치에 설치되는 보유 용량의 크기는, 화소부에 배치되는 트랜지스터의 리크 전류 등을 고려하여, 소정의 기간 동안 전하를 보유할 수 있도록 설정된다. 고순도의 산화물 반도체막을 가지는 트랜지스터를 이용함으로써, 각 화소에 있어서의 액정 용량에 대하여 1/3 이하, 바람직하게는 1/5 이하의 용량의 크기를 가지는 보유 용량을 형성하면 충분하다.
- [0164] 본 실시형태에 이용하는 고순도화된 산화물 반도체막을 이용한 트랜지스터는, 오프 상태에 있어서의 전류값(오프 전류값)을 낮게 할 수 있다. 따라서, 화상 신호 등의 전기 신호의 보유 시간을 길게 할 수 있고, 전원 온 상태에서는 기입 간격도 길게 설정할 수 있다. 따라서, 리프레시 동작의 빈도를 줄일 수 있기 때문에, 소비 전력을 억제하는 효과를 얻는다.
- [0165] 또한, 본 실시형태에 이용하는 고순도화된 산화물 반도체막을 이용한 트랜지스터는, 비교적 높은 전계 효과 이동도를 얻을 수 있기 때문에, 고속 구동이 가능하다. 따라서, 액정 표시 장치의 화소부에 상기 트랜지스터를 이용함으로써, 고화질의 화상을 제공할 수 있다. 또한, 상기 트랜지스터는, 동일 기판 위에 구동 회로부 또는 화소부에 나누어 만들어 제작할 수 있기 때문에, 액정 표시 장치의 부품 점수를 삭감할 수 있다.
- [0166] 액정 표시 장치에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetricaligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 이용할 수 있다.
- [0167] 또한, 노멀리-블랙형의 액정 표시 장치, 예를 들면 수직 배향(VA) 모드를 채용한 투과형의 액정 표시 장치로 해도 좋다. 여기서, 수직 배향 모드란, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종이며, 전압이 인가되어 있지 않을 때에 패널면에 대하여 액정 분자가 수직 방향을 향하는 방식이다. 수직 배향 모드로서는, 몇 개의 예를 들고 있지만, 예를 들면, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 이용할 수 있다. 또한, 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누어, 각각 다른 방향으로 분자를 넘어뜨리도록 궁리되어 있는 멀티 도메인화 혹은 멀티 도메인 설계라고 불리는 방법을 이용할 수 있다.
- [0168] 또한, 표시 장치에 있어서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등은 적절히 형성한다. 예를 들면, 편광 기판 및 위상차 기판에 의한 원 편광을 이용해도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 이용해도 좋다.
- [0169] 또한, 백 라이트로서 복수의 발광 다이오드(LED)를 이용하여, 시간 분할 표시 방식(필드 시퀀셜 구동 방식)을 행하는 것도 가능하다. 필드 시퀀셜 구동 방식을 적용함으로써, 컬러 필터를 이용하지 않고, 컬러 표시를 행할 수 있다.
- [0170] 또한, 화소부에서의 표시 방식은, 프로그래시브 방식이나 인터레이스 방식 등을 이용할 수 있다. 또한, 컬러 표시할 때에 화소로 제어하는 색요소로서는, RGB(R은 적, G는 녹, B는 청을 나타냄)의 삼색으로 한정되지 않는다. 예를 들면, RGBW(W는 흰색을 나타냄), 또는 RGB에, 옐로우, 시안, 마젠타 등을 일색 이상 추가한 것이 있다. 또한, 색요소의 도트마다 그 표시 영역의 크기가 상이하여도 좋다. 단, 본 발명은 컬러 표시의 표시 장치로 한정되는 것은 아니고, 흑백 표시의 표시 장치에 적용할 수도 있다.
- [0171] 또한, 표시 장치에 포함되는 표시 소자로서, 일렉트로 루미네이션스를 이용하는 발광 소자를 적용할 수 있다. 일렉트로 루미네이션스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고,

일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불린다.

- [0172] 유기 EL 소자는, 발광 소자에 전압을 인가함으로써, 한쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 그리고, 그것들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 복귀할 때에 발광한다. 이러한 메카니즘으로부터, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.
- [0173] 무기 EL 소자는, 그 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 가지는 것이고, 발광 메카니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층으로 끼우고, 또한 그것을 전극으로 끼운 구조이며, 발광 메카니즘은 금속 이온의 내각 전자 전이를 이용하는 국제형 발광이다. 또한, 여기에서는, 발광 소자로서 유기 EL 소자를 이용하여 설명한다.
- [0174] 발광 소자는 발광을 취출하기 위해 적어도 한쌍의 전극의 한쪽이 투명하면 좋다. 그리고, 기관 위에 트랜지스터 및 발광 소자를 형성하고, 기관과는 반대쪽의 면으로부터 발광을 취출하는 상면 사출이나, 기관측의 면으로부터 발광을 취출하는 하면 사출이나, 기관측 및 기관과는 반대측의 면으로부터 발광을 취출하는 양면 사출 구조의 발광 소자가 있고, 어느 사출 구조의 발광 소자도 적용할 수 있다.
- [0175] 도 8에 표시 소자로서 발광 소자를 이용한 발광 장치의 예를 나타낸다. 표시 소자인 발광 소자(4513)는 화소부(4002)에 설치된 트랜지스터(4010)와 전기적으로 접속하고 있다. 또한 발광 소자(4513)의 구성은 제 1 전극층(4030), 전계 발광층(4511), 제 2 전극층(4031)의 적층 구조이지만, 나타낸 구성에 한정되지 않는다. 발광 소자(4513)로부터 취출하는 광의 방향 등에 맞추어, 발광 소자(4513)의 구성은 적절히 바꿀 수 있다.
- [0176] 격벽(4510)은 유기 절연 재료, 또는 무기 절연 재료를 이용하여 형성한다. 특히 감광성의 수지 재료를 이용하여 제 1 전극층(4030) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 가지고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0177] 전계 발광층(4511)은 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느 쪽이어도 좋다.
- [0178] 발광 소자(4513)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제 2 전극층(4031) 및 격벽(4510) 위에 보호막을 형성해도 좋다. 보호막으로서, 질화 실리콘막, 질화 산화 실리콘막, DLC막 등을 형성할 수 있다. 또한, 제 1 기관(4001), 제 2 기관(4006), 및 시일재(4005)에 의해 봉지된 공간에는 충전재(4514)가 채공되어 밀봉되어 있다. 이와 같이 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(부착 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0179] 충전재(4514)로서는 질소나 아르곤 등의 불활성인 기체 외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있고, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리 비닐 부티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 이용할 수 있다. 예를 들면 충전재로서 질소를 이용하면 좋다.
- [0180] 또한, 필요하다면, 발광 소자의 사출면에 편광판, 또는 원 편광판(타원 편광판을 포함함), 위상차판($\lambda/4$ 판, $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절히 설치해도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 형성해도 좋다. 예를 들면, 표면의 요철에 의해 반사광을 확산하여, 비침을 저감할 수 있는 반사 방지 처리를 할 수 있다.
- [0181] 또한, 표시 장치로서 전자 잉크를 구동시키는 전자 페이퍼를 제공하는 것도 가능하다. 전자 페이퍼는 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리고, 종이와 같이 읽기에 편하고, 다른 표시 장치에 비해 저소비 전력이며, 얇고 가벼운 형상으로 하는 것이 가능하다는 이점을 가지고 있다.
- [0182] 전기 영동 표시 장치는, 다양한 형태를 생각할 수 있지만, 플러스의 전하를 가지는 제 1 입자와, 마이너스의 전하를 가지는 제 2 입자를 포함하는 마이크로 캡슐이 용매 또는 용질에 복수 분산된 것으로, 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜 한쪽에 집합한 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하여, 전계가 없는 경우에 이동하지 않는 것이다. 또한, 제 1 입자의 색과 제 2 입자의 색은 다른 것(무색을 포함함)으로 한다.
- [0183] 이와 같이, 전기 영동 표시 장치는, 유전정수가 높은 물질이 높은 전계 영역으로 이동하는, 소위 유전영동적 효과를 이용한 디스플레이이다.

- [0184] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것이고, 이 전자 잉크는 유리, 플라스틱, 옷감, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 가지는 입자를 이용하는 것에 의해 컬러 표시도 가능하다.
- [0185] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로 루미네센트 재료, 일렉트로크로믹 재료, 자기 영동 재료로부터 선택된 일종의 재료, 또는 이들의 복합 재료를 이용하면 좋다.
- [0186] 또한, 전자 페이퍼로서 트위스트 볼 표시 방식을 이용하는 표시 장치도 적용할 수 있다. 트위스트 볼 표시 방식이란, 백과 흑으로 나누어 도포된 구형 입자를 표시 소자에 이용하는 전극층인 제 1 전극층 및 제 2 전극층의 사이에 배치하고, 제 1 전극층 및 제 2 전극층에 전위차를 일으키게 하여 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.
- [0187] 도 9에, 반도체 장치의 한 형태로서 액티브 매트릭스형의 전자 페이퍼를 나타낸다. 도 9의 전자 페이퍼는, 트위스트 볼 표시 방식을 이용한 표시 장치의 예이다.
- [0188] 트랜지스터(4010)와 접속하는 제 1 전극층(4030)과, 제 2 기판(4006)에 설치된 제 2 전극층(4031)과의 사이에는 흑색 영역(4615a) 및 백색 영역(4615b)을 가지고, 주위에 액체로 채워져 있는 캐비티(4612)를 포함하는 구형 입자(4613)가 제공되어 있고, 구형 입자(4613)의 주위는 수지 등의 충전재(4614)로 충전되어 있다. 제 2 전극층(4031)이 공통 전극(대향 전극)에 상당한다. 제 2 전극층(4031)은 공통 전위선과 전기적으로 접속된다.
- [0189] 또한, 도 7 내지 도 9에 있어서, 제 1 기판(4001), 제 2 기판(4006)으로서는, 유리 기판 외에, 가요성을 가지는 기판도 이용할 수 있고, 예를 들면 투광성을 가지는 플라스틱 기판 등을 이용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 이용할 수 있다. 또한, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 이용할 수도 있다.
- [0190] 절연층(4021)은 무기 절연 재료 또는 유기 절연 재료를 이용하여 형성할 수 있다. 또한, 아크릴 수지, 폴리이미드, 벤조시클로부텐 수지, 폴리아미드, 에폭시 수지 등의 내열성을 가지는 유기 절연 재료를 이용하면, 평탄화 절연막으로서 적합하다. 또한, 상기 유기 절연 재료 외에, 저유전율 재료(low- κ 재료), 실록산계 수지, PSG(phosphosilicate glass:인 유리), BPSG(borophosphosilicate glass:인 붕소 유리) 등을 이용할 수 있다. 또한, 이러한 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층을 형성해도 좋다.
- [0191] 절연층(4021)의 형성법은, 특별히 한정되지 않고, 그 재료에 따라, 스퍼터링법, 스핀 코팅법, 디핑법, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 롤 코팅, 커튼 코팅, 나이프 코팅 등을 이용할 수 있다.
- [0192] 표시 장치는 광원 또는 표시 소자로부터의 광을 투과시켜 표시를 행한다. 따라서 광이 투과하는 화소부에 설치되는 기판, 절연막, 도전막 등의 박막은 모두 가시광의 파장 영역의 광에 대하여 투광성으로 한다.
- [0193] 표시 소자에 전압을 인가하는 제 1 전극층 및 제 2 전극층(화소 전극층, 공통 전극층, 대향 전극층 등이라고도 함)에 있어서는, 취출하는 광의 방향, 전극층이 형성되는 장소, 및 전극층의 패턴 구조에 따라 투광성, 반사성을 선택하면 좋다.
- [0194] 제 1 전극층(4030), 제 2 전극층(4031)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, ITO, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 이용할 수 있다.
- [0195] 또한, 제 1 전극층(4030), 제 2 전극층(4031)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), hafnium(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티탄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 혹은 그 질화물로부터 하나, 또는 복수종을 이용하여 형성할 수 있다.
- [0196] 또한, 제 1 전극층(4030), 제 2 전극층(4031)으로서 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 이용하여 형성할 수 있다. 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 이용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 아닐린, 피롤 및 티오펜의 2종 이상으로 이루어지는 공중합체 혹은 그 유도체 등을 들 수 있다.
- [0197] 또한, 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 구동 회로 보호용의 보호 회로를 형성하는 것이

바람직하다. 보호 회로는 비선형 소자를 이용하여 구성하는 것이 바람직하다.

- [0198] 이상과 같이 실시형태 1에 예시한 트랜지스터를 적용함으로써, 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 실시형태 1에 예시한 트랜지스터는 상술한 표시 기능을 가지는 반도체 장치뿐만 아니라, 전원 회로에 탑재되는 파워 디바이스, LSI 등의 반도체 집적회로, 대상물의 정보를 읽어내는 이미지 센서 기능을 가지는 반도체 장치 등 다양한 기능을 가지는 반도체 장치에 적용하는 것이 가능하다.
- [0199] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0201] (실시형태 3)
- [0202] 본 명세서에 개시하는 반도체 장치는, 다양한 전자기기(유기기도 포함함)에 적용할 수 있다. 전자기기로서는, 예를 들면, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대전화기(휴대전화, 휴대전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생장치, 파칭코기 등의 대형 게임기 등을 들 수 있다. 상기 실시형태에 설명한 반도체 장치를 구비하는 전자기기의 예에 대하여 설명한다.
- [0203] 도 10(A)는 노트형의 퍼스널 컴퓨터이며, 본체(3001), 하우징(3002), 표시부(3003), 키보드(3004) 등에 의해 구성되어 있다. 실시형태 1 또는 2에 나타난 반도체 장치를 적용함으로써, 신뢰성이 높은 노트형의 퍼스널 컴퓨터로 할 수 있다.
- [0204] 도 10(B)는 휴대 정보 단말(PDA)이며, 본체(3021)에는 표시부(3023)와 외부 인터페이스(3025)와 조작 버튼(3024) 등이 설치되어 있다. 또한, 조작용의 부속품으로서 스타일러스(3022)가 있다. 실시형태 1 또는 2에 나타난 반도체 장치를 적용함으로써, 보다 신뢰성이 높은 휴대 정보 단말(PDA)로 할 수 있다.
- [0205] 도 10(C)은 전자 서적의 일례를 나타낸다. 예를 들면, 전자 서적(2700)은 하우징(2701) 및 하우징(2703)의 2개의 하우징으로 구성되어 있다. 하우징(2701) 및 하우징(2703)은, 측부(2711)에 의해 일체로 되어 있고, 이 측부(2711)를 축으로 하여 개폐 동작을 행할 수 있다. 이러한 구성에 의해, 종이의 서적과 같은 동작을 행하는 것이 가능하게 된다.
- [0206] 하우징(2701)에는 표시부(2705)가 조립되고, 하우징(2703)에는 표시부(2707)가 조립되어 있다. 표시부(2705) 및 표시부(2707)는 연속된 화면을 표시하는 구성으로 해도 좋고, 다른 화면을 표시하는 구성으로 해도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들면 우측의 표시부(도 10(C)에서는 표시부(2705))에 문장을 표시하고, 좌측의 표시부(도 10(C)에서는 표시부(2707))에 화상을 표시할 수 있다. 실시형태 1 또는 2에 나타난 반도체 장치를 적용함으로써, 신뢰성이 높은 전자 서적(2700)으로 할 수 있다.
- [0207] 또한, 도 10(C)에서는 하우징(2701)에 조작부 등을 구비한 예를 나타낸다. 예를 들면, 하우징(2701)에 있어서, 전원(2721), 조작 키(2723), 스피커(2725) 등을 구비하고 있다. 조작 키(2723)에 의해, 페이지를 보낼 수 있다. 또한, 하우징의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비한 구성으로 해도 좋다. 또한, 하우징의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등을 구비한 구성으로 해도 좋다. 또는, 전자 서적(2700)은 전자 사전으로서의 기능을 갖게 한 구성으로 해도 좋다.
- [0208] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선에 의해, 전자 서적 서버로부터, 소망의 서적 데이터 등을 구입하여, 다운로드하는 구성으로 하는 것도 가능하다.
- [0209] 도 10(D)은 휴대전화이며, 하우징(2800) 및 하우징(2801)의 2개의 하우징으로 구성되어 있다. 하우징(2801)에는, 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 디바이스(2806), 카메라용 렌즈(2807), 외부 접속 단자(2808) 등을 구비하고 있다. 또한, 하우징(2800)에는, 휴대전화의 충전을 행하는 태양전지 셀(2810), 외부 메모리 슬롯(2811) 등을 구비하고 있다. 또한, 안테나는 하우징(2801) 내부에 내장되어 있다. 실시형태 1 또는 2에 나타난 반도체 장치를 적용함으로써, 신뢰성이 높은 휴대전화로 할 수 있다.
- [0210] 또한, 표시 패널(2802)은 터치 패널을 구비하고 있고, 도 10(D)에는 영상 표시되어 있는 복수의 조작 키(2805)를 점선으로 나타내고 있다. 또한, 태양전지 셀(2810)에서 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로도 실장하고 있다.
- [0211] 표시 패널(2802)은 사용 형태에 따라 표시의 방향이 적절히 변화한다. 또한, 표시 패널(2802)과 동일면에 카메라용 렌즈(2807)를 구비하고 있기 때문에 영상 통화가 가능하다. 스피커(2803) 및 마이크로폰(2804)은 음성 통화에 한정하지 않고, 영상 통화, 녹음, 재생 등이 가능하다. 또한, 하우징(2800)과 하우징(2801)은 슬라이드하

여, 도 10(D)과 같이 펼쳐진 상태에서 서로 겹친 상태로 할 수 있어, 휴대폰에 적합한 소형화가 가능하다.

- [0212] 외부 접속 단자(2808)는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능하고, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(2811)에 기록 매체를 삽입하여, 보다 대량의 데이터 보존 및 이동에 대응할 수 있다.
- [0213] 또한, 상기 기능에 더하여, 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이어도 좋다.
- [0214] 도 10(E)은 디지털 비디오 카메라이며, 본체(3051), 표시부(A)(3057), 접안부(3053), 조작 스위치(3054), 표시부(B)(3055), 배터리(3056) 등에 의해 구성되어 있다. 실시형태 1 또는 2에 나타낸 반도체 장치를 적용함으로써, 신뢰성이 높은 디지털 비디오 카메라로 할 수 있다.
- [0215] 도 10(F)은 텔레비전 장치의 일례를 나타낸다. 텔레비전 장치(9600)는 하우징(9601)에 표시부(9603)가 조립되어 있다. 표시부(9603)에 의해 영상을 표시하는 것이 가능하다. 또한, 여기에서는, 스탠드(9605)에 의해 하우징(9601)을 지지한 구성을 나타내고 있다. 실시형태 1 또는 2에 나타낸 반도체 장치를 적용함으로써, 신뢰성이 높은 텔레비전 장치(9600)로 할 수 있다.
- [0216] 텔레비전 장치(9600)의 조작은 하우징(9601)이 구비한 조작 스위치나, 별체의 리모콘 조작기에 의해 행할 수 있다. 또한, 리모콘 조작기에, 이 리모콘 조작기로부터 출력하는 정보를 표시하는 표시부를 형성하는 구성으로 해도 좋다.
- [0217] 또한, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반의 텔레비전 방송의 수신을 행할 수 있고, 더욱이 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 한방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 혹은 수신자들간 등)의 정보통신을 행하는 것도 가능하다.
- [0218] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0219] 본 출원은 전문이 참조로서 본 명세서에 통합되고, 2010년 4월 2일 일본 특허청에 출원된, 일련 번호가 2010-086397인 일본 특허 출원에 기초한다.

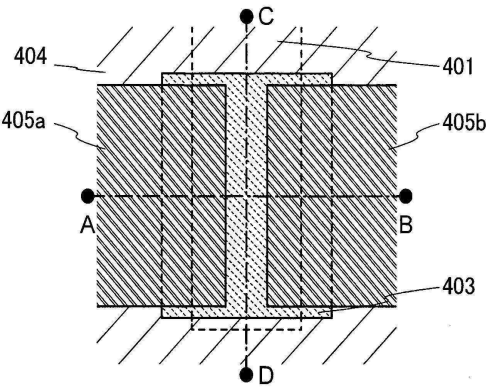
부호의 설명

- | | | |
|--------|-------------------|-------------------|
| [0221] | 310 : 트랜지스터 | 320 : 트랜지스터 |
| | 330 : 트랜지스터 | 340 : 트랜지스터 |
| | 350 : 트랜지스터 | 360 : 트랜지스터 |
| | 400 : 기판 | 401 : 게이트 전극 |
| | 402 : 게이트 절연막 | 403 : 산화물 반도체막 |
| | 404 : 제 1 금속 산화물막 | 405a : 소스 전극 |
| | 405b : 드레인 전극 | 407 : 제 2 금속 산화물막 |
| | 409 : 절연막 | 410 : 도전막 |

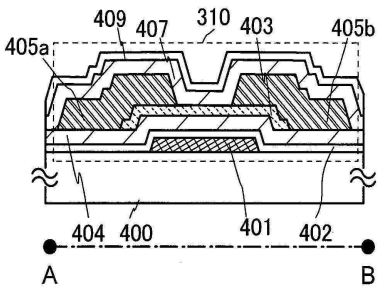
도면

도면1

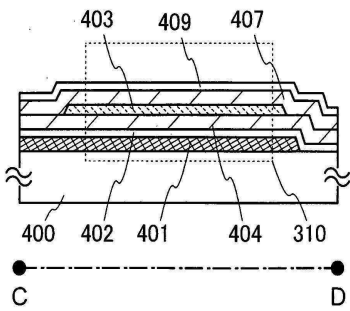
(A)



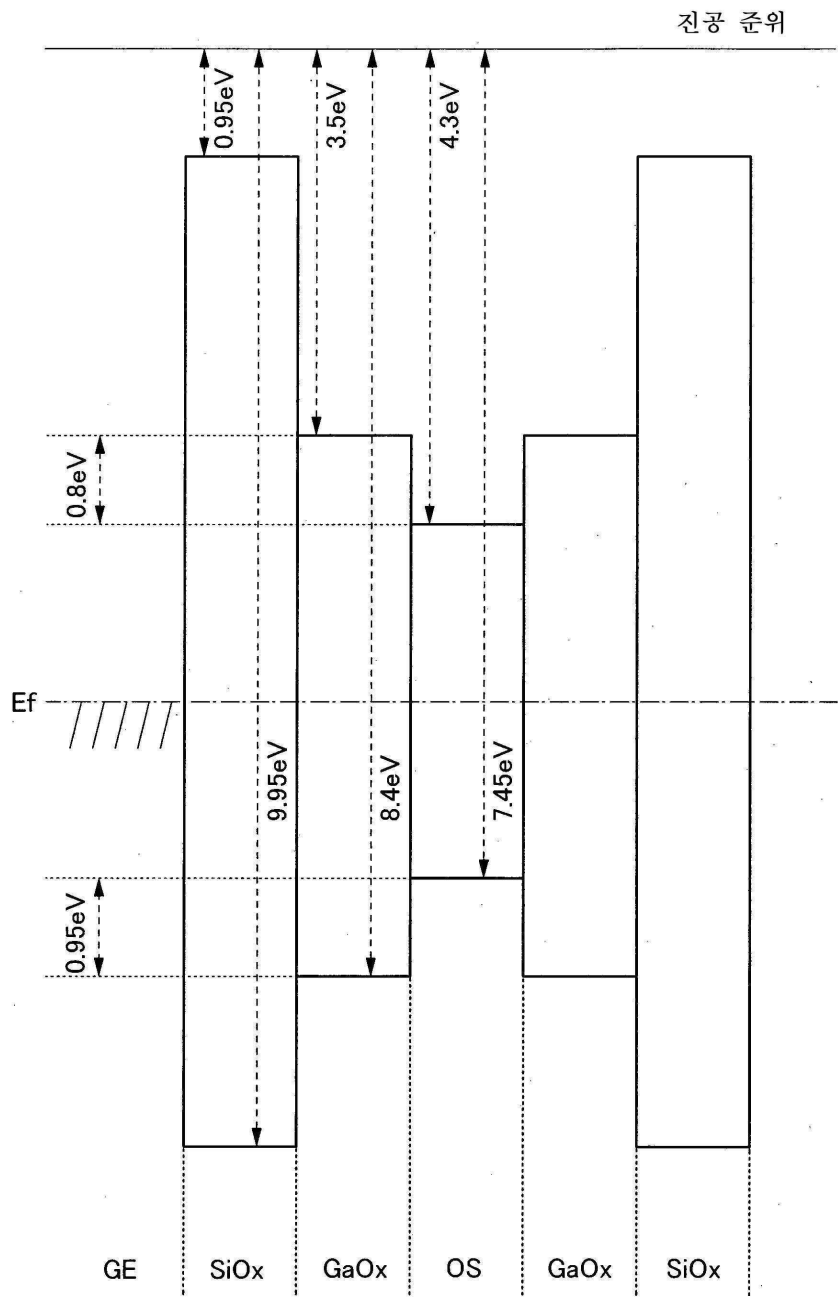
(B)



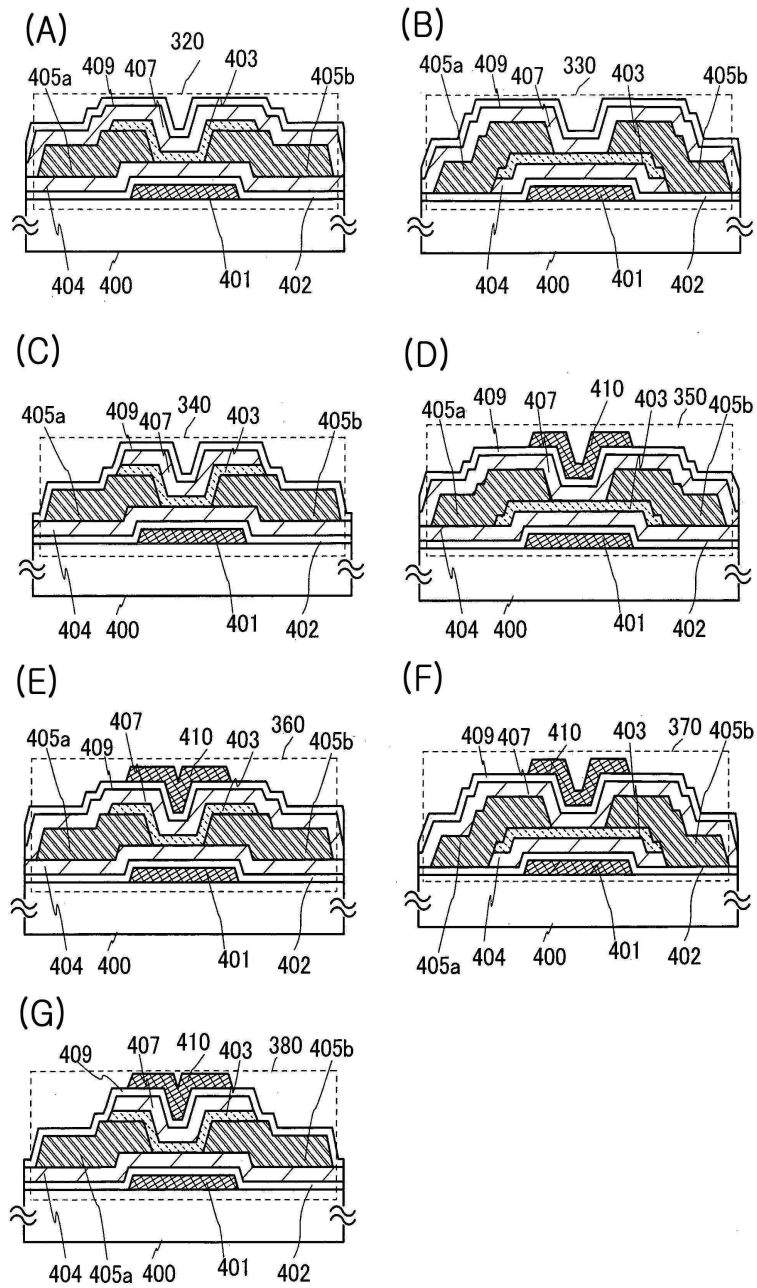
(C)



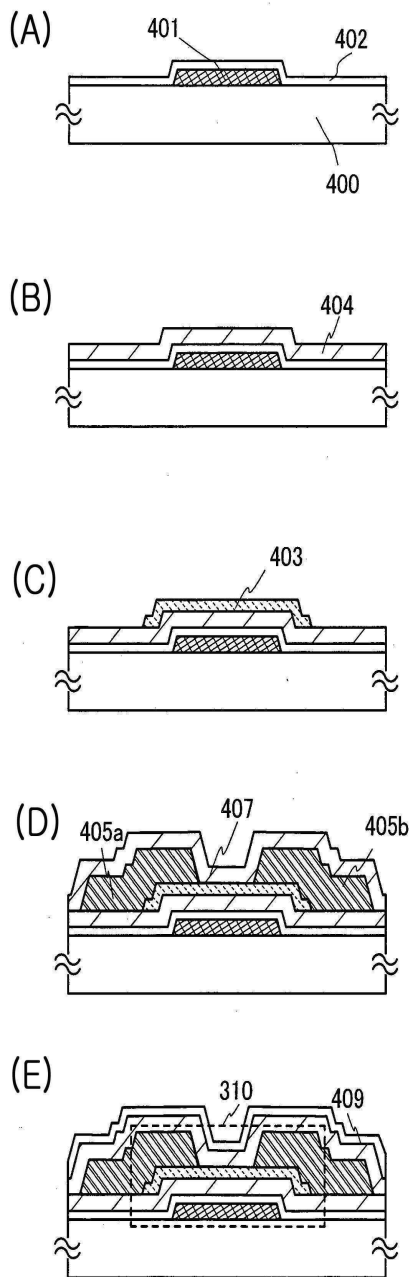
도면2



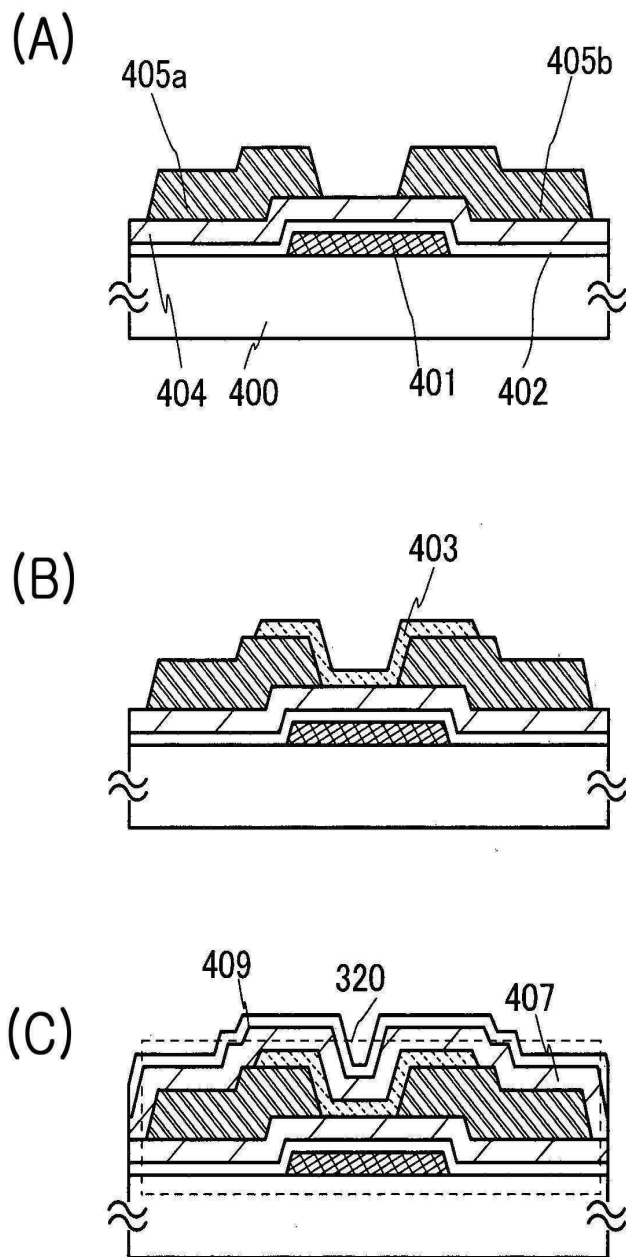
도면3



도면4

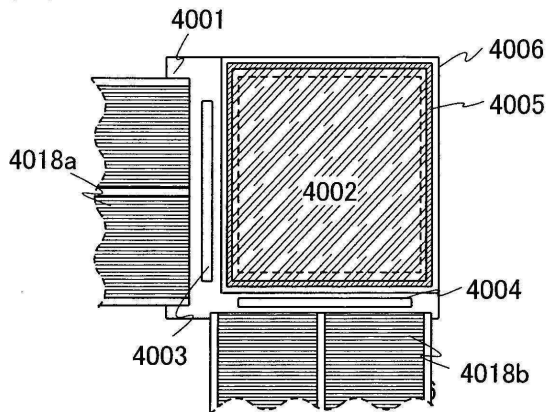


도면5

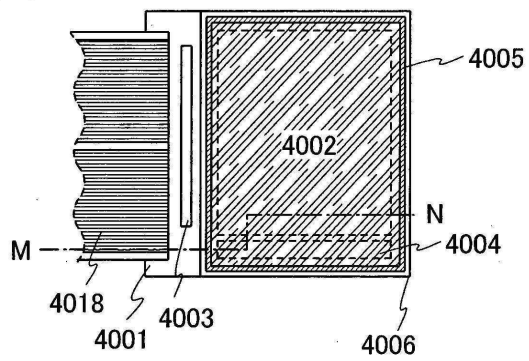


도면6

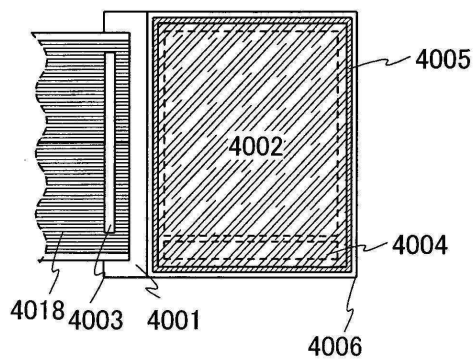
(A)



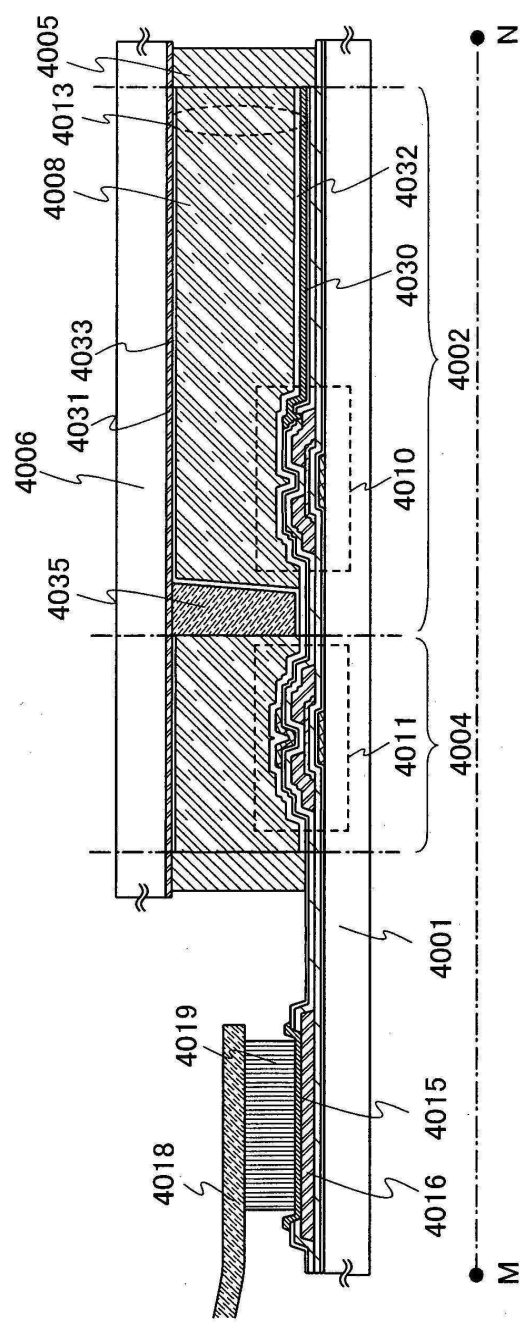
(B)



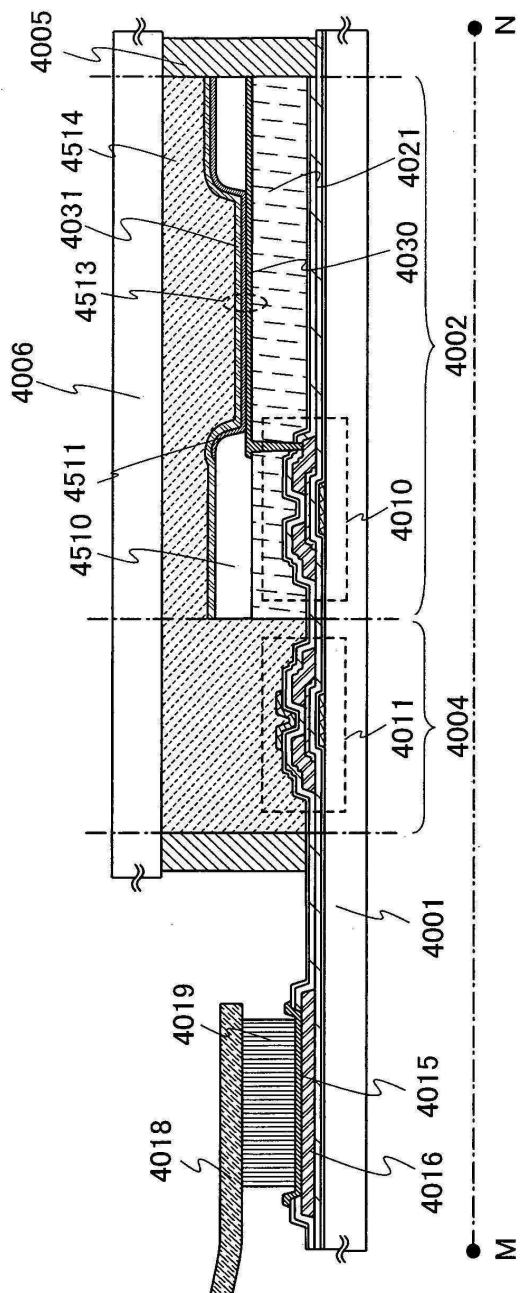
(C)



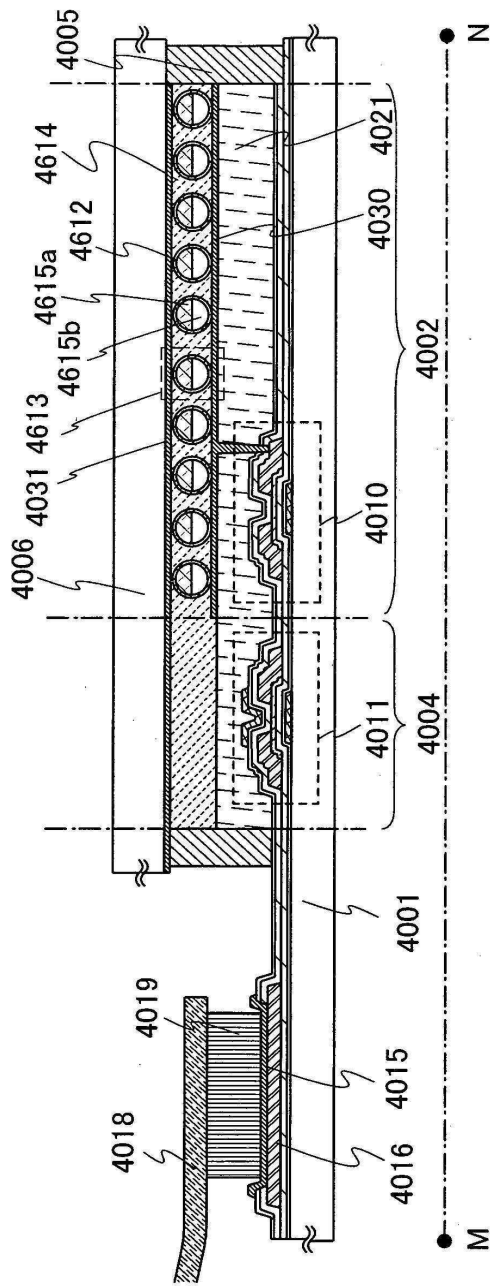
도면7



도면8

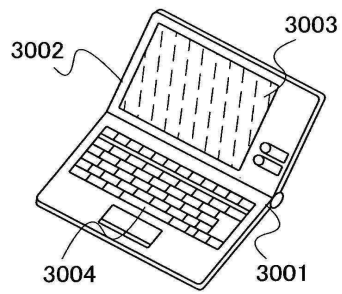


도면9

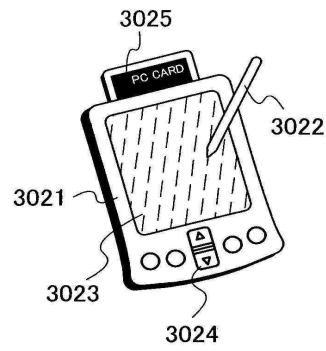


도면10

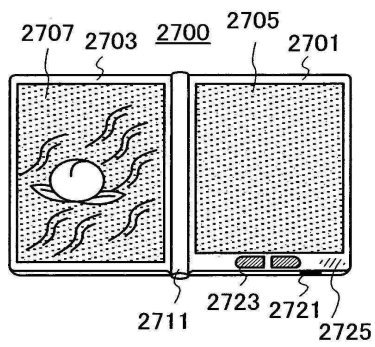
(A)



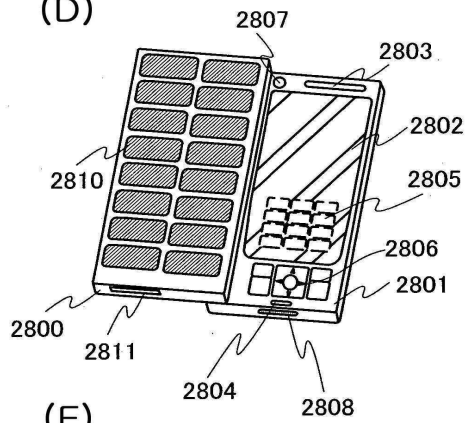
(B)



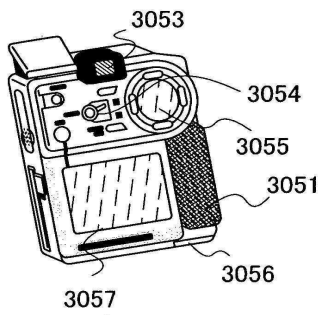
(C)



(D)



(E)



(F)

