

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
13. Juli 2006 (13.07.2006)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2006/072292 A1

(51) Internationale Patentklassifikation:

H02H 9/04 (2006.01) **H01L 27/02** (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2005/012690

(22) Internationales Anmeldedatum:

28. November 2005 (28.11.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:

10 2004 062 205.1

23. Dezember 2004 (23.12.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **FEHLE, Jürgen**
[AT/AT]; Steyrergasse 71/9, A-8010 Graz (AT). **MARK,**
Michael [AT/AT]; Walter-Goldschmidtgasse 57, A-8042

Graz (AT). **RUSS, Christian** [DE/DE]; Schillerstrasse 2A,
86420 Diedorf (DE).

(74) Anwalt: **BANZER, Hans-Jörg**; c/o Kraus & Weisert,
Thomas-Wimmer-Ring 15, 80539 München (DE).

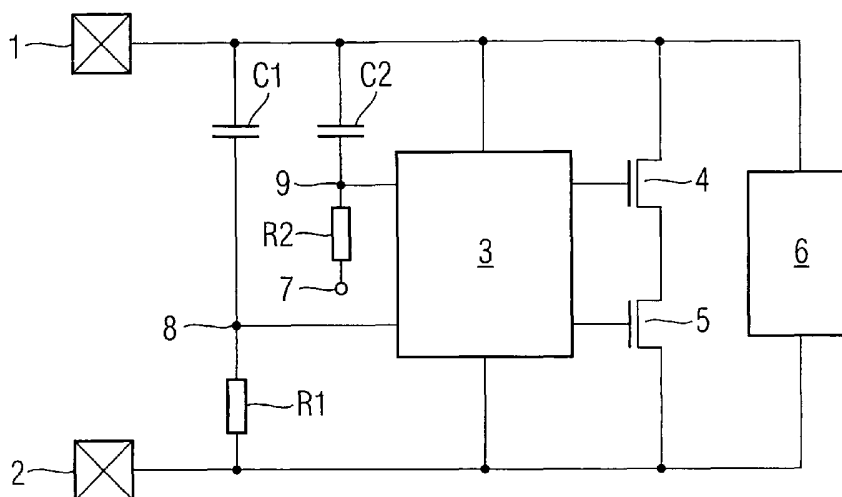
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV,
LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,
ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,

[Fortsetzung auf der nächsten Seite]

(54) Title: CIRCUIT ARRANGEMENT AND METHOD FOR PROTECTING A CIRCUIT FROM ELECTROSTATIC DIS-
CHARGES

(54) Bezeichnung: SCHALTUNGSANORDNUNG UND VERFAHREN ZUM SCHUTZ EINER SCHALTUNG VOR ELEK-
TROSTATISCHEN ENTLADUNGEN



(57) Abstract: The invention relates to a circuit arrangement for protecting a circuit from electrostatic discharges and to a corresponding method for controlling said circuit arrangement. A first protective element (4) and a second protective element (5) that are connected in series between a terminal (1) of the circuit (6) to be protected and a first potential (2) are controlled, depending on first filter elements (R1, C1) and second filter elements (R2, C2), in such a manner that in a normal operation mode of the circuit at least the first protective element (4) or the second protective element (5) has a blocking behavior, while both the first protective element (4) and the second protective element (5) are conductive when an electrostatic discharge occurs.

[Fortsetzung auf der nächsten Seite]

WO 2006/072292 A1



TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

— mit internationalem Recherchenbericht

(57) Zusammenfassung: Es wird eine Schaltungsanordnung zum Schutz einer Schaltung vor elektrostatischen Entladungen sowie ein entsprechendes Verfahren zum Ansteuern einer derartigen Schaltungsanordnung vorgeschlagen. Dabei wird in Abhängigkeit von ersten Filtermitteln (R1, C1) und zweiten Filtermitteln (R2, C2) ein erstes Schutzelement (4) und ein zweites Schutzelement (5), welche zwischen einem zu schützenden Anschluss (1) der Schaltung (6) und ein erstes Potenzial (2) geschaltet sind, derart angesteuert, dass in einem Normalbetrieb der Schaltung zumindest das erste Schutzelement (4) oder das zweite Schutzelement (5) ein Sperrverhalten aufweist, während bei dem Auftreten einer elektrostatischen Entladung sowohl das erste Schutzelement (4) als auch das zweite Schutzelement (5) leitend sind.

Schaltungsanordnung und Verfahren zum Schutz einer Schaltung vor elektrostatischen Entladungen

Die vorliegende Erfindung betrifft eine Schaltungsanordnung zum Schutz einer Schaltung, insbesondere einer integrierten Schaltung, vor elektrostatischen Entladungen sowie ein Verfahren zum Ansteuern einer derartigen Schaltungsanordnung. Dabei ist die vorliegende Erfindung insbesondere für integrierte Schaltungen geeignet, welche in einem Normalbetrieb Signale oder eine zusätzliche Versorgungsspannung verarbeiten sollen, welche größer ist als eine allgemeine Versorgungsspannung der integrierten Schaltkreise.

Moderne integrierte Schaltkreise (ICs) können leicht durch Anlegen einer zu hohen Spannung beschädigt werden. Hierbei kann es insbesondere zu einer irreversiblen Schädigung von Gateoxiden von MOS-Feldeffekttransistoren in der Schaltung kommen. Derartige hohe Spannungen können insbesondere durch elektrostatische Entladungen auf die integrierte Schaltung übertragen werden, beispielsweise wenn ein Mensch Anschlüsse der integrierten Schaltung berührt. Daher ist es bekannt, integrierte Schaltungen mit Schaltungsanordnungen zum Schutz vor elektrostatischen Entladungen (electrostatic discharge, ESD) auszustatten, durch welche eine elektrostatische Entladung auf ein Versorgungspotenzial, beispielsweise auf Masse, abgeleitet wird, wobei die Schaltungsanordnung in einem Normalbetrieb der Schaltung nicht leitend ist. Hierzu wird beispielsweise ein entsprechend dimensioniertes NMOS-Bauelement zwischen einen zu schützenden Anschluss der Schaltung und eine Masseleitung geschaltet, wobei das NMOS-Bauelement in einem Normalbetrieb der Schaltung ein Sperrverhalten aufweist und bei einem Anliegen einer elektrostatischen Entladung an dem Anschluss leitend wird.

Im Zuge der zunehmenden Miniaturisierung von integrierten Schaltkreisen wie beispielsweise CMOS-Schaltkreisen sind allgemeine Versorgungsspannungen der Schaltungen, d. h. Versor-

gungsspannungen, welche den größten Teil der Schaltung versorgen („core supply voltage“), stetig gesunken. Demgegenüber sind Versorgungsspannungen von Eingabe/Ausgabeschnittstellen im Wesentlichen gleich geblieben, um eine Rückwärtskompatibilität mit Schaltungen, welche mit höheren Versorgungsspannungen betrieben werden, zu erhalten.

Derartige Eingabe/Ausgabeschnittstellen (IO-Schnittstellen) müssen häufig in der Lage sein, Signale zu empfangen, welche eine Spannung aufweisen, die sogar noch größer als die Versorgungsspannung für die IO-Schnittstellen ist, was als „over-voltage tolerant IO“ bezeichnet wird, oder eine Signalspannung abzuleiten, welche höher ist als die Versorgungsspannung.

Teilweise werden bei integrierten Schaltungen auch verschiedene Versorgungsspannungen möglich gemacht. Beispielsweise kann ein in DSM(deep submicron)-CMOS Technologie gefertigter Chip, welcher normalerweise mit einer Versorgungsspannung von 3,3 V betrieben wird, zudem einen Spannungsversorgungsanschluss für eine Spannung von 5 V aufweisen. Dies kann beispielsweise benutzt werden, um den Chip mit einem Spannungsregler auszustatten, über welchen der Chip in einer Umgebung, in welcher eine 3,3 V-Spannungsversorgung nicht verfügbar ist, mit einer 5 V-Spannungsversorgung versorgt werden kann, oder um entsprechende IO-Schnittstellen bereitzustellen. Ein derartiger Spannungsregler kann im Wesentlichen durch einen einzigen MOS-Transistor gebildet werden, ohne dass Probleme durch Degradation von Gateoxiden auftreten, da ein derartiger MOS-Transistor, beispielsweise ein PMOS-Transistor, nur zwischen die externe 5 V-Versorgungsspannung und die intern erzeugte 3,3 V-Versorgungsspannung geschaltet ist, so dass hier nicht die gesamte Spannung von 5 V über den Transistor, beispielsweise zwischen Drain und Gate, Source und Gate oder Gate und Bulk abfällt.

Eine entsprechende ESD-Schutzschaltungsanordnung muss jedoch im Allgemeinen zwischen der Versorgungsspannung, in diesem Fall 5 V, und Masse geschaltet werden. Daher würde bei einer 3,3 V Technologie eine ESD-Schutzanordnung, welche wie oben beschrieben beispielsweise auf einem einzelnen zwischen die Versorgungsspannung und Masse geschalteten NMOS-Transistor basiert, unter Zuverlässigkeitsproblemen leiden, da es beispielsweise aufgrund des hohen Spannungsabfalls zu einer Degradation des Gateoxids kommen könnte.

Daher ist es bei derartigen Schaltungen bekannt, zwei insbesondere gestapelte („stacked“) NMOS-Schutzelemente zu verwenden, so dass an jedem Schutzelement nur ein Teil der in einem Normalbetrieb der jeweiligen Schaltung anliegenden Spannung abfällt.

Eine derartige Schaltungsanordnung, welche in der US 6,534,833 B1 näher beschrieben ist, ist in Figur 7 dargestellt. Dabei weist eine zu schützende Schaltung 6 bzw. ein zu schützender Schaltungsabschnitt einen Anschluss 1 für eine Versorgungsspannung, beispielsweise 5 V, und einen Anschluss 2 für eine Masseleitung auf. Zwischen den Anschluss 1 und den Anschluss 2 sind zwei gestapelte NMOS-Transistoren 65, 66 wie in Figur 7 gezeigt geschaltet. Gateanschlüsse der NMOS-Transistoren 65 und 66 sind über Widerstände R10 und R11 wie dargestellt mit dem Anschluss 2 verschaltet.

Bei der in Figur 7 dargestellten Schaltung liegen in einem Normalbetrieb der Schaltung die Gateanschlüsse der NMOS-Transistoren 65 und 66 auf Massepotenzial, so dass die NMOS-Transistoren 65 und 66 sperren und somit kein Strom über die NMOS-Transistoren 65 und 66 fließt.

Liegt an dem Anschluss 1 nun aufgrund einer elektrostatischen Entladung eine hohe Spannung an, wächst wegen einer kapazitiven Kopplung zwischen dem Gateanschluss des NMOS-Transistors 65 und dem mit dem Anschluss 1 verschalteten Drainanschluss

des NMOS-Transistors 65 auch die Spannung an dem Gateanschluss des NMOS-Transistors 65 schnell an. Durch weitere kapazitive Kopplung zwischen dem Gateanschluss des NMOS-Transistors 65 und dem Sourceanschluss des NMOS-Transistors 65, welcher mit dem Drainanschluss des NMOS-Transistors 66 verschaltet ist, und kapazitiver Kopplung zwischen dem Drainanschluss des NMOS-Transistors 66 und dem Gateanschluss des NMOS-Transistors 66 wächst auch die Spannung an dem Gateanschluss des NMOS-Transistors 66 an. Die Widerstände R10 und R11 bewirken dabei, dass tatsächlich an den Gateanschlüssen der NMOS-Transistoren 65, 66 zumindest kurzzeitig, d. h. während einer elektrostatischen Entladung eine andere Spannung als Masse anliegen kann.

Dies bewirkt, dass die NMOS-Transistoren 65, 66 leitend werden, da eine Durchbruchfeldstärke der NMOS-Transistoren 65, 66 erreicht wird, und somit die elektrostatische Entladung von Anschluss 1 auf Masse, d. h. zu Anschluss 2, abfließen kann.

Eine derartige Schaltung weist den Nachteil auf, dass die erhöhte Spannung an den Gateanschlüssen der NMOS-Transistoren 65 und 66 im Allgemeinen nicht über die gesamte Dauer eines typischen ESD-Pulses (in der Größenordnung von 150 Nanosekunden) zur Verfügung steht, was zu einem erhöhten Spannungsabfall an den NMOS-Transistoren 65 und 66 und an der zu schützenden Schaltung 6 führt. Weiterhin ist eine derartige Schaltung nicht bei den eingangs erwähnten IO-Schnittstellen, welche in einem Normalbetrieb eine überhöhte Spannung tolerieren sollen, anwendbar, es sei denn es werden NMOS-Transistoren 65 und 66 verwendet, welche mit der erhöhten Versorgungsspannung von beispielsweise 5 V kompatibel sind. Dies bedeutet jedoch wiederum einen zusätzlichen, kaum akzeptablen Technologieaufwand.

Es ist daher eine Aufgabe der vorliegenden Erfindung, eine Schaltungsanordnung zum Schutz einer Schaltung vor elektro-

statischen Entladungen bereitzustellen, welche zum Schutz von Anschlüssen, welche zur Verarbeitung einer von einer allgemeinen Versorgungsspannung der Schaltung verschiedenen Spannung ausgelegt ist, wobei die Schaltungsanordnung einen zuverlässigen Betrieb über eine gesamte Dauer eines ESD-Pulses ermöglichen soll und mit Bauelementen realisierbar sein soll, welche für die allgemeine Versorgungsspannung der Schaltung ausgelegt sind.

10 Diese Aufgabe wird gelöst durch eine Schaltungsanordnung gemäß Anspruch 1 sowie ein Verfahren zum Ansteuern einer Schaltungsanordnung nach Anspruch 27. Die abhängigen Ansprüche definieren jeweils vorteilhafte oder bevorzugte Ausführungsbeispiele.

15 Erfindungsgemäß wird eine Schaltungsanordnung zum Schutz einer Schaltung vor elektrostatischen Entladungen mit einem ersten Schutzelement und einem zweiten Schutzelement vorgeschlagen, wobei ein erster Anschluss des ersten Schutzelements mit einem zu schützenden Anschluss der Schaltung verschaltet ist, wobei ein zweiter Anschluss des ersten Schutzelements mit einem ersten Anschluss des zweiten Schutzelements verschaltet ist und wobei ein zweiter Anschluss des zweiten Schutzelements mit einem ersten Potenzial verschaltet ist.

25 Die erfindungsgemäße Schaltungsanordnung umfasst erste Filtermittel, welche mit dem zu schützenden Anschluss der Schaltung und dem ersten Potenzial verschaltet sind und derart ausgestaltet sind, dass sie an einem Ausgang ein erstes Steuerpotenzial bereitstellen, welches während eines Normalbetriebs der Schaltung einen ersten Wert annimmt, während es bei einem Auftreten einer elektrostatischen Entladung an dem zu schützenden Anschluss einen von dem ersten Wert verschiedenen zweiten Wert annimmt. Weiterhin umfasst die erfindungsgemäße Schaltungsanordnung zweite Filtermittel, welche mit einem zweiten Potenzial sowie mit dem zu schützenden Anschluss der Schaltung oder dem ersten Potenzial verschaltet

sind und derart ausgestaltet sind, dass sie an einem Ausgang ein zweites Steuerpotenzial bereitstellen, welches während eines Normalbetriebs der Schaltung einen zweiten Wert annimmt, während es bei einem Auftreten einer elektrostatischen Entladung an dem zu schützenden Anschluss einen von dem zweiten Wert verschiedenen Wert annimmt.

Schließlich umfasst die erfindungsgemäße Schaltungsanordnung Steuermittel, welche mit dem Ausgang des ersten Filtermittels, dem Ausgang des zweiten Filtermittels, einem Steuereingang des ersten Schutzelements und einem Steuereingang des zweiten Schutzelements verschaltet sind und derart ausgestaltet sind, dass sie in Abhängigkeit von dem ersten Steuerpotenzial und dem zweiten Steuerpotenzial das erste Schutzelement und das zweite Schutzelement derart ansteuern, dass in einem Normalbetrieb der Schaltung zumindest das erste Schutzelement oder das zweite Schutzelement ein Sperrverhalten zwischen seinem ersten Anschluss und seinem zweiten Anschluss aufweist, während bei einem Auftreten einer elektrostatischen Entladung sowohl das erste Schutzelement als auch das zweite Schutzelement zwischen seinem jeweiligen ersten Anschluss und seinem jeweiligen zweiten Anschluss leitend ist.

Durch den Einsatz der ersten und der zweiten Filtermittel und der entsprechenden Steuermittel können das erste Schutzelement und das zweite Schutzelement im Wesentlichen über einen gesamten Zeitraum eines ESD-Pulses derart angesteuert werden, dass an der zu schützenden Schaltung sowie an dem ersten Schutzelement und dem zweiten Schutzelement keine unzulässig hohen Spannungen anliegen.

Das erste Schutzelement und das zweite Schutzelement können dabei insbesondere MOS-Transistoren, insbesondere NMOS-Transistoren sein.

Die erfindungsgemäße Schaltungsanordnung ist in diesem Fall bevorzugt derart ausgestaltet, dass in dem Normalbetrieb der

Schaltung die Spannungen an den Steuereingängen sowie an den ersten und zweiten Anschlüssen der MOS-Transistoren derart eingestellt werden, dass eine Degradation von Gateoxiden der MOS-Transistoren vermieden wird und somit eine zuverlässige Funktion der Schaltungsanordnung sichergestellt ist.

Der zu schützende Anschluss der Schaltung kann dabei insbesondere ein Anschluss für ein Potenzial bzw. eine Versorgungsspannung sein, welche bezüglich des ersten Potentials größer ist als das zweite Potenzial bezüglich des ersten Potentials. Beispielsweise kann der zu schützende Anschluss ein Anschluss für eine 5 V-Versorgungsspannung sein, das erste Potenzial ein Massepotential und das zweite Potenzial eine 3,3 V-Versorgungsspannung sein. Die vorliegende Erfindung ist selbstverständlich auch für andere Spannungen bzw. Potentiale geeignet.

Die ersten Filtermittel und/oder die zweiten Filtermittel können jeweils über einen oder mehrere Widerstände und/oder über eine oder mehrere Kapazitäten mit den entsprechenden Potentialen bzw. Anschlüssen verschaltet sein, wobei sich eine Zeitkonstante der jeweiligen Filtermittel aus den Widerständen und Kapazitäten ergibt.

Die Filtermittel können dabei insbesondere als Hochpass oder Tiefpass ausgestaltet sein, wobei die Zeitkonstante dann der reziproken Grenzfrequenz entspricht. Diese Zeitkonstante liegt bevorzugt zwischen einer typischen Anstiegszeit von ESD-Ereignissen und einer Zeitkonstante, welche eine Änderung eines an dem zu schützenden Anschluss anliegenden Signals bzw. einer an dem zu schützenden Anschluss anliegenden Versorgungsspannung beschreibt.

Die Steuermittel können eine Mehrzahl von hintereinander geschalteten Treiberstufen umfassen, wobei Eingänge einer Ersten der Treiberstufen mit den Ausgängen der ersten und zweiten Filtermittel verschaltet sind und Ausgänge einer Letzten

der Treiberstufen mit den Steuereingängen des ersten Schutzelements und des zweiten Schutzelements verschaltet sind.

Um die Ansteuerung des ersten Schutzelements und des zweiten Schutzelements zu verbessern, kann ein Rückkoppelpfad von dem Steuereingang des ersten und/oder zweiten Schutzelements zu einem Eingang der Steuermittel vorgesehen sein.

Die Erfindung wird nachfolgend unter Bezugnahme auf die beigefügte Zeichnung anhand bevorzugter Ausführungsbeispiele näher erläutert. Es zeigen:

Figur 1 ein Blockschaltbild einer erfindungsgemäßen Schaltungsanordnung,

Figur 2 ein erstes schaltungstechnisches Ausführungsbeispiel der Schaltungsanordnung aus Figur 1,

Figur 3 ein zweites schaltungstechnisches Ausführungsbeispiel der Schaltungsanordnung aus Figur 1,

Figur 4 ein drittes schaltungstechnisches Ausführungsbeispiel, welches eine Variante zu den Ausführungsbeispielen der Figuren 1-3 darstellt,

Figuren 5A bis 5D Simulationen des Ausführungsbeispiels aus Figur 2,

Figuren 6A bis 6D Simulationen des Ausführungsbeispiels aus Figur 3, und

Figur 7 eine Schaltungsanordnung gemäß dem Stand der Technik.

Bei den im Folgenden beschriebenen Ausführungsbeispielen wird beispielhaft angenommen, dass ein Anschluss einer integrierten Schaltung für eine Versorgungsspannung von 5 V vor elektrostatischen Entladungen geschützt werden soll, während die

Schaltung im Allgemeinen für eine Versorgungsspannung von 3,3 V ausgelegt ist. Die Erfindung ist jedoch selbstverständlich auch für andere Spannungen sowie bei Anschlüssen, an welchen andere Signale als eine Versorgungsspannung angelegt werden, anwendbar.

In Figur 1 ist ein Blockschaltbild eines entsprechenden Ausführungsbeispiels der vorliegenden Erfindung dargestellt. In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder einander entsprechende Elemente.

Dabei weist eine zu schützende Schaltung 6 einen Anschluss 1 für eine Versorgungsspannung von 5 V und einen Anschluss 2 für eine Massepotenzial (GND) auf. Der Begriff Schaltung ist dabei nicht dahingehend zu verstehen, dass es sich bei der Schaltung 6 um eine abgeschlossene Schaltung handeln muss, vielmehr kann die Schaltung 6 auch ein Schaltungsabschnitt beispielsweise einer integrierten Schaltung sein, wobei auch die erfindungsgemäße Schaltungsanordnung in diese integrierte Schaltung integriert sein kann. Zudem wird die Schaltung 6 im Allgemeinen noch weitere Anschlüsse, beispielsweise Eingabe/Ausgabeanschlüsse (IO-Anschlüsse) aufweisen, welche dann gegebenenfalls durch weitere ESD-Schutzschaltungen geschützt sind.

Im vorliegenden Fall soll der Anschluss 1 vor elektrostatischen Entladungen, welche die Schaltung 6 beschädigen könnten, geschützt werden. Hierzu sind zwei gestapelte NMOS-Transistoren 4 und 5 als Schutzelemente vorgesehen, welche wie in Figur 1 dargestellt zwischen den Anschluss 1 und den Anschluss 2 geschaltet sind. Wie im Folgenden erläutert werden wird, sperrt in einem Normalbetrieb der Schaltung immer zumindest einer der NMOS-Transistoren 4 oder 5. Unter dem Normalbetrieb der Schaltung ist dabei derjenige Betrieb der Schaltung zu verstehen, bei welchem keine elektrostatischen Entladungen oder ähnlich Störereignisse an dem Anschluss 1 auftreten. Im Falle einer elektrostatischen Entladung werden

die NMOS-Transistoren 4 und 5 hingegen leitend geschaltet, so dass die elektrostatische Entladung mit einem nur geringen Spannungsabfall über die NMOS-Transistoren 4, 5 auf Masse, d. h. auf den Anschluss 2, abgeleitet werden kann. Die entsprechende Ansteuerung der NMOS-Transistoren 4 und 5 wird durch eine erste Filterschaltung, umfassend einen Widerstand R1 und eine Kapazität C1, eine zweite Filterschaltung umfassend einen Widerstand R2 und eine Kapazität C2 sowie eine Steuer- bzw. Treiberschaltung 3 durchgeführt, deren Arbeitsweise im Folgenden erläutert werden soll.

Die Kapazität C1 der ersten Filterschaltung ist mit dem Anschluss 1 und einem Schaltungsknoten 8 verschaltet, während der Widerstand R1 der ersten Filterschaltung mit dem Anschluss 2 und ebenfalls mit dem Schaltungsknoten 8 verschaltet ist. Ein Ausgangssignal der ersten Filterschaltung ist an dem Schaltungsknoten 8 abgreifbar und wird der Treiberschaltung 3 zugeführt. Die zweite Filterschaltung ist ähnlich zu der ersten Filterschaltung aufgebaut. Hier ist die Kapazität C2 mit dem Anschluss 1 sowie mit einem Schaltungsknoten 9 verschaltet, während der Widerstand R2 mit dem Schaltungsknoten 9 sowie mit einer Versorgungsspannung 7 verschaltet ist, wobei die Versorgungsspannung 7 bei den dargestellten Ausführungsbeispielen die allgemeine Versorgungsspannung von 3,3 V ist.

In einem Normalbetrieb der Schaltung liegt an dem Anschluss 2 ein Massepotenzial an, während an dem Anschluss 1 die Versorgungsspannung von 5 V anliegt, welche sich nicht oder nur sehr langsam ändert. Demzufolge ist die Impedanz der Kapazität C1 wesentlich höher als die Impedanz des Widerstands R1, und an dem Schaltungsknoten 8 liegt im Wesentlichen das Massepotenzial an. Gegenüber üblichen Schwankungen der Versorgungsspannung an Anschluss 1 oder der Veränderung der Spannung an dem Anschluss 1 bei einem Einschalten der Versorgungsspannung weisen elektrostatische Entladungen wesentlich schnellere Anstiegszeiten der Spannung auf, welche in der

Größenordnung von 10 Nanosekunden liegen. Demzufolge wird über den Kondensator C1 bei einem Auftreten einer elektrostatischen Entladung, d. h. einer schnell ansteigenden Spannung, an dem Anschluss 1 die an dem Schaltungsknoten 8 anliegende Spannung vergrößert, so dass ein entsprechend höherer Spannungspegel der Pufferschaltung 3 zugeführt wird.

Die Kapazität C1 und der Widerstand R1 sind demnach bezüglich einer Übertragung einer an dem Anschluss 1 anliegenden Spannung auf den Schaltungsknoten 8 als Hochpassfilter geschaltet. Die Werte für die Kapazität C1 und den Widerstand R1 müssen dabei so gewählt werden, dass das Hochpassfilter in dem Normalbetrieb der Spannung für Änderungen der Versorgungsspannung an dem Anschluss 1 nicht durchlässig ist, der Schaltungsknoten 8 also auf Masse gehalten wird, während er für ESD-Pulse zumindest teilweise durchlässig ist. Mögliche Werte sind hier beispielsweise $R1 = 50 \text{ k}\Omega$ und $C1 = 1 \text{ pF}$, was einer Zeitkonstanten von $R1 \times C1$ von 50 Nanosekunden entspricht. Selbstverständlich kann eine derartige Zeitkonstante auch mit anderen Werten für R1 und C1 erreicht werden.

Die zweite Filterschaltung mit der Kapazität C2 und dem Widerstand R2 ist entsprechend der ersten Filterschaltung aufgebaut. Insbesondere kann die Kapazität C2 denselben Wert haben wie die Kapazität C1 und der Widerstand R2 denselben Wert haben wie der Widerstand R1. Da im Fall der zweiten Filterschaltung der Widerstand R2 mit der Versorgungsspannung 7 verbunden ist, weist im Normalbetrieb der Schaltung der Schaltungsknoten 9 eine Spannung entsprechend der Versorgungsspannung 7, im vorliegenden Beispiel also 3,3 V auf, während sich die Spannung am Schaltungsknoten 9 beim Anlegen einer elektrostatischen Entladung entsprechend vergrößert. Abhängig von den an den Schaltungsknoten 8 und 9 anliegenden Spannungen steuert die Treiberschaltung 3 dann die NMOS-Transistoren 4 und 5 wie oben beschrieben an. Die Treiberschaltung 3 ist dabei zum Betrieb mit der an dem Anschluss 1 anliegenden Versorgungsspannung von 5 V ausgestaltet, ist al-

so zu der Spannung von 5 V kompatibel, wobei dies, wie im Folgenden erörtert wird, auch mit Bauelementen, welche für die Versorgungsspannung von 3,3 V ausgelegt sind, erreicht werden kann.

5

Die Zeitkonstanten der ersten Filterschaltung und der zweiten Filterschaltung müssen dabei zudem so gewählt sein, dass die entsprechenden Potenziale an den Schaltungsknoten 8 und 9 während der Dauer eines ESD-Pulses (typischerweise ca. 150 Nanosekunden) lange genug bereitstehen, um ein sicheres Ableiten der Ladung zu gewährleisten.

Die NMOS-Transistoren 4 und 5 weisen dabei typischerweise eine Breite W in der Größenordnung von 1 000 μm und eine bei der verwendeten Technologie minimale Gatelänge auf, welche beispielsweise in der Größenordnung von 0,18 μm liegen kann.

Im Folgenden sollen nun anhand der Figuren 2 bis 4 mögliche schaltungstechnische Realisierungen der Treiberschaltung 3 dargestellt werden.

In Figur 2 ist ein erstes Ausführungsbeispiel der Treiberschaltung 3 zusammen mit den weiteren bereits unter Bezugnahme auf Figur 1 diskutierten Schaltungsabschnitten dargestellt. Die in Figur 2 dargestellte Treiberschaltung 3 umfasst zwei Treiberstufen. Eine erste Treiberstufe wird dabei durch einen PMOS-Transistor 10 und ein Paar von gestapelten NMOS-Transistoren 11 und 12 gebildet, während eine zweite Treiberstufe von einem Paar von gestapelten PMOS-Transistoren 16 und 17 sowie einem NMOS-Transistor 18 gebildet wird. Zudem umfasst die Treiberschaltung Widerstände R_3 , R_4 und Kapazitäten C_3 , C_4 , welche wie in Figur 2 dargestellt verschaltet sind. Die Werte von R_3 , R_4 , C_3 und C_4 können dabei denen der ersten Filterschaltung bzw. der zweiten Filterschaltung entsprechen.

Die Funktionsweise der in Figur 2 dargestellten Schaltung soll nun erläutert werden.

Bei dem Normalbetrieb der Schaltung liegt an Anschluss 1 eine Versorgungsspannung von 5 V und an Anschluss 2 ein Massepotenzial an. Bezugszeichen 7 bezeichnet, wie bereits erläutert, eine allgemeine oder interne Versorgungsspannung von 3,3 V. Demnach liegt Schaltungsknoten 8 auf Massepotenzial, und Schaltungsknoten 9 liegt auf 3,3 V.

Dies bedeutet, dass der Gateanschluss des NMOS-Transistors 12 auf Massepotenzial liegt und dieser somit sperrt. An den Gateanschlüssen des NMOS-Transistors 11 und des PMOS-Transistors 10 liegen jeweils 3,3 V an. PMOS-Transistor 10 ist daher leitend, und die Spannung am Schaltungsknoten 13 beträgt somit 5 V. Da die NMOS-Transistoren 11 und 12 gestapelte NMOS-Transistoren sind, beträgt die Spannung am Schaltungsknoten 14 $3,3\text{ V} - V_{tn}$, wobei V_{tn} eine Schwellenspannung des NMOS-Transistors 11 bzw. 12 ist. Es liegt an keinem der Transistoren 10, 11, 12 zwischen Gate und Source, Gate und Drain oder Gate und Bulk die volle Spannung von 5 V an, sondern in jedem Fall eine deutlich niedrigere Spannung, welche für die Transistoren tolerabel ist, so dass keine Zuverlässigkeitsprobleme hinsichtlich der Gate-Oxide auftreten. V_{tn} liegt dabei typischerweise in der Größenordnung von 0,4-0,8 V.

Ein Gateanschluss des NMOS-Transistors 18 ist mit dem Schaltungsknoten 14 verbunden und liegt somit auf $3,3\text{ V} - V_{tn}$, was bewirkt, dass der NMOS-Transistor 18 in einem leitenden Zustand ist. Hierdurch wird Schaltungsknoten 20 auf Massepotenzial gezogen, wodurch der NMOS-Transistor 5, dessen Gateanschluss mit dem Schaltungsknoten 20 verbunden ist, in einem sperrenden Zustand gehalten wird. Somit kann über die NMOS-Transistoren 4 und 5 kein Strom fließen.

Wie bereits dargelegt liegt im Normalbetrieb der Schaltung der Schaltungsknoten 13 auf dem Potenzial des Anschlusses 1, also auf 5 V. Der Schaltungsknoten 13 ist über eine dritte Filterschaltung, gebildet aus einem Widerstand R3 und einer Kapazität C3, mit einem Gateanschluss des PMOS-Transistors 16 verschaltet. Dabei ist der Gateanschluss des PMOS-Transistors 16 über den Widerstand R3 mit dem Schaltungsknoten 13 und über die Kapazität C3 mit Masse, gekennzeichnet durch Bezugszeichen 2 entsprechend dem Masseanschluss 2, verbunden. Die dritte Filterschaltung entspricht von der Dimensionierung her der ersten Filterschaltung und der zweiten Filterschaltung, ist jedoch als Tiefpassfilter geschaltet, so dass in dem Normalbetrieb der Schaltung die an dem Schaltungsknoten 13 anliegende Spannung, also 5 V, an dem Gateanschluss des Transistors 16 anliegt und diese Spannung im Falle eines ESD-Pulses nach unten Richtung Masse gezogen wird. Somit ist der PMOS-Transistor 16 in einem Sperrzustand. Dabei ist anzumerken, dass die dritte Filterschaltung die Funktion der Schaltung verbessert, prinzipiell aber auch weggelassen werden kann. In diesem Fall wird der Widerstand R3 durch eine einfache Leitung ersetzt, und die Verbindung über die Kapazität C3 mit Masse wird ganz weggelassen.

Der PMOS-Transistor 17 ist mit einem Schaltungsknoten 15 einer vierten Filterschaltung verbunden, welche durch einen Widerstand R4, welcher zwischen den Schaltungsknoten 15 und die Versorgungsspannung 7 geschaltet ist, und eine Kapazität C4, welche zwischen den Schaltungsknoten 15 und Masse geschaltet ist, gebildet wird. Die vierte Filterschaltung entspricht von der Dimensionierung her wiederum der ersten bis dritten Filterschaltung und ist wie die dritte Filterschaltung als Tiefpass ausgestaltet, so dass in einem Normalbetrieb der Schaltung an dem Schaltungsknoten 15 und somit an dem Gateanschluss des PMOS-Transistors 17 die Versorgungsspannung 7, d. h. 3,3 V anliegt. Ähnlich der dritten Filterschaltung ist die vierte Filterschaltung optional und kann prinzipiell auch weggelassen werden. Sie ist jedoch vorteilhaft, da im

Falle einer elektrostatischen Entladung das Verhalten der -
üblicherweise floatenden - Versorgungsspannung 7 kaum ab-
schätzbar ist und durch die vierte Filterschaltung im Falle
eines ESD-Pulses der Schaltungsknoten 15 Richtung Massepoten-
5 tial 2 gezogen wird, also ein besser definiertes Verhalten
vorliegt, als wenn der Gateanschluss des PMOS-Transistors 17
beispielsweise direkt mit der Versorgungsspannung 7 verschal-
tet wäre. Auch in diesem Fall würde der Gateanschluss des
PMOS-Transistors 17 im Falle eines ESD-Pulses durch kapaziti-
10 ve Kopplung in Richtung des Massepotentials 2 gezogen werden,
allerdings mit weniger klar definiertem Verhalten.

Auch bei den Transistoren 16, 17 und 18 besteht keine Gefahr
der Schädigung der Gateoxide, da hier - ähnlich wie bei den
15 Transistoren 10, 11, 12 - nie die gesamte Spannung von 5 V
zwischen Drain und Gate, Gate und Source bzw. Gate und Bulk
abfallen kann. Da nämlich an dem Gateanschluss des PMOS-
Transistors 16 eine Spannung von 5 V und an dem Gateanschluss
des PMOS-Transistors 17 eine Spannung von 3,3 V anliegt, be-
20 trägt die Spannung am Schaltungsknoten 19 höchstens $3,3\text{ V} + V_{tp}$,
wobei V_{tp} eine Schwellenspannung der PMOS-Transistoren
16 bzw. 17 ist.

Die Spannung von $3,3\text{ V} + V_{tp}$ am Schaltungsknoten 19 schaltet
25 den NMOS-Transistor 4 leitend. Da der NMOS-Transistor 5, wie
bereits erläutert, jedoch sperrt, kann kein Strom über die
NMOS-Transistoren 4, 5 fließen. Auch bei den NMOS-
Transistoren 4, 5 kann keine Schädigung der Gateoxide durch
überhöhte Spannungen eintreten, da die Gatespannung des NMOS-
30 Transistors 19 $3,3\text{ V} + V_{tp}$ beträgt.

Um die Spannungen an den Schaltungsknoten 19, 20 bei den ge-
wünschten Werten zu stabilisieren, können zudem hochohmige
Pullup- bzw. Pulldown-Widerstände R5 und R6 wie in Figur 2
35 gestrichelt angedeutet zwischen den Schaltungsknoten 19 und
die Versorgungsspannung 7 bzw. zwischen den Schaltungsknoten
20 und den Anschluss für Masse 2 geschalten werden. Hierdurch

ist insbesondere in einem Normalbetrieb der Schaltung NMOS-Transistor 5 sicher ausgeschaltet. Hochohmig bedeutet hier typischerweise einen Widerstand größer als 10 k Ω , er kann auch einige M Ω betragen.

5

Als nächstes soll nun das Verhalten der in Figur 1 dargestellten Schaltung beschrieben werden, wenn eine elektrostatische Ladung an dem Anschluss 1 anliegt. In diesem Fall wird über die Kapazitäten C1 und C2 die Spannung an den Schaltungsknoten 8 und 9 erhöht. Hierdurch wird PMOS-Transistor 10 in einen Sperrzustand geschaltet, während die NMOS-Transistoren 11 und 12 nun beide leitend sind. Hierdurch liegen die Schaltungsknoten 13 und 14 auf Massepotenzial bzw. werden in Richtung Massepotenzial gezogen. Im Falle des Schaltungsknotens 13 wird dies zusätzlich durch die dritte Filterschaltung R3, C3 unterstützt. Durch die vierte Filterschaltung R4, C4 wird zudem das Potenzial an dem Schaltungsknoten 15 erniedrigt, auch Schaltungsknoten 15 liegt bei einem ESD-Puls im Wesentlichen auf Massepotenzial. Somit liegt an den Gateanschlüssen der PMOS-Transistoren 16, 17 und des NMOS-Transistors 18 Massepotenzial an, was bewirkt, dass die PMOS-Transistoren 16 und 17 leitend und der NMOS-Transistor 18 sperrend geschaltet wird. Hierdurch wird die Spannung an den Schaltungsknoten 19 und 20 erhöht, da diese nun über die PMOS-Transistoren 16 und 17 leitend mit dem Anschluss 1 verbunden sind, was wiederum die NMOS-Transistoren 4 und 5 leitend schaltet, so dass die elektrostatische Entladung über die NMOS-Transistoren 4 und 5 auf Masse abfließen kann.

Wie bereits angesprochen müssen durch die erste Filterschaltung und die zweite Filterschaltung die entsprechenden Steuersignale bzw. Steuerpotenziale lange genug bereitgestellt werden, dass im Wesentlichen die gesamte elektrostatische Entladung über die NMOS-Transistoren 4 und 5 abfließen kann, so dass aus dieser Sicht eine möglichst große Zeitkonstante der ersten und zweiten Filterschaltung wünschenswert wäre. Ähnliches gilt für die dritte und die vierte Filterschaltung.

Auf der anderen Seite müssen die entsprechenden Zeitkonstanten so kurz sein, dass die NMOS-Transistoren 4 und 5 in einem Normalbetrieb der Schaltung nicht beide leitend geschaltet werden. Dabei kann die beispielhaft gegebene Zeitkonstante von 50 Nanosekunden gegenüber der typischen Dauer einer elektrostatischen Entladung von etwa 150 Nanosekunden gegebenenfalls kritisch sein.

Um dies auszugleichen, zeigt Figur 3 eine Abwandlung der Schaltung aus Figur 2, in welcher Rückkoppelpfade 21, 22 vorgesehen sind. Bis auf diese Rückkoppelpfade entspricht die Schaltung von Figur 3 der Schaltung von Figur 2. Daher wird im Folgenden nur auf die Funktion der Rückkoppelpfade 21, 22 eingegangen, während bezüglich der übrigen Schaltung auf die obige Beschreibung verwiesen wird.

Der Rückkoppelpfad 21 verbindet den Schaltungsknoten 19, d. h. den Gateanschluss des NMOS-Transistors 4, mit dem Schaltungsknoten 9, d. h. dem Ausgang der zweiten Filterschaltung bzw. dem Gateanschluss des PMOS-Transistors 10, während der Rückkoppelpfad 22 den Schaltungsknoten 20 mit dem Schaltungsknoten 8 verbindet. Wenn nun wie oben beschrieben bei einem Auftreten eines ESD-Pulses an dem Anschluss 1 die Spannung an den Schaltungsknoten 19 und 20, d. h. an den Gateanschlüssen der NMOS-Transistoren 4 und 5 steigt, wird dies zu dem Eingang der ersten Treiberstufe an die Schaltungsknoten 8 und 9 rückgekoppelt und somit der durch die erste und zweite Filterschaltung bewirkte Anstieg der Spannung verstärkt. Hierdurch werden insgesamt die NMOS-Transistoren 4 und 5 länger leitend gehalten. Die Rückkoppelpfade vergrößern diesbezüglich also effektiv die Zeitkonstante der ersten und zweiten Filterschaltung. Eine andere Möglichkeit, die Zeitkonstanten zu vergrößern, besteht darin, die Kapazitäten C1, C2 bzw. die Widerstände R1, R2 entsprechend zu verändern, um beispielsweise eine Zeitkonstante von 200 ns einzustellen. Dies kann auch zusätzlich zu den Rückkoppelpfaden erfolgen.

Optional können die Dioden 23 und 24 - in Figur 3 gestrichelt
angedeutet - vorgesehen sein. Diese Dioden verhindern eine
Vorwärtskopplung zwischen den Schaltungsknoten 8 und 9 und
den Schaltungsknoten 19 und 20, welche dazu führen könnte,
dass ein Teil des Spannungsanstieges an den Schaltungsknoten
8 und 9 zu Beginn eines ESD-Pulses nicht zur Steuerung der
Transistoren 10, 11 und 12 der ersten Treiberstufe, sondern
zum Laden der Gateelektroden der NMOS-Transistoren 4 und 5
verwendet wird und somit verloren geht. In der Schaltung von
Figur 3 können die Pullup- bzw. Pulldown-Widerstände R5, R6
aus Figur 2 entfallen, da hier ein entsprechender Pullup-
/Pulldown-Effekt bereits durch die Widerstände R1 bzw. R2 er-
zielt wird.

In Figur 4 ist ein drittes Ausführungsbeispiel der Treiber-
schaltung 3 dargestellt. Im Unterschied zu den Figuren 2 und
3 umfasst die Treiberschaltung aus Figur 4 drei Treiberstuf-
en, wobei eine erste Stufe aus einem Paar von gestapelten
PMOS-Transistoren 25 und 26 und einem NMOS-Transistor 27, ei-
ne zweite Stufe aus einem PMOS-Transistor 28 und einem Paar
von gestapelten NMOS-Transistoren 29 und 30 und eine dritte
Stufe aus einem Paar von gestapelten PMOS-Transistoren 31 und
32 sowie einem NMOS-Transistor 33 gebildet wird. Ähnlich wie
in Figur 2 ist eine erste Filterschaltung, umfassend einen
Widerstand R8 und eine Kapazität C6, sowie eine zweite Fil-
terschaltung, umfassend einen Widerstand R7 und eine Kapazi-
tät C5, vorgesehen. Im Gegensatz zu der ersten und zweiten
Filterschaltung aus Figuren 1 und 2 sind die erste Filter-
schaltung und die zweite Filterschaltung aus Figur 4 - ähn-
lich der vierten Filterschaltung aus Figuren 2 und 3 - als
Tiefpassfilter geschaltet, d. h. in einem Normalbetrieb der
Schaltung sind Schaltungsknoten 37 und 36, welche Ausgängen
der ersten bzw. zweiten Filterschaltung entsprechen, auf dem
Potenzial des Anschlusses 1 bzw. der Versorgungsspannung 7.
Diese „Umkehr“ des Filterverhaltens der ersten und der zwei-
ten Filterschaltung ist dadurch bedingt, dass auch die Pola-

ritäten bzw. Ladungstypen der MOS-Transistoren in der ersten Treiberstufe gegenüber den Figuren 2 und 3 vertauscht sind.

Die an Schaltungsknoten 38 und 39 anliegenden Spannungen dienen dann zur Ansteuerung der zweiten Treiberstufe, insbesondere des NMOS-Transistors 30 bzw. des PMOS-Transistors 28, während der NMOS-Transistor 29 über einen Schaltungsknoten 40 einer dritten Filterschaltung, gebildet durch eine Kapazität C7 und einen Widerstand R9, angesteuert wird. Die dritte Filterschaltung ist in diesem Fall als Hochpassfilter geschaltet. Im Übrigen entsprechen die zweite Treiberstufe und die dritte Treiberstufe aus Figur 4 im Wesentlichen den Treiberstufen aus Figur 3, wobei Schaltungsknoten 41 und 42 der zweiten Treiberstufe mit Gateeingängen des NMOS-Transistors 33 bzw. des PMOS-Transistors 31 verschaltet ist, während ein Gateanschluss des PMOS-Transistors 32 mit dem Schaltungsknoten 37 verschaltet ist, sich also die erste Filterschaltung mit dem PMOS-Transistor 25 „teilt“. Die aus dem Widerstand R3 und der Kapazität C3 gebildeten dritten Filtermittel der Figuren 2 und 3 sind bei der Treiberschaltung aus Figur 4 nicht vorgesehen, wären aber optional möglich.

Die Gateanschlüsse der als ESD-Schutzelemente dienenden NMOS-Transistoren 4 und 5 sind mit Schaltungsknoten 43 bzw. 44 verschaltet, von welchen – optionale – Rückkoppelpfade 34, 35 zu Eingängen der zweiten Treiberstufe wie dargestellt führen. Die Funktion dieser Rückkoppelpfade entspricht derjenigen der Rückkoppelpfade 21, 22 aus Figur 3, auch hier können (nicht gezeigte) Dioden vorgesehen sein.

Generell ist es bei Treiberschaltungen, welche ähnlich den in Fig. 2 bis Fig. 4 dargestellten eine von Treiberstufe zu Treiberstufe wechselnde Polung aufweisen, bei welchen die Treiberstufen also ein invertierendes Verhalten zeigen, nötig, dass Rückkoppelpfade wie die in Fig. 3 und 4 dargestellten eine gerade Anzahl von Treiberstufen – in den vorliegen-

den Beispielen zwei - überbrücken, um ein korrektes Verhalten sicherzustellen.

Die Funktionsweise der Treiberschaltung 3 aus Figur 4 entspricht im Wesentlichen derjenigen der Figuren 2 und 3, wobei nun eine zusätzliche Treiberstufe vorhanden ist, was zu einem schärferen Transferverhalten und einem stärkeren und damit vorteilhaften Vorspannen der Gateanschlüsse der NMOS-Transistoren 4 und 5 führt.

Auch bei der Schaltung aus Figur 4 können zusätzlich oder anstelle der Rückkoppelpfade 34, 35 Pullup- bzw. Pulldown-Widerstände entsprechend den Widerständen R5 und R6 aus Figur 2 vorgesehen sein.

Die Funktionsweise der erfindungsgemäßen Schaltungsanordnung soll nun anhand von Simulationen weiter verdeutlicht werden. Dabei zeigen Figuren 5A bis 5D Simulationen der Schaltungsanordnung von Figur 2, während Figuren 6A bis 6D entsprechende Simulationen der Schaltungsanordnung von Figur 3, d. h. mit Rückkoppelpfad, zeigen. Dabei wurde das Verhalten der Schaltung für eine an dem Anschluss 1 liegende Versorgungsspannung von 3,3V und eine Versorgungsspannung 7 von 1,8V simuliert, was jedoch keinen prinzipiellen Unterschied zu der vorstehend beschriebenen Kombination 5V/3,3V ergibt.

Dabei wurden für die Kapazitäten C1 und C2 jeweils der Wert 1 pF, für die Kapazität C4 der Wert 10 pF und für die Widerstände R1, R2 und R4 Widerstände von 50 k Ω verwendet. Einzelne PMOS-Transistoren wie der PMOS-Transistor 10 weisen dabei typischerweise eine Breite von 20 μ m auf, während gestapelte PMOS-Transistoren wie die PMOS-Transistoren 16 und 17 typischerweise eine Breite von 40 μ m pro Transistor aufweisen, um eine Treiberstärke entsprechend einem einzelnen 20 μ m-PMOS-Transistor zu erreichen. Für die NMOS-Transistoren sind diese Werte typischerweise halbiert, d. h. eine Breite von 10 μ m für einzelne NMOS-Transistoren wie den NMOS-Transistor 18 und

20 µm pro Transistor für gestapelte NMOS-Transistoren wie die NMOS-Transistoren 11 und 12. Die Gatelänge der Transistoren ist typischerweise die minimal bei dem jeweiligen Schaltungsdesign erlaubte.

5

Die als ESD-Schutzelement dienenden NMOS-Transistoren 4 und 5 weisen typischerweise eine Breite von 1 000 µm auf, dieser Wert wurde auch für die Simulationen verwendet.

10 Kurve 45 in Figur 5A zeigt den Verlauf des bei Anlegen eines ESD-Pulses an dem Anschluss 1 zwischen dem Anschluss 1 und dem Anschluss 2 fließenden Stromes I in Ampere über der Zeit t in µs. Dieser Strom fließt größtenteils über die NMOS-Transistoren 4 und 5, ein kleinerer Anteil fließt auch wäh-
15 rend der beschriebenen Schaltvorgänge als Querstrom über die Treiberschaltung 3. Wie aus Figur 5A ersichtlich ist zunächst ein starkes ansteigen des Stromes gefolgt von einem verhältnismäßig langsamem Abfall zu sehen.

20 In Figur 5B ist der Verlauf der Spannung zwischen den Anschlüssen 1 und 2 (Kurve 46) bzw. der Versorgungsspannung 7 und dem Anschluss 2 (Kurve 47) gezeigt. In Figur 5C zeigt Kurve 48 den Verlauf der Spannung an dem Schaltungsknoten 9, Kurve 49 den Verlauf der Spannung an dem Spannungsknoten 15
25 und Kurve 50 den Verlauf der Spannung an dem Schaltungsknoten 8. Figur 5D zeigt schließlich in Kurve 51 den Verlauf der Spannung an dem Schaltungsknoten 13, Kurve 52 den Verlauf der Spannung an dem Schaltungsknoten 14, Kurve 53 den Verlauf der Spannung an dem Schaltungsknoten 19 und Kurve 54 den Verlauf
30 der Spannung an dem Schaltungsknoten 20.

Ein Kreis markiert dabei die Stelle, an der die Kurven 53 und 54, d. h. die Spannungen an den Schaltungsknoten 19 und 20, auseinanderlaufen. Dieses Auseinanderlaufen rührt daher, dass
35 mit den Zeitkonstanten der ersten und der zweiten Filterschaltung ($R_0 \times C_0 = R_1 \times C_1 = 50$ Nanosekunden) die Spannung an den Schaltungsknoten 8 und 9 wieder abfällt, wie dies auch

in Kurven 48 und 50 zu sehen ist. Entsprechendes gilt auch für die vierte Filterschaltung mit der Kapazität C4 und dem Widerstand R4, allerdings mit einer größeren Zeitkonstante, da C4 größer als C1 und C2 gewählt wurde. Dementsprechend steigt wie in Kurven 51 und 52 zu sehen auch die Spannung an den Schaltungsknoten 13 und 14 wieder an, was entsprechend zu dem in Kurven 53 und 54 zu sehenden Auseinanderlaufen der Gatespannungen der NMOS-Transistoren 4 und 5, welche ja in dem Normalbetrieb der Schaltung verschieden sind, führt. Daher wird die Leitfähigkeit des NMOS-Transistors 5 schlechter, was zu einem entsprechenden Anstieg der Spannung zwischen dem Anschluss 1 und dem Anschluss 2 wie in Kurve 46 in Figur 5B gezeigt und auch zu einem entsprechenden Anstieg der Spannung zwischen der Versorgungsspannung 7 und dem Anschluss 2 wie in Kurve 47 gezeigt führt. Die Spannung zwischen dem Anschluss 1 und dem Anschluss 2 („Klemmenspannung“) bleibt dabei jedoch stets unter 10 V. In diesem Fall muss die Schaltungsanordnung, insbesondere die NMOS-Transistoren 4 und 5, derart dimensioniert sein, dass bei dieser Spannung keine Schädigung auftritt.

Wie bereits erläutert kann die Verwendung eines Rückkoppelpfades die effektive Zeitkonstante der Filterschaltungen vergrößern. Figuren 6A bis 6D zeigen dabei Strom- bzw. Spannungsverläufe entsprechend den Figuren 5A bis 5D für die Schaltung von Figur 3, d. h. mit Rückkoppelpfad. Kurve 55 in Figur 6A zeigt dabei wiederum den zwischen den Anschlüssen 1 und 2 fließenden Strom bei Auftreten eines ESD-Pulses an dem Anschluss 1, wobei Kurve 55 im Wesentlichen Kurve 45 aus Figur 5A entspricht. Kurve 56 in Figur 6B zeigt entsprechend Kurve 46 aus Figur 5B den Verlauf der Spannung zwischen Anschluss 1 und Anschluss 2, Kurve 57 entsprechend Kurve 47 den Verlauf der Spannung zwischen Versorgungsspannung 7 und Anschluss 2. Kurve 58 entspricht Kurve 48, Kurve 59 Kurve 49 und Kurve 60 Kurve 50. Beim Vergleich der Figuren 6B bis 6D mit den Figuren 5B bis 5D ist zu beachten, dass die Span-

nungsskalen unterschiedlich sind und in den Figuren 6B bis 6D insbesondere nur bis 5 V reichen.

Wie insbesondere aus Figuren 6C und 6D ersichtlich, laufen
5 die Spannungen an den Schaltungsknoten 8 und 9, d. h. an den
Ausgängen der ersten Filterschaltung und der zweiten Filter-
schaltung, wie in Kurven 58 und 60 zu sehen, sowie die Span-
nungen 63 und 64 an den Gateanschlüssen der NMOS-Transistoren
4 und 5, wie durch einen Kreis in Figur 6D gekennzeichnet,
10 erst zu einem wesentlich späteren Zeitpunkt als im Fall ohne
Rückkopplung auseinander. Zudem nimmt die Spannung an dem Ga-
teanschluss des NMOS-Transistors 5, d. h. an dem Schaltungs-
knoten 20, langsamer ab, so dass dieser Transistor länger
leitend bleibt. Dementsprechend ist auch der Anstieg der
15 Spannungen zwischen den Anschlüssen 1 und 2 sowie zwischen
der Versorgungsspannung 7 und dem Anschluss 2, wie er in Fi-
gur 5B zu sehen ist, nun nicht mehr zu beobachten, wie Figur
6B zeigt. Die Peakspannung zwischen den Anschlüssen 1 und 2
beträgt nun nur noch 4,8 V, was das gute Klemmenverhalten der
20 Schaltungsanordnung bei transienten ESD-Pulsen zeigt. Die an-
hand der Simulationen demonstrierte Wirkung der erfindungsge-
mäßigen Schaltungsanordnung wurde auch durch Messungen bestä-
tigt.

25 Mit den dargestellten Schaltungen wird erreicht, dass die Ga-
teoxide der verwendeten PMOS- und NMOS-Transistoren keine De-
gradation erfahren, wobei in dem Normalbetrieb der Schaltung
feste Spannungen insbesondere an den Gateanschlüssen der
Transistoren derart anliegen, dass zulässige Gate-Source-
30 Spannungen, Gate-Drain-Spannungen bzw. Gate-Bulk-Spannungen
nicht überschritten werden. Indem durch die Filterschaltungen
zwischen dem Normalbetrieb der Schaltung und dem Anliegen ei-
ner elektrostatischen Entladung unterschieden wird, wird das
Problem umgangen, das bei herkömmlichen ESD-
35 Schutzschaltungsanordnungen fast kein Spielraum zwischen der
- im vorliegenden Fall an dem Anschluss 1 - anliegenden er-
höhten Versorgungsspannung und der maximal erlaubten Span-

nung, bevor die Schutzschaltungsanordnung leitend werden muss, um eine Beschädigung der Gateoxide zu vermeiden, sehr gering ist. Die dargestellten Schaltungen erreichen für die typische Dauer eines ESD-Pulses die niedrigst möglichen Schwellenwerte für die Spannungen, welche die Schutzschaltung, insbesondere die NMOS-Transistoren 4 und 5, leitend schalten. Gleichzeitig werden wie durch die Simulationen demonstriert gute Werte für die Klemmenspannung, d. h. die Spannung zwischen dem Anschluss 1 und dem Anschluss 2, erreicht.

Die dargestellten Schaltungen sind lediglich als Beispiele für die vorliegende Erfindung zu verstehen, und es ist eine Vielzahl von Variationen denkbar. Beispielsweise können die Filterschaltungen auch anders als dargestellt ausgestaltete sein, wobei die in den Ausführungsbeispielen gezeigten Filterschaltungen sich durch eine einfache Realisierbarkeit auszeichnen. Die Treiberschaltung kann mehr oder weniger Treiberstufen umfassen als dargestellt. Prinzipiell ist auch Realisierung mit vertauschten Polaritäten (inkl. der Schutzelemente), d.h. NMOS- statt PMOS-Transistoren und umgekehrt, und entsprechend anders ausgestalteter Filterschaltungen (zum Beispiel Tiefpassfilter statt Hochpassfilter und umgekehrt) denkbar. Auch die Verwendung anderer oder zusätzlicher Schutzelemente ist möglich, z. B. eine Erweiterung auf drei gestapelte Schutzelemente. Schließlich ist die vorliegende Erfindung nicht auf die Anwendung in Schaltungen, welche einen 5 V- und einen 3,3 V-Versorgungsspannungspegel bieten, begrenzt, sondern ist vorteilhaft prinzipiell einsetzbar, wenn eine ESD-Schutzschaltungsanordnung für einen Anschluss, an welchem in einem Normalbetrieb eine Spannung größer als eine allgemeine Versorgungsspannung der Schaltung anliegt, benötigt wird.

Patentansprüche

1. Schaltungsanordnung zum Schutz einer Schaltung (6) vor elektrostatischen Entladungen,
5 mit einem ersten Schutzelement (4) und einem zweiten Schutzelement (5),
wobei ein erster Anschluss des ersten Schutzelements (4) mit einem zu schützenden Anschluss (1) der Schaltung (6) verschaltet ist,
10 wobei ein zweiter Anschluss des ersten Schutzelement (4) mit einem ersten Anschluss des zweiten Schutzelements (5) verschaltet ist,
wobei ein zweiter Anschluss des zweiten Schutzelements (5) mit einem ersten Potenzial (2) verschaltet ist,
15 g e k e n n z e i c h n e t
durch erste Filtermittel (R1, C1; R7, C5), welche mit dem zu schützenden Anschluss (1) der Schaltung (6) und dem ersten Potenzial (2) verschaltet sind und derart ausgestaltet sind, dass sie an einem Ausgang (8) ein erstes Steuerpotenzial bereitstellen, welches während eines Normalbetriebs der Schaltung einen ersten Wert annimmt, während es bei einem Auftreten einer elektrostatischen Entladung an dem zu schützenden Anschluss (1) einen von dem ersten Wert verschiedenen Wert annimmt,
20
25 durch zweite Filtermittel (R2, C2; R8, C6), welche mit einem zweiten Potenzial (7) sowie mit dem zu schützenden Anschluss (1) der Schaltung (6) oder dem ersten Potenzial (2) verschaltet sind und derart ausgestaltet sind, dass sie an einem Ausgang (9) ein zweites Steuerpotenzial bereitstellen, welches
30 während des Normalbetriebs der Schaltung einen zweiten Wert annimmt, während es bei einem Auftreten einer elektrostatischen Entladung an dem zu schützenden Anschluss einen von dem zweiten Wert verschiedenen Wert annimmt, und
durch Steuermittel (3), welche mit dem Ausgang (8) der ersten
35 Filtermittel (R1, C1; R7, C5), dem Ausgang (9) der zweiten Filtermittel (R2, C2; R8, C6), einem Steuereingang des ersten Schutzelements (4) und einem Steuereingang des zweiten

Schutzelements (5) verschaltet sind und derart ausgestaltet sind, dass sie in Abhängigkeit von dem ersten Steuerpotenzial und dem zweiten Steuerpotenzial das erste Schutzelement (4) und das zweite Schutzelement (5) derart ansteuern, dass in
5 einem Normalbetrieb der Schaltung zumindest das erste Schutzelement (4) oder das zweite Schutzelement (5) ein Sperrverhalten zwischen seinem ersten Anschluss und zweiten Anschluss aufweist, während bei einem Auftreten einer elektrostatischen Entladung an dem zu schützenden Anschluss (1) sowohl das erste
10 Schutzelement (4) als auch das zweite Schutzelement (5) zwischen seinem jeweiligen ersten Anschluss und seinem jeweiligen zweiten Anschluss leitend ist.

2. Schaltungsanordnung nach Anspruch 1,
15 d a d u r c h g e k e n n z e i c h n e t,
dass die ersten Filtermittel (C1, R1) und/oder die zweiten Filtermittel (R2, C2) ein Hochpassfilter umfassen.

3. Schaltungsanordnung nach Anspruch 2,
20 d a d u r c h g e k e n n z e i c h n e t,
dass das Hochpassfilter eine Zeitkonstante aufweist, welche zwischen einer Anstiegszeit für elektrostatische Entladungen und einer Zeitkonstante, welche Veränderungen eines an dem zu schützenden Anschluss (1) anliegenden Signals beschreibt,
25 liegt.

4. Schaltungsanordnung nach Anspruch 3,
d a d u r c h g e k e n n z e i c h n e t,
dass die Zeitkonstante des Hochpassfilters zwischen 5 Nanosekunden und 1 Mikrosekunde liegt.
30

5. Schaltungsanordnung nach einem der Ansprüche 2-4,
d a d u r c h g e k e n n z e i c h n e t,
dass das Hochpassfilter durch eine Kapazität (C1, C2) und einen Widerstand (R1, R2) gebildet ist.
35

6. Schaltungsanordnung nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass die ersten Filtermittel (C1, R1) und/oder die zweiten
5 Filtermittel (R2, C2) ein Tiefpassfilter umfassen.

7. Schaltungsanordnung nach Anspruch 6,
dadurch gekennzeichnet,
dass das Tiefpassfilter eine Zeitkonstante aufweist, welche
10 zwischen einer Anstiegszeit für elektrostatische Entladungen
und einer Zeitkonstante, welche Veränderungen eines an dem zu
schützenden Anschluss (1) anliegenden Signals beschreibt,
liegt.

15 8. Schaltungsanordnung nach Anspruch 7,
dadurch gekennzeichnet,
dass die Zeitkonstante des Tiefpassfilters zwischen 5 Nanosekunden
und 1 Mikrosekunde liegt.

20 9. Schaltungsanordnung nach einem der Ansprüche 6-8,
dadurch gekennzeichnet,
dass das Tiefpassfilter durch eine Kapazität (C1, C2) und einen
Widerstand (R1, R2) gebildet wird.

25 10. Schaltungsanordnung nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass die Steuermittel (3) derart ausgestaltet sind, dass in
dem Normalbetrieb der Schaltung eine Spannung zwischen dem
30 jeweiligen ersten Anschluss des ersten Schutzelements (4)
bzw. des zweiten Schutzelements (5) und dem Steueranschluss
des ersten Schutzelements (4) bzw. des zweiten Schutzelements
(5) sowie eine Spannung zwischen dem jeweiligen zweiten Anschluss
des ersten Schutzelements (4) bzw. des zweiten
35 Schutzelements (5) und dem Steueranschluss des ersten Schutzelements
(4) bzw. des zweiten Schutzelements (5) und/oder eine
Spannung zwischen dem Steueranschluss des ersten Schutz-

elements (4) bzw. des zweiten Schutzelements (5) und einem Bulkanschluss des ersten Schutzelements (4) bzw. des zweiten Schutzelements (5) einen vorgegebenen Wert, welcher kleiner ist als ein maximal möglicher Spannungswert zwischen dem zu schützenden Anschluss (1) und dem ersten Potenzial (2), nicht übersteigt.

11. Schaltungsanordnung nach einem der vorhergehenden Ansprüche,

10 d a d u r c h g e k e n n z e i c h n e t,
dass die Steuermittel (3) mindestens eine Treiberstufe (10, 11, 12, 16, 17, 18, 25, 26, 27, 28, 29, 30, 31, 32, 33) umfassen, wobei Eingänge einer Treiberstufe der mindestens einen Treiberstufe mit dem Ausgang der ersten Filtermittel (C1, R1) und dem Ausgang der zweiten Filtermittel (C2, R2) verschaltet sind und Ausgänge einer Treiberstufe der mindestens einen Treiberstufe mit den Steuereingängen des ersten Schutzelements (4) und des zweiten Schutzelements (5) verschaltet sind.

20

12. Schaltungsanordnung nach Anspruch 11,

d a d u r c h g e k e n n z e i c h n e t,
dass die mindestens eine Treiberstufe einen ersten Treibertransistor und einen zweiten Treibertransistor (11, 12, 16, 17; 25, 26, 29, 30, 31, 32) eines ersten Leitungstyps und einen dritten Treibertransistor (10, 18; 27, 28, 33) eines zweiten Leitungstyps umfasst,
wobei Eingänge der Treiberstufe mit jeweiligen Steueranschlüssen der Treibertransistoren verschaltet sind und ein
30 erster Ausgang der Treiberstufe mit einem ersten Anschluss des ersten Treibertransistors und mit einem ersten Anschluss des zweiten Treibertransistors verschaltet ist und ein zweiter Ausgang der Treiberstufe mit einem zweiten Anschluss des ersten Treibertransistors und einem ersten Anschluss des
35 dritten Treibertransistors verschaltet ist.

13. Schaltungsanordnung nach Anspruch 12,

d a d u r c h g e k e n n z e i c h n e t,

dass ein zweiter Anschluss des zweiten Treibertransistors mit dem zu schützenden Anschluss (1) oder dem ersten Potenzial (2) verschaltet ist und ein zweiter Anschluss des dritten
5 Treibertransistors mit dem jeweils anderen des zu schützenden Anschlusses (1) oder des ersten Potenzials (2) verschaltet ist.

14. Schaltungsanordnung nach Anspruch 12 oder 13,

10 d a d u r c h g e k e n n z e i c h n e t,

dass die Treibertransistoren MOS-Transistoren sind.

15. Schaltungsanordnung nach Anspruch 14,

d a d u r c h g e k e n n z e i c h n e t,

15 dass die ersten Filtermittel (R1, C1; R7, C5), die zweiten Filtermittel (R2, C2; R8, C6) und die Steuermittel derart ausgestaltet sind, dass in dem Normalbetrieb der Schaltungsanordnung eine Gate-Source-Spannung der Treibertransistoren, eine Gate-Drain-Spannung der Treibertransistoren und/oder ei-
20 ne Gate-Bulk-Spannung der Treibertransistoren einen jeweils vorgegebenen Wert nicht überschreitet.

16. Schaltungsanordnung nach einem der Ansprüche 11-15,

d a d u r c h g e k e n n z e i c h n e t,

25 dass die mindestens eine Treiberstufe eine Mehrzahl von Treiberstufen umfasst,

wobei Eingänge einer ersten Treiberstufe der Mehrzahl von Treiberstufen mit dem Ausgang der ersten Filtermittel (R1, R2; R7, C5) und mit dem Ausgang der zweiten Filtermittel (R2, C2; R8, C6) verschaltet sind,
30

wobei Eingänge der zweiten bis letzten Treiberstufe der Mehrzahl von Treiberstufen mit Ausgängen der jeweils vorhergehenden Treiberstufe verschaltet sind, und

wobei Ausgänge der letzten Treiberstufe mit dem Steuereingang
35 des ersten Schutzelements (4) und des zweiten Schutzelements (5) verschaltet sind.

17. Schaltungsanordnung nach Anspruch 16,
dadurch gekennzeichnet,
dass die Schaltungsanordnung weitere Filtermittel (R3, C3,
R4, C4, C7, R9) umfasst, wobei ein Eingang einer Treiberstufe
5 der Mehrzahl von Treiberstufen mit einem Ausgang der weiteren
Filtermittel verschaltet ist.

18. Schaltungsanordnung nach einem der Ansprüche 11-17,
dadurch gekennzeichnet,
10 dass der Steuereingang des ersten Schutzelements (4) und/oder
des zweiten Schutzelements (5) über einen Rückkoppelpfad (21,
22, 34, 35) mit einem Eingang einer Treiberstufe der mindes-
tens einen Treiberstufe verschaltet ist.

15 19. Schaltungsanordnung nach Anspruch 18,
dadurch gekennzeichnet,
dass der Rückkoppelpfad (21, 22) eine Diode (23, 24) umfasst,
welche derart gepolt ist, dass eine Vorwärtskopplung in dem
Rückkoppelpfad unterdrückt wird.

20 20. Schaltungsanordnung nach einem der vorhergehenden An-
sprüche,
dadurch gekennzeichnet,
dass das erste Schutzelement (4) und/oder das zweite Schutz-
25 element (5) einen MOS-Transistor umfasst.

21. Schaltungsanordnung nach einem der vorhergehenden An-
sprüche,
dadurch gekennzeichnet,
30 dass der Steueranschluss des ersten Schutzelements (4)
und/oder der Steueranschluss des zweiten Schutzelements (5)
über einen Pufferwiderstand (R5, R6) mit dem zweiten Potenzi-
al (7) oder dem ersten Potenzial (2) verschaltet ist.

35 22. Schaltungsanordnung nach Anspruch 21.
dadurch gekennzeichnet,

dass der Pufferwiderstand (R5, R6) einen Widerstand größer als 10 k Ω aufweist.

23. Schaltungsanordnung nach einem der vorhergehenden Ansprüche,
5 dadurch gekennzeichnet,
dass der zu schützende Anschluss (1) ein Anschluss für Signale ist, welche bezüglich des ersten Potenzials (2) eine höhere Spannung aufweisen als das zweite Potenzial (7) bezüglich
10 des ersten Potenzials (2).

24. Schaltungsanordnung nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
15 dass der zu schützende Anschluss (1) ein Anschluss für eine Versorgungsspannung ist.

25. Schaltungsanordnung nach einem der vorhergehenden Ansprüche,
20 dadurch gekennzeichnet,
dass der zu schützende Anschluss ein Anschluss für eine 5 V-Versorgungsspannung, das erste Potenzial ein Massepotenzial und das zweite Potenzial eine 3,3 V-Versorgungsspannung ist.

25 26. Schaltungsanordnung nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass die Schaltungsanordnung zusammen mit der zu schützenden
Schaltung (6) in einer integrierten Schaltung integriert ist.

30
27. Verfahren zum Ansteuern einer Schaltungsanordnung zum Schutz einer Schaltung (6) vor elektrostatischen Entladungen, wobei die Schaltungsanordnung ein erstes Schutzelement (4) und ein zweites Schutzelement (5) umfasst, wobei ein erster
35 Anschluss des ersten Schutzelements (4) mit einem zu schützenden Anschluss (1) der Schaltung (6) verschaltet ist,

wobei ein zweiter Anschluss des ersten Schutzelements (4) mit einem ersten Anschluss des zweiten Schutzelements (5) verschaltet ist,

5 wobei ein zweiter Anschluss des zweiten Schutzelements (5) mit einem ersten Potenzial (2) verschaltet ist,

g e k e n n z e i c h n e t

durch folgende Schritte:

- Filtern einer zwischen dem zu schützenden Anschluss (1) und dem ersten Potenzial (2) anliegenden Spannung, um ein erstes Steuerpotenzial zu erzeugen, welches während eines Normalbetriebs der Schaltung einen ersten Wert annimmt, während es bei einem Auftreten einer elektrostatischen Entladung an dem zu schützenden Anschluss (1) einen von dem ersten Wert verschiedenen Wert annimmt,
- 10 - Filtern einer zwischen einem zweiten Potenzial und dem zu schützenden Anschluss (1) oder dem ersten Potenzial (2) anliegenden Spannung, um ein zweites Steuerpotenzial zu erzeugen, welches während eines Normalbetriebs der Schaltung einen zweiten Wert annimmt, während es bei einem Auftreten einer elektrostatischen Entladung einen von dem zweiten Wert verschiedenen Wert annimmt, und
- 15 - Ansteuern des ersten Schutzelements und des zweiten Schutzelements in Abhängigkeit von dem ersten Steuerpotenzial und dem zweiten Steuerpotenzial derart, dass in dem Normalbetrieb der Schaltung zumindest das erste Schutzelement oder das zweite Schutzelement (5) ein Sperrverhalten zwischen seinem ersten Anschluss und seinem zweiten Anschluss aufweist, während bei einem Auftreten einer elektrostatischen Entladung an dem zu schützenden Anschluss (1) sowohl das erste Schutzelement (4) als auch das zweite Schutzelement (5) zwischen seinem jeweiligen ersten Anschluss und seinem jeweiligen zweiten Anschluss leitend ist.
- 20
- 25
- 30

28. Verfahren nach Anspruch 27,

35 d a d u r c h g e k e n n z e i c h n e t,
dass das Verfahren zur Ansteuerung der Schaltungsanordnung nach einem der Ansprüche 1-26 ausgestaltet ist.

FIG 1

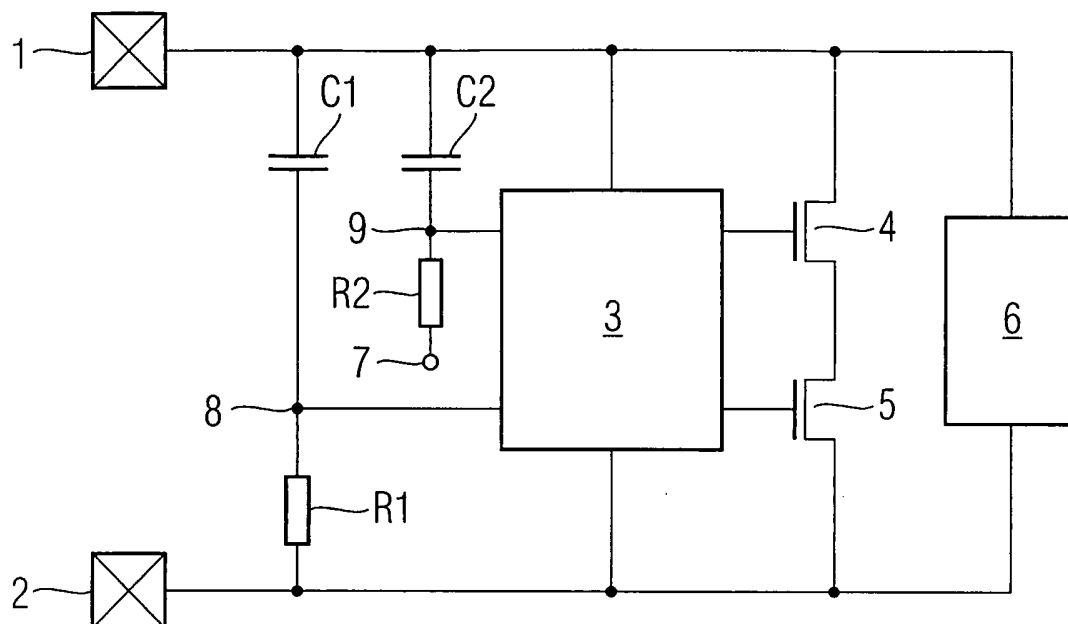


FIG 7

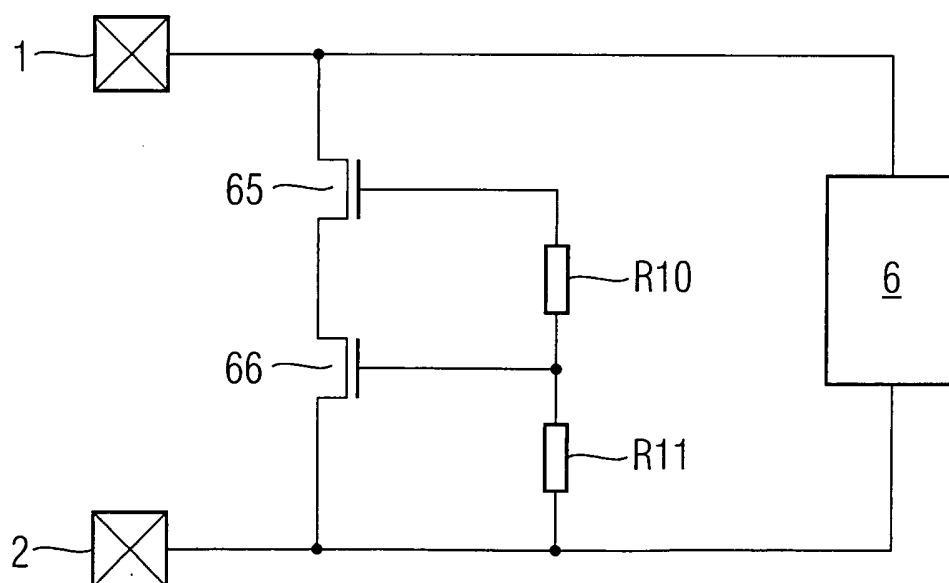


FIG 2

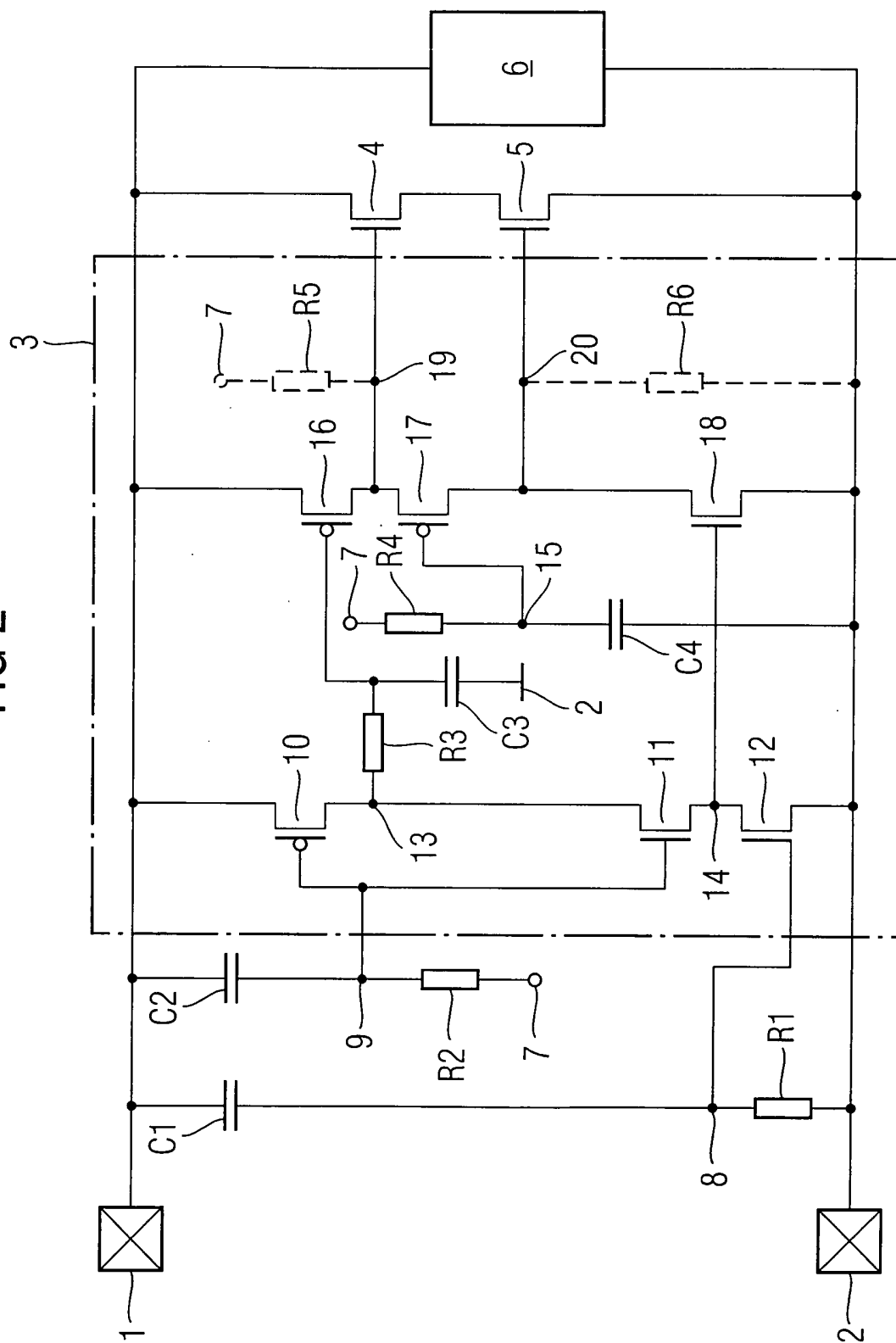


FIG 3

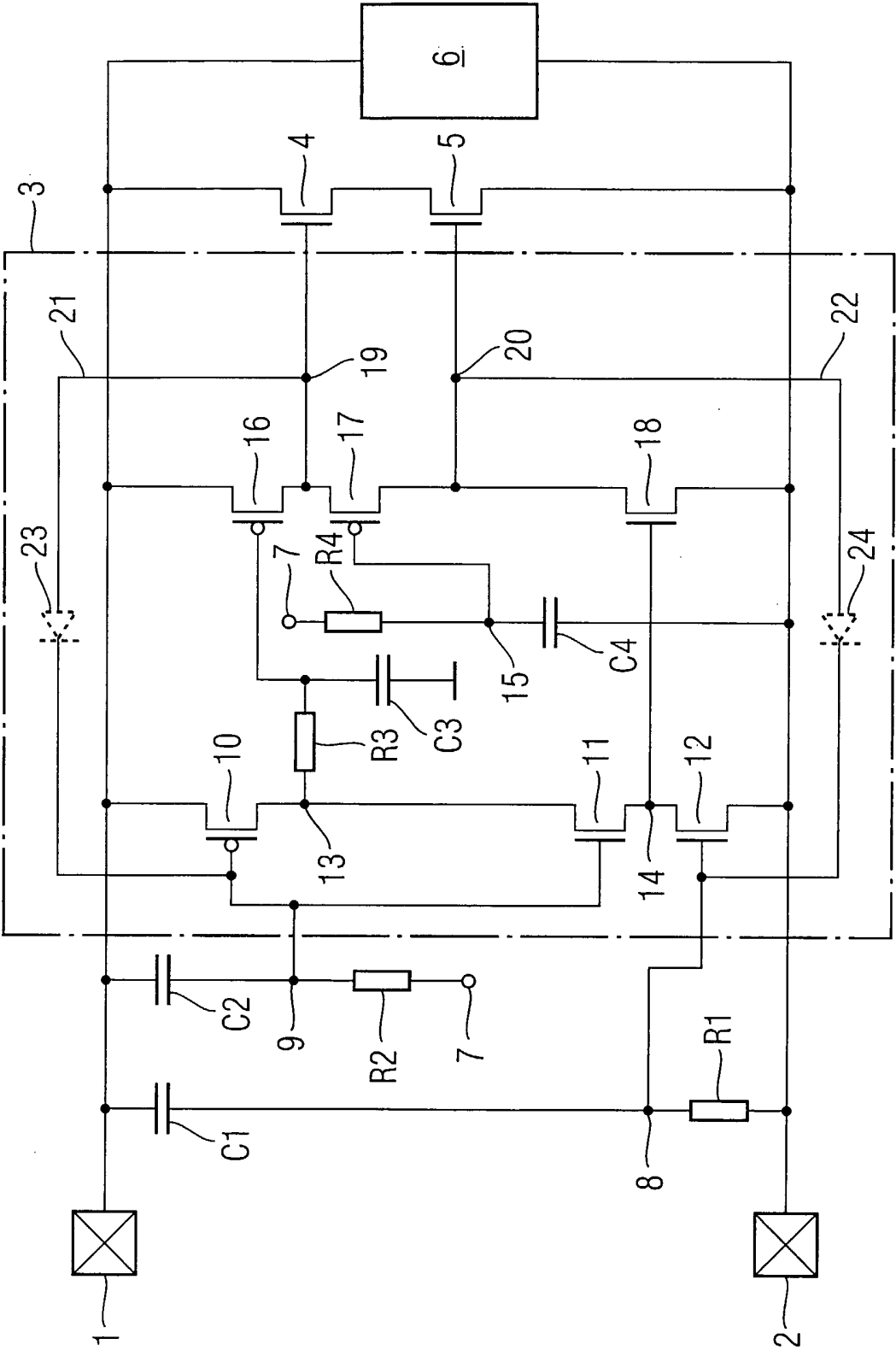


FIG 4

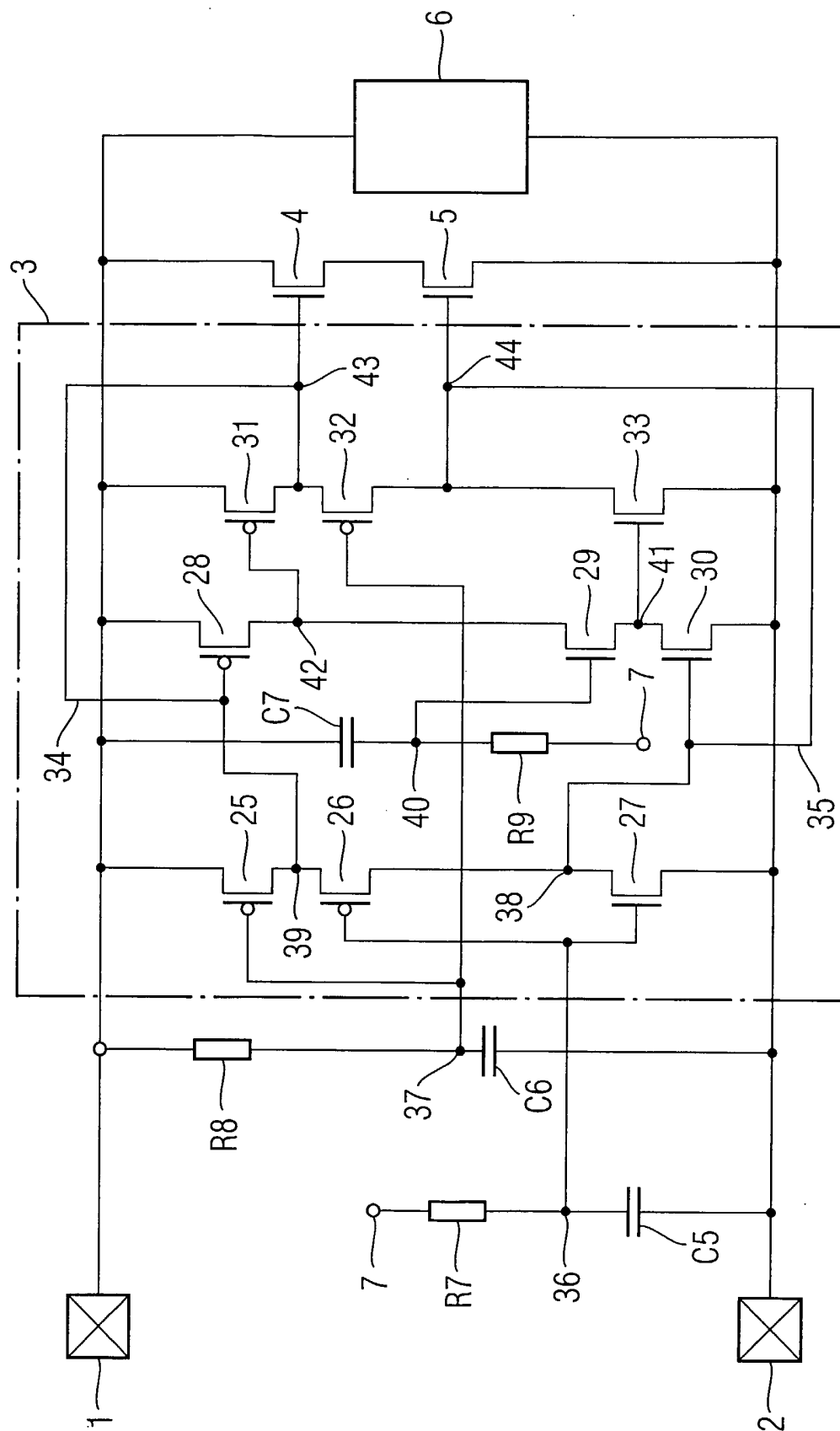


FIG 5A

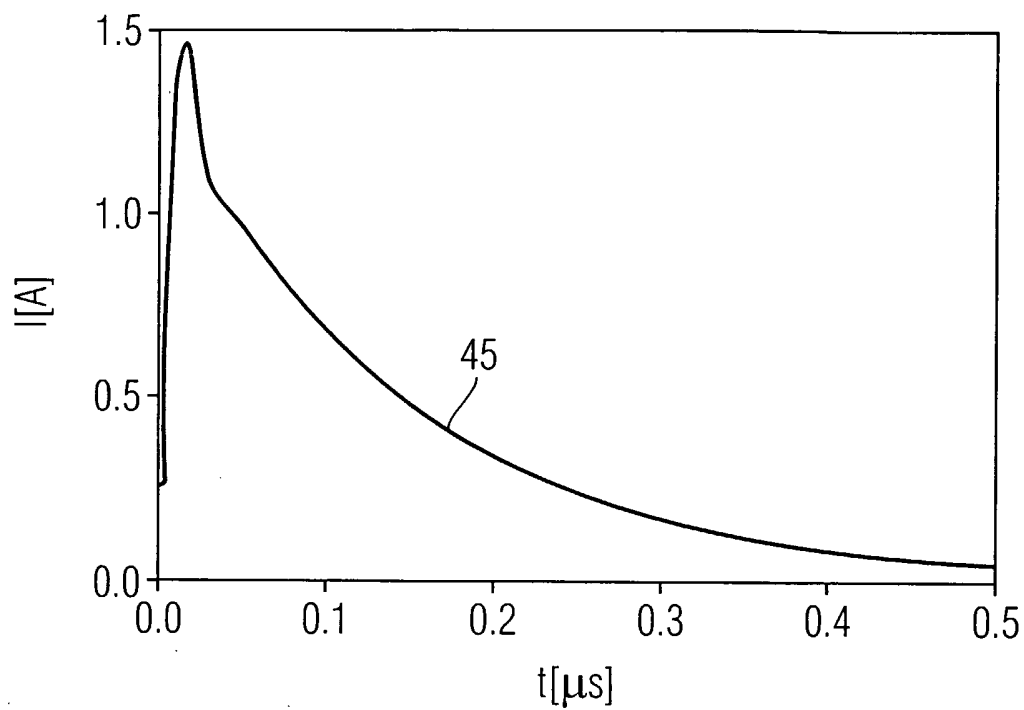


FIG 5B

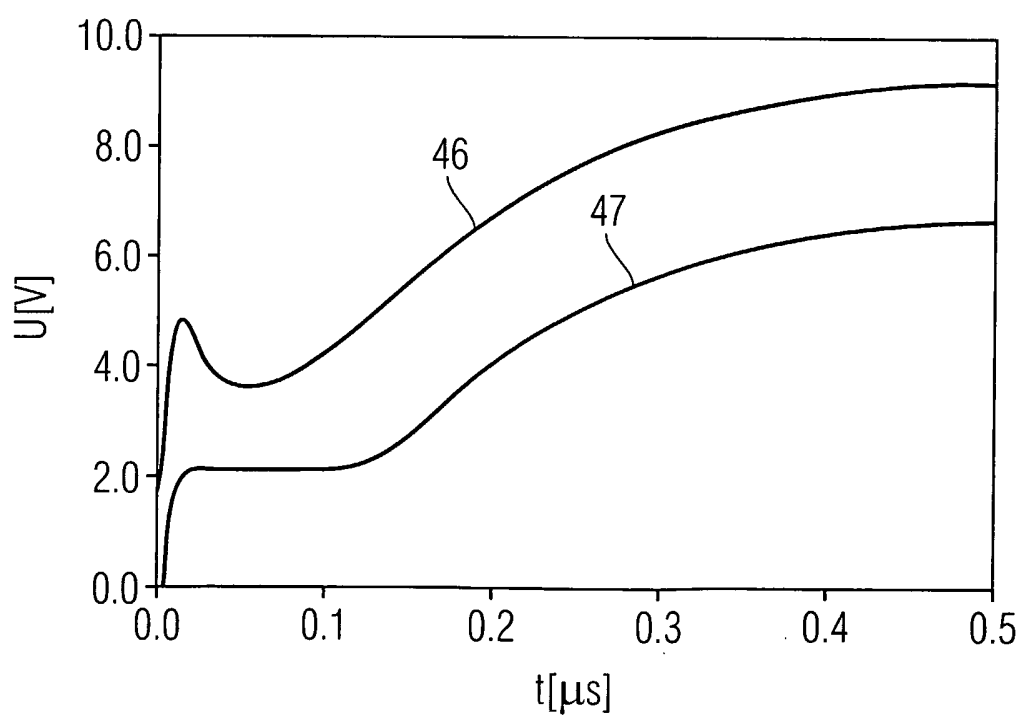


FIG 5C

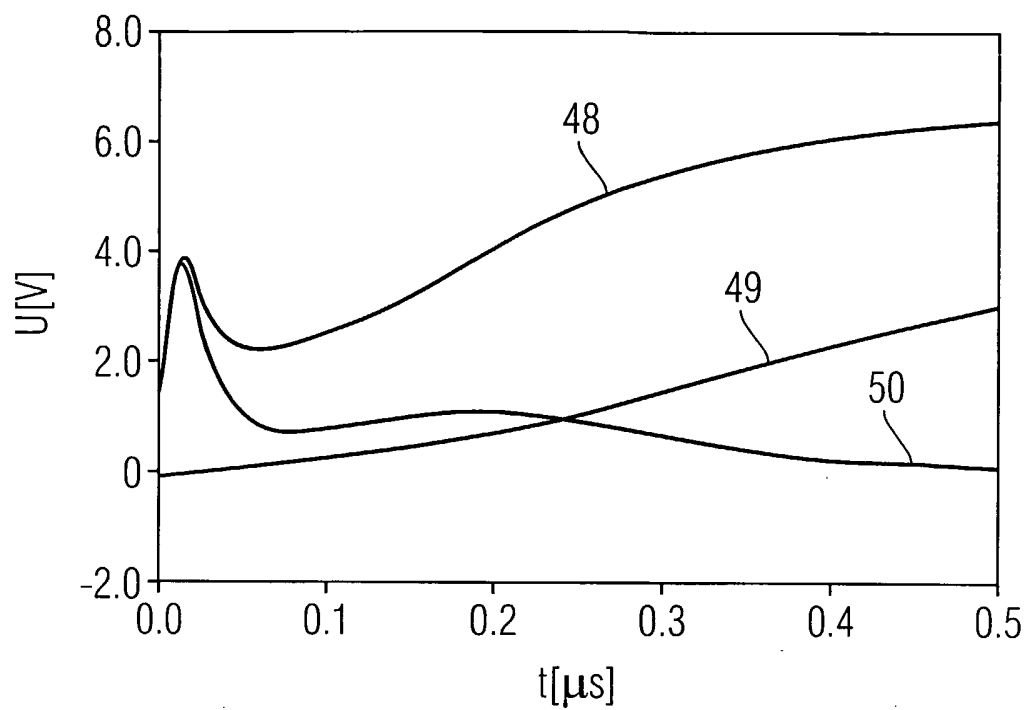


FIG 5D

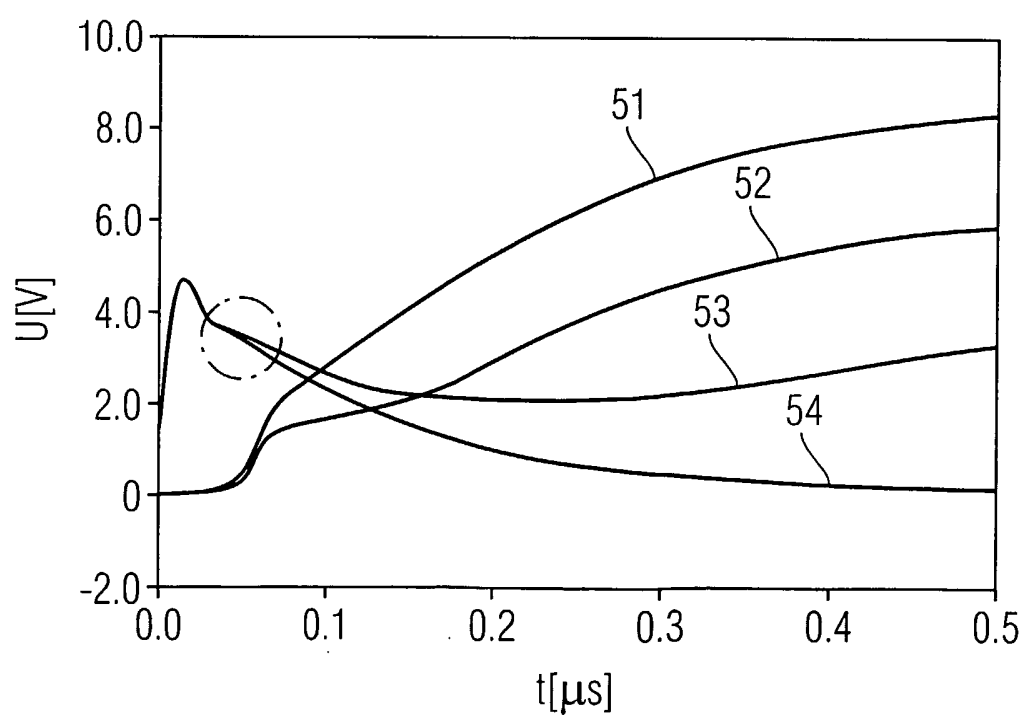


FIG 6A

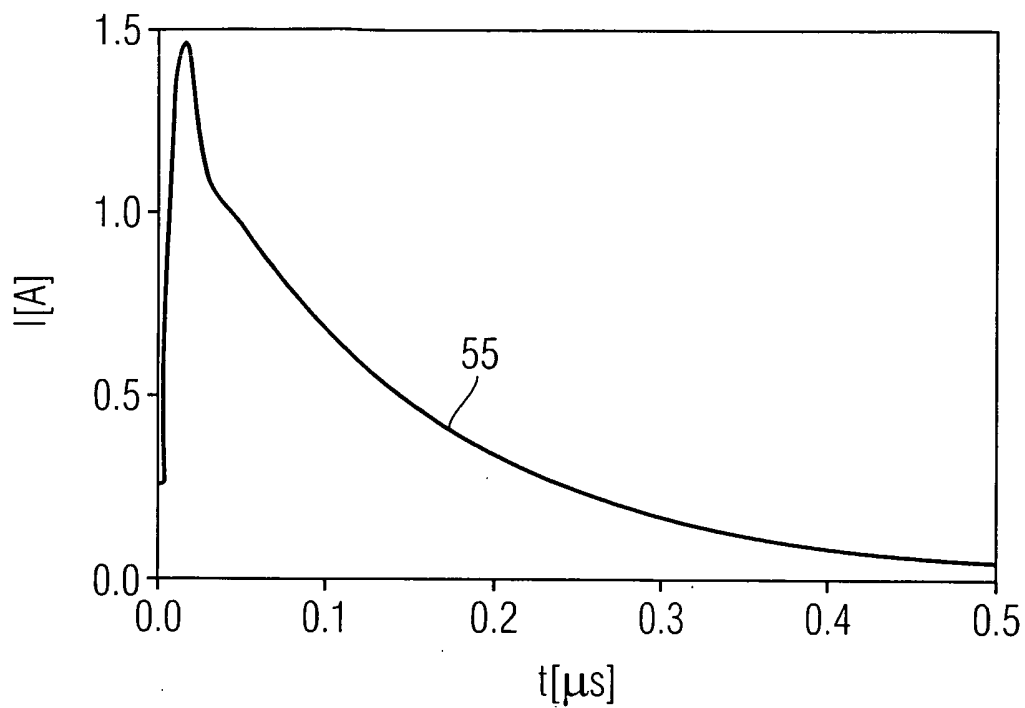


FIG 6B

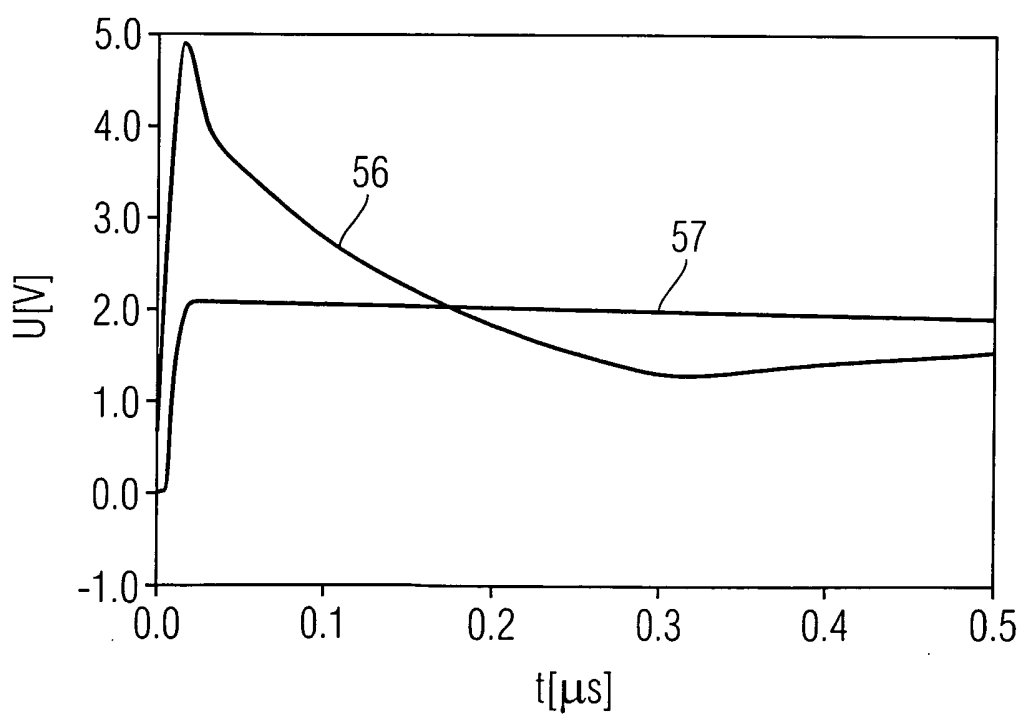


FIG 6C

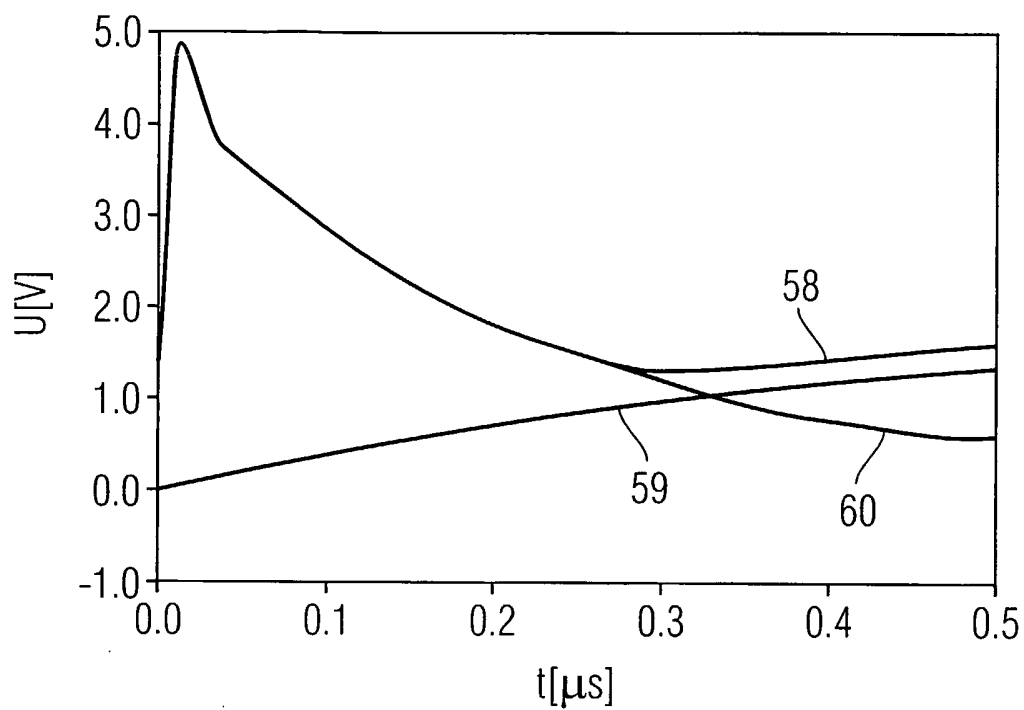
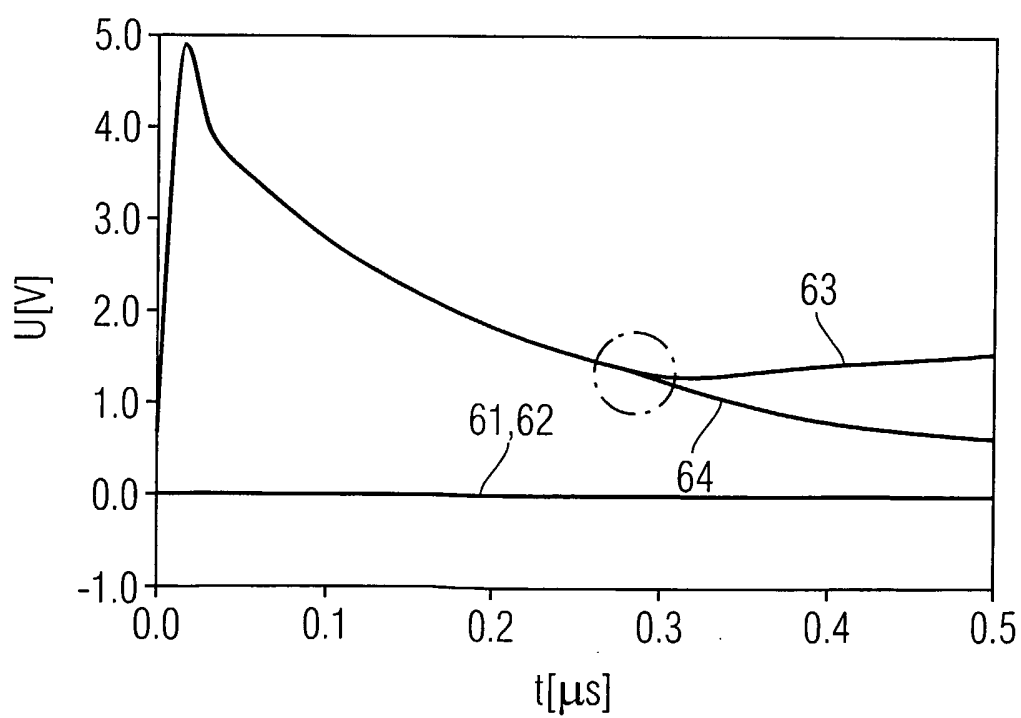


FIG 6D



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2005/012690

A. CLASSIFICATION OF SUBJECT MATTER
H02H9/04 H01L27/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02H H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 956 219 A (MALONEY ET AL) 21 September 1999 (1999-09-21) column 3, line 34 - column 5, line 21; figures 2,3	1-11, 16-28
A	US 6 459 553 B1 (DRAPKIN OLEG ET AL) 1 October 2002 (2002-10-01) column 3, line 4 - column 4, line 36; figures 2,3	1,27
A	US 2002/085328 A1 (LIU MENG-HUANG ET AL) 4 July 2002 (2002-07-04) paragraph '0030!; figure 7	1,27
A	US 6 534 833 B1 (DUVVURY CHARVAKA ET AL) 18 March 2003 (2003-03-18) cited in the application column 2, line 46 - column 3, line 40; figures 1,2	1,27

☐

Further documents are listed in the continuation of Box C.

☒

See patent family annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

13 February 2006

Date of mailing of the international search report

23/02/2006

Name and mailing address of the ISA/
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Colombo, A

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2005/012690

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5956219	A	21-09-1999	NONE	
US 6459553	B1	01-10-2002	NONE	
US 2002085328	A1	04-07-2002	NONE	
US 6534833	B1	18-03-2003	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
H02H9/04 H01L27/02

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H02H H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 956 219 A (MALONEY ET AL) 21. September 1999 (1999-09-21) Spalte 3, Zeile 34 - Spalte 5, Zeile 21; Abbildungen 2,3	1-11, 16-28
A	US 6 459 553 B1 (DRAPKIN OLEG ET AL) 1. Oktober 2002 (2002-10-01) Spalte 3, Zeile 4 - Spalte 4, Zeile 36; Abbildungen 2,3	1,27
A	US 2002/085328 A1 (LIU MENG-HUANG ET AL) 4. Juli 2002 (2002-07-04) Absatz '0030!; Abbildung 7	1,27
A	US 6 534 833 B1 (DUVVURY CHARVAKA ET AL) 18. März 2003 (2003-03-18) in der Anmeldung erwähnt Spalte 2, Zeile 46 - Spalte 3, Zeile 40; Abbildungen 1,2	1,27



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

& Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

13. Februar 2006

Absenddatum des internationalen Recherchenberichts

23/02/2006

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Colombo, A

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2005/012690

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5956219	A	21-09-1999	KEINE
US 6459553	B1	01-10-2002	KEINE
US 2002085328	A1	04-07-2002	KEINE
US 6534833	B1	18-03-2003	KEINE