



(12)发明专利申请

(10)申请公布号 CN 107728707 A

(43)申请公布日 2018.02.23

(21)申请号 201710888620.7

(22)申请日 2017.09.27

(71)申请人 烽火通信科技股份有限公司  
地址 430000 湖北省武汉市东湖高新技术  
开发区高新四路6号

(72)发明人 王瑞波 张前进

(74)专利代理机构 北京捷诚信通专利事务所  
(普通合伙) 11221

代理人 王卫东

(51) Int. Cl.  
G06F 1/12(2006.01)

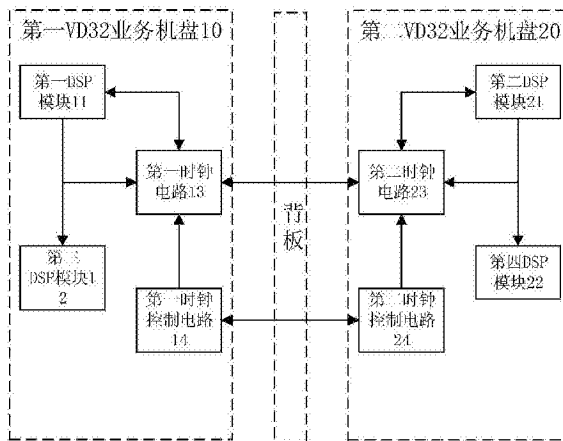
权利要求书2页 说明书6页 附图3页

(54)发明名称

一种在VDSL2系统中实现Vectoring VDSL2业务的方法

(57)摘要

本发明公开了一种在VDSL2系统中实现Vectoring VDSL2业务的方法,包括:分别为每块VD32业务机盘配备时钟电路和时钟控制电路,VD32业务机盘数目为一块或两块;将一个DSP模块设置为vectoring处理器,该DSP模块通过同一业务机盘的时钟控制电路向不同业务机盘的时钟控制电路发送时钟接收控制信号,控制对应时钟电路接收时钟信号;并向同一业务机盘的时钟电路发送时钟发送控制信号;vectoring处理器通过本业务机盘的时钟电路向其它DSP模块发送时钟信号,其它DSP模块通过本业务机盘上的时钟电路接收该时钟信号,实现系统中的所有DSP模块时钟同步。本发明减少一块中央矢量运算盘,降低了VDSL2系统的制造成本和整体功耗,减少能源浪费,实现绿色节能通信。



CN 107728707 A

1. 一种在VDSL2系统中实现Vectoring VDSL2业务的方法,其特征在于,包括以下步骤:  
分别为每块VD32业务机盘配备时钟电路和时钟控制电路,VD32业务机盘数目为一块或两块;

将前面一个VD32业务机盘中的第一个DSP模块设置为vectoring处理器,该DSP模块通过所在VD32业务机盘的时钟控制电路向不同VD32业务机盘的时钟控制电路发送时钟接收控制信号,控制对应时钟电路接收时钟信号;并向同一D32业务机盘的时钟电路发送时钟发送控制信号;

被设为vectoring处理器的DSP模块向同在一个VD32业务机盘上的DSP模块发送同步时钟信号,并通过本业务机盘的时钟电路向系统中其它VD32业务机盘上的DSP模块发送同步时钟信号,其它VD32业务机盘上的DSP模块通过所在VD32业务机盘上的时钟电路接收该同步时钟信号,实现系统中的所有DSP模块时钟同步。

2. 如权利要求1所述的方法,其特征在于,所述时钟电路的逻辑控制电路由第一逻辑门和第二逻辑门组成;

所述第一逻辑门的输入端为单端时钟发送端,使能控制端为发送使能控制端;所述第二逻辑门的输出端为单端时钟接收端,使能控制端为接收使能控制端;

所述第一逻辑门的第一输出端与第二逻辑门的第二输入端连接,输出或输入第一电信号;所述第一逻辑门的第三输出端与第二逻辑门的第四输入端连接,输出或输入第二电信号;所述第一电信号和第二电信号构成时钟信号;

所述第三输出端为反相输出,所述第四输入端为反相输入。

3. 如权利要求2所述的方法,其特征在于,所述时钟电路的逻辑控制具体为:

在时钟信号接收方向:

当接收使能控制端为低电平时,输入时钟信号为低电平,单端时钟接收端输出低电平;当接收使能控制端为低电平时,输入时钟信号为高电平,单端时钟接收端输出高电平;当接收使能控制端为高电平时,时钟电路发送状态关闭,单端时钟接收端始终处于高阻态;其中,所述输入时钟信号为所述第二输入端输入的第一电信号减去所述第四输入端输入的第二电信号;

在时钟信号发送方向:

当发送使能控制端为高电平时,单端时钟发送端输入低电平,第一输出端输出低电平,第三输出端输出高电平;当发送使能控制端为高电平时,单端时钟发送端输入高电平,第一输出端输出高电平,第三输出端输出低电平;当发送使能控制端为低电平时,时钟电路接收状态关闭,第一输出端和第三输出端始终处于高阻态。

4. 如权利要求3所述的方法,其特征在于,所述时钟电路的核心芯片采用SN65MLVD205ADR时钟芯片。

5. 如权利要求1所述的方法,其特征在于,在VDSL2系统中VD32业务机盘数目为两块,分别为第一VD32业务机盘和第二VD32业务机盘;其中,

所述第一VD32业务机盘包括第一DSP模块、第三DSP模块、第一时钟电路和第一时钟控制电路;

所述第二VD32业务机盘包括第二DSP模块、第四DSP模块、第二时钟电路和第二时钟控制电路;

所述第一DSP模块为处在前面的第一VD32业务机盘的第一个DSP模块，

所述第一DSP模块向素数第三DSP模块发送同步时钟信号；所述第一时钟控制电路控制所述第一时钟电路发往背板的同步时钟通道打开，关闭接收通道，并向第二时钟控制电路发送接收控制信号；所述第二时钟控制电路根据接收控制信号控制所述第二时钟电路的背板同步时钟接收通道打开，关闭发送通道；所述第一DSP模块通过第一时钟电路发往背板的同步时钟通道发送同步时钟信号，所述第二DSP模块和第四DSP模块通过所述第二时钟电路的背板同步时钟接收通道接收所述同步时钟信号。

6. 如权利要求5所述的方法，其特征在于，在不启用Vectoring VDSL2业务的情况下，第一、第二时钟控制电路默认将第一、第二时钟电路关闭，将接收使能设置为高电平，发送使能设置为低电平，时钟信号输出、输入端处于高阻状态。

7. 如权利要求5所述的方法，其特征在于，在启用Vectoring VDSL2业务情况下，系统中的所有DSP模块时钟同步具体包括以下步骤：

当选择第一DSP模块为vectoring处理器时，

步骤S10、第一时钟控制电路将第一时钟电路的发送使能设置为高，时钟电路的发送状态打开，接收方向保持高阻状态；

步骤S20、第一时钟控制电路向第二时钟控制电路发送控制第二时钟电路接收的时钟接收控制信号；

步骤S30、第二时钟控制电路根据时钟接收控制信号将时钟电路的发送状态关闭，打开接收状态；

步骤S40、第一DSP模块直接向第一DSP模块发送同步时钟信号，通过第一时钟电路向第二DSP模块和第四DSP模块发送同步时钟信号；

步骤S50、第二时钟电路经过背板接收时钟信号；

步骤S60、第二时钟电路将接收到的时钟信号发送给第二、第四DSP模块，实现盘间时钟同步；

当第二VD32业务机盘为前面一个业务机盘时，选择第二VD32业务机盘第一个作为vectoring处理器，处理方式与上述原理相同。

## 一种在VDSL2系统中实现Vectoring VDSL2业务的方法

### 技术领域

[0001] 本发明涉及带有矢量运算的VDSL领域,具体涉及一种在VDSL2系统中实现Vectoring VDSL2业务方法。

### 背景技术

[0002] 近年,随着宽带提速工程的推进,很多小区进行了光进铜退的改造,但是通过实践人们发现,在很多铜缆接入的老旧小区,由于物业协调以及用户不愿改变家装等问题,导致整个改造的难点和75%以上耗资都在光缆入户段;据统计,这样不适合光改的小区占到改造小区总量的50%以上,而国内铜缆现网存量中,82.6%铜缆年限 $\leq 20$ 年,其中,70%铜缆长度 $\leq 1000$ 米,使用状态和环境良好,因此利用原有铜线网络,采用创新的铜线技术实现老旧小区宽带提速,显然比重新铺设光缆更具优势。VDSL2通过高性价比的混合光纤到户有效地解决了上述最后一英里问题,截止目前,VDSL2现网商用已经突破百万线,覆盖中国电信、中国联通以及北方铁通20个多个省份,其中新建十万线以上的省份已经超过十个。

[0003] Vectoring作为VDSL2的增强型技术,通过矢量矩阵的叠加抵消串扰的方式,可以在500米内实现100M接入,300米内支持150M接入,满足家庭个人宽带接入长期目标,不仅与FTTH的带宽能力匹敌,而且与FTTH的建设方式相比,Vectoring VDSL2入户无需改造线缆,工程简单、业务布放快,且对大多数近期布放的VDSL终端只需要进行软件升级,不增加硬件成本,具有绝对成本优势。

[0004] 既支持传统32路VDSL2业务,又支持Vectoring VDSL2业务的远端ONU设备(例如烽火的AN5006-20插卡式MDU)可以支持4块VD32业务机盘,每一块VD32业务机盘包括2片DSP芯片,每一个DSP芯片能够提供16路符合17A模板的VDSL信号接入能力,其中,DSP芯片作为每块机盘的核心器件,主要完成编解码算法和vectoring算法处理,而为了开通4块VD32业务机盘的vectoring VDSL业务,还需要在远端ONU设备的主控盘上方安装一块中央矢量运算盘,处理4块VD32业务机盘的128路vectoring VDSL业务的矢量计算,所以该中央矢量运算盘需要功能强大,相应功耗也比较高。

[0005] 在大部分工程应用场景中,一台上述远端ONU设备只会装配2块或者1块VD32业务机盘,但为了开通vectoring VDSL业务,仍必须配置一块中央矢量运算盘,在这种情况下,将导致设备成本和功耗的增加,考虑到在现阶段实际工程中,需要开通vectoring VDSL业务,且只会装配2块或者1块VD32业务机盘的设备应用数量较多,将带来较大的能源浪费,与国家倡导的节能减排方针相违背,与三大电信运营商的节能减排目标不符

### 发明内容

[0006] 本发明所要解决的技术问题是在同时支持传统32路VDSL2业务和Vectoring VDSL2业务的VDSL2设备中,即使在只装配2块或者1块VD32业务机盘的情况下,要开通vectoring VDSL业务,也必须配置一块中央矢量运算盘处理所有机盘的vectoring VDSL业务的矢量计算的问题。

[0007] 为了解决上述技术问题,本发明所采用的技术方案是提供一种在VDSL2系统中实现Vectoring VDSL2业务的方法,包括以下步骤:

[0008] 分别为每块VD32业务机盘配备时钟电路和时钟控制电路,VD32业务机盘数目为一块或两块;

[0009] 将前面一个VD32业务机盘中的第一个DSP模块设置为vectoring处理器,该DSP模块通过所在VD32业务机盘的时钟控制电路向不同VD32业务机盘的时钟控制电路发送时钟接收控制信号,控制对应时钟电路接收时钟信号;并向同一D32业务机盘的时钟电路发送时钟发送控制信号;

[0010] 被设为vectoring处理器的DSP模块向同在一个VD32业务机盘上的DSP模块发送同步时钟信号,并通过本业务机盘的时钟电路向系统中其它VD32业务机盘上的DSP模块发送同步时钟信号,其它VD32业务机盘上的DSP模块通过所在VD32业务机盘上的时钟电路接收该同步时钟信号,实现系统中的所有DSP模块时钟同步。

[0011] 在上述方法中,所述时钟电路的逻辑控制电路由第一逻辑门和第二逻辑门组成;

[0012] 所述第一逻辑门的输入端为单端时钟发送端,使能控制端为发送使能控制端;所述第二逻辑门的输出端为单端时钟接收端,使能控制端为接收使能控制端;

[0013] 所述第一逻辑门的第一输出端与第二逻辑门的第二输入端连接,输出或输入第一电信号;所述第一逻辑门的第三输出端与第二逻辑门的第四输入端连接,输出或输入第二电信号;所述第一电信号和第二电信号构成时钟信号;

[0014] 所述第三输出端为反相输出,所述第四输入端为反相输入。

[0015] 在上述方法中,所述时钟电路的逻辑控制具体为:

[0016] 在时钟信号接收方向:

[0017] 当接收使能控制端为低电平时,输入时钟信号为低电平,单端时钟接收端输出低电平;当接收使能控制端为低电平时,输入时钟信号为高电平,单端时钟接收端输出高电平;当接收使能控制端为高电平时,时钟电路发送状态关闭,单端时钟接收端始终处于高阻态;其中,所述输入时钟信号为所述第二输入端输入的第一电信号减去所述第四输入端输入的第二电信号;

[0018] 在时钟信号发送方向:

[0019] 当发送使能控制端为高电平时,单端时钟发送端输入低电平,第一输出端输出低电平,第三输出端输出高电平;当发送使能控制端为高电平时,单端时钟发送端输入高电平,第一输出端输出高电平,第三输出端输出低电平;当发送使能控制端为低电平时,时钟电路接收状态关闭,第一输出端和第三输出端始终处于高阻态。

[0020] 在上述方法中,所述时钟电路的核心芯片采用SN65MLVD205ADR时钟芯片。

[0021] 在上述方法中,在VDSL2系统中VD32业务机盘数目为两块,分别为第一VD32业务机盘和第二VD32业务机盘;其中,

[0022] 所述第一VD32业务机盘包括第一DSP模块、第三DSP模块、第一时钟电路和第一时钟控制电路;

[0023] 所述第二VD32业务机盘包括第二DSP模块、第四DSP模块、第二时钟电路和第二时钟控制电路;

[0024] 所述第一DSP模块为处在前面的第一VD32业务机盘的第一个DSP模块,

[0025] 所述第一DSP模块向素数第三DSP模块发送同步时钟信号;所述第一时钟控制电路控制所述第一时钟电路发往背板的同步时钟通道打开,关闭接收通道,并向第二时钟控制电路发送接收控制信号;所述第二时钟控制电路根据接收控制信号控制所述第二时钟电路的背板同步时钟接收通道打开,关闭发送通道;所述第一DSP模块通过第一时钟电路发往背板的同步时钟通道发送同步时钟信号,所述第二DSP模块和第四DSP模块通过所述第二时钟电路的背板同步时钟接收通道接收所述同步时钟信号。

[0026] 在上述方法中,在不启用Vectoring VDSL2业务的情况下,第一、第二时钟控制电路默认将第一、第二时钟电路关闭,将接收使能设置为高电平,发送使能设置为低电平,时钟信号输出、输入端处于高阻状态。

[0027] 在上述方法中,在启用Vectoring VDSL2业务情况下,系统中的所有DSP模块时钟同步具体包括以下步骤:

[0028] 当选择第一DSP模块为vectoring处理器时,

[0029] 步骤S10、第一时钟控制电路将第一时钟电路的发送使能设置为高,时钟电路的发送状态打开,接收方向保持高阻状态;

[0030] 步骤S20、第一时钟控制电路向第二时钟控制电路发送控制第二时钟电路接收的时钟接收控制信号;

[0031] 步骤S30、第二时钟控制电路根据时钟接收控制信号将时钟电路的发送状态关闭,打开接收状态;

[0032] 步骤S40、第一DSP模块直接向第一DSP模块发送同步时钟信号,通过第一时钟电路向第二DSP模块和第四DSP模块发送同步时钟信号;

[0033] 步骤S50、第二时钟电路经过背板接收时钟信号;

[0034] 步骤S60、第二时钟电路将接收到的时钟信号发送给第二、第四DSP模块,实现盘间时钟同步;

[0035] 当第二VD32业务机盘为前面一个业务机盘时,选择第二VD32业务机盘第一个作为vectoring处理器,处理方式与上述原理相同。

[0036] 本发明通过在只装配1块或2块VD32业务机盘的应用场景下,选择其中一个DSP芯片完成整个系统的vectoring运算,减少一块中央矢量运算盘,并通过分别为每块VD32业务机盘配备时钟电路和时钟控制电路,实现机盘之间时钟信号的传递和传递方向的改变,完成机盘间的时钟同步,最终完实现板块级的矢量化VDSL功能,降低了整个同时支持传统32路VDSL2业务和支持Vectoring VDSL2业务的VDSL2系统(例如AN5006-20系统)的制造成本和整体功耗,减少能源浪费,实现绿色节能通信。

## 附图说明

[0037] 图1为本发明提供一种在VDSL2系统中实现Vectoring VDSL2业务的方法当VD32业务机盘数目为两块时的实现结构示意图;

[0038] 图2为本发明提供的一种在VDSL2系统中实现Vectoring VDSL2业务的方法当VD32业务机盘数目为两块时的流程图;

[0039] 图3为本发明中时钟电路的逻辑控制电路示意图。

## 具体实施方式

[0040] 在同时支持传统32路VDSL2业务和支持Vectoring VDSL2业务的VDSL2系统中,由于每块VD32业务机盘包含的两个DSP芯片中,每一个DSP芯片中的vectoring处理器能够同时进行64路VDSL2业务的vectoring运算处理,这样在只装配1块或2块VD32业务机盘的应用场景下,只要选择一个DSP芯片就可以完成整个系统的vectoring运算,省掉中央矢量运算盘,达到节能降耗的目的。

[0041] 为了实现上述方案,需要确保两块VD32业务机盘的4个DSP芯片的时钟同步,即当选择其中一个VD32业务机盘中的一个DSP芯片作为vectoring处理器时,该DSP芯片需要对外输出时钟信号,剩下的三个DSP芯片接收该同步时钟信号;当选择另外一个VD32业务机盘作为vectoring处理器时,时钟信号传递方向相反。

[0042] 下面结合说明书附图和具体实施例对本发明做出详细的说明。

[0043] 本发明提供的一种在VDSL2系统中实现Vectoring VDSL2业务的方法,具体如下:

[0044] 在VD32业务机盘数目为一块或两块VDSL2系统中,分别为每块VD32业务机盘配备时钟电路和时钟控制电路,以实现机盘之间时钟信号的传递和传递方向的改变;

[0045] 用户根据需要将前面一个VD32业务机盘中的第一个DSP模块(DSP芯片)设置为vectoring处理器;该DSP模块通过所在VD32业务机盘的时钟控制电路向不同VD32业务机盘的时钟控制电路发送时钟接收控制信号,控制对应时钟电路(在与vectoring处理器不同的VD32业务机盘上)接收时钟信号;并向同一VD32业务机盘的时钟电路发送时钟发送控制信号;

[0046] 被设置为vectoring处理器的DSP模块向同在一个VD32业务机盘上的DSP模块发送同步时钟信号,通过其所在VD32业务机盘上的时钟电路向系统中其它VD32业务机盘上的DSP模块发送同步时钟信号,其它VD32业务机盘上的DSP模块通过所在VD32业务机盘上的时钟电路接收该同步时钟信号,实现系统中的所有DSP模块时钟同步。

[0047] 下面以具有两块VD32业务机盘的VDSL2系统为具体实施例,对本发明实现过程进行详细说明,如图1所示,本实施例中包括第一VD32业务机盘10和第二VD32业务机盘20,其中,第一VD32业务机盘10包括第一DSP模块11、第三DSP模块12、第一时钟电路13和第一时钟控制电路14;第二VD32业务机盘20包括第二DSP模块21、第四DSP模块22、第二时钟电路23和第二时钟控制电路24;对于两块VD32业务机盘的VDSL2系统,只能选择前面一个业务机盘的第一个DSP模块作为时钟源;每个VD32机盘的第二个DSP是不能作为时钟源的。

[0048] 第一DSP模块11作为前面一个业务机盘第一VD32业务机盘10的第一个DSP模块,第一DSP模块11直接向第三DSP模块12发送同步时钟信号;第一时钟控制电路14控制第一时钟电路13发往背板的同步时钟通道打开,关闭接收通道,并向第二时钟控制电路24发送相应控制信息;第二时钟控制电路24根据相应控制信息控制第二时钟电路23的背板同步时钟接收通道打开,关闭发送通道,以实现第二VD32业务机盘20的第二时钟电路23与第一VD32业务机盘10保持时钟信号同步;第一DSP模块11通过第一时钟电路13发往背板的同步时钟通道向外发送同步时钟信号;第二DSP模块21和第四DSP模块22通过第二时钟电路23的背板同步时钟接收通道接收第一DSP模块11发送的同步时钟信号。

[0049] (1) 在没有启用Vectoring VDSL2业务的情况下,VD32业务机盘间不需要时钟传

递,此时第一、第二时钟控制电路默认将第一、第二时钟电路关闭,将接收使能设置为高电平,发送使能设置为低电平,此时差分时钟输出处于高阻状态。

[0050] (2)在启用Vectoring VDSL2业务的情况下,当选择第一DSP模块为vectoring处理器时,如图2所示,实现系统中的所有DSP模块时钟同步具体包括以下步骤:

[0051] 步骤S10、第一VD32业务机盘的第一时钟控制电路将第一时钟电路的发送使能设置为高,时钟电路的发送状态打开,接收方向保持高阻状态。

[0052] 步骤S20、第一时钟控制电路向第二时钟控制电路发送控制第二时钟电路接收的时钟接收控制信号。

[0053] 步骤S30、第二时钟控制电路根据时钟接收控制信号将时钟电路的发送状态关闭,打开接收状态。

[0054] 步骤S40、第一VD32业务机盘的第一DSP模块直接向第一DSP模块发送同步时钟信号,通过第一时钟电路向其它DSP模块(第二DSP模块和第四DSP模块)发送同步时钟信号。

[0055] 步骤S50、第二VD32业务机盘的第二时钟电路经过背板接收对端(第一时钟电路)发的时钟信号。

[0056] 步骤S60、第二时钟电路将接收到的时钟信号发送给第二、第四DSP模块,实现盘间时钟同步。

[0057] 当第二VD32业务机盘为前面一个业务机盘时,选择第二VD32业务机盘第一个作为vectoring处理器,处理方式与上述原理相同,在此不再赘述。

[0058] 如图3所示,为本发明中时钟电路的逻辑控制电路示意图,时钟电路的逻辑控制电路由第一逻辑门S1和第二逻辑门S2组成,第一逻辑门S1的输入端为单端时钟发送端D,使能控制端为发送使能控制端DE,当发送使能控制端DE为高电平,时钟电路打开发送状态;第二逻辑门S2的输出端为单端时钟接收端R,使能控制端为接收使能控制端 $\overline{RE}$ ,当接收使能控制端 $\overline{RE}$ 为低电平,时钟电路打开接收状态;第一逻辑门S1的第一输出端Y与第二逻辑门S2的第二输入端A连接,输出或输入第一电信号;第一逻辑门S1的第三输出端Z与第二逻辑门S2的第四输入端B连接,输出或输入第二电信号,第一电信号和第二电信号构成LVDS差分时钟信号(时钟信号),第三输出端Z为反相输出,第四输入端B为反相输入。

[0059] 时钟电路的具体逻辑控制为(如表1时钟电路的逻辑控制说明所示):

[0060] 在时钟信号接收方向:

[0061] 当接收使能控制端 $\overline{RE}$ 为低电平时,输入时钟信号 $V_{ID}$ =第二输入端A输入的第一电信号 $V_A$ -第四输入端B输入的第二电信号 $V_B$ 为低电平,单端时钟接收端R输出低电平;当接收使能控制端 $\overline{RE}$ 为低电平时,输入时钟信号 $V_{ID}$ 为高电平,单端时钟接收端R输出高电平;当接收使能控制端 $\overline{RE}$ 为高电平时,时钟电路发送状态关闭,输入时钟信号 $V_{ID}$ 无论输入高电平或低电平,都不进行处理,单端时钟接收端R始终处于高阻态。

[0062] 在时钟信号发送方向:

[0063] 当发送使能控制端DE为高电平时,单端时钟发送端D输入低电平,第一输出端Y输出低电平,第三输出端Z输出高电平;当发送使能控制端DE为高电平时,单端时钟发送端D输入高电平,第一输出端Y输出高电平,第三输出端Z输出低电平;当发送使能控制端DE为低电平时,时钟电路接收状态关闭,单端时钟发送端D无论输入高电平或低电平,都不进行处理,



第一输出端Y和第三输出端Z始终处于高阻态。

[0064] 表1:时钟电路的逻辑控制说明。

接收方向			发送方向			
输入	接收使能	输出	输入	发送使能	输出	
$V_{ID}=V_A-V_B$	$\overline{RE}$	R	D	DE	Y	Z
X	高	高阻	X	低	高阻	高阻
$V_{ID}$ 为低电平	低	低	低	高	低	高
$V_{ID}$ 为高电平	低	高	高	高	高	低

[0066] 其中,X表示对输入信号不处理,当 $\overline{RE}$ 为高电平,DE为低电平时,单端时钟接收端R、第一输出端Y和第三输出端Z处于高阻状态,第一时钟电路与第二时钟电路为关闭状态,Vectoring VDSL2业务没有开通。

[0067] 在本发明中,时钟电路的核心芯片采用SN65MLVD205ADR时钟芯片,该芯片可以实现时钟信号的隔离关断、控制时钟信号发送方向改变以及实现单端时钟和差分时钟的转换。

[0068] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

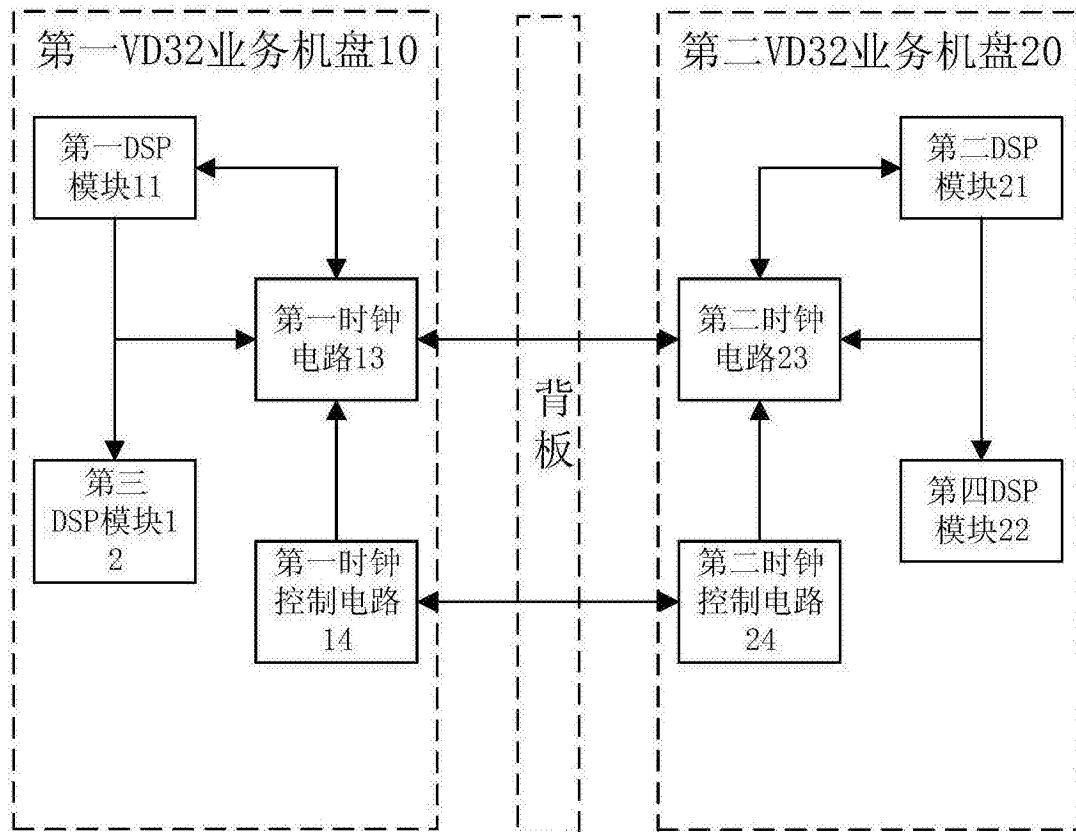


图1

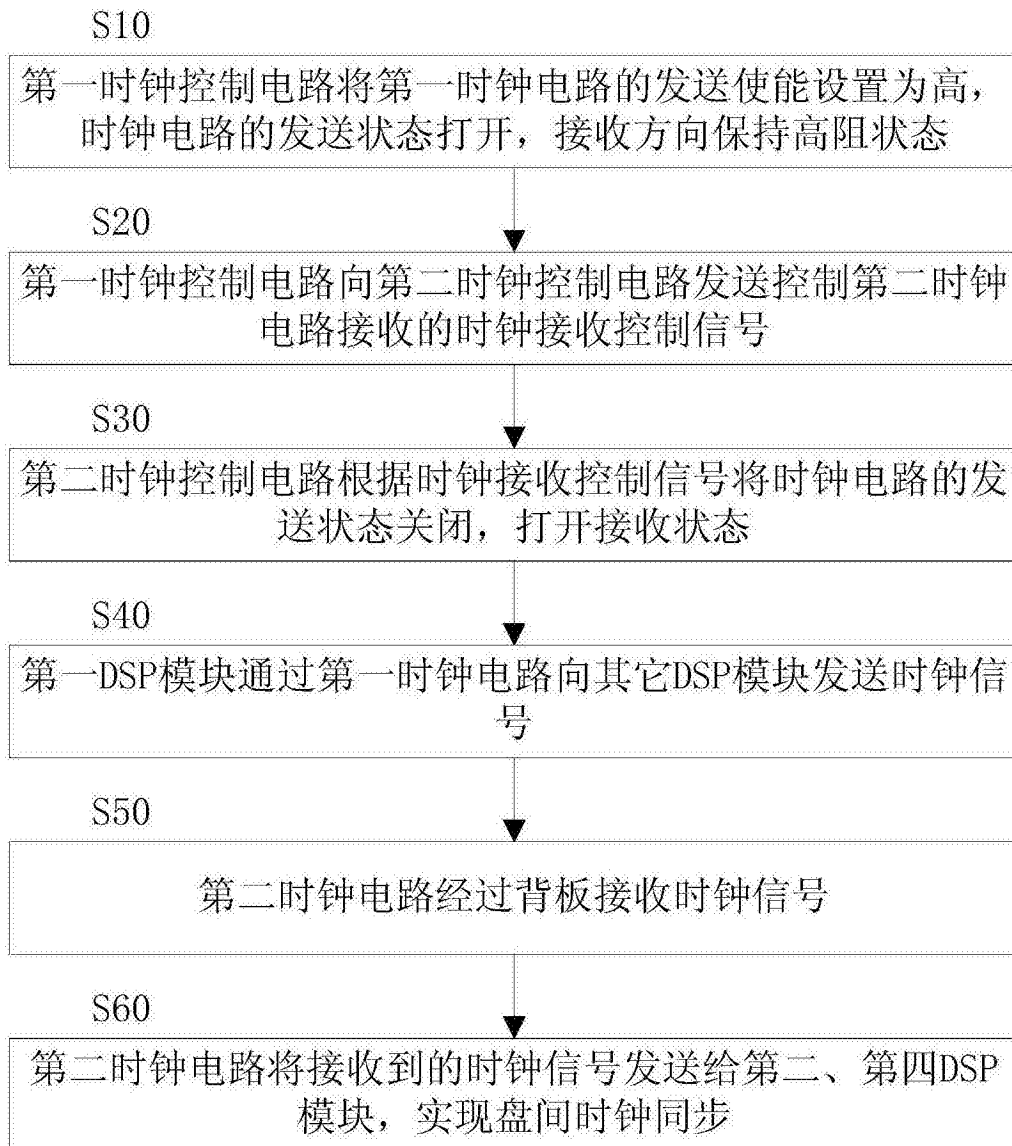


图2

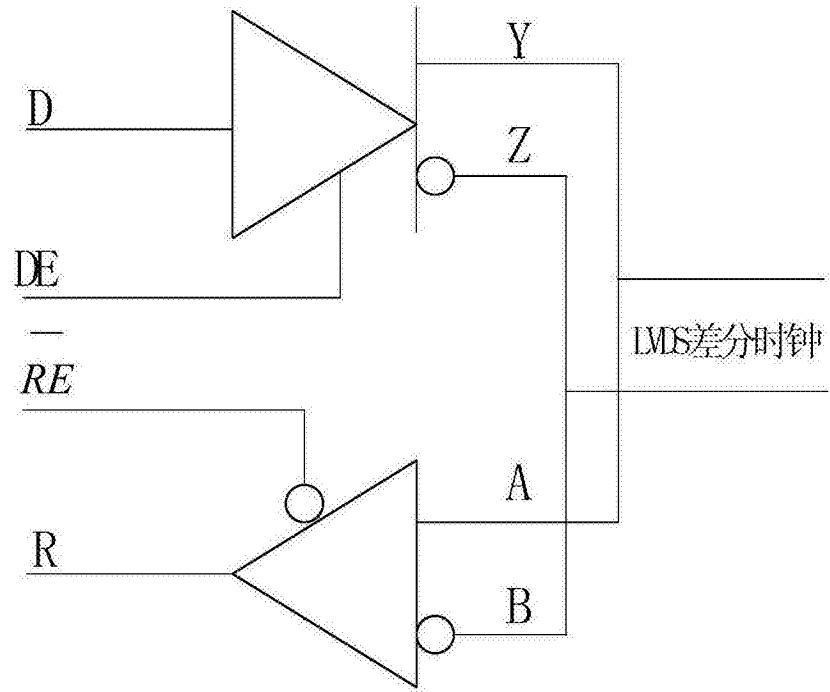


图3