(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118202564 A
(43)申请公布日 2024.06.14

(21)申请号 202280074099.2

(22)申请日 2022.08.30

(30)优先权数据
2021-181609 2021.11.08 JP

(85)PCT国际申请进入国家阶段日
2024.05.07

(86)PCT国际申请的申请数据
PCT/JP2022/032511 2022.08.30

(87)PCT国际申请的公布数据
WO2023/079820 JA 2023.05.11

(71)申请人 罗姆股份有限公司
地址 日本

(72)发明人 松本直树

(74)专利代理机构 北京银龙知识产权代理有限公司 11243
专利代理师 龚伟 王玉瑾

(51)Int.Cl.
*H02M 1/08*(2006.01)
*H03K 17/60*(2006.01)
*H03K 17/687*(2006.01)

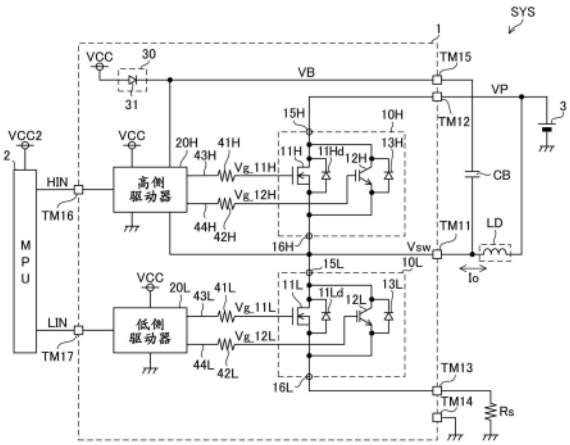
权利要求书2页 说明书19页 附图16页

(54)发明名称

# 半导体装置

(57)摘要

一种半导体装置包括:开关元件,所述开关元件包括被配置为场效应晶体管的第一晶体管和被配置为绝缘栅双极晶体管的第二晶体管的并联连接电路;以及驱动器电路,所述驱动器电路被配置为根据输入控制信号驱动所述开关元件。当将所述开关元件从第一状态转换到第二状态时,所述驱动器电路在不同的定时处将所述第一晶体管从第一状态转换到第二状态和将所述第二晶体管从第一状态转换到第二状态。所述第一状态和所述第二状态中的一个是关断状态,并且另一个是接通状态。




CN 118202564 A

1.一种半导体装置,包括:

开关元件,所述开关元件包括被配置为场效应晶体管的第一晶体管和被配置为绝缘栅双极晶体管的第二晶体管的并联连接电路;以及

驱动器电路,所述驱动器电路被配置为根据输入控制信号驱动所述开关元件,

其中

当将所述开关元件从第一状态转换到第二状态时,所述驱动器电路使所述第一晶体管从第一状态转换到第二状态的定时和所述第二晶体管从第一状态转换到第二状态的定时不同,并且

所述第一状态和所述第二状态中的一个是关断状态,并且另一个是接通状态。

2.根据权利要求1所述的半导体装置,其中

所述驱动器电路包括控制信号生成电路,所述控制信号生成电路被配置为基于所述输入控制信号生成用于控制所述第一晶体管的状态的第一控制信号和用于控制所述第二晶体管的状态的第二控制信号,所述驱动器电路基于所述第一控制信号驱动所述第一晶体管的栅极并且基于所述第二控制信号驱动所述第二晶体管的栅极,并且

所述控制信号生成电路包括延迟电路,所述延迟电路被配置为使基于所述输入控制信号的变化的所述第一控制信号的变化的定时与基于所述输入控制信号的变化的所述第二控制信号的变化的定时不同。

3.根据权利要求2所述的半导体装置,其中

当响应于所述输入控制信号中的预定变化而接通所述第一晶体管和所述第二晶体管时,所述延迟电路产生在第一定时和第二定时之间的差,在所述第一定时在所述第一控制信号中产生电平变化以基于所述预定变化接通所述第一晶体管,在所述第二定时在所述第二控制信号中产生电平变化以基于所述预定变化接通所述第二晶体管。

4.根据权利要求3所述的半导体装置,其中

所述延迟电路将所述差产生为使得所述开关元件中在其接通时的开关损耗低于所述第一定时和所述第二定时为同时的情况。

5.根据权利要求3或4所述的半导体装置,其中

在所述第一晶体管的漏极电流和所述第二晶体管的集电极电流由于所述第一晶体管和所述第二晶体管接通而增加的情况下,当所述第一晶体管和所述第二晶体管响应于所述输入控制信号的所述预定变化而接通时,

所述延迟电路将所述差产生为使得所述第一晶体管的所述漏极电流的增加速率变为最高的定时和所述第二晶体管的所述集电极电流的增加速率变为最高的定时是同时的。

6.根据权利要求2所述的半导体装置,其中

当响应于所述输入控制信号中的预定变化而关断所述第一晶体管和所述第二晶体管时,所述延迟电路产生在第一定时和第二定时之间的差,在所述第一定时在所述第一控制信号中产生电平变化以基于所述预定变化关断所述第一晶体管,在所述第二定时在所述第二控制信号中产生电平变化以基于所述预定变化关断第二晶体管。

7.根据权利要求6所述的半导体装置,其中

所述延迟电路将所述差产生为使得所述开关元件中在其关断时的开关损耗低于所述第一定时和所述第二定时为同时的情况。

8.根据权利要求6或7所述的半导体装置,其中

当在经由电感负载漏极电流在所述第一晶体管中通过并且集电极电流在所述第二晶体管中通过的状态下开始时,所述第一晶体管和所述第二晶体管响应于所述输入控制信号的所述预定变化而关断,

所述延迟电路将所述差产生为使得所述第一晶体管比所述第二晶体管更早地开始关断,以增加所述第二晶体管的所述集电极电流,并且此后当所述集电极电流在所述漏极电流和所述集电极电流的和中的比例等于或小于预定比例时,所述第二晶体管关断。

9.根据权利要求1至8中任一项所述的半导体装置,包括多组所述开关元件和所述驱动器电路,

其中

两个组中的两个开关元件彼此串联连接以构成半桥电路。

10.根据权利要求9所述的半导体装置,其中

在每个组中,肖特基势垒二极管与所述第二晶体管并联连接。

11.根据权利要求10所述的半导体装置,其中

在每个组中,所述第一晶体管和所述肖特基势垒二极管使用碳化硅来形成。

12.根据权利要求9至11中任一项所述的半导体装置,包括多个所述半桥电路。

# 半导体装置

## 技术领域

[0001] 本发明涉及半导体装置。

## 背景技术

[0002] 使用开关元件驱动负载(例如线圈)的装置是已知的。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2014-117109号公报

## 发明内容

[0006] 技术问题

[0007] 开关元件通常被配置有多个晶体管的并联电路。这种类型的开关元件在减少开关损耗方面留下了改进的空间。

[0008] 本发明的目的是提供一种有助于减少开关损耗的半导体装置。

[0009] 问题的解决方案

[0010] 根据本公开的一个方面,一种半导体装置包括:开关元件,所述开关元件包括被配置为场效应晶体管的第一晶体管和被配置为绝缘栅双极晶体管的第二晶体管的并联连接电路;以及驱动器电路,所述驱动器电路被配置为根据输入控制信号驱动所述开关元件。当将所述开关元件从第一状态转换到第二状态时,所述驱动器电路在不同的定时处将所述第一晶体管从第一状态转换到第二状态和将所述第二晶体管从第一状态转换到第二状态。所述第一状态和所述第二状态中的一个是关断状态,并且另一个是接通状态。

[0011] 本发明的有益效果

[0012] 根据本公开,可以提供一种有助于减少开关损耗的半导体装置。

## 附图说明

[0013] 图1是根据本公开的实施方式的系统(负载驱动系统)的整体配置图。

[0014] 图2是根据本公开的实施方式的半导体装置的外部立体图。

[0015] 图3是示出结合根据本公开的实施方式的半导体装置的驱动控制信号、栅极电压和晶体管的状态之间的关系的示意图。

[0016] 图4是结合本公开的实施方式的高侧驱动器和低侧驱动器的内部框图。

[0017] 图5是示出结合本公开的实施方式的高侧开关元件的驱动中涉及的多个信号之间的关系的示意图。

[0018] 图6是示出结合本公开的实施方式的低侧开关元件的驱动中涉及的多个信号之间的关系的示意图。

[0019] 图7是结合本公开的实施方式的评估系统的配置图。

[0020] 图8是示意性地示出结合本公开的实施方式的在第一接通评估测试中观察到的电

压和电流的波形的示意图。

[0021] 图9是示意性地示出在结合本公开的实施方式的第二接通评估测试中观察到的电压和电流的波形的示意图。

[0022] 图10是示意性地示出结合本公开的实施方式的在第三接通评估测试中观察到的电压和电流的波形的示意图。

[0023] 图11是示出结合本公开的实施方式的接通损耗和两个晶体管之间的接通时间差之间的关系的示意图。

[0024] 图12是示出结合本公开的实施方式的恢复损耗与两个晶体管之间的接通时间差之间的关系的示意图。

[0025] 图13是示意性地示出结合本公开的实施方式的在第一关断评估测试中观察到的电压和电流的波形的示意图。

[0026] 图14是示意性地示出结合本公开的实施方式的在第二关断评估测试中观察到的电压和电流的波形的示意图。

[0027] 图15是示意性地示出结合本公开的实施方式的在第三关断评估测试中观察到的电压和电流的波形的示意图。

[0028] 图16是示意性地示出结合本公开的实施方式的在第四关断评估测试中观察到的电压和电流的波形的示意图。

[0029] 图17是示出结合本公开的实施方式的关断损耗和两个晶体管之间的关断时间差之间的关系的示意图。

[0030] 图18是示出结合本公开的实施方式的设置有多个半桥电路的半导体装置的示意图。

## 具体实施方式

[0031] 下面将参考附图具体描述实现本公开的示例。在过程中所参考的示意图中,相同的部件由相同的附图标记标识,并且原则上将不重复相同部件的重叠描述。在本描述中,为了简单起见,指代信息、信号、物理量、元件、部件等的符号和附图标记有时在省略或缩写与那些符号和附图标记相对应的信息、信号、物理量、元件、部件等的名称的情况下使用。例如,稍后描述并由附图标记“10H”(参见图1)标识的高侧开关元件有时被称为“高侧开关元件10H”,并且在其他时候被缩写为“开关元件10H”,两者都指代相同的实体。

[0032] 首先,将定义用于描述本公开的实施方式的术语中的一些术语。“接地”表示处于0V(零伏)的基准电位的基准导体,或是指0V的电位本身。基准导体由诸如金属的导电材料形成。0V的电位有时被称为接地电位。在本公开的实施方式中,在没有提到特定基准的情况下提到的任何电压是相对于接地的电位。

[0033] “电平”表示电位的电平,并且对于任何感兴趣信号或电压,“高电平”是比“低电平”更高的电位。对于任何感兴趣信号或电压,其处于高电平意味着更精确地其电平等于高电平,并且其处于低电平意味着更精确地其电平等于低电平。关于信号的电平有时被称为信号电平,并且关于电压的电平有时被称为电压电平。

[0034] 对于任何感兴趣的信号或电压,从低电平到高电平的切换被称为上升沿(或升高沿),并且从低电平到高电平的切换的定时被称为上升沿定时(或升高沿定时)。同样地,对

于任何感兴趣的信号或电压,从高电平到低电平的切换被称为下降沿(或降低沿),并且从高电平到低电平的切换的定时被称为下降沿定时(或降低沿定时)。

[0035] 对于取高电平或低电平作为其信号电平的任何信号,信号处于高电平的时段被称为高电平时段,并且信号处于低电平的时段被称为低电平时段。这同样适用于取高电平或低电平作为其电压电平的任何电压。

[0036] 对于被配置为FET(场效应晶体管)的任何晶体管(其可以是MOSFET),“接通状态”是指晶体管在其漏极和源极之间导通的状态,而“关断状态”是指晶体管在其漏极和源极之间不导通(被切断)的状态。除非另有说明,否则任何MOSFET都可以被理解为增强MOSFET。“MOSFET”是“金属氧化物半导体场效应晶体管”的缩写。除非另有说明,否则对于任何MOSFET,其背栅极被理解为与其源极短路。

[0037] MOSFET的电气特性包括栅极阈值电压。对于N沟道MOSFET,当MOSFET的栅极电位高于MOSFET的源极电位并且MOSFET的栅极-源极电压的量值等于或高于MOSFET的栅极阈值电压时,MOSFET处于接通状态;否则,MOSFET处于关断状态。对于任何MOSFET,栅极-源极电压表示相对于源极电位的栅极电位。

[0038] 对于被配置为IGBT的任何晶体管,接通状态表示晶体管在其集电极和发射极之间导通的状态,而关断状态表示晶体管在其集电极和发射极之间不导通(被切断)的状态。“IGBT”是“绝缘栅双极晶体管”的缩写。

[0039] ]IGBT的电气特性包括栅极阈值电压。对于N沟道IGBT,当IGBT的栅极电位高于IGBT的发射极电位并且IGBT的栅极-发射极电压的量值等于或高于IGBT的栅极阈值电压时,IGBT处于接通状态;否则,IGBT处于关断状态。对于任何IGBT,栅极-发射极电压表示相对于发射极电位的栅极电位。

[0040] 除非另有说明,否则无论在何处讨论构成电路的多个部分之间(如在给定的电路元件、布线、节点等之间)的“连接”,该术语应被理解为表示“电连接”。

[0041] 图1示出了根据第一实施方式的系统SYS的整体结构。系统SYS可以被称为负载驱动系统。系统SYS包括用于驱动负载LD的半导体装置1、MPU(微处理器单元)2和电压源3,并且还包括电容器CB和感测电阻器Rs。半导体装置1可以被称为负载驱动装置或负载驱动半导体装置。

[0042] 图2是半导体装置1的外部立体图。半导体装置1是电子部件,其包括具有形成在半导体基板上的半导体集成电路的半导体芯片、半导体分立元件、容纳半导体芯片和半导体分立元件的封装(壳体)、以及从封装暴露到半导体装置1外部的多个外部端子。将半导体芯片和半导体分立元件密封在由树脂形成的封装(壳体)中产生半导体装置1。这种类型的半导体装置1可以称为IPM(智能功率模块)。图2所示的半导体装置1的外部端子的数量和封装的类型仅仅是说明性的,并且可以根据需要进行设计。

[0043] 作为设置在半导体装置1上的一些外部端子,图1示出了端子TM11至TM17。端子TM11是被施加输出端子电压Vsw的输出端子。端子TM12是被施加电源电压VP的电源端子。端子TM13是低侧端子。端子TM14是连接到接地的接地端子。端子TM15是被施加启动电压(boot voltage)VB的启动端子。端子TM16是被施加驱动控制信号HIN的控制输入端子。端子TM17是被施加驱动控制信号LIN的控制输入端子。驱动控制信号HIN和LIN是半导体装置1的输入控制信号。

[0044] 首先,将描述半导体装置1外部的配置。负载LD连接到输出端子TM11并基于经由输出端子TM11供应的电力进行操作。负载LD包括电感负载。这里,假设作为负载LD的线圈的一个端子连接到输出端子TM11,并且作为负载LD的线圈的另一个端子连接到被施加电源电压VP的布线。负载LD可以是马达中的线圈(电枢绕组)。负载LD可以是包括电感负载的任何负载。在以下描述中,在输出端子TM11和负载LD之间通过的电流将被称为负载电流,并且由符号“Io”标识。

[0045] 电容器CB是设置在半导体装置1外部的自举电容器。在半导体装置1外部,电容器CB设置在端子TM11和TM15之间。具体地,电容器CB的一个端子连接到输出端子TM11,并且电容器CB的另一个端子连接到启动端子TM15。其中电容器CB结合在半导体装置1中的修改是可能的。

[0046] 电压源3输出具有预定正直流电压值的供电电压VP。供电电压VP有时被称为电源电压。电源电压VP被供给到电源端子TM12。供电电压VP可以具有任何电压值。供电电压VP例如是几百伏。

[0047] 低侧端子TM13经由感测电阻器Rs连接到接地。其中感测电阻器Rs结合半导体装置1中的修改是可能的。低侧端子TM13可直接连接到接地。在半导体装置1中,可以监测感测电阻器Rs两端的电压降作为用于开关元件10H或10L的过电流保护操作的基础,这稍后将进行描述。然而,注意,可以从系统SYS中省略感测电阻器Rs(感测电阻器Rs可以被理解为具有0Ω的电阻值)。

[0048] MPU 2生成并输出驱动控制信号HIN和LIN。驱动控制信号HIN被供给到控制输入端子TM16,并且驱动控制信号LIN被供给到控制输入端子TM17。驱动控制信号HIN和LIN均是取高电平或低电平的数字信号(二值信号)。驱动控制信号HIN和LIN的高电平等于MPU 2的供电电压VCC2的电平,并且驱动控制信号HIN和LIN的低电平等于接地电平(见图3)。这里,“相等”应被理解为涵盖“基本上相等”。供电电压VCC2可以具有任何电压值。供电电压VCC2例如是5V(伏特)。

[0049] 接下来,将描述半导体装置1内部的配置。如图1所示,半导体装置1包括高侧开关元件10H和低侧开关元件10L、高侧驱动器20H和低侧驱动器20L、启动电路30以及栅极电阻器41H、42H、41L和42L。

[0050] 开关元件10H和10L均是包括场效应晶体管和绝缘栅双极晶体管的并联电路的复合开关元件。

[0051] 更具体地,开关元件10H包括为N沟道MOSFET的晶体管11H、为N沟道IGBT的晶体管12H和为肖特基势垒二极管的二极管13H。晶体管11H、晶体管12H以及二极管13H可以形成为半导体分立元件。伴随晶体管11H的寄生二极管被表示为二极管11Hd。开关元件10H具有端子15H和16H。晶体管11H的漏极、晶体管12H的集电极和二极管13H的阴极都连接到端子15H。晶体管11H的源极、晶体管12H的发射极和二极管13H的阳极都连接到端子16H。寄生二极管11Hd的阳极和阴极分别连接到晶体管11H的源极和漏极。

[0052] 开关元件10L包括为N沟道MOSFET的晶体管11L、为N沟道IGBT的晶体管12L和为肖特基势垒二极管的二极管13L。晶体管11L和12L以及二极管13L可以被形成为半导体分立元件。伴随晶体管11L的寄生二极管被表示为二极管11Ld。开关元件10L具有端子15L和16L。晶体管11L的漏极、晶体管12L的集电极和二极管13L的阴极都连接到端子15L。晶体管11L的源

极、晶体管12L的发射极和二极管13L的阳极都连接到端子16L。寄生二极管11Ld的阳极和阴极分别连接到晶体管11L的源极和漏极。

[0053] 端子15H连接到电源端子TM12以接收电源电压VP。端子16L连接到低侧端子TM13。端子16H和15L在半导体装置1内部连接在一起。端子16H和15L连接到输出端子TM11。因此,开关元件10H和10L彼此串联连接以构成半桥电路。

[0054] 在高侧驱动器20H的控制下,开关元件10H将端子15H和16H之间的路径在导通状态和不导通状态之间切换。其中端子15H和16H彼此导通的状态被称为开关元件10H的接通状态,并且其中端子15H和16H彼此不导通的状态被称为开关元件10H的关断状态。当晶体管11H和12H都处于接通状态时,开关元件10H处于接通状态。此外,当晶体管11H和12H中的一个处于接通状态而另一个处于关断状态时,开关元件10H处于接通状态。当晶体管11H和12H都处于关断状态时,开关元件10H处于关断状态。

[0055] 在低侧驱动器20L的控制下,开关元件10L将端子15L和16L之间的路径在导通状态和不导通状态之间切换。其中端子15L和16L彼此导通的状态被称为开关元件10L的接通状态,并且其中端子15L和16L彼此不导通的状态被称为开关元件10L的关断状态。当晶体管11L和12L都处于接通状态时,开关元件10L处于接通状态。此外,当晶体管11L和12L中的一个处于接通状态而另一个处于关断状态时,开关元件10L处于接通状态。当晶体管11L和12L都处于关断状态时,开关元件10L处于关断状态。

[0056] 晶体管11H和11L使用碳化硅(SiC)来形成。然而,除了碳化硅之外的任何材料(例如,硅)可以用于形成晶体管11H和11L。晶体管12H和12L可以使用硅(Si)来形成。二极管13H和13L使用碳化硅(SiC)来形成。然而,除了碳化硅之外的任何材料(例如,硅)可以用于形成二极管13H和13L。

[0057] 在以下描述中,对于任何晶体管或开关元件,其处于接通或关断状态有时分别简单地表示为其接通或关断。对于任何晶体管或开关元件,从关断状态到接通状态的切换被称为接通,并且从接通状态到关断状态的切换被称为关断。接通发生的定时和关断发生的定时分别被称为接通定时和关断定时。对于任何晶体管或开关元件,其处于接通状态的时段通常称为接通时段,并且其处于关断状态的时段通常被称为关断时段。

[0058] 高侧驱动器20H被供给在控制输入端子TM16处接收的驱动控制信号HIN。高侧驱动器20H还连接到接地,并且被供给控制供电电压VCC、输出端子电压Vsw和启动电压VB。高侧驱动器20H根据驱动控制信号HIN控制晶体管11H和12H的栅极电位,并且由此驱动开关元件10H(控制开关元件10H的状态)。控制供电电压VCC是从外部电源(未示出)供应到半导体装置1的正直流电压(例如,15V)。控制供电电压VCC可以替代地在半导体装置1内生成。

[0059] 低侧驱动器20L被供给在控制输入端子TM17接收的驱动控制信号LIN。低侧驱动器20L还连接到接地,并且被供给控制供电电压VCC。低侧驱动器20L根据驱动控制信号LIN控制晶体管11L和12L的栅极电位,并且由此驱动开关元件10L(控制开关元件10L的状态)。

[0060] 在系统SYS中,开关元件10H和10L交替地接通,并且因此开关元件10H和10L不同时接通。启动电路30和电容器CB构成在启动端子TM15处产生启动电压VB的自举电路。

[0061] 启动电路30包括阳极被供给控制供电电压VCC并且阴极连接到启动端子TM15的二极管31。在开关元件10H关断并且开关元件10L接通的时段中,充电电流经由二极管31被供应给电容器CB;在其他时段中,电容器CB不经由二极管31放电。因此,当开关元件10H和10L

交替地接通时,启动电压VB具有比输出端子电压Vsw高出控制供电电压VCC的电压值(这里,忽略二极管31的正向电压)。

[0062] 晶体管11H的栅极电压(即,施加到晶体管11H的栅极的电压)将由符号“Vg_11H”标识。晶体管12H的栅极电压(即,施加到晶体管12H的栅极的电压)将由符号“Vg_12H”标识。在高侧驱动器20H与开关元件10H之间,提供两个单独的布线43H和44H。

[0063] 布线43H的一个端子连接到高侧驱动器20H,并且布线43H的另一个端子连接到晶体管11H的栅极。高侧驱动器20H向布线43H供给电荷(正电荷)或从布线43H汲取电荷(正电荷)以控制栅极电压Vg_11H,并且由此控制晶体管11H的状态(接通或关断)。栅极电阻器41H与布线43H串联地插入布线43H中。栅极电阻器41H也可以结合在高侧驱动器20H中。可以省略栅极电阻器41H。布线44H的一个端子连接到高侧驱动器20H,并且布线44H的另一个端子连接到晶体管12H的栅极。高侧驱动器20H向布线44H供给电荷(正电荷)或从布线44H汲取电荷(正电荷)以控制栅极电压Vg_12H,并且由此控制晶体管12H的状态(接通或关断)。栅极电阻器42H与布线44H串联地插入布线44H中。栅极电阻器42H可以结合在高侧驱动器20H中。可以省略栅极电阻器42H。

[0064] 晶体管11L的栅极电压(即,施加到晶体管11L的栅极的电压)将由符号“Vg_11L”标识。晶体管12L的栅极电压(即,施加到晶体管12L的栅极的电压)将由符号“Vg_12L”标识。在低侧驱动器20L与开关元件10L之间,提供两个单独的布线43L和44L。

[0065] 布线43L的一个端子连接到低侧驱动器20L,并且布线43L的另一个端子连接到晶体管11L的栅极。低侧驱动器20L向布线43L供给电荷(正电荷)或从布线43L汲取电荷(正电荷)以控制栅极电压Vg_11L,并且由此控制晶体管11L的状态(接通或关断)。栅极电阻器41L与布线43L串联地插入布线43L中。栅极电阻器41L也可以结合在低侧驱动器20L中。可以省略栅极电阻41L。布线44L的一个端子连接到低侧驱动器20L,并且布线44L的另一个端子连接到晶体管12L的栅极。低侧驱动器20L向布线44L供给电荷(正电荷)或从布线44L汲取电荷(正电荷)以控制栅极电压Vg_12L,并且由此控制晶体管12L的状态(接通或关断)。栅极电阻器42L与布线44L串联地插入布线44L中。栅极电阻器42L可以结合在低侧驱动器20L中。可以省略栅极电阻器42L。

[0066] 图3示出了驱动控制信号、栅极电压和晶体管的状态之间的关系。高侧驱动器20H基于端子TM11和TM15之间的电压(即,基于电压差(VB-Vsw))生成并控制栅极电压Vg_11H和Vg_12H。高侧驱动器20H可以根据驱动控制信号HIN单独地在高电平和低电平之间切换栅极电压Vg_11H和Vg_12H。栅极电压Vg_11H和Vg_12H的高电平等于启动电压VB的电平,并且栅极电压Vg_11H和Vg_12H的低电平等于输出端子电压Vsw的电平。

[0067] 电压(VB-Vsw)是端子TM11和TM15之间相对于端子TM11处的电位的电压差,并且与启动电压VB相对于输出端子电压Vsw的电平对应。启动电压VB高于输出端子电压Vsw,并且在稳定状态下,电压(VB-Vsw)稳定在控制供电电压VCC处或附近(即,电压(VB-Vsw)稳定在与控制供电电压VCC的值大约相等的值处)。控制供电电压VCC的量值大于晶体管11H和12H的栅极阈值电压的量值。因此,在栅极电压Vg_11H的高电平时段中,晶体管11H接通,并且在栅极电压Vg_11H的低电平时段中,晶体管11H关断。同样地,在栅极电压Vg_12H的高电平时段中,晶体管12H接通,并且在栅极电压Vg_12H的低电平时段中,晶体管12H关断。

[0068] 另一方面,低侧驱动器20L基于控制供电电压VCC生成并控制栅极电压Vg_11L和

Vg_12L。低侧驱动器20L可以根据驱动控制信号LIN单独地在栅极电压Vg_11L和Vg_12L的高电平和低电平之间切换。栅极电压Vg_11L和Vg_12L的高电平等于控制供电电压VCC的电平，并且栅极电压Vg_11L和Vg_12L的低电平等于接地电平(即，接地电位)。

[0069] 控制供电电压VCC的量值大于晶体管11L和12L的栅极阈值电压的量值。因此，在栅极电压Vg_11L的高电平时段中，晶体管11L接通，并且在栅极电压Vg_11L的低电平时段中，晶体管11L关断。同样地，在栅极电压Vg_12L的高电平时段中，晶体管12L接通，并且在栅极电压Vg_12L的低电平时段中，晶体管12L关断。

[0070] 对于取高电平或低电平的任何感兴趣电压(在下文中感兴趣电压)，当感兴趣电压被提及为具有特定电平时，它不仅涵盖感兴趣电压具有等于特定电平的电平的情况，而且涵盖感兴趣电压具有基本上等于特定电平的电平的情况。因此，例如，即使当栅极电压Vg_11H具有实际上等于启动电压VB的电平的电平时，前者的电平也可以与后者的电平略有不同。这同样适用于取高电平或低电平的任何信号。

[0071] 通常，MOSFET的特征在于比IGBT更低的关于低电流的稳态损耗，IGBT的特征在于比MOSFET更低的关于高电流的稳态损耗。因此，将开关元件配置为具有MOSFET和IGBT的并联连接电路有助于在宽电流范围内实现低稳态损耗。简单地说，MOSFET和IGBT可以与驱动控制信号(HIN或LIN)同步地同时接通和关断。同时接通MOSFET和IGBT并不总是减少开关损耗的最佳方案。

[0072] 鉴于上述情况，当低侧驱动器20L与驱动控制信号LIN中的上升沿同步地接通开关元件10L时，它可以首先接通晶体管11L和12L中的一个，并且然后接通另一个。类似地，当低侧驱动器20L与驱动控制信号LIN中的下降沿同步地关断开关元件10L时，它可以首先关断晶体管11L和12L中的一个，并且然后关断另一个。类似的描述适用于高侧驱动器20H。虽然图3示出了其中当接通开关元件10L时首先接通晶体管11L的示例，但是可以替代地首先接通晶体管12L。虽然图3示出了其中当关断开关元件10L时首先关断晶体管11L的示例，但是可以替代地首先关断晶体管12L。类似的描述适用于高侧驱动器20H。

[0073] 图4示出了驱动器20H和20L的内部配置。高侧驱动器20H包括由符号21H至29H标识的块。低侧驱动器20L包括由符号21L至26L标识的块。

[0074] 参考图4，将描述高侧驱动器20H的配置。输入电路21H基于相对于接地电位的供电电压VCC2(例如，5V)进行操作。输入电路21H被配置有施密特缓冲器，并且对驱动控制信号IIN的波形进行整形以产生并输出二值信号611。电平移位器22H基于供电电压VCC2(例如，5V)和控制供电电压VCC(例如，15V)对二值信号611的电平进行移位，以生成二值信号612。任何二值信号都取高电平或低电平作为其信号电平。二值信号611的高电平等于供电电压VCC2的电平，并且二值信号612的高电平等于控制供电电压VCC的电平。二值信号611和612的低电平等于接地电平。在半导体装置1中，可以基于控制供电电压VCC生成控制供电电压VCC2。

[0075] 脉冲生成电路23H基于二值信号612生成并输出置位信号613s和复位信号613r。信号613s和613r原则上处于低电平。脉冲生成电路23H在二值信号612的上升沿定时处将置位信号613s在高电平下保持预定的非常短的时段，并且在二值信号612的下降沿定时处将复位信号613r在高电平下保持预定的非常短的时段。信号613s和613r的高电平等于控制供电电压VCC的电平。信号613s和613r的低电平等于接地电平。

[0076] 基于相对于接地的控制供电电压VCC以及相对于输出端子电压Vsw的启动电压VB,电平移位器24H将置位信号613s的电平进行移位以生成置位信号614s,并且将复位信号613r的电平进行移位以生成复位信号614r。信号614s和614r原则上处于高电平。电平移位器24H仅在置位信号613s的高电平时段中保持置位信号614s处于低电平,并且仅在复位信号613r的高电平时段中保持复位信号614r处于在低电平。信号614s和614r的高电平等于启动电压VB的电平。信号614s和614r的低电平等于输出端子电压Vsw的电平。

[0077] 滤波器25H执行滤波以减少置位信号614s和复位信号614r中的噪声,以输出经滤波的置位信号614s作为置位信号615s和经滤波的复位信号614r作为复位信号615r。滤波器25H可以采用低有效电路配置或高有效电路配置。在图4的配置示例中,假设当置位信号614s处于低电平时,置位信号615s也处于低电平,并且当置位信号614s处于高电平时,置位信号615s也处于高电平。同样地,在图4的配置示例中,假设当复位信号614r处于低电平时,复位信号615r也处于低电平,并且当复位信号614r处于高电平时,复位信号615r也处于高电平。

[0078] 被配置有RS触发器的锁存电路26H被供给置位信号615s和复位信号615r。锁存电路26H基于置位信号615s和复位信号615r输出控制信号CNT_H。控制信号CNT_H是一种类型的二值信号。锁存电路26H可以采用低有效电路配置或高有效电路配置。在图4的电路配置中,假设锁存电路26H与置位信号615s中的下降沿同步地生成控制信号CNT_H中的上升沿,并且在此之后,与复位信号615r中的下降沿同步地生成控制信号CNT_H中的下降沿。锁存电路26H使用作为高电位侧供电电压的启动电压VB和作为低电位侧供电电压的输出端子电压Vsw进行操作。因此控制信号CNT_H的高电平等于启动电压VB的电平,并且控制信号CNT_H的低电平等于输出端子电压Vsw的电平(参见图5)。

[0079] 控制信号CNT_H对应于通过将驱动控制信号HIN的电平进行移位而产生的信号。假设在从驱动控制信号HIN生成控制信号CNT_H时不发生信号延迟,在驱动控制信号HIN的高电平时段中,控制信号CNT_H处于高电平,并且在驱动控制信号HIN的低电平时段中,控制信号CNT_H处于低电平(参见图5)。注意,锁存电路26H包括保护电路(未示出):在检测到预定故障(例如,启动电压VB中的欠电压)时,锁存电路26H将控制信号CNT_H固定在低电平。

[0080] 与锁存电路26H类似,延迟电路27H以及输出电路28H和29H也使用作为高电位侧供电电压的启动电压VB和作为低电位侧供电电压的输出端子电压Vsw进行操作。

[0081] 基于控制信号CNT_H,延迟电路27H生成控制信号CNT_11H和CNT_12H。图5示出了驱动控制信号HIN与控制信号CNT_H、CNT_11H和CNT_12H之间的关系。控制信号CNT_11H和CNT_12H也均是一种类型的二值信号。控制信号CNT_11H和CNT_12H的高电平等于启动电压VB的电平,并且控制信号CNT_11H和CNT_12H的低电平等于输出端子电压Vsw的电平。

[0082] 响应于控制信号CNT_H中的上升沿,延迟电路27H也生成控制信号CNT_11H和CNT_12H中的上升沿。控制信号CNT_11H中的上升沿指示晶体管11H的接通,并且控制信号CNT_12H中的上升沿指示晶体管12H的接通。响应于控制信号CNT_H中的上升沿的控制信号CNT_11H的上升沿定时t_H1与控制信号CNT_H的上升沿定时同时或晚于控制信号CNT_H的上升沿定时。控制信号CNT_11H的上升沿定时t_H1从控制信号CNT_H的上升沿定时的延迟将被称为延迟时间Δd_H1。响应于控制信号CNT_H中的上升沿的控制信号CNT_12H的上升沿定时t_H2与控制信号CNT_H的上升沿定时同时或晚于控制信号CNT_H的上升沿定时。控制信号CNT_

12H的上升沿定时t_H2从控制信号CNT_H的上升沿定时的延迟将被称为延迟时间Δd_H2。这里,延迟时间Δd_H1和Δd_H2可以彼此不同:它们可以为使得Δd_H1>Δd_H2或使得Δd_H1<Δd_H2;延迟时间Δd_H1和Δd_H2中只有一个可以为零。

[0083] 延迟时间Δd_H1和Δd_H2之间的差dff_Hon被定义如下:dff_Hon=Δd_H2-Δd_H1。差dff_Hon表示当指示晶体管11H接通时的定时和指示晶体管12H接通的定时之间的时间差,并且因此在以下描述中也称为时间差dff_Hon。当dff_Hon<0时,晶体管12H比晶体管11H早对应于绝对值|dff_Hon|的时间接通。当dff_Hon>0时,晶体管11H比晶体管12H早对应于绝对值|dff_Hon|的时间接通。

[0084] 响应于控制信号CNT_H中的下降沿,延迟电路27H也生成控制信号CNT_11H和CNT_12H中的下降沿。控制信号CNT_11H中的下降沿指示晶体管11H的关断,并且控制信号CNT_12H中的下降沿指示晶体管12H的关断。响应于控制信号CNT_H中的下降沿的控制信号CNT_11H的下降沿定时t_H3与控制信号CNT_H的下降沿定时同时或晚于控制信号CNT_H的下降沿定时。控制信号CNT_11H的下降沿定时t_H3从控制信号CNT_H的下降沿定时的延迟将被称为延迟时间Δd_H3。响应于控制信号CNT_H中的下降沿的控制信号CNT_12H的下降沿定时t_H4与控制信号CNT_H的下降沿定时同时或晚于控制信号CNT_H的下降沿定时。控制信号CNT_12H的下降沿定时t_H4从控制信号CNT_H的下降沿定时的延迟将被称为延迟时间Δd_H4。这里,延迟时间Δd_H3和Δd_H4可以彼此不同:它们可以为使得Δd_H3>Δd_H4或使得Δd_H3<Δd_H4;延迟时间Δd_H3和Δd_H4中只有一个可以为零。

[0085] 延迟时间Δd_H3和Δd_H4之间的差dff_Hoff被定义如下:dff_Hoff=Δd_H4-Δd_H3。差dff_Hoff表示当指示晶体管11H关断时的定时和当指示晶体管12H关断时的定时之间的时间差,并且因此在以下描述中也称为时间差dff_Hoff。当dff_Hoff<0时,晶体管12H比晶体管11H早对应于绝对值|dff_Hoff|的时间关断。当dff_Hoff>0时,晶体管11H比晶体管12H早对应于绝对值|dff_Hoff|的时间关断。

[0086] 输出电路28H连接到布线43H,布线43H连接到晶体管11H的栅极(也参见图1)。输出电路28H基于控制信号CNT_11H控制栅极电压Vg_11H。具体地,在控制信号CNT_11H的高电平时段中,输出电路28H将栅极电压Vg_11H保持在启动电压VB的电平以保持晶体管11H接通;在控制信号CNT_11H的低电平期间,输出电路28H将栅极电压Vg_11H保持在输出端子电压Vsw的电平以保持晶体管11H关断。要注意的是,然而,更具体地,输出电路28H响应于控制信号CNT_11H中的上升沿而开始使栅极电压Vg_11H从输出端子电压Vsw的电平升高。因此,在控制信号CNT_11H中的上升沿之后直到晶体管11H实际上接通之间发生延迟。同样地,输出电路28H响应于控制信号CNT_11H中的下降沿而开始使栅极电压Vg_11H从启动电压VB的电平下降。因此,在控制信号CNT_11H中的下降沿之后直到晶体管11H实际上关断之间发生延迟。

[0087] 输出电路29H连接到布线44H,布线44H连接到晶体管12H的栅极(也参见图1)。输出电路29H基于控制信号CNT_12H控制栅极电压Vg_12H。具体地,在控制信号CNT_12H的高电平时段中,输出电路29H将栅极电压Vg_12H保持在启动电压VB的电平以保持晶体管12H接通;在控制信号CNT_12H的低电平期间,输出电路29H将栅极电压Vg_12H保持在输出端子电压Vsw的电平以保持晶体管12H关断。要注意的是,然而,更具体地,输出电路29H响应于控制信号CNT_12H中的上升沿而开始使栅极电压Vg_12H从输出端子电压Vsw的电平升高。因此,在

控制信号CNT_12H中的上升沿之后直到晶体管12H实际上接通之间发生延迟。同样地,输出电路29H响应于控制信号CNT_12H中的下降沿而开始使栅极电压Vg_12H从启动电压VB的电平下降。因此,在控制信号CNT_12H中的下降沿之后直到晶体管12H实际上关断之间发生延迟。

[0088] 现在,将参考图4描述低侧驱动器20L的配置。输入电路21L、控制逻辑电路22L和延迟电路23L基于相对于接地电位的供电电压VCC2而操作。输入电路21L被配置有施密特缓冲器,并且对驱动控制信号LIN的波形进行整形以产生并输出二值信号621。基于二值信号621,控制逻辑电路22L生成控制信号CNT_L。控制信号CNT_L是一种类型的二值信号。驱动控制信号LIN、二值信号621和控制信号CNT_L可以被理解为基本上相同的矩形波信号。也就是说,假设在从驱动控制信号LIN生成控制信号CNT_L时不发生信号延迟,在驱动控制信号LIN的高电平时段中,控制信号CNT_L处于高电平,并且在驱动控制信号LIN的低电平时段中,控制信号CNT_L处于低电平(参见图6)。注意,控制逻辑电路22L包括保护电路(未示出):如果保护电路检测到故障(例如,异常温度故障或过电流故障),则控制信号CNT_L保持在低电平。

[0089] 基于控制信号CNT_L,延迟电路23L生成控制信号CNT_11L和CNT_12L。图6示出了驱动控制信号LIN与控制信号CNT_L、CNT_11L和CNT_12L之间的关系。控制信号CNT_11L和CNT_12L也均是一种类型的二值信号。如同驱动控制信号LIN,控制信号CNT_L、CNT_11L和CNT_12L的高电平等于供电电压VCC2的电平,并且控制信号CNT_L、CNT_11L和CNT_12L的低电平等于接地电平。

[0090] 响应于控制信号CNT_L中的上升沿,延迟电路23L也生成控制信号CNT_11L和CNT_12L中的上升沿。控制信号CNT_11L中的上升沿指示晶体管11L的接通,并且控制信号CNT_12L中的上升沿指示晶体管12L的接通。响应于控制信号CNT_L中的上升沿的控制信号CNT_11L的上升沿定时t_L1与控制信号CNT_L的上升沿定时同时或晚于控制信号CNT_L的上升沿定时。控制信号CNT_11L的上升沿定时t_L1从控制信号CNT_L的上升沿定时的延迟将被称为延迟时间Δd_L1。响应于控制信号CNT_L中的上升沿的控制信号CNT_12L的上升沿定时t_L2与控制信号CNT_L的上升沿定时同时或晚于控制信号CNT_L的上升沿定时。控制信号CNT_12L的上升沿定时t_L2从控制信号CNT_L的上升沿定时的延迟将被称为延迟时间Δd_L2。这里,延迟时间Δd_L1和Δd_L2可以彼此不同:它们可以为使得Δd_L1>Δd_L2或使得Δd_L1<Δd_L2;延迟时间Δd_L1和Δd_L2中只有一个可以为零。

[0091] 延迟时间Δd_L1和Δd_L2之间的差dff_Lon被定义如下:dff_Lon=Δd_L2-Δd_L1。差dff_Lon表示当指示晶体管11L接通时的定时和当指示晶体管12L接通时的定时之间的时间差,并且因此在以下描述中也称为时间差dff_Lon。当dff_Lon<0时,晶体管12L比晶体管11L早对应于绝对值|dff_Lon|的时间接通。当dff_Lon>0时,晶体管11L比晶体管12L早对应于绝对值|dff_Lon|的时间接通。

[0092] 响应于控制信号CNT_L中的下降沿,延迟电路23L也生成控制信号CNT_11L和CNT_12L中的下降沿。控制信号CNT_11L中的下降沿指示晶体管11L的关断,并且控制信号CNT_12L中的下降沿指示晶体管12L的关断。响应于控制信号CNT_L中的下降沿的控制信号CNT_11L的下降沿定时t_L3与控制信号CNT_L的下降沿定时同时或晚于控制信号CNT_L的下降沿定时。控制信号CNT_11L的下降沿定时t_L3从控制信号CNT_L的下降沿定时的延迟将被称为

延迟时间Δd_L3。响应于控制信号CNT_L中的下降沿的控制信号CNT_12L的下降沿定时t_L4与控制信号CNT_L的下降沿定时同时或晚于控制信号CNT_L的下降沿定时。控制信号CNT_12L的下降沿定时t_L4从控制信号CNT_L的下降沿定时的延迟将被称为延迟时间Δd_L4。这里,延迟时间Δd_L3和Δd_L4可以彼此不同:它们可以为使得Δd_L3>Δd_L4或使得Δd_L3<Δd_L4;延迟时间Δd_L3和Δd_L4中只有一个可以为零。

[0093] 延迟时间Δd_L3和Δd_L4之间的差dff_Loff被定义如下:dff_Loff＝Δd_L4-Δd_L3。差dff_Loff表示当指示晶体管11L关断时的定时和当指示晶体管12L关断时的定时之间的时间差,并且因此在以下描述中也称为时间差dff_Loff。当dff_Loff<0时,晶体管12L比晶体管11L早对应于绝对值|dff_Loff|的时间关断。当dff_Loff>0时,晶体管11L比晶体管12L早对应于绝对值|dff_Loff|的时间关断。

[0094] 基于供电电压VCC2(例如,5V)和控制供电电压VCC(例如,15V),电平移位器24L将控制信号CNT_11L和CNT_12L的电平进行移位,以生成控制信号CNT_11L'和CNT_12L'。通过电平移位器24L的电平移位,控制信号CNT_11L和CNT_12L的高电平被移位到控制供电电压VCC的电平。已经经历电平移位的控制信号CNT_11L和CNT_12L分别是控制信号CNT_11L'和CNT_12L'。

[0095] 输出电路25L连接到布线43L,布线43L连接到晶体管11L的栅极(也参见图1)。输出电路25L基于控制信号CNT_11L'控制栅极电压Vg_11L。具体地,在控制信号CNT_11L'的高电平时段中,输出电路25L将栅极电压Vg_11L保持在控制供电电压VCC的电平以保持晶体管11L接通;在控制信号CNT_11L'的低电平期间,输出电路25L将栅极电压Vg_11L保持在接地电平以保持晶体管11L关断。然而,更具体地,输出电路25L响应于控制信号CNT_11L'中的上升沿而使栅极电压Vg_11L开始从接地电平升高。因此,在控制信号CNT_11L'中的上升沿之后直到晶体管11L实际上接通之间发生延迟。同样地,输出电路25L响应于控制信号CNT_11L'中的下降沿而使栅极电压Vg_11L开始从控制供电电压VCC的电平下降。因此,在控制信号CNT_11L'中的下降沿之后直到晶体管11L实际上关断之间发生延迟。

[0096] 输出电路26L连接到布线44L,布线44L连接到晶体管12L的栅极(也参见图1)。输出电路26L基于控制信号CNT_12L'控制栅极电压Vg_12L。具体地,在控制信号CNT_12L'的高电平时段中,输出电路26L将栅极电压Vg_12L保持在控制供电电压VCC的电平以保持晶体管12L接通;在控制信号CNT_12L'的低电平期间,输出电路26L将栅极电压Vg_12L保持在接地电平以保持晶体管12L关断。要注意的是,然而,更具体地,输出电路26L响应于控制信号CNT_12L'中的上升沿而使栅极电压Vg_12L开始从接地电平升高。因此,在控制信号CNT_12L'中的上升沿之后直到晶体管12L实际上接通之间发生延迟。同样地,输出电路26L响应于控制信号CNT_12L'中的下降沿而使栅极电压Vg_12L开始从控制供电电压VCC的电平下降。因此,在控制信号CNT_12L'中的下降沿之后直到晶体管12L实际上关断之间发生延迟。

[0097] 为了研究足以用于减少开关损耗的延迟时间(延迟电路中的延迟时间),构建了如图7所示的评估系统。图7中的评估系统与图1中的系统SYS相比,晶体管11H的栅极和源极短路在一起,并且晶体管12H的栅极和发射极短路在一起。对图7中的评估系统进行评估测试。在评估测试中,驱动控制信号LIN交替地在高电平和低电平之间切换,使得基本上恒定的负载电流Io保持在从被供给电源电压VP的布线跨越负载LD到达输出端子TM11的方向上通过。在评估测试中测量的是电压Vg_11L、电压Vg_12L及电压Vsw以及晶体管11L的漏极电流Id和

晶体管12L的集电极电流Ic。晶体管11L的漏极电流Id和晶体管12L的集电极电流Ic的和将被称为和电流Imath。

[0098] [接通评估测试]

[0099] 作为评估测试,如下所述的那样进行接通评估测试。在接通评估测试中,当上述时间差dff_Lon(参见图6)以不同方式变化时,测量相关电压和电流的波形。

[0100] 图8、图9和图10示意性地示出了分别在第一、第二和第三接通评估测试中观察到的相关电压和电流的波形。在对应于图8的第一接通评估测试中,上述时间差dff_Lon被设置为-300ns。这等效地对应于比晶体管11L早300ns接通晶体管12L。在对应于图9的第二接通评估测试中,上述时间差dff_Lon被设置为+100ns。这等效地对应于比晶体管12L早100ns接通晶体管11L。在对应于图10的第三接通评估测试中,上述时间差dff_Lon被设置为+500ns。这等效地对应于比晶体管12L早500ns接通晶体管11L。这里,“ns”是纳秒的缩写。

[0101] 图8分别将如在第一接通评估测试中观察到的栅极电压Vg_11L、栅极电压Vg_12L、输出端子电压Vsw、漏极电流Id、集电极电流Ic、和电流Imath和负载电流Io的波形示意性地示出为波形711、712、713、714、715、716和717。图9分别将如在第二接通评估测试中观察到的栅极电压Vg_11L、栅极电压Vg_12L、输出端子电压Vsw、漏极电流Id、集电极电流Ic、和电流Imath和负载电流Io的波形示意性地示出为波形721、722、723、724、725、726和727。图10分别将如在第三接通评估测试中观察到的栅极电压Vg_11L、栅极电压Vg_12L、输出端子电压Vsw、漏极电流Id、集电极电流Ic、和电流Imath和负载电流Io的波形示意性地示出为波形731、732、733、734、735、736和737。图8至图10中的电压波形的微小变化可归因于通过在评估中使用的电路板的电流和电路板上的图案中的电感分量(这也适用于稍后提及的图13至图16)。图8至图10仅示意性地示出了观察到的波形,并未示出观察到的波形中存在的噪声分量(这也适用于稍后提及的图13至图16)。

[0102] 图8中的虚直线718、图9中的虚直线728和图10中的虚直线738分别表示在第一、第二和第三接通评估测试中和电流Imath的增加速率最高的定时处的和电流Imath的梯度。

[0103] 第一和第三接通评估测试揭示了,在和电流Imath由于开关元件10L接通而增加的过程中,和电流Imath的增加速率急剧变化。原因如下。在第一接通评估测试中,首先晶体管12L接通,使得只有集电极电流Ic的增加对和电流Imath的增加有贡献,并且稍后晶体管11L接通以增加总电流Imah的增加速率。在第三接通评估测试中,首先晶体管11L接通,使得只有漏极电流Id的增加对和电流Imath的增加有贡献,并且稍后晶体管12L接通以增加和电流Imath的增加速率。

[0104] 相比之下,第二接通评估测试揭示了,在和电流Imath由于开关元件10L接通而增加的过程中,和电流Imath的增加速率保持基本上恒定。这意味着,在和电流Imath增加的过程中,漏极电流Id和集电极电流Ic以基本上均匀的速率同时增加。

[0105] 在和电流Imath由于开关元件10L接通而增加的过程中和电流Imath的增加速率保持基本上恒定的情况下,接通损耗Eon被最小化。在图11中,波形760表示接通评估测试中的接通损耗Eon与时间差dff_Lon之间的关系。接通损耗Eon是开关元件10L中在其接通时发生的开关损耗。也就是说,接通损耗Eon是开关元件10L中在其从关断状态到接通状态的转变期间发生的开关损耗。接通损耗Eon对应于晶体管11L中的接通损耗和晶体管12L中的接通损耗的和。晶体管11L中的接通损耗是晶体管11L中在其从关断状态到接通状态的转变期间

发生的开关损耗。晶体管12L中的接通损耗是晶体管12L中在其从关断状态到接通状态的转变期间发生的开关损耗。

[0106] 在图12中,波形770表示接通评估测试中的恢复损耗Err与时间差dff_Lon之间的关系。恢复损耗Err是当低侧开关元件10L接通时在高侧开关元件10H中的二极管11Hd和13H中发生的恢复损耗(该恢复损耗主要发生在二极管13H中)。虽然图11和图12未显示接通损耗Eon和恢复损耗Err的任何特定值,但是与接通损耗Eon(例如,接通损耗的十分之一至几十分之一)相比,恢复损耗Err足够低。因此,在讨论开关元件10H和10L中的总开关损耗时,可以仅关注接通损耗Eon。

[0107] 已经发现,利用在该实施方式的接通评估测试中使用的晶体管11L和12L的组合,将时间差dff_Lon设置为大约+100使接通损耗Eon最小化。在接通开关元件10L时,显著大的绝对值|dff_Lon|引起电流长时间仅在晶体管11L和12L中的一个中通过,并且这导致增加的接通损耗Eon。在时间差dff_Lon大约为零的情况下,开关元件10L以分布在晶体管11L和12L之间的近似均匀的电流接通,并且预期这减少接通损耗Eon。然而,实际上,尤其取决于晶体管11L和12L的特性的组合等,足以使接通损耗Eon最小化的时间差dff_Lon发生变化。

[0108] 半导体装置1包括延迟电路23L,其允许在晶体管11L和12L的接通定时之间确保期望的时间差dff_Lon。实际上,在半导体装置1的设计、制造或运输阶段,可以通过测试等来确定使接通损耗Eon最小化的时间差dff_Lon,并且可以在延迟电路23L中使用如此确定的时间差dff_Lon。

[0109] 在这种情况下,与时间差dff_Lon为零时相比(即,与图6所示的定时t_L1和t_L2为同时的情况相比),延迟电路23L可以设置时间差dff_Lon,以便减少开关元件10L中在其接通时的开关损耗。

[0110] 为了实现这一点,在晶体管11L的漏极电流Id和晶体管11L的集电极电流Ic由于晶体管11L和12L接通而增加的情况下,当晶体管11L和12L响应于驱动控制信号LIN中的第一预定变化(这里,上升沿)而接通时,延迟电路23L可以将时间差dff_Lon设置为使得晶体管11L的漏极电流Id的增加速率变为最高的定时和晶体管12L的集电极电流Ic的增加速率变为最高的定时是同时的。

[0111] 在接通评估测试中,关注低侧开关元件10L,评估接通损耗;基于评估结果,如上所述的那样配置延迟电路23L。可以类似地设计高侧延迟电路27H。

[0112] 具体地,与时间差dff_Hon为零时相比(即,与图5所示的定时t_H1和t_H2为同时的情况相比),延迟电路27H可以设置时间差dff_Hon,以便减少开关元件10H中在其接通时的开关损耗(在以下描述中称为接通损耗Eon')。

[0113] 为了实现这一点,在晶体管11H的漏极电流和晶体管12H的集电极电流由于晶体管11H和12H接通而增加的情况下,当晶体管11H和12H响应于驱动控制信号HIN中的第一预定变化(这里,上升沿)而接通时,延迟电路27H可以提供时间差dff_Hon使得晶体管11H的漏极电流的增加速率变为最高的定时和晶体管12H的集电极电流的增加速率变为最高的定时是同时的。

[0114] 接通损耗Eon'是开关元件10H中在其从接通状态到关断状态的转变期间发生的损耗。接通损耗Eon'对应于晶体管11H中的接通损耗和晶体管12H中的接通损耗的和。晶体管11H中的接通损耗是晶体管11H中在其从关断状态到接通状态的转变期间发生的开关损耗。

晶体管12H中的接通损耗是晶体管12H中在其从关断状态到接通状态的转变期间发生的开关损耗。

[0115] [关断评估测试]

[0116] 作为评估测试,如下所述的那样进行关断评估测试。在关断评估测试中,当上述时间差dff_Loff(参见图6)以不同方式变化时,测量相关电压和电流的波形。

[0117] 图13、图14、图15和图16示意性地示出了分别在第一、第二、第三和第四关断评估测试中观察到的相关电压和电流的波形。在对应于图13的第一关断评估测试中,上述时间差dff_Loff被设置为-200ns。这等效地对应于比晶体管11L早200ns关断晶体管12L。在对应于图14的第二关断评估测试中,上述时间差dff_Loff被设置为0ns。这等效地对应于同时关断晶体管11L和晶体管12L。在对应于图15的第三关断评估测试中,将上述时间差dff_Loff设置为+300ns。这等效地对应于比晶体管12L早300ns关断晶体管11L。在对应于图16的第四关断评估测试中,将上述时间差dff_Loff设置为+600ns。这等效地对应于比晶体管12L早600ns关断晶体管11L。

[0118] 图13分别将如在第一关断评估测试中观察到的栅极电压Vg_11L、栅极电压Vg_12L、输出端子电压Vsw、漏极电流Id、集电极电流Ic、和电流Imath和负载电流Io的波形示意性地示出为波形811、812、813、814、815、816和817。图14分别将如在第二关断评估测试中观察到的栅极电压Vg_11L、栅极电压Vg_12L、输出端子电压Vsw、漏极电流Id、集电极电流Ic、和电流Imath和负载电流Io的波形示意性地示出为波形821、822、823、824、825、826和827。图15分别将如在第三关断评估测试中观察到的栅极电压Vg_11L、栅极电压Vg_12L、输出端子电压Vsw、漏极电流Id、集电极电流Ic、和电流Imath和负载电流Io的波形示意性地示出为波形831、832、833、834、835、836和837。图16分别将如在第四关断评估测试中观察到的栅极电压Vg_11L、栅极电压Vg_12L、输出端子电压Vsw、漏极电流Id、集电极电流Ic、和电流Imath和负载电流Io的波形示意性地示出为波形841、842、843、844、845、846和847。

[0119] 当开关元件10L关断时,在晶体管11L或12L从接通状态到关断状态的转变过程中,输出端子电压Vsw首先从大约0V上升,然后下降,并且然后急剧上升(参见波形813、823、833和843)。输出端子电压Vsw的第一上升发生在晶体管11L或晶体管12L关断的过程中。输出端子电压Vsw的第二上升发生在晶体管11L和12L中的一个已经关断之后另一个关断的过程中,或发生在晶体管11L和12L同时关断的过程中。

[0120] 从输出端子电压Vsw的第一次上升到输出端子电压Vsw的第二次上升的长时段导致增加的关断损耗Eoff(稍后将描述关断损耗Eoff)。因此,保持该时段尽可能短或相当短有助于最小化关断损耗Eoff。此外,在开关元件10L从接通状态转换到关断状态的过程中晶体管11L和12L中的电流的比例影响关断损耗Eoff。因此,在设置时间差dff_Loff时需要考虑这些因素,以使关断损耗Eoff最小化。

[0121] 在图17中,波形860表示关断评估测试中的关断损耗Eoff与时间差dff_Loff之间的关系。关断损耗Eoff是开关元件10L中在其关断时的开关损耗。也就是说,关断损耗Eoff是开关元件10L中在其从接通状态到关断状态的转变期间发生的损耗。关断损耗Eoff对应于晶体管11L中的关断损耗和晶体管12L中的关断损耗的和。晶体管11L中的关断损耗是晶体管11L中在其从接通状态到关断状态的转变期间发生的开关损耗。晶体管12L中的关断损耗是晶体管12L中在其从接通状态到关断状态的转变期间发生的开关损耗。

[0122] 已经发现,利用在该实施方式的关断评估测试中使用的晶体管11L和12L的组合,将时间差dff_Ioff设置为大约+300使关断损耗Eoff最小化。当时间差dff_Ioff为+300ns时(参见图15),首先晶体管11L开始关断,并且漏极电流Id减小;为了补偿这种减小,晶体管12H的集电极电流Ic增加。当集电极电流Ic变得足够高时(在集电极电流Ic增加的过程中),晶体管12L关断。已经发现,以这种方式,预期首先增加集电极电流Ic在和电流Imath中的比例并且然后关断晶体管12L减少关断损耗Eoff。然而,如在图16中的示例中,在仅在集电极电流Ic在和电流Imath中的比例已经超过预定比例(例如,95%)之后才关断晶体管12L的情况下,难以预期减少的关断损耗Eoff。

[0123] 实际上,尤其取决于晶体管11L和12L的特性的组合等,足以使关断损耗Eoff最小化的时间差dff_Loff发生变化。

[0124] 半导体装置1包括延迟电路23L,其允许在晶体管11L和12L的关断定时之间确保期望的时间差dff_Loff。实际上,在半导体装置1的设计、制造或运输阶段,可以通过测试等来确定使关断损耗Eoff最小化的时间差dff_Loff,并且可以在延迟电路23L中使用如此确定的时间差dff_Loff。

[0125] 在这种情况下,与时间差dff_Loff为零时相比(即,与图6所示的定时t_L3和t_L4同时的情况相比),延迟电路23L可以设置时间差dff_Loff,以便减少开关元件10L中在其关断时的开关损耗。

[0126] 为了实现这一点,当经由电感负载(LD)漏极电流Id在晶体管11L中通过并且集电极电流Ic在晶体管12L中通过的状态下开始时,响应于驱动控制信号LIN中的第二预定变化(这里,下降沿),晶体管11L和12L关断。延迟电路23L可以将时间差dff_Loff设置为使得首先晶体管11L比晶体管12L更早地开始关断,以增加晶体管12L的集电极电流Ic,并且然后当集电极电流Ic在漏极电流Id和集电极电流Ic的和(Imath)中的比例等于或小于预定比例时,晶体管12L关断。预定比例可以被设置在例如50%至95%的范围内。

[0127] 在关断评估测试中,关注低侧开关元件10L,评估关断损耗;基于评估结果,如上所述的那样配置延迟电路23L。可以类似地设计高侧延迟电路27H。

[0128] 具体地,与时间差dff_Hoff为零时相比(即,与图5所示的定时t_H3和t_H4为同时的情况相比),延迟电路27H可以设置时间差dff_Hoff,以便减少开关元件10H中在其关断时的开关损耗(在以下描述中称为关断损耗Eoff')。

[0129] 为了实现这一点,当经由电感负载(HD)漏极电流在晶体管11H中通过并且集电极电流在晶体管12H中通过的状态下开始时,响应于驱动控制信号HIN中的第二预定变化(这里,下降沿),晶体管11H和12H关断。延迟电路27H可以将时间差dff_Ioff设置为使得首先晶体管11H比晶体管12H更早地开始关断,以增加晶体管12H的集电极电流,并且然后当晶体管12H的集电极电流在晶体管11H的漏极电流和晶体管12H的集电极电流的和中的比例等于或低于预定比例时,晶体管12H关断。

[0130] 关断损耗Eoff'是开关元件10H中在其从接通状态到关断状态的转变期间发生的损耗。关断损耗Eoff'对应于晶体管11H中的关断损耗和晶体管12H中的关断损耗的和。晶体管11H中的关断损耗是晶体管11H中在其从接通状态到关断状态的转变期间发生的开关损耗。晶体管12H中的关断损耗是晶体管12H中在其从接通状态到关断状态的转变期间发生的开关损耗。

[0131] [实践示例1]

[0132] 在实践示例1中,如下所述的那样配置半导体装置1。开关元件10H和10L均包括第一元件至第三元件。第一元件是被配置为MOSFET的晶体管11H或11L。第二元件是被配置为IGBT的晶体管12H或12L。第三元件是与第一元件和第二元件并联地连接的二极管13H或13L。

[0133] 如上所述,二极管13H或13L是肖特基势垒二极管。二极管13H或13L可以被实施为PN结二极管。提供肖特基势垒二极管作为二极管13H或13L有助于减少开关元件中在其接通时的开关损耗(Eon、Eon')以及二极管中在再生期间的稳态损耗。当晶体管11H和11L以及二极管13H和13L使用碳化硅(SiC)来形成时,减少这些损耗的效果是显著的。

[0134] [实践示例2]

[0135] 在实践示例2中,如下所述的那样配置半导体装置1。如图18所示,半导体装置1可以包括多个半桥电路,每个半桥电路均包括开关元件10H和10L。包括多个半桥电路的配置可以对于每个半桥电路包括驱动器20H和20L、启动电路30、栅极电阻器41H、42H、41L和42L、输出端子TM11、低侧端子TM13、启动端子TM15、控制输入端子TM16和TM17、以及电容器CB。可以省略栅极电阻器(在以下描述中,忽略栅极电阻器)。

[0136] 通常,例如,半导体装置1可以包括用于U相的单位电路、用于V相的单位电路和用于W相的单位电路。每个单位电路包括半桥电路,该半桥电路包括开关元件10H和10L、驱动器20H和20L以及启动电路30。对于每个单位电路,设置有输出端子TM11、低侧端子TM13、启动端子TM15、控制输入端子TM16和TM17、以及电容器CB。这里,负载LD可以是设置有U相线圈、V相线圈和W相线圈的三相马达。在其中U相线圈、V相线圈和W相线圈是星形连接(Y形连接)的配置中,U相线圈的一个端子、V相线圈的一个端子和W相线圈的一个端子可以分别连接到U相输出端子TM11、V相输出端子TM11和W相输出端子TM11,并且U相线圈的另一个端子、V相线圈的另一个端子和W相线圈的另一个端子可以连接在一起。

[0137] [实践示例3]

[0138] 在实践示例3中,如下所述的那样配置半导体装置1。

[0139] 作为用于开关元件10H的驱动器电路的高侧驱动器20H和作为用于开关元件10L的驱动器电路的低侧驱动器20L均包括控制信号生成电路。

[0140] 高侧驱动器20H中的控制信号生成电路基于驱动控制信号HIN生成用于控制晶体管11H的状态的控制信号CNT_11H和用于控制晶体管12H的状态的控制信号CNT_12H。高侧驱动器20H基于控制信号CNT_11H驱动晶体管11H的栅极,并且基于控制信号CNT_12H驱动晶体管12H的栅极。在图4中的配置中,由附图标记21H至27H标识的块可以被认为构成高侧驱动器20H中的控制信号生成电路。

[0141] 低侧驱动器20L中的控制信号生成电路基于驱动控制信号LIN生成用于控制晶体管11L的状态的控制信号CNT_11L和用于控制晶体管12L的状态的控制信号CNT_12L。低侧驱动器20L基于控制信号CNT_11L驱动晶体管11L的栅极,并且基于控制信号CNT_12L驱动晶体管12L的栅极。在图4中的配置中,由附图标记21L至23L标识的块可以被认为构成低侧驱动器20L中的控制信号生成电路。

[0142] 对于任何信号或电压,除非与上述技术思想不一致,否则其高电平和低电平之间的关系可以被反转。具体地,例如,其中开关元件(10H、10L)响应于驱动控制信号(HIN、LIN)

中的下降沿而接通并且开关元件(10H、10L)响应于驱动控制信号(HIN、LIN)中的上升沿而关断的配置是可能的。这同样适用于控制信号CNT_H、CNT_11H和CNT_12H与晶体管11H和12H之间的关系。这也同样适用于控制信号CNT_L、CNT_11L和CNT_12L与晶体管11L和12L之间的关系。

[0143] 实施方式中提到的FET(场效应晶体管)的沟道类型仅仅是说明性的。除非与上述技术思想不一致,否则任何FET的沟道类型可以在P沟道类型和N沟道类型之间进行修改。这同样适用于任何IGBT。

[0144] 在不脱离所附权利要求中限定的技术思想的范围的情况下,可以根据需要以多种方式修改本公开的实施方式。本文描述的实施方式仅仅是如何实施本发明的示例,并且用于描述本发明及其组成元件的任何术语的含义不限于结合实施方式提到的含义。以上描述中提到的具体值仅仅是说明性的,并且当然可以被修改为不同的值。

[0145] <<附记>>

[0146] 下面是关于本文公开的内容的附记,其具体配置示例已经通过上述实施方式的方式呈现。

[0147] 根据本公开的一个方面,一种半导体装置(1)包括:开关元件(例如,10L),所述开关元件包括被配置为场效应晶体管的第一晶体管(例如,11L)和被配置为绝缘栅双极晶体管的第二晶体管(例如,12L)的并联连接电路;以及驱动器电路(例如,20L),所述驱动器电路被配置为根据输入控制信号(例如,LIN)驱动所述开关元件。当将所述开关元件从第一状态转换到第二状态时,所述驱动器电路使所述第一晶体管从第一状态转换到第二状态的定时和所述第二晶体管从第一状态转换到第二状态的定时不同。所述第一状态和所述第二状态中的一个是关断状态,并且另一个是接通状态。(第一配置)

[0148] 因此可以减少开关损耗。

[0149] 在上述第一配置的半导体装置中,所述驱动器电路可以包括控制信号生成电路(例如,21L至23L),所述控制信号生成电路被配置为基于所述输入控制信号生成用于控制所述第一晶体管的状态的第一控制信号(例如,CNT_11L)和用于控制所述第二晶体管的状态的第二控制信号(例如,CNT_12L)。所述驱动器电路可以基于所述第一控制信号驱动所述第一晶体管的栅极并且基于所述第二控制信号驱动所述第二晶体管的栅极。所述控制信号生成电路可以包括延迟电路(例如,23L),所述延迟电路被配置为使基于所述输入控制信号的变化的所述第一控制信号的变化的定时(例如,t_L1或t_L3)与基于所述输入控制信号的变化的所述第二控制信号的变化的定时(例如,t_L2或t_L4)不同。(第二配置)

[0150] 提供延迟电路使得可以将第一晶体管和第二晶体管的接通或关断定时进行移位,从而减少开关损耗。

[0151] 在上述第二配置的半导体装置中,当响应于所述输入控制信号中的预定变化(例如,从低电平到高电平的变化)而接通所述第一晶体管和第二晶体管时,所述延迟电路可以产生第一定时(例如,t_L1)和第二定时(例如,t_L2)之间的差,在第一定时(例如,t_L1)在所述第一控制信号中产生电平变化以基于所述预定变化接通所述第一晶体管,在第二定时(例如,t_L2)在所述第二控制信号中产生电平变化以基于所述预定变化接通第二晶体管。(第三配置)

[0152] 因此可以将第一晶体管和第二晶体管的接通定时进行移位。

[0153] 在上述第三配置的半导体装置中,所述延迟电路可以将所述差产生为使得所述开关元件中在其接通时的开关损耗(例如,Eon)低于所述第一定时和所述第二定时为同时的情况。(第四配置)

[0154] 因此可以降低接通时的开关损耗。

[0155] 在上述第三或第四配置的半导体装置(参见图9)中,在所述第一晶体管的漏极电流和所述第二晶体管的集电极电流由于所述第一晶体管和所述第二晶体管接通而增加的情况下,当所述第一晶体管和所述第二晶体管响应于所述输入控制信号的所述预定变化而接通时,所述延迟电路可以将所述差产生为使得所述第一晶体管的所述漏极电流的增加速率变为最高的定时和所述第二晶体管的所述集电极电流的增加速率变为最高的定时是同时的。(第五配置)

[0156] 因此可以减少接通时的开关损耗。

[0157] 在上述第二配置的半导体装置中,当响应于所述输入控制信号中的预定变化(例如,从高电平到低电平的变化)而关断所述第一晶体管和所述第二晶体管时,所述延迟电路可以产生第一定时(例如,t_L3)和第二定时(例如,t_L4)之间的差,在第一定时(例如,t_L3)在所述第一控制信号中产生电平变化以基于所述预定变化关断所述第一晶体管,在第二定时(例如,t_L4)在所述第二控制信号中产生电平变化以基于所述预定变化关断第二晶体管。(第六配置)

[0158] 因此可以将第一晶体管和第二晶体管的关断定时进行移位。

[0159] 在上述第六配置的半导体装置中,所述延迟电路可以将所述差产生为使得所述开关元件中在其关断时的开关损耗(例如,Eoff)低于所述第一定时和第二定时为同时的情况。(第七配置)

[0160] 因此可以减少关断时的开关损耗。

[0161] 在上述第六或第七配置的半导体装置(参见图15)中,当在经由电感负载漏极电流在所述第一晶体管中通过并且集电极电流在所述第二晶体管中通过的状态下开始时,所述第一晶体管和所述第二晶体管响应于所述输入控制信号的所述预定变化而关断,所述延迟电路可以将所述差产生为使得所述第一晶体管比所述第二晶体管更早地开始关断,以增加所述第二晶体管的所述集电极电流,并且此后当所述集电极电流在所述漏极电流和所述集电极电流的和中的比例等于或小于预定比例时,所述第二晶体管关断。(第八配置)

[0162] 因此可以减少关断时的开关损耗。

[0163] 上述第一至第八配置中的任一个的半导体装置可以包括多组所述开关元件和所述驱动器电路。两个组中的两个开关元件可以彼此串联连接以构成半桥电路。(第九配置)

[0164] 在上述第九配置的半导体装置中,在每个组中,肖特基势垒二极管(13H、13L)可以与所述第二晶体管并联连接。(第十配置)

[0165] 因此可以减少半桥电路中的开关损耗和在再生期间的稳态损耗。

[0166] 在上述第十配置的半导体装置中,在每个组中,所述第一晶体管和所述肖特基势垒二极管可以使用碳化硅来形成。(第十一配置)

[0167] 预期这将增强减少半桥电路中的开关损耗和在再生期间的稳态损耗的效果。

[0168] 上述第一至第十一配置中的任一个的半导体装置可以包括多个所述半桥电路(第十二配置)。

[0169] 附图标记列表

[0170] SYS系统(负载驱动系统)

[0171] 1半导体装置

[0172] 2MPU

[0173] 3电压源

[0174] CB 电容器

[0175] LD 负载

[0176] Rs 感测电阻器

[0177] 10H 高侧开关元件

[0178] 10L 低侧开关元件

[0179] 11H、11L晶体管(MOSFET)

[0180] 12H、12L晶体管(IGBT)

[0181] 13H、13L二极管(肖特基势垒二极管)

[0182] 11Hd、11Ld二极管(寄生二极管)

[0183] 20H 高侧驱动器

[0184] 20L 低侧驱动器

[0185] 30 启动电路

[0186] 31 二极管

[0187] 41H、42H、41L、42L栅极电阻器

[0188] 21H 输入电路

[0189] 22H 电平移位器

[0190] 23H 脉冲生成电路

[0191] 24H 电平移位器

[0192] 25H 滤波器

[0193] 26H 锁存电路

[0194] 27H 延迟电路

[0195] 28H、29H输出电路

[0196] 21L 输入电路

[0197] 22L 控制逻辑电路

[0198] 23L 延迟电路

[0199] 24L 电平移位器

[0200] 25L、26L输出电路。

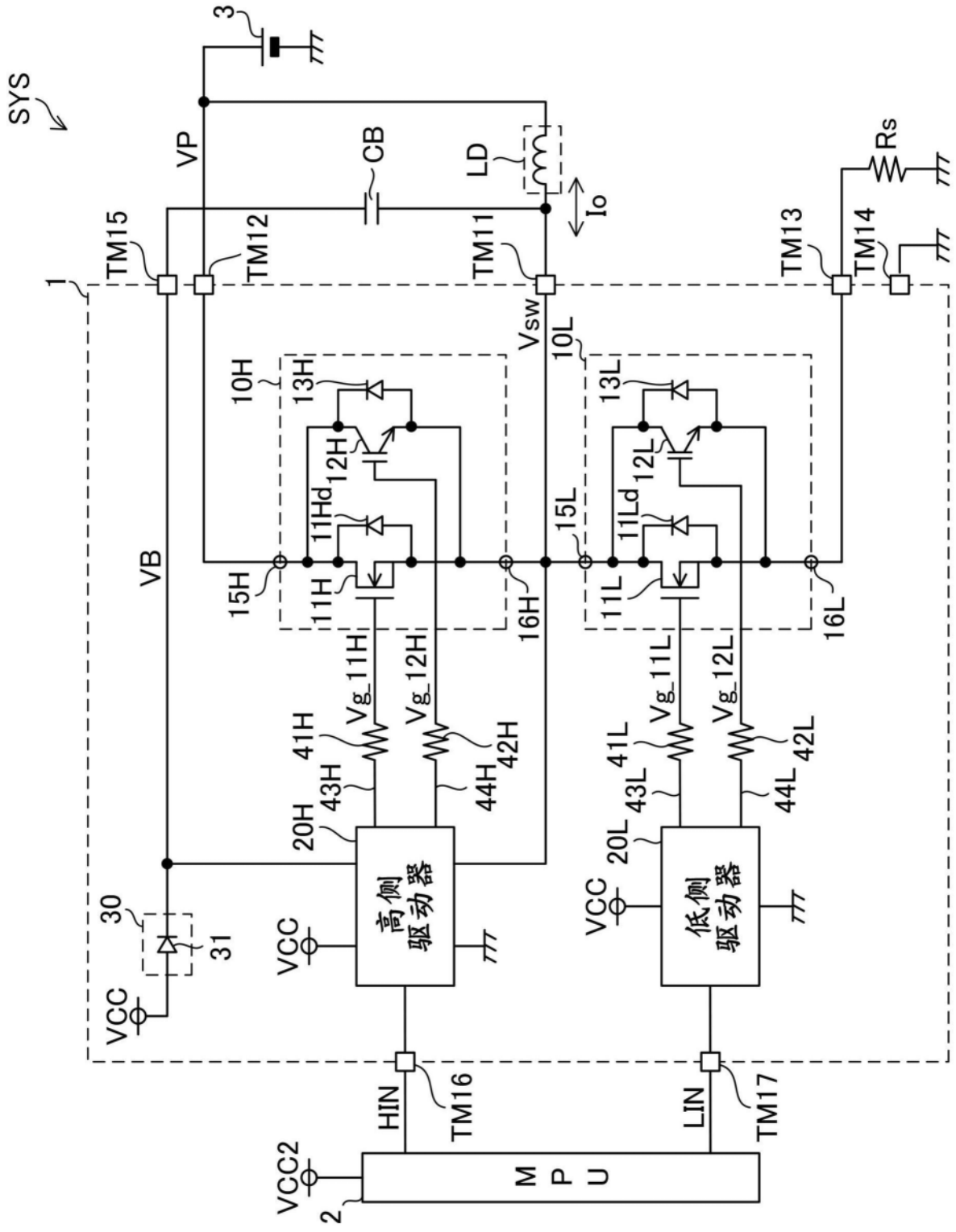

SYS
3
VP
CB
LD
Io
Rs
TM15
TM12
TM11
TM13
TM14
1
Vsw
10H
10L
13H
13L
12H
12L
11Hd
11Ld
15L
VB
15H
11H
11L
16H
16L
Vg_11H
Vg_12H
Vg_11L
Vg_12L
41H
42H
41L
42L
43H
44H
43L
44L
20H
20L
高侧驱动器
低侧驱动器
VCC
30
31
HIN
LIN
TM16
TM17
VCC2
2
M P U

图1

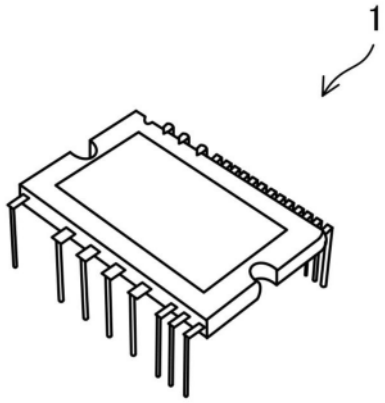



图2

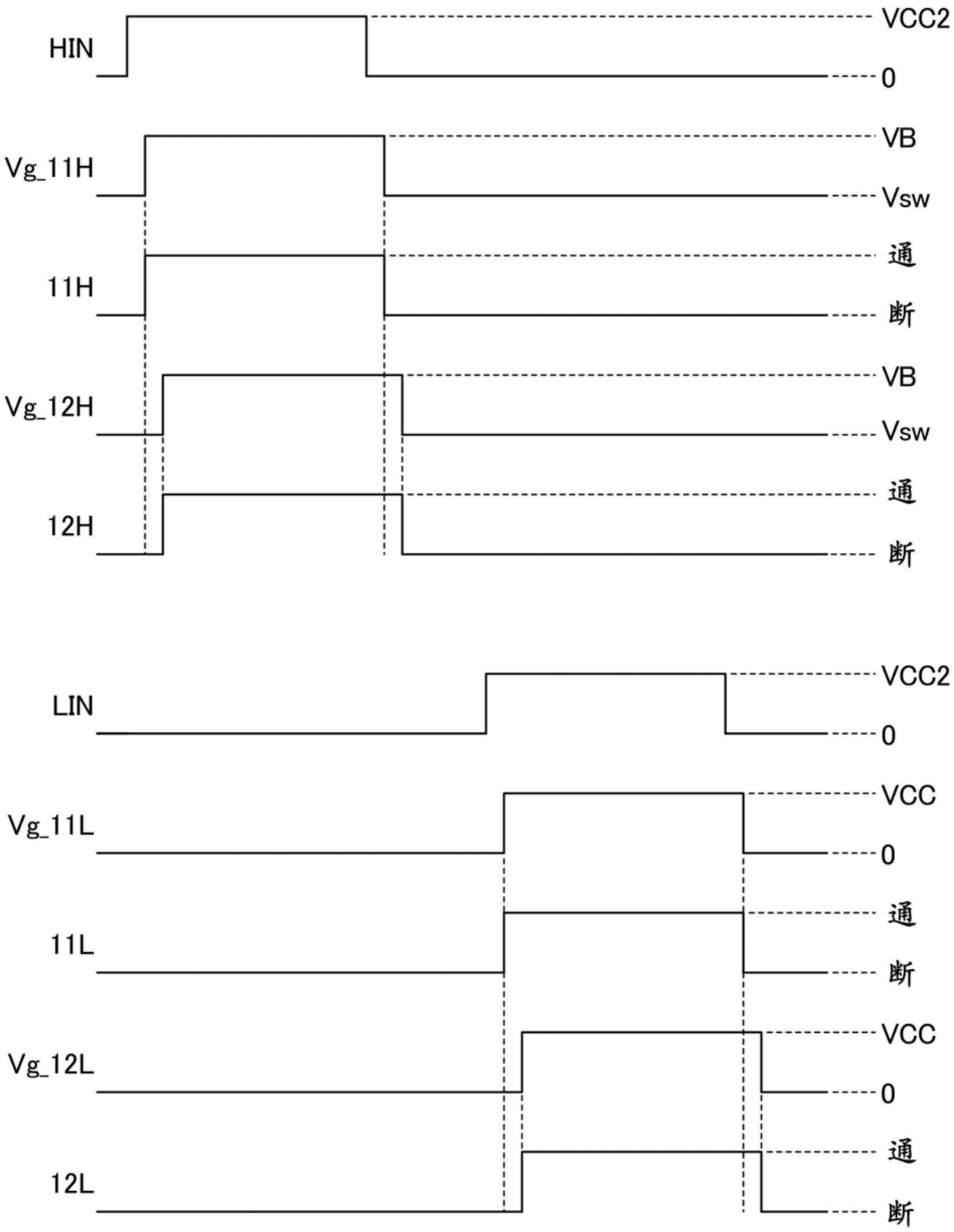

HIN
VCC2
0
Vg_11H
VB
Vsw
11H
通
断
Vg_12H
VB
Vsw
12H
通
断
LIN
VCC2
0
Vg_11L
VCC
0
11L
通
断
Vg_12L
VCC
0
12L
通
断

图3

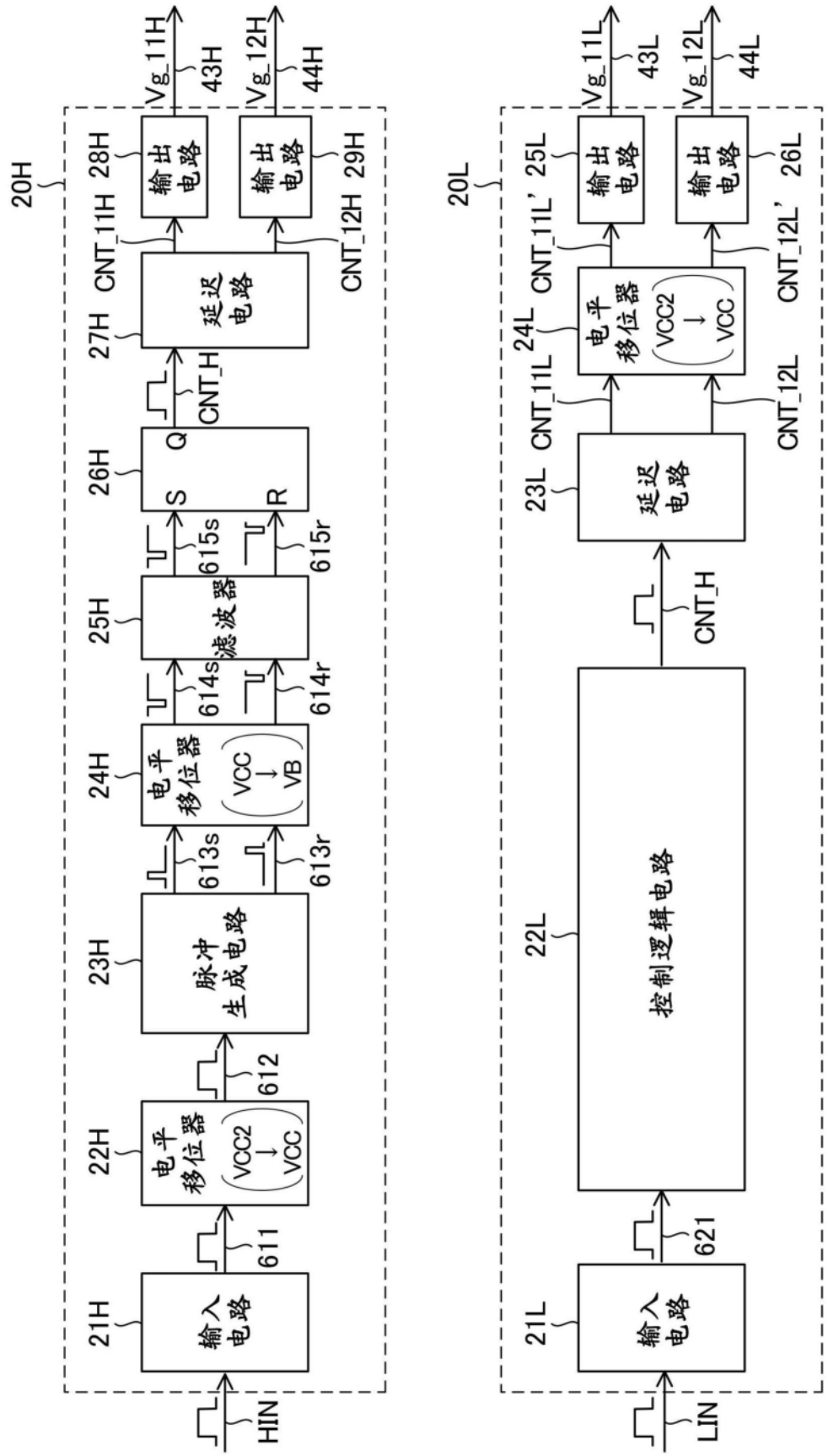
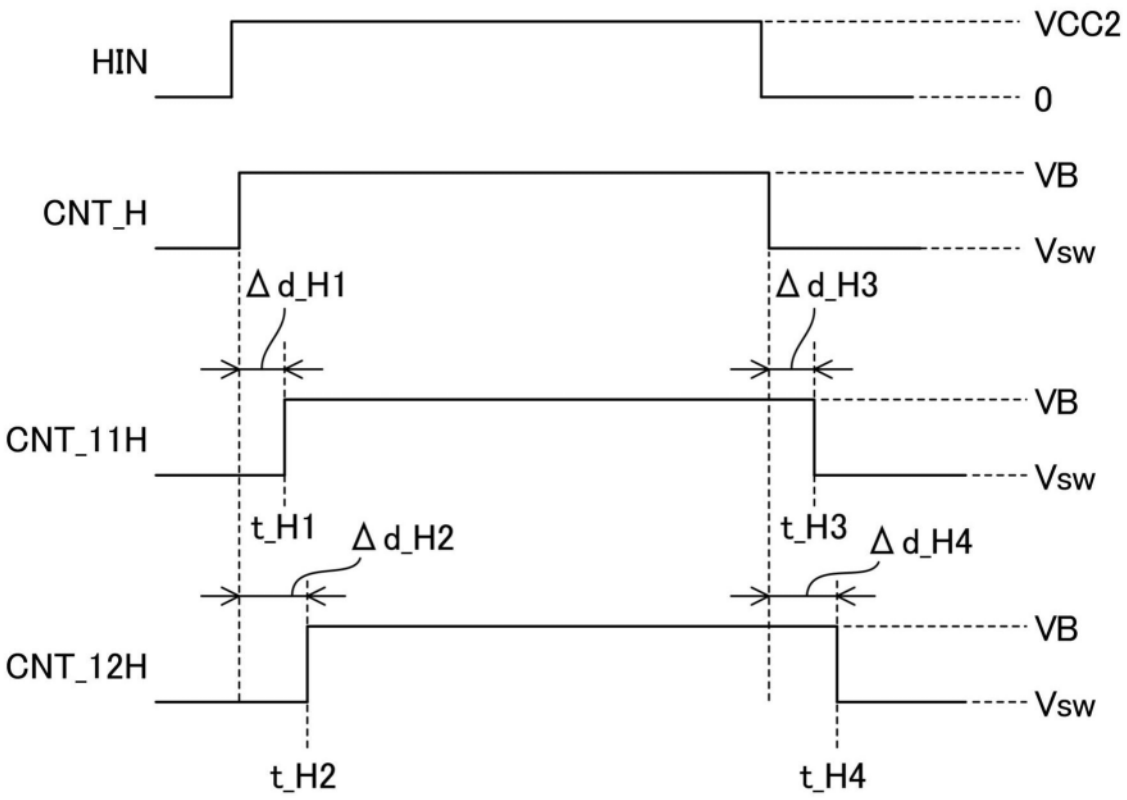

20H
HIN
21H
输入电路
611
22H
电平移位器
(VCC2 → VCC)
612
23H
脉冲生成电路
613s
613r
24H
电平移位器
(VCC → VB)
614s
614r
25H
滤波器
615s
615r
26H
S Q R
CNT_H
27H
延迟电路
CNT_11H
CNT_12H
28H
输出电路
29H
Vg_11H
43H
Vg_12H
44H
20L
LIN
21L
输入电路
621
22L
控制逻辑电路
CNT_H
23L
延迟电路
CNT_11L
CNT_12L
24L
电平移位器
(VCC2 → VCC)
CNT_11L'
CNT_12L'
25L
输出电路
26L
Vg_11L
43L
Vg_12L
44L

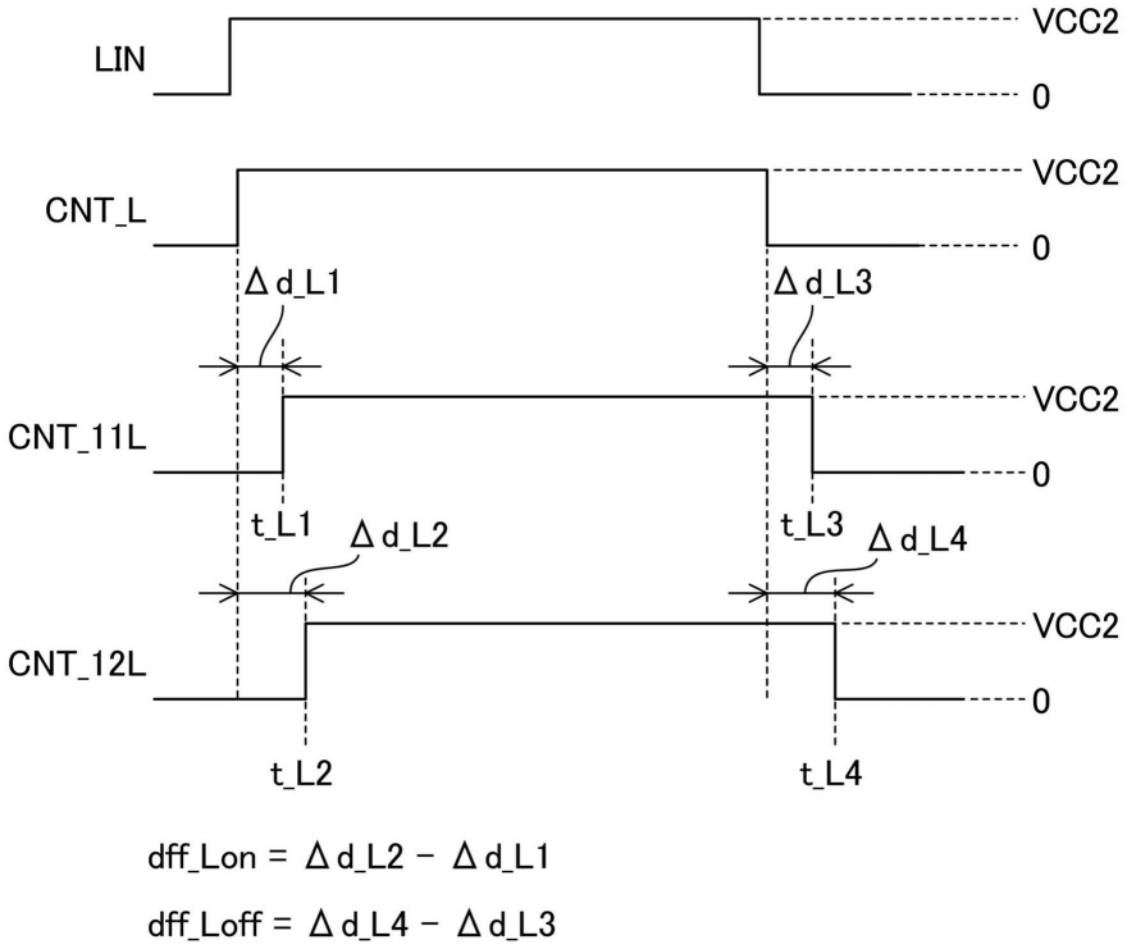
图4




$$dff_Hon = \Delta d_H2 - \Delta d_H1$$

$$dff_Hoff = \Delta d_H4 - \Delta d_H3$$

图5




$$dff_Lon = \Delta d_L2 - \Delta d_L1$$

$$dff_Loff = \Delta d_L4 - \Delta d_L3$$

图6

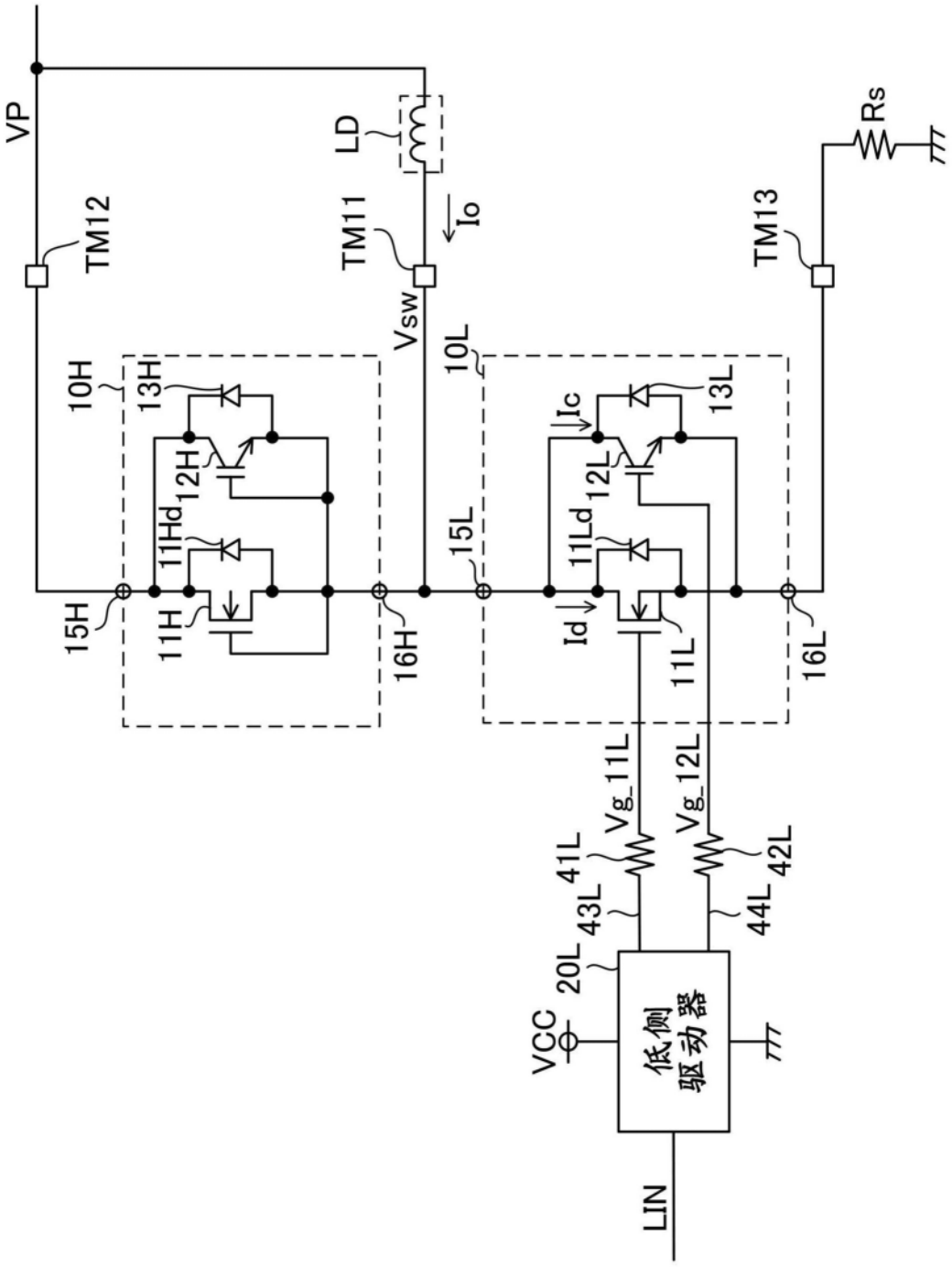

VP
LD
Rs
TM12
TM11
TM13
Io
Vsw
10H
13H
12H
11Hd
11H
15H
16H
10L
15L
Ic
13L
12L
11Ld
Id
11L
16L
Vg_11L
Vg_12L
41L
42L
43L
44L
20L
VCC
低侧驱动器
LIN

图7

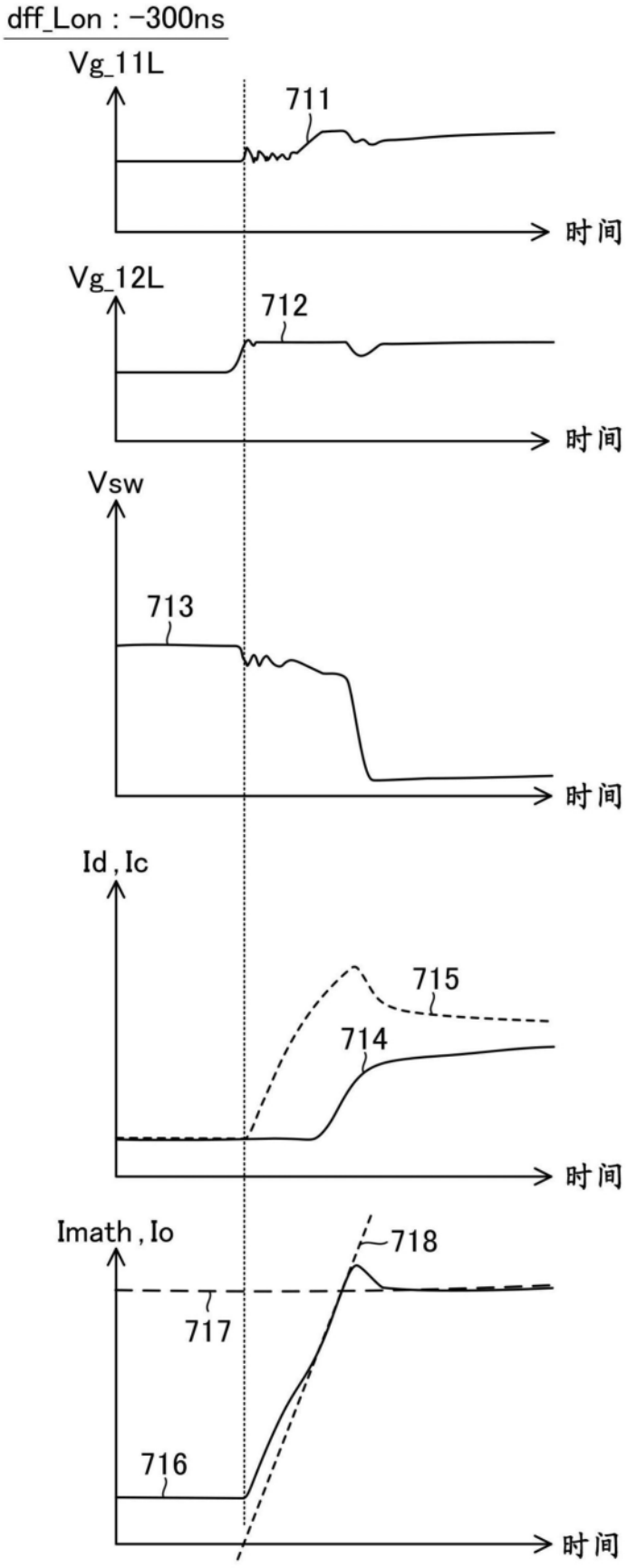

dff_Lon : -300ns
Vg_11L
711
时间
Vg_12L
712
时间
Vsw
713
时间
Id , Ic
715
714
时间
Imath , Io
718
717
716
时间

图8

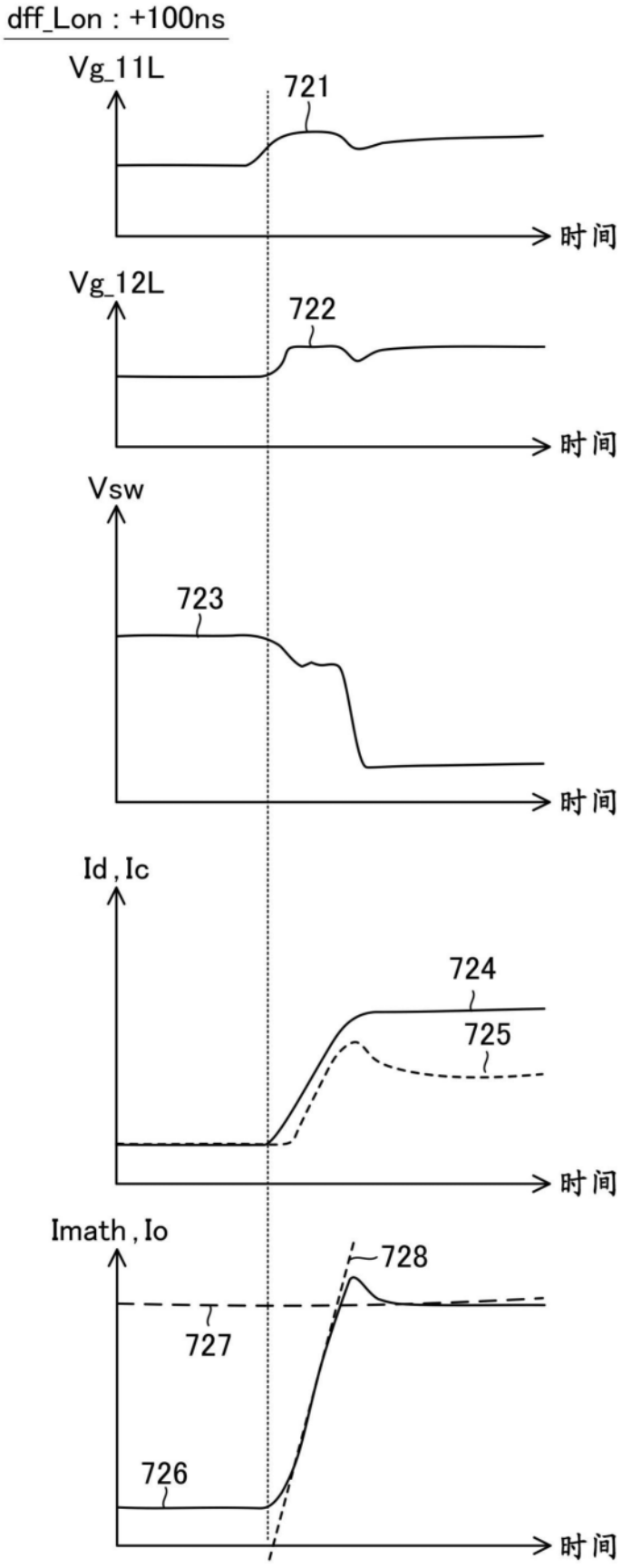

dff_Lon : +100ns
Vg_11L
721
时间
Vg_12L
722
时间
Vsw
723
时间
Id , Ic
724
725
时间
Imath , Io
728
727
726
时间

图9

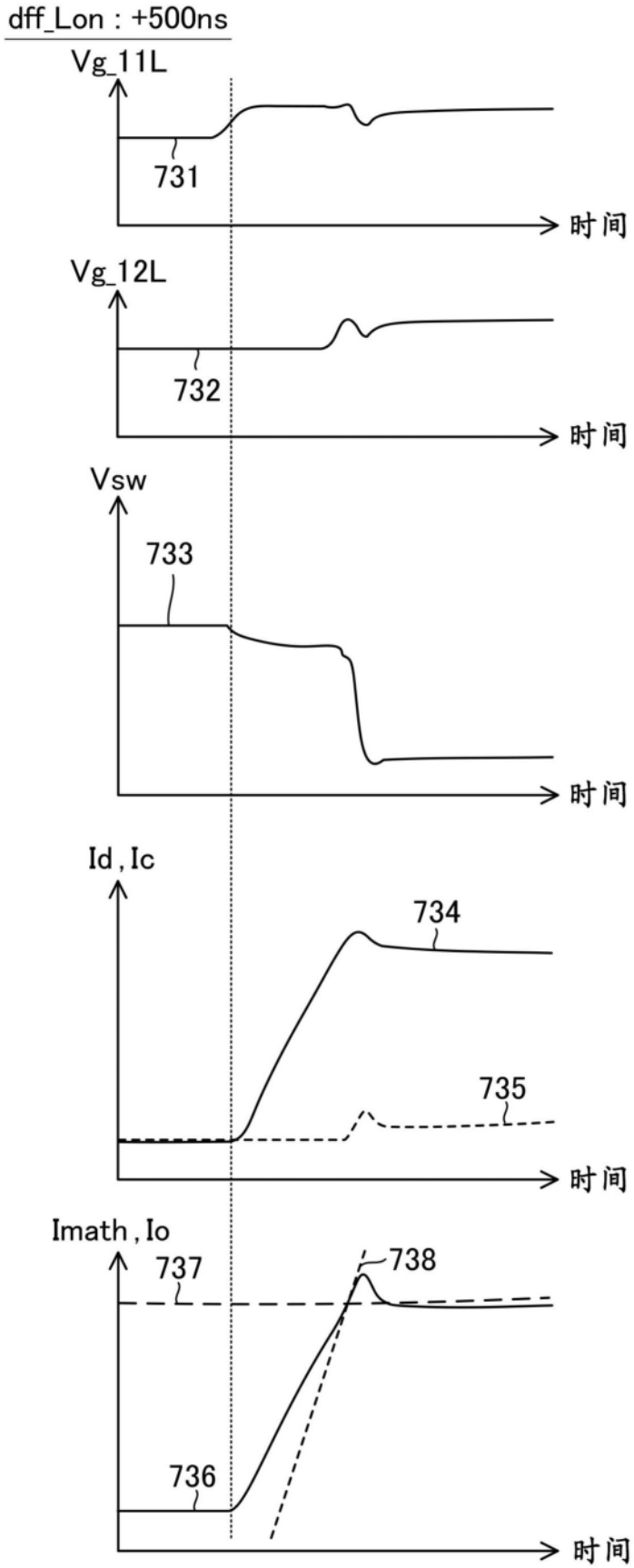

dff_Lon : +500ns
Vg_11L
731
时间
Vg_12L
732
时间
Vsw
733
时间
Id , Ic
734
735
时间
Imath , Io
737
738
736
时间

图10

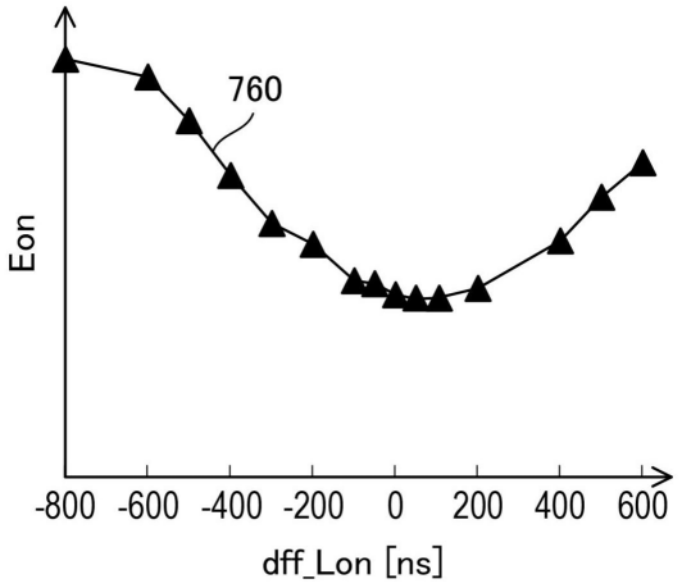

760
Eon
-800 -600 -400 -200 0 200 400 600
dff_Lon [ns]

图11

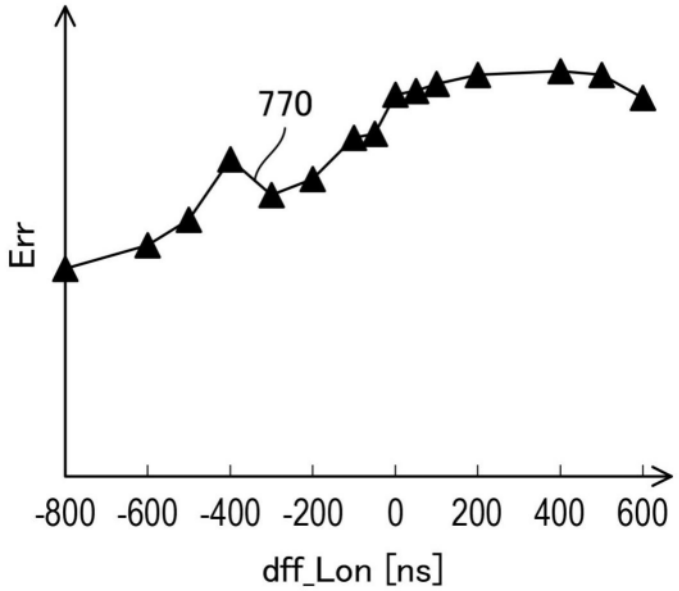

770
Err
-800 -600 -400 -200 0 200 400 600
dff_Lon [ns]

图12

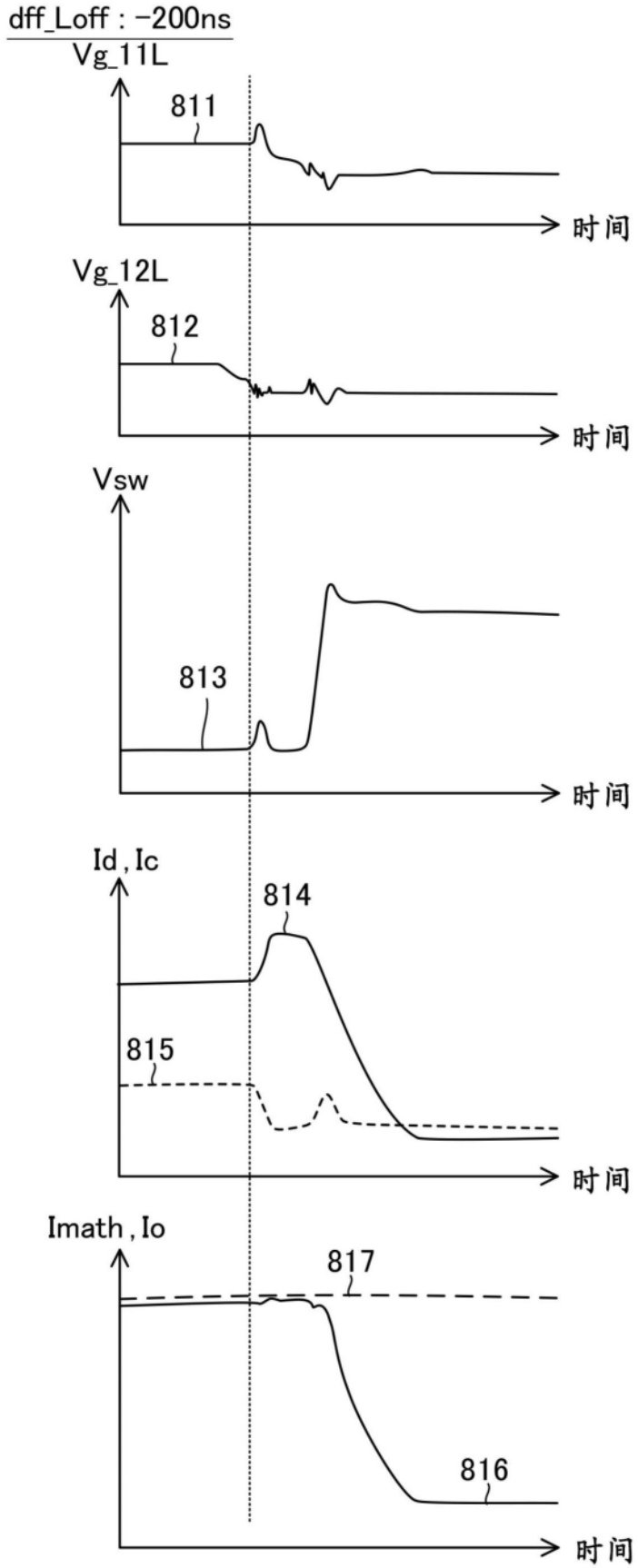

dff_Loff : -200ns
Vg_11L
811
时间
Vg_12L
812
时间
Vsw
813
时间
Id , Ic
814
815
时间
Imath , Io
817
816
时间

图13

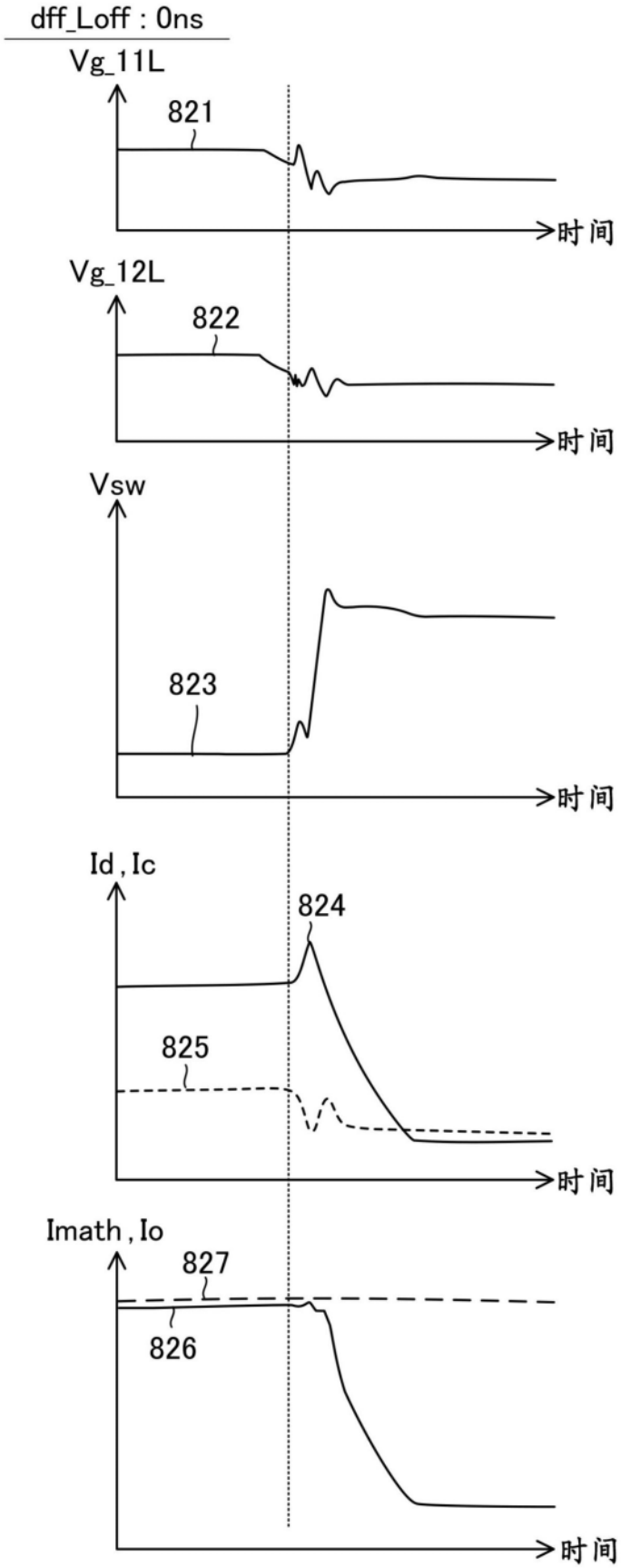

dff_Loff : 0ns
Vg_11L
821
时间
Vg_12L
822
时间
Vsw
823
时间
Id , Ic
824
825
时间
Imath , Io
827
826
时间

图14

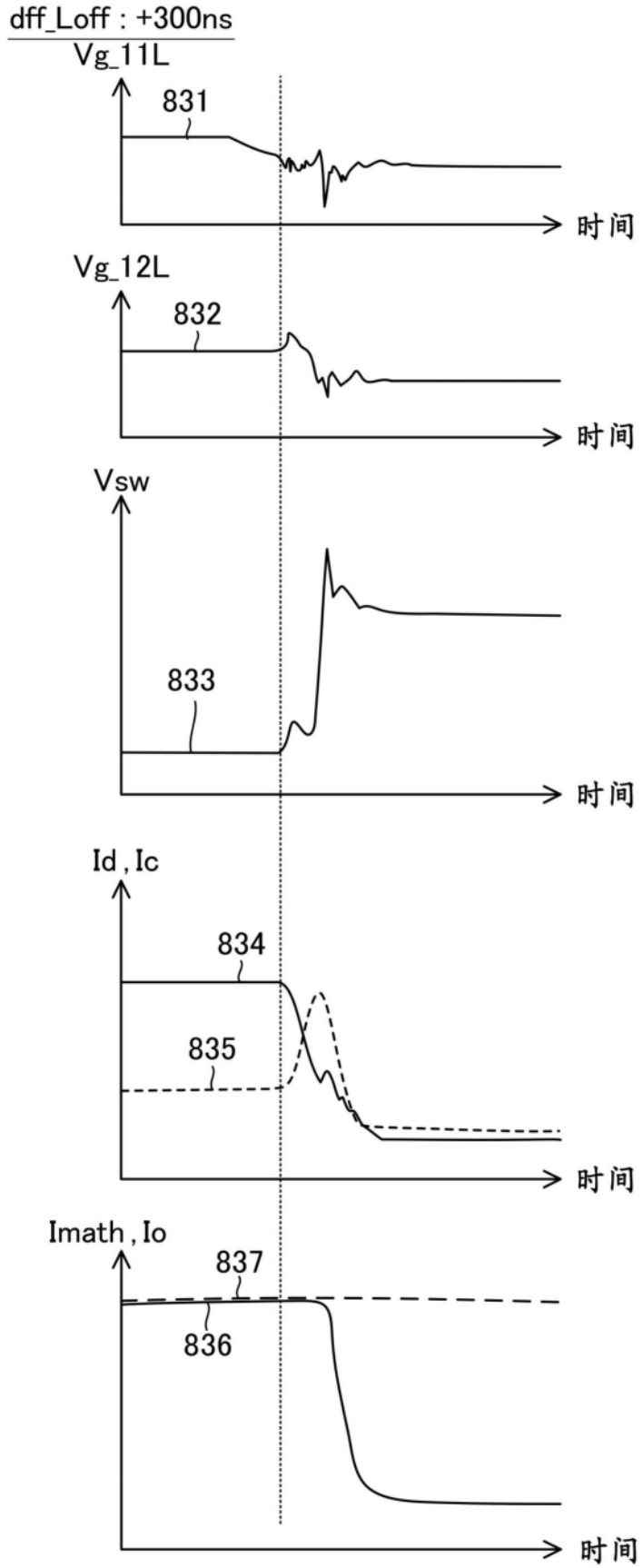

dff_Loff : +300ns
Vg_11L
831
时间
Vg_12L
832
时间
Vsw
833
时间
Id , Ic
834
835
时间
Imath , Io
837
836
时间

图15

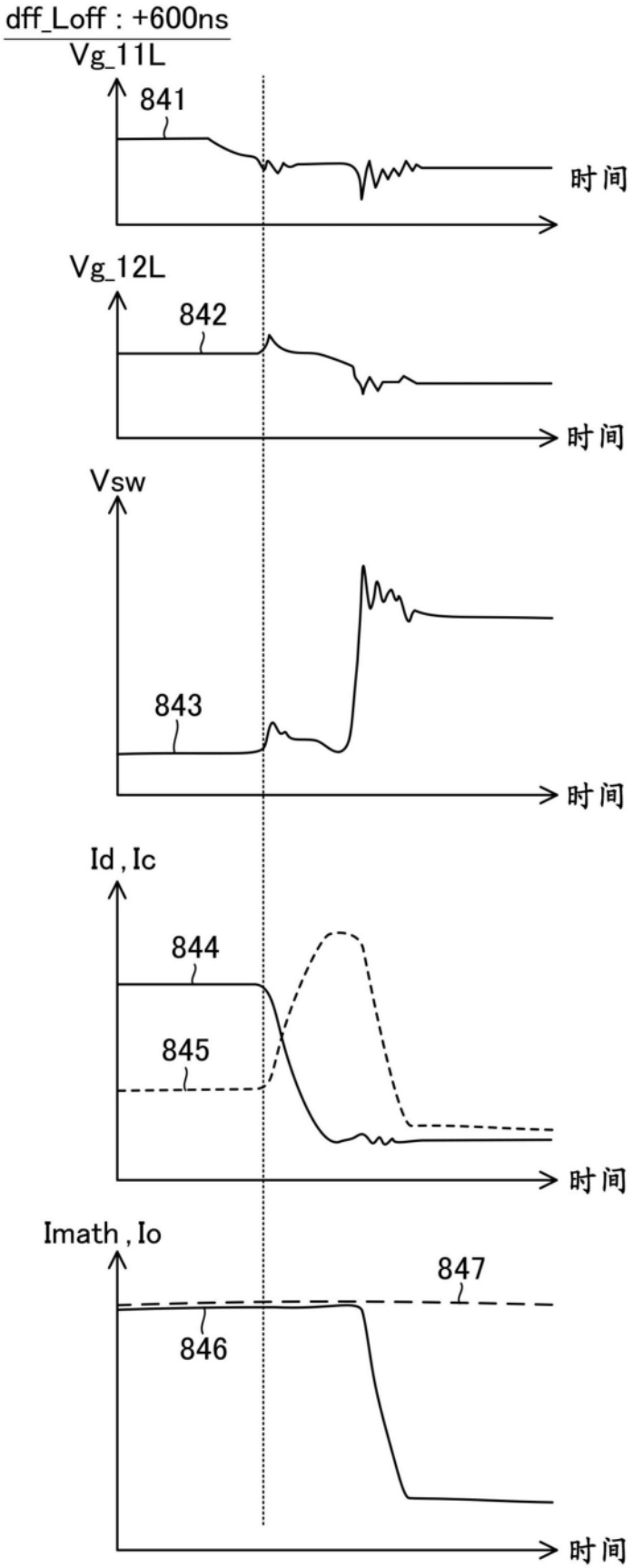

dff_Loff : +600ns
Vg_11L
841
时间
Vg_12L
842
时间
Vsw
843
时间
Id , Ic
844
845
时间
Imath , Io
847
846
时间

图16

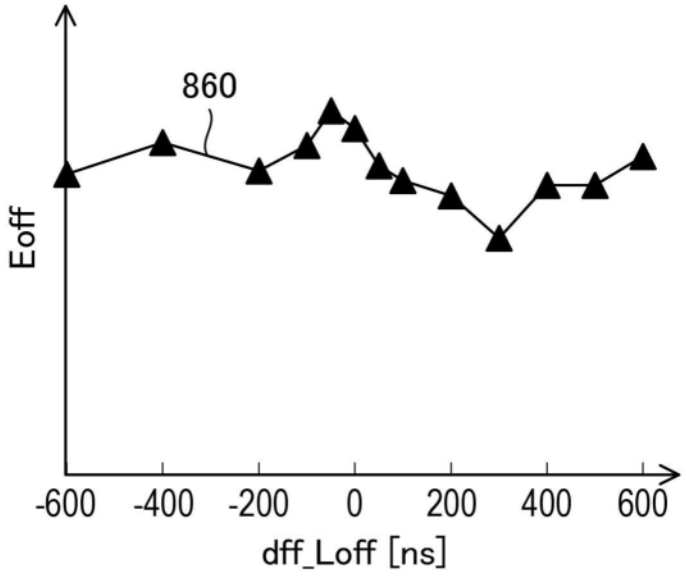



图17

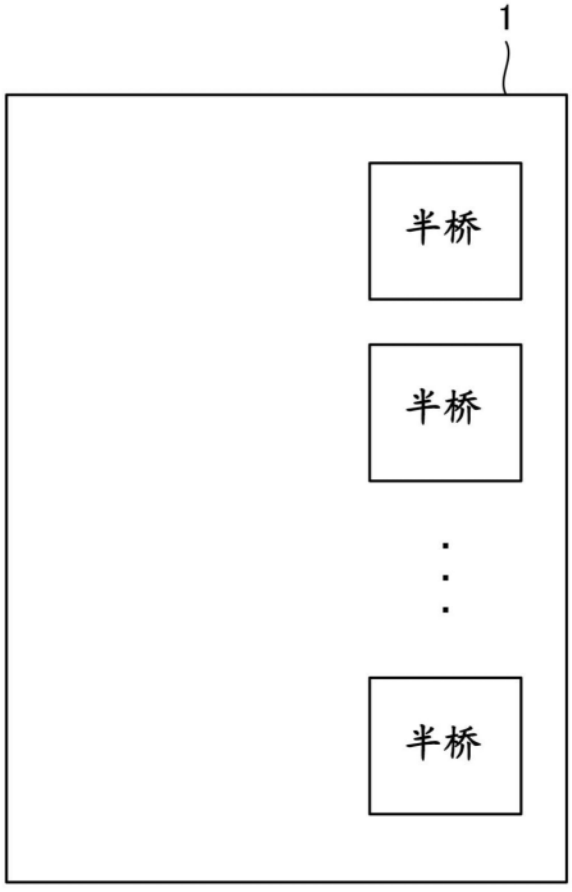



图18