



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I517259 B

(45)公告日：中華民國 105 (2016) 年 01 月 11 日

(21)申請案號：099141019

(22)申請日：中華民國 99 (2010) 年 11 月 26 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L21/28 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2009/11/28 日本

2009-270854

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200929497A

TW 200941722A

TW 200941729A

US 6563174B2

US 6727522B1

審查人員：趙天生

申請專利範圍項數：31 項 圖式數：20 共 102 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

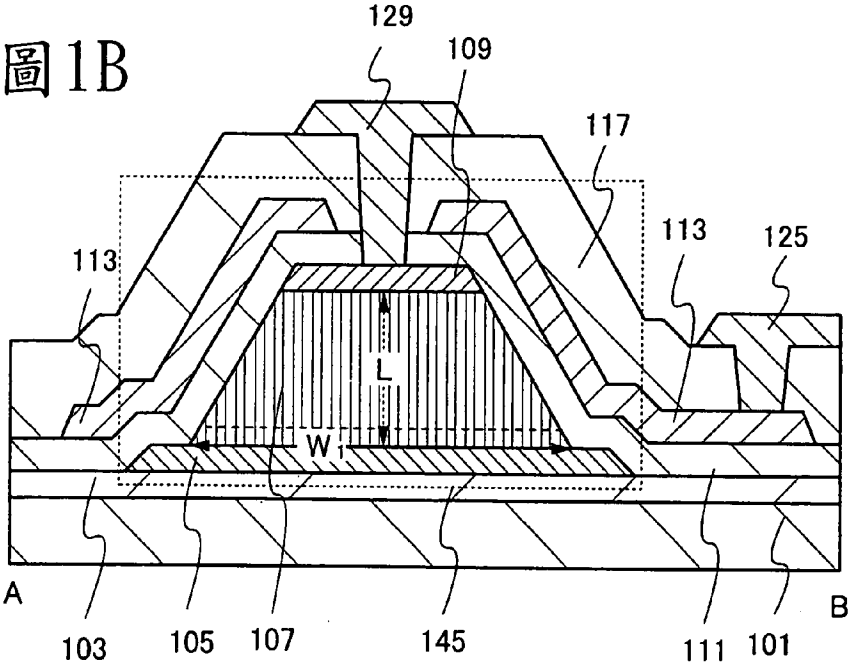
(57)摘要

目的為提供一種其中有使用具有高產能的新穎半導體材料的用於高功率應用的半導體裝置以及提供一種具有其中有使用新穎半導體材料的新穎結構的半導體裝置，本發明為各具有其中有具有晶質的第一氧化物半導體膜與具有晶質的第二氧化物半導體膜堆疊的氧化物半導體的堆疊體的一垂直電晶體及一垂直二極體，包含在氧化物半導體的堆疊體中供做為電子施體(施體)的雜質在結晶成長的步驟中被除去；因此，氧化物半導體的堆疊體受高純化且為本質半導體或是載子密度為低的大體上本質的半導體，氧化物半導體的堆疊體比矽半導體具有更寬的帶隙。

Objects are to provide a semiconductor device for high power application in which a novel semiconductor material having high productivity is used and to provide a semiconductor device having a novel structure in which a novel semiconductor material is used. The present invention is a vertical transistor and a vertical diode each of which has a stacked body of an oxide semiconductor in which a first oxide semiconductor film having crystallinity and a second oxide semiconductor film having crystallinity are stacked. An impurity serving as an electron donor (donor) which is contained in the stacked body of an oxide semiconductor is removed in a step of crystal growth; therefore, the stacked body of an oxide semiconductor is highly purified and is an intrinsic semiconductor or a substantially intrinsic semiconductor whose carrier density is low. The stacked body of an oxide semiconductor has a wider band gap than a silicon semiconductor.

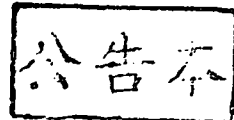
指定代表圖：

圖 1B



符號簡單說明：

- 101 . . . 基材
- 103 . . . 絕緣膜
- 105 . . . 第一電極
- 107 . . . 氧化物半導體膜
- 109 . . . 第二電極
- 111 . . . 閘極絕緣膜
- 113 . . . 第三電極
- 117 . . . 絕緣膜
- 125 . . . 佈線
- 129 . . . 佈線
- 145 . . . 電晶體



發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099141019

※申請日：099 年 11 月 26 日

※IPC 分類：

H01L 21/376 (2006.01)

H01L 21/28 (2006.01)

H01L 29/178 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

二、中文發明摘要：

目的為提供一種其中有使用具有高產能的新穎半導體材料的用於高功率應用的半導體裝置以及提供一種具有其中有使用新穎半導體材料的新穎結構的半導體裝置，本發明為各具有其中有具有晶質的第一氧化物半導體膜與具有晶質的第二氧化物半導體膜堆疊的氧化物半導體的堆疊體的一垂直電晶體及一垂直二極體，包含在氧化物半導體的堆疊體中供做為電子施體（施體）的雜質在結晶成長的步驟中被除去；因此，氧化物半導體的堆疊體受高純化且為本質半導體或是載子密度為低的大體上本質的半導體，氧化物半導體的堆疊體比矽半導體具有更寬的帶隙。

三、英文發明摘要：

Objects are to provide a semiconductor device for high power application in which a novel semiconductor material having high productivity is used and to provide a semiconductor device having a novel structure in which a novel semiconductor material is used. The present invention is a vertical transistor and a vertical diode each of which has a stacked body of an oxide semiconductor in which a first oxide semiconductor film having crystallinity and a second oxide semiconductor film having crystallinity are stacked. An impurity serving as an electron donor (donor) which is contained in the stacked body of an oxide semiconductor is removed in a step of crystal growth; therefore, the stacked body of an oxide semiconductor is highly purified and is an intrinsic semiconductor or a substantially intrinsic semiconductor whose carrier density is low. The stacked body of an oxide semiconductor has a wider band gap than a silicon semiconductor.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

101：基 材

103：絕 緣 膜

105：第 一 電 極

107：氧 化 物 半 導 體 膜

109：第 二 電 極

111：閘 極 絕 緣 膜

113：第 三 電 極

117：絕 緣 膜

125：佈 線

129：佈 線

145：電 晶 體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明關於一種具有使用氧化物半導體的半導體元件之半導體裝置以及此半導體裝置之製造方法。

【先前技術】

藉由在具有絕緣表面的基材之上利用於相對低溫形成的薄半導體膜的一種形成薄膜電晶體（thin film transistor, TFT）的技術已獲得關注。薄膜電晶體被使用在以液晶電視為典型的顯示裝置。矽基半導體材料做為應用於薄膜電晶體的半導體薄膜的材料已為人所知。除了矽基半導體材料，氧化物半導體獲得關注。

做為用於氧化物半導體的材料，已知鋅氧化物及包含鋅氧化物做為其成分的材料。再者，採用具有低於 10^{18} cm^{-3} 的電子載子密度的非晶氧化物（氧化物半導體）形成的薄膜電晶體被揭露（專利文件1至3）。

〔參考文獻〕

〔專利文件〕

〔專利文件1〕日本公開專利申請號2006-165527

〔專利文件2〕日本公開專利申請號2006-165528

〔專利文件3〕日本公開專利申請號2006-165529

【發明內容】

在使用於高功率應用的半導體裝置中的電晶體的情況

中，諸如高耐受電壓、高轉換效率、及高速切換的特性是需要的。矽被用於這樣的半導體裝置的半導體材料；然而，自前述觀點，需要一種可以進一步改善這些特性的新穎的半導體材料。

做為可以改善上述特性的半導體材料之例，可以提供矽碳化物。因為矽碳化物具有在Si-C鍵中接近0.18 nm的小原子間距、高鍵能、及約為矽的三倍的大帶隙，矽碳化物有助於提升半導體裝置的耐受電壓、降低電能損失、及類似優點已為人所知。

然而，矽碳化物因其特性而要將其熔化是困難的；因此，矽碳化物無法以諸如Czochralski (CZ) 法或使用於製造矽晶圓的類似方法之類的具有高產能的方法製造。此外，矽碳化物還有著具有被稱為微管的缺陷的問題。因為這些問題，延遲了使用矽碳化物的半導體裝置的商品化。

鑒於前述問題，本揭示發明的其中一實施例的一目的係提供一種其中有使用具有高生產力的新穎半導體材料的用於高功率應用的半導體裝置。本揭示發明的其中一實施例的另一目的係提供一種具有其中有使用新穎半導體材料的新穎結構的半導體裝置。

在本發明的其中一實施例中，在形成於基材之上的第一電極之上形成一第一氧化物半導體膜；接著，藉由在高於或等於450°C且低於或等於850°C、高於或等於550°C且低於或等於750°C為佳的溫度執行熱處理而造成自第一氧化物半導體膜的表面至內側部分的結晶成長，如此以形成

與第一電極相接觸的具有晶質的第一氧化物半導體膜；以及在具有晶質的第一氧化物半導體之上堆疊一具有晶質的第二氧化物半導體膜。注意各個具有晶質的第一氧化物半導體膜及具有晶質的第二氧化物半導體膜具有在其表面上一致結晶排列的平板狀多晶區。平板狀多晶區c軸排列在垂直於具有晶質的第一氧化物半導體膜及具有晶質的第二氧化物半導體膜的表面的方向上。注意在a-b平面中彼此相鄰的元件屬於相同種類。各個具有晶質的第一氧化物半導體膜及具有晶質的第二氧化物半導體膜的c軸方向相當於垂直於表面的方向。

具有晶質的第二氧化物半導體膜可以依下列方式形成：在具有晶質的第一氧化物半導體膜之上形成一第二氧化物半導體膜；且然後，在高於或等於 450°C 且低於或等於 850°C 、高於或等於 550°C 且低於或等於 750°C 為佳的溫度執行熱處理，以造成朝著比具有晶質的第一氧化物半導體膜更上層的第二氧化物半導體膜的表面結晶成長。亦即，具有晶質的第一氧化物半導體膜具有用於第二氧化物半導體的種晶的作用。

再者，在高於或等於 200°C 且低於或等於 550°C 的溫度執行加熱時，具有晶質的第二氧化物半導體膜沉積在具有晶質的第一氧化物半導體膜之上。代表性地，沉積藉由濺鍍法而執行，以造成自具有晶質的第一氧化物半導體膜的表面的磊晶成長或軸向成長以及形成具有晶質的第二氧化物半導體膜。亦即，具有晶質的第一氧化物半導體膜具有

用於第二氧化物半導體膜的種晶的作用。

由於結晶成長為做為種晶的具有晶質的第一氧化物半導體膜的使用而造成，具有晶質的第二氧化物半導體膜具有大體上如具有晶質的第一氧化物半導體膜般的相同的結晶排列。

之後，蝕刻第一及第二氧化物半導體膜至具有島狀；在第二氧化物半導體膜之上形成一第二電極；以及形成一閘極絕緣膜及做為閘極電極之用的一第三電極，藉此可以製造出垂直電晶體、垂直二極體、或類似元件做為半導體元件。注意第一電極做為源極電極及汲極電極的其中一個之用，且第二電極做為源極電極及汲極電極的另外一個之用。

用於形成具有晶質的第一氧化物半導體膜的熱處理（第一熱處理）以及用於形成具有晶質的第二氧化物半導體膜的熱處理（第二熱處理）最好在幾乎無氫與水分的氣氛（例，氮氣氣氛、氧氣氣氛、或乾空氣氣氛）中執行。藉由第一熱處理及第二熱處理，執行藉此而自第一氧化物半導體膜中消除 H、OH、H₂O、或類似物的脫水或除氫，藉此可以高純化具有晶質的第一氧化物半導體膜及具有晶質的第二氧化物半導體膜。另外，第一熱處理及第二熱處理可以依下列方式執行：在惰性氣體氣氛中升溫且然後將氣氛切換至含氧氣氛。在氧氣氣氛中執行熱處理的情況中，氧化物半導體膜被氧化，藉此可以修復氧缺陷。即使當對受過第一熱處理的具有晶質的第一氧化物半導體膜執行在

上至 450°C 使用熱脫附質譜儀（也稱為 TDS）的量測時，並未測得水的二個峰值中在 300°C 附近的至少一峰值。

注意在具有晶質的第一氧化物半導體膜及具有晶質的第二氧化物半導體膜包含 In 的情況中，在其平板狀多晶區，遷移率因為 In 的電子雲彼此重疊以互相連接而提升。因此，可以在包括有具有在通道中的多晶區的氧化物半導體膜的電晶體中實現高場效遷移率。

對於具有晶質的第一氧化物半導體膜的材料以及具有晶質的第二氧化物半導體膜的材料並無特別限制，因此只要可以取得 c 軸排列在垂直於表面的方向上的多晶區，可使用不同材料或使用包含相同成分的材料。注意當使用不同材料時，造成異質磊晶成長且取得異質磊晶結構。

當用在形成具有晶質的第一氧化物半導體膜以及用在形成具有晶質的第二氧化物半導體膜的氧化物半導體材料包含相同主成分時，在具有晶質的第一氧化物半導體膜與具有晶質的第二氧化物半導體膜之間的分界可能變得不明確且可能取得大體上單層結構。注意當使用包含相同成分的材料時，造成同質磊晶成長且取得同質磊晶結構。

注意由於形成在具有晶質的第一氧化物半導體膜的表面的具有一致結晶排列的多晶區自表面在深度方向上成長，在第一氧化物半導體膜在剛沉積之後為非晶形的情況中，第一氧化物半導體膜可以不受具有晶質的第一氧化物半導體膜的基件影響而形成。

各為本發明的其中一實施例的垂直電晶體及垂直二極

體具有其中有具有晶質的第一氧化物半導體膜與具有晶質的第二氧化物半導體膜堆疊的氧化物半導體的堆疊體。包含在氧化物半導體的堆疊體中供做為電子施體（施體）的雜質在結晶成長的步驟中被除去；因此，氧化物半導體的堆疊體受高純化且使用本質半導體或載子密度為低的大體上本質的半導體而形成。另外，氧化物半導體的堆疊體比矽半導體具有更寬的帶隙。

在高純化的氧化物半導體的堆疊體中，氫濃度為低於或等於 $1 \times 10^{18} \text{ cm}^{-3}$ ，低於或等於 $1 \times 10^{16} \text{ cm}^{-3}$ 為佳，大體上為 0 更佳；載子密度為低於 $1 \times 10^{12} \text{ cm}^{-3}$ ，低於 $1.45 \times 10^{10} \text{ cm}^{-3}$ 為佳，其係低於量測的低限；且帶隙大於或等於 2 eV，大於或等於 2.5 eV 為佳，更佳地，大於或等於 3 eV。

藉由在電晶體的通道形成區中使用這種氧化物半導體的高純化的堆疊體，通道可以形成不僅在與閘極絕緣膜相接觸的氧化物半導體的堆疊體的表面而且也在氧化物半導體的堆疊體的內側部分，即，通道可以形成在整個的氧化物半導體的堆疊體中；因此，大量的電流在導通狀態時可在電晶體中流動。當電晶體在關閉狀態時，空乏層散佈至氧化物半導體的堆疊體內側的較深區域，藉此可以減少係為在關閉狀態中的電晶體中流動的電流的閉態電流。再者，耐受電壓變高且熱載子衰退受抑制，如此可以製造用於施加高電壓的高功率應用的半導體裝置。

藉由在二極體中使用這樣的高純化的氧化物半導體的堆疊體，二極體具有高整流性質。

注意根據本發明的其中一實施例的電晶體在其範疇中包括一絕緣閘場效電晶體（IGFET）以及一功率 MOSFET。

根據本發明的其中一實施例，藉由使用降低氫濃度且提升純度以及具有多晶區的氧化物半導體膜，電晶體及二極體可以良好運作。在電晶體中，特別是，可以提高耐受電壓、可以降低短通道效應、以及可以取得高開關比。因此，藉由使用這個電晶體可以製造出用於高功率應用的半導體裝置。

【實施方式】

本發明的實施例將參照隨附圖式說明如下。然而，本發明並不限於下述說明，故熟習此項技藝者當明顯知道此中所揭露的模式及細節可以在不背離本發明的精神及範圍下以各種方式進行修改。因此，本發明不應解釋為被限制在下述實施例中的說明。注意在下文中所述的本發明的結構中，類似部分或是具有相似功能的部分在不同的圖式中係以相同的元件符號標示，且不重覆其說明。

注意在這份說明書中所述的各圖式中，各構件的尺寸或是各層的厚度或是範圍在一些為了清晰的情況中會加大。因此，本發明的實施例並不限定在這樣的比例。

注意在這份說明書中諸如“第一”、“第二”、及“第三”之類的序數用詞為使用以避免構件之間的混淆，並非是在數字上設限。因此，例如，用詞“第一”可以視情況以“第

二”、“第三”、或其類似用詞代替。

注意“電壓”係指兩點的電勢之間的差，且“電勢”係指一單位電荷在靜電場中的給定點的靜電能（電勢能）。注意一般而言，一個點的電勢與一參考電勢之間的差僅僅被稱為電勢或電壓，且電勢及電壓在許多情況中被做為同義詞使用。是以，在這份說明書中，除非另行指定，否則電勢可改換措辭為電壓以及電壓可改換措辭為電勢。

[實施例 1]

在此一實施例中，將參照圖 1A 及 1B 說明一電晶體的結構，其為一半導體元件的實施例。

圖 1A 為一電晶體 145 的頂視圖、及圖 1B 相當於沿圖 1A 中虛線 A-B 的截面視圖。

如圖 1B 所示，一第一電極 105、一具有多晶區的氧化物半導體膜 107、及一第二電極 109 堆疊在形成於一基材 101 之上的一絕緣膜 103 之上。注意第二電極 109 係堆疊在氧化物半導體膜 107 之上且與其整個頂面相接觸。一閘極絕緣膜 111 被提供以覆蓋第一電極 105、氧化物半導體膜 107、及第二電極 109。在閘極絕緣膜 111 之上，提供有面對此氧化物半導體膜的至少一側面的一第三電極 113。在閘極絕緣膜 111 及第三電極 113 之上提供有作為層間絕緣膜之用的一絕緣膜 117。在絕緣膜 117 中形成有數個開口，且形成有經由開口連接至第一電極 105 的一佈線 131（參見圖 1A）、經由開口連接至第二電極 109 的一佈線 129、以及經

由開口連接至第三電極113的一佈線125。注意在這份說明書中，膜的頂面意指在一對平行於基材101的表面中遠離基材101的那一面。

第一電極105做為電晶體145的源極電極及汲極電極的其中一個之用。第二電極109做為電晶體145的源極電極及汲極電極的另外一個之用。第三電極113做為電晶體145的閘極電極之用。

在此一實施例中，氧化物半導體膜107具有晶質且具有在其表面結晶排列一致的平板狀多晶區。亦即，氧化物半導體膜107的多晶區具有平行於表面的a-b平面且c軸排列在垂直於表面的方向上。換言之，氧化物半導體膜107的c軸方向相當於垂直於表面的方向。注意在a-b平面上彼此相鄰的元件屬於相同種類。注意此平板狀多晶區為具有複數個各自c軸排列在垂直於表面的方向上的單晶區的一區域。

在多晶區中，In的電子雲彼此重疊以互相連接，藉以改善電導率 σ 。因此，在包括有具有多晶區的氧化物半導體膜的電晶體中可以實現高場效遷移率。

氧化物半導體膜107為使用金屬氧化物而形成且可以使用下列任一金屬氧化膜：諸如In-Sn-Ga-Zn-O膜之類的四元金屬氧化膜；諸如In-Ga-Zn-O膜、In-Sn-Zn-O膜、In-Al-Zn-O膜、Sn-Ga-Zn-O膜、Al-Ga-Zn-O膜、及Sn-Al-Zn-O膜之類的三元金屬氧化膜；諸如In-Zn-O膜、Sn-Zn-O膜、Al-Zn-O膜、Zn-Mg-O膜、Sn-Mg-O膜、及In-Mg-O膜之

類的二元金屬氧化膜；In-O膜；Sn-O膜；及Zn-O膜。

對於氧化物半導體膜107，可以使用以 InMO_3 (ZnO)_m ($m>0$) 所表示的材料。此處，M代表選自於Ga、Al、Mn、及Co的一個或多個金屬元素。例如，M可以為Ga、Ga及Al、Ga及Mn、Ga及Co、或諸如此類。

注意並且氧化物半導體膜107可利用以In-A-B-O代表的氧化物半導體材料而形成。此處，A代表選自於諸如鎵(Ga)及鋁(Al)之類的第13族元素、諸如矽(Si)及鍺(Ge)之類的第14族元素、及其類似元素的一或多種元素。B代表選自諸如鋅(Zn)之類的第12族元素的一或多種元素。要注意的是In成分、A成分、及B成分的量值為任意的。A成分的量值可為0。另一方面，In成分及B成分的量值不為0。換言之，上述表示式可代表In-Ga-Zn-O、In-Zn-O、及其類似物。

在氧化物半導體膜107具有以 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 、或 InGaZnO_4 代表的結晶結構的情況中，可以得知氧化物半導體膜107包含In、Ga、及Zn的任何一個且具有平行於a軸及b軸的層的疊層結構。由於 InGaZnO_4 或 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 結晶的電導率主要以In控制，以符合平行於a軸及b軸的方向的含In層的電特性為佳。在 InGaZnO_4 或 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 結晶中，In的電子雲彼此重疊以互相連接以致形成載子路徑。

換言之，在a-b平面方向比在c軸方向上較容易發生結晶化。再者，在平板狀多晶區中，單晶區的a-b平面成為平行於表面。另外，自由空間位在氧化物半導體膜107的

表面上方，在此處，結晶不朝上成長。這些可以推論自當做為氧化物半導體膜 107 的 In-Ga-Zn-O 膜於升溫至 450°C 時以熱脫附質譜儀 (TDS) 量測時，在真空加熱條件中 (特別是在 300°C 附近) 並未測得 In 及 Ga 的峰值但測得鋅的峰值的事實。注意 TDS 量測係在真空中執行且觀測到自大約 200°C 測得鋅的消去。

習知的氧化物半導體一般為 n 型半導體，且即使在使用氧化物半導體的電晶體中的閘極電壓為 0V 時，電流仍傾向在源極與汲極電極之間流動；亦即，電晶體傾向於正常導通。在電晶體為正常導通的情況中，即使場效遷移率為高，仍難以控制電流。注意一些氫在氧化物半導體中為施體且為造成氧化物半導體成為 n 型半導體的一個因素是眾所周知的。一些氧缺陷為施體且為造成氧化物半導體成為 n 型半導體的另一因素也是眾所周知的。

因此，為了使氧化物半導體膜成為 i 型氧化物半導體膜，藉由自氧化物半導體膜除去 n 型雜質的氫而高純化氧化物半導體膜，如此以包含盡可能少的非氧化物半導體膜主成分的雜質且藉由消除氧缺陷而成為本質的 (i 型) 或大體上本質的。換言之，本發明的一個實施例的特徵為不藉由添加雜質而是藉由盡可能多地除去諸如氫或水或氧缺陷之類的雜質而取得高度純化的 i 型 (本質) 半導體、或與其相近的半導體。藉由高度純化氧化物半導體膜，電晶體的閘電壓可以為正值，因此可以取得所謂的正常關閉開關元件。

此處在氧化物半導體膜 107 中的氫濃度為低於或等於 $1 \times 10^{18} \text{ cm}^{-3}$ ，低於或等於 $1 \times 10^{16} \text{ cm}^{-3}$ 為佳，實質為 0 更佳。氧化物半導體膜 107 的載子密度為低於 $1 \times 10^{12} \text{ cm}^{-3}$ ，低於 $1.45 \times 10^{10} \text{ cm}^{-3}$ 為佳，其為低於量測的低限。亦即，氧化物半導體膜的載子密度盡可能的接近 0。帶隙為大於或等於 2 eV，大於或等於 2.5 eV 為佳，大於或等於 3 eV 更佳。注意在氧化物半導體膜中的氫濃度可以藉由二次離子質譜儀 (SIMS) 量測。載子密度可以藉由 Hall 效應量測而量測。較低的載子密度可以偕同電容-電壓 (CV) 量測的量測結果與方程式 1 的使用而計算出。

[方程式 1]

$$N_d = - \left(\frac{2}{e \epsilon_0 \epsilon} \right) \bigg/ \frac{d(1/C)^2}{dV}$$

氧化物半導體膜 107 的厚度大於或等於 1 μm ，大於或等於 3 μm 為佳，大於或等於 10 μm 更佳，在這情況中可以製造高功率應用的半導體裝置。

在此一實施例中，做為閘極電極之用的第三電極 113 具有環形。當做為閘極電極之用的第三電極 113 具有環形時，可以增加電晶體的通道寬度。在此一實施例的電晶體中，通道長度 L 意指氧化物半導體膜的厚度而通道寬度 W 為與第一電極或第二電極相接觸的氧化物半導體膜的端部的長度。注意在此一實施例中，與第一電極及第二電極中具有較大面積的那一個相接觸的氧化物半導體膜的端部的長度為 W。在此一實施例中，由於氧化物半導體膜的頂面

的形狀為具有一側邊 W_1 與一側邊 W_2 的矩形，通道寬度 W 為 $2W_1$ 與 $2W_2$ 的和。注意在電晶體的氧化物半導體膜的頂面的形狀為圓形的情況中，通道寬度 W 為 $2\pi r$ ，此處 r 為圓的半徑。

此一實施例的電晶體因為包括在其中的氧化物半導體膜具有多晶區故具有大的通態電流，以致在導通狀態中整個氧化物半導體膜作為通道之用且多數的載子轉移。再者，此一實施例的電晶體中，本質載子密度極低且從而空乏層的最大寬度極大，且空乏層散佈在關閉狀態中的氧化物半導體膜內側且閉態電流減少。換言之，在電晶體中可以取得高開關比。

注意電晶體為具有至少三端：閘極、汲極、及源極的一元件。電晶體在汲極區與源極區之間具有一通道形成區，且電流可以流經汲極區、通道形成區、及源極區。在此，由於電晶體的源極及汲極取決於電晶體的結構、運作條件、及諸如此類因素為可互換的，故難以定義何者為源極或汲極。是以，供做源極及汲極的一區域在某些情況中不會稱為源極或汲極。在這樣的情況中，例如，可將源極及汲極的其中一個稱為第一端子，而可將當中的另一個稱為第二端子。或者，可將源極及汲極的其中一個稱為第一電極，而可將當中的另一個稱為第二電極。或者，可將源極及汲極的其中一個稱為第一區，而可將源極及汲極的另一個稱為第二區。

基材 101 具有至少足夠的熱抗性以耐受之後待執行的

熱處理是必需的。做為基材 101，可以使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或類似材質的玻璃基材。

做為玻璃基材，在之後待執行的熱處理的溫度為高的情況中，最好使用其應變點高於或等於 730°C 的。做為玻璃基材，例如，使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃之類的玻璃材料。注意最好使用包含有 BaO 及 B_2O_3 的玻璃基材以使 BaO 的量大於 B_2O_3 。

注意，代替上述玻璃基材，可使用以絕緣材形成的基材，諸如陶瓷基材、石英基材、或藍寶石基材。或者，可使用結晶玻璃或其類似物。

絕緣膜 103 為使用諸如矽氧化膜或矽氮氧化膜之類的氧化物絕緣膜；或矽氮化膜、矽氮化氧化膜、鋁氮化膜、或鋁氮化氧化膜之類的氮化物絕緣膜而形成。另外，絕緣膜 103 可具有疊層結構，例如，一個或多個氮化物絕緣膜以及一個或多個氧化物絕緣膜依此順序堆疊在基材 101 之上的疊層結構。絕緣膜 103 的厚度最好大於或等於 100 nm 且小於或等於 $2\text{ }\mu\text{m}$ 。

第一電極 105 及第二電極 109 為使用選自於鋁、鉻、銅、鉭、鈦、鉬、鎢、及鈹的金屬元素；包含有任一這些金屬元素做為成分的合金；包含有這些金屬元素組合的合金；或類似材料而形成。或者，可以使用選自於錳、鎂、鋅、銻、及鈦的一或多種金屬元素。另外，第一電極 105 可具有單層結構或是具有二或多層的疊層結構。例如，可以提供含矽的鋁膜的單層結構、鋁膜之上堆疊鈦膜的二層結

構、鎢膜之上堆疊鈦膜的二層結構、依鈦膜、鋁膜、及鈦膜的順序堆疊的三層結構、及其類似結構。或者，可使用一膜、一合金膜、或包含鋁以及選自於鈦、鉭、鎢、鉬、鉻、釹、及鈳的一或多種元素的一氮化物膜。

第一電極105及第二電極109可以使用諸如銦錫氧化物、含鎢氧化物的銦氧化物、含鎢氧化物銦鋅氧化物、含鈦氧化物的銦氧化物、含鈦氧化物的銦錫氧化物、銦鋅氧化物、或添加有矽氧化物的銦錫氧化物的透光導電材料而形成。也可能為具有包含上述透光導電材料的層及包含上述金屬元素的層的疊層結構。

閘極絕緣膜111可形成為具有單層結構或是具有矽氧化膜、矽氮化膜、矽氮氧化膜、矽氮化氧化膜、及/或鋁氧化膜的疊層結構。與氧化物半導體膜107相接觸的閘極絕緣膜111的一部分最好包含氧，且特別是最好此部份的閘極絕緣膜111為使用矽氧化膜而形成。藉由使用矽氧化膜，可以供應氧至氧化物半導體膜107，因此可以取得有利的特性。

閘極絕緣膜111為使用諸如鈣矽酸鹽（ HfSiO_x ）、添加氮的鈣矽酸鹽（ $\text{HfSi}_x\text{O}_y\text{N}_z$ ）、添加氮的鈣鋁酸鹽（ $\text{HfAl}_x\text{O}_y\text{N}_z$ ）、鈣氧化物、或鈮氧化物之類的高k材料形成，以減少閘極漏電流。再者，可以使用高k材料與一或多個矽氧化膜、矽氮化膜、矽氮氧化膜、矽氮化氧化膜、及鋁氧化膜堆疊的疊層結構。閘極絕緣膜111的厚度最好大於或等於50 nm且小於或等於500 nm。大厚度的閘極絕緣

膜 111 能夠實現減少閘極漏電流。

做為閘極電極之用的第三電極 113 為使用選自於鋁、鉻、銅、鉬、鈦、鉬、及鎢的金屬元素；包含任一這些金屬元素做為成分的合金；包含這些金屬元素組合的合金；或類似材料而形成。再者，可使用選自於錳、鎂、鋅、及鈹的一或多種金屬元素。另外，第三電極 113 可具有單層結構或具有二或多層的疊層結構。例如可以提供含矽的鋁膜的單層結構、鋁膜之上堆疊鈦膜的二層結構、鈦氮化膜之上堆疊鈦膜的二層結構、鉬氮化膜之上堆疊鎢膜的二層結構、鉬膜之上堆疊鎢膜的二層結構、依鈦膜、鋁膜、及鈦膜的順序堆疊的三層結構、及其類似結構。或者，可使用一膜、一合金膜、或包含鋁以及選自於鈦、鉬、鎢、鉬、鉻、鈹、及鈳的一或複數種元素的一氮化物膜。

做為閘極電極之用的第三電極 113 可以使用諸如銦錫氧化物、含鎢氧化物的銦氧化物、含鎢氧化物的銦鋅氧化物、含鈦氧化物的銦氧化物、含鈦氧化物的銦錫氧化物、銦鋅氧化物、或添加矽氧化物的銦錫氧化物之類的透光導電材料而形成。也可能為具有使用上述透光導電材料及上述金屬元素而形成的疊層結構。

接著，包括有氧化物半導體膜 107 的電晶體的運作將參照能帶圖加以說明。

圖 2 為使用氧化物半導體的垂直電晶體的縱向截面視圖。一氧化物半導體膜 (OS) 被提供在一汲極電極 (D) 之上，且氧化物半導體膜 (OS) 之上提供有一源極電極 (S)。

S)。在汲極電極、氧化物半導體膜、及源極電極之上提供有一閘極絕緣膜（GI），且其上提供有一閘極電極（GE1）。

圖3A及3B為沿圖2中線段A-A'的截面的能帶圖（示意圖）。圖3A顯示施加至源極的電壓等於施加至汲極的電壓（ $V_D=0$ V）的情況，及圖3B顯示施加源極方面的正電勢至汲極（ $V_D>0$ ）且施加正電壓至閘極電極（ $V_G>0$ ）的情況。

圖5為在閘極電壓為0 V的情況中，沿圖2中線段B-B'的截面的能帶圖（示意圖）。圖6A顯示施加正電勢（ $+V_G$ ）至閘極（GE1）的狀態，換言之，電晶體處在載子（電子）在源極與汲極之間流動的導通狀態的情況。圖6B顯示施加負電勢（ $-V_G$ ）至閘極（GE1）的狀態，換言之，電晶體處在關閉狀態的情況。

圖4顯示真空能階與金屬的功函數（ ϕ_M ）之間的關係以及真空能階與氧化物半導體的電子親和能（ χ ）之間的關係。

金屬衰退且其Fermi能階位在傳導帶。另一方面，習知氧化物半導體一般為n型半導體，其情況為其Fermi能階（ E_F ）遠離位在帶隙中間的本質Fermi能階（ E_i ）且位在較接近傳導帶。注意一些氫在氧化物半導體中為施體且為造成氧化物半導體成為n型半導體的一個因素是眾所周知的。

另一方面，根據本發明的一個實施例的氧化物半導體為藉由自氧化物半導體除去n型雜質的氫並且高純化氧化

物半導體，以盡可能地避免非氧化物半導體膜主成分的雜質包含在其中而取得的本質（i型）半導體或大體上本質的半導體。換言之，本發明的一個實施例的特徵為不藉由添加雜質而是藉由盡可能多地除去諸如氫或水之類的雜質而取得高純化的i型半導體、或與其相近的半導體。這使得其Fermi能階（ E_F ）成為位在與本質Fermi能階（ E_i ）相同的能階。

在氧化物半導體的帶隙（ E_g ）為3.15 eV的情況中，電子親和能（ χ ）估計為4.3 eV。包含在源極電極及汲極電極中的鈦（Ti）的功函數為大體上等於氧化物半導體的電子親和能（ χ ）。在那種情況中，在金屬與氧化物半導體之間的界面不形成電子的Schottky勢壘。

亦即，在金屬的功函數（ ϕ_M ）及氧化物半導體的電子親和能（ χ ）彼此相等且金屬及氧化物半導體互相接觸的情況中，取得如圖3A所示的能帶圖（示意圖）。

在圖3B中，實心圓（●）代表電子，且當施加正電勢至汲極時，電子注入至勢壘（h）之上的氧化物半導體且朝汲極流動。在那種情況中，勢壘（h）的高度取決於閘極電壓及汲極電壓而改變；在施加正汲極電壓的情況中，勢壘（h）的高度小於無電壓施加的圖3A中的勢壘的高度，即， $1/2$ 帶隙（ E_g ）。

氧化物半導體膜的厚度大於或等於1 μm ，大於或等於3 μm 為佳，大於或等於10 μm 更佳，且載子密度為低。是以，在施加正電勢（ $+V_G$ ）至閘極（GE1）的狀態中，如

圖 6A 所示，在氧化物半導體層的表面的帶的彎曲程度為小，傳導帶的低端靠近 Fermi 能階，且整個氧化物半導體膜在能量方面為穩定的。因此，電子更容易不僅在閘極絕緣膜的鄰近處且也在氧化物半導體的整個區域流動；其結果，在氧化物半導體的整個區域中形成通道且更大量的電流可以流動。另一方面，閉態電流（即，在施加負電勢（ $-V_G$ ）至閘極（GE1）的狀態中流動的電流）為藉由直接再結合或間接再結合的電子與電洞的產生及再結合而產生流動；然而，由於氧化物半導體具有寬帶隙以及電子激發需要大量的熱能，直接再結合及間接再結合不大可能發生。是以，在施加負電勢（ $-V_G$ ）至閘極（GE1）的狀態中，由於少數載子的電洞數大體上為零，直接再結合及間接再結合不大可能發生且電流量極小；其結果，通道中每單位面積的電流值低於或等於 $100 \text{ aA}/\mu\text{m}$ ，低於或等於 $10 \text{ aA}/\mu\text{m}$ 為佳，低於或等於 $1 \text{ aA}/\mu\text{m}$ 更佳，其接近零。

接著，將說明氧化物半導體的本質載子密度。

包含在半導體中的本質載子密度 n_i 藉由依照以 Boltzmann 分布式（參見方程式 2）的 Fermi-Dirac 統計的 Fermi-Dirac 分布的近似值而計算。

〔方程式 2〕

$$n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g}{2kT}\right)$$

藉由近似式取得的本質載子密度 n_i 為在傳導帶 N_c 的有效態密度、在價帶 N_v 的有效態密度、及帶隙 E_g 的關係

式。自方程式 2，矽的本質載子密度 n_i 為 $1.45 \times 10^{10} \text{ cm}^{-3}$ ，以及氧化物半導體（在此為 In-Ga-Zn-O 膜）的本質載子密度 n_i 為 $1.2 \times 10^{-7} \text{ cm}^{-3}$ ；亦即，矽的載子密度為氧化物半導體的 10^{17} 倍。換言之，發現到氧化物半導體的本質載子密度相對於矽而言極低。

接著，在施加負電勢（ $-V_G$ ）至閘極（GE1）的情況中的空乏層的寬度及 Debye 長度將在下面進行說明。

當施加電壓至使用具有施體密度 N_d 的半導體、絕緣材、及金屬而形成的 MOS 電晶體時，形成在半導體中的空乏層的最大寬度 $T_{D \text{ MAX}}$ 可以用方程式 3 計算出。

[方程式 3]

$$T_{D \text{ MAX}} = \sqrt{\frac{2\epsilon_s \epsilon_0 (2\phi_F)}{qN_d}}$$

空乏層的最大寬度可以表示為施體密度及 Fermi 勢的函式，且 Fermi 勢 ϕ_F 可以用方程式 4 計算出。

[方程式 4]

$$\phi_F = \frac{kT}{q} \ln \frac{N_d}{n_i}$$

MOS 電晶體的 Debye 長度 L_D 可以用方程式 5 計算出。

[方程式 5]

$$L_D = \sqrt{\frac{\epsilon_s \epsilon_0 kT}{q^2 N_d}}$$

注意 ϵ_s 、 ϵ_0 、 N_d 、 q 、 k 、及 T 各代表氧化物半導體的介電常數、真空介電常數、施體密度、元電荷、

Boltzmann常數、及溫度。

求得使用矽的 MOS 電晶體的 空乏層 的最大寬度及 Debye 長度以及使用 氧化物半導體 的 MOS 電晶體的 空乏層 的最大寬度及 Debye 長度，此處矽的 n_i （本質載子密度）、其 ϵ_s 、氧化物半導體的 n_i 、及其 ϵ_s 各自設至 $1.45 \times 10^{10} \text{ cm}^{-3}$ 、11.9、 $1.2 \times 10^{-7} \text{ cm}^{-3}$ 、及 10。在此用於計算的各電晶體具有其中形成有平行於基材的表面的通道的水平 MOS 電晶體結構。注意在此空乏層的最大寬度相當於散佈垂直於基材的空乏層的寬度。亦注意在垂直 MOS 電晶體中的空乏層以相似於水平 MOS 電晶體中的空乏層的方式散佈。

當使用矽時，施體密度相當於雜質（P）的密度。當使用氧化物半導體時，氧缺陷及氫促成施體的形成。

隨著施體密度的減少，由方程式 4 計算出的空乏層的最大寬度增加以及由方程式 5 計算出的 Debye 長度增加。也發現到空乏層的最大寬度 $T_{D \text{ MAX}}$ 取決於本質載子密度 n_i 且空乏層在使用具有低 n_i 的氧化物半導體時比在使用矽時更為散佈。再者，隨著施體密度（ N_d ）的減少，Debye 長度增加且空乏層散佈在整個氧化物半導體中。典型地，當施體密度為自 $1 \times 10^{12} \text{ cm}^{-3}$ 至 $1 \times 10^{18} \text{ cm}^{-3}$ 時，氧化物半導體及矽中的空乏層的最大寬度為在次微米或數十微米等級且氧化物半導體及矽中的 Debye 長度為自數奈米至數微米。亦發現到，當施體密度在自 $1 \times 10^{-5} \text{ cm}^{-3}$ 至 $1 \times 10^1 \text{ cm}^{-3}$ 的範圍時，氧化物半導體中的空乏層的最大寬度急遽地自數十微米提升至數百微米，且空乏層散佈在整個氧化物半導體中

由上述，由於氧化物半導體具有寬帶隙及低本質載子密度，空乏層的最大寬度及 Debye 長度增加，且空乏層散佈在關閉狀態中的氧化物半導體的整個區域中；其結果，可以使閉態電流減少至盡可能接近零的值。

藉由高純化氧化物半導體以製造本質（i 型）半導體或大體上本質的半導體以盡可能不包含非氧化物半導體的主成分的雜質，使與閘極絕緣膜的界面特性變得明顯。因此，閘極絕緣膜最好使用可以與氧化物半導體形成合適界面的材料而形成。例如，最好使用以使用在 VHF 頻帶至微波頻帶的範圍中的電源供應頻率產生的高密度電漿的 CVD 法形成的緻密絕緣膜、或是以濺鍍法形成的絕緣膜。再者，爲了取得在閘極絕緣膜與閘極電極之間的合適界面，在閘極絕緣膜的表面上，可形成以使用在 VHF 頻帶至微波頻帶的範圍中的電源供應頻率產生的高密度電漿的 CVD 法形成的一緻密絕緣膜。

藉由此方式高純化氧化物半導體以使非爲氧化物半導體的主成分的雜質盡可能地不被包含，可以製造出具有高通態電流、低閉態電流、高開關比、及良好運作特性的電晶體。再者，起因於溫度變化的通態電流、場效遷移率、及閾電壓的變動極小。

在此，將對使用氧化物半導體的電晶體的汲極耐受電壓加以說明。

當半導體中的電場到達一定程度的閾值時，則碰撞電

離發生，受高電場加速的載子碰撞空乏層中的晶格，從而產生成對的電子及電洞。當電場變得更高時，由碰撞電離產生的成對的電子及電洞藉由電場而進一步加速，並且重覆碰撞電離，導致電流以指數增加的累增崩潰。碰撞電離因為載子（電子及電洞）具有大於或等於半導體帶隙的動能而發生。顯示碰撞電離或然率的碰撞電離係數具有與帶隙的關聯。據了解，碰撞電離隨著帶隙的增加而不大可能發生。

由於氧化物半導體的帶隙為 3.15 eV ，其大於矽的帶隙（ 1.12 eV ），則預期累增崩潰不大可能會發生。因此，使用氧化物半導體的電晶體具有高汲極耐受電壓，且預期在施加高電場時，通態電流的指數驟增不大可能會發生。

接著，將對使用氧化物半導體的電晶體的熱載子衰退加以說明。

熱載子衰退意指被加速至極快的電子藉由被注入在通道的汲極附近的閘極氧化膜中而成為固定電荷或是在閘極絕緣膜與氧化物半導體膜之間的界面形成陷阱能階的一種現象。熱載子衰退的因素為通道熱電子注入（CHE注入）及汲極突崩熱載子注入（DAHC注入）。

由於矽的帶隙為窄，電子可能產生像是累增崩潰導致的突崩，且被加速到快至躍過勢壘至閘極絕緣膜的電子的數量增加。然而，此一實施例中所述的氧化物半導體具有寬帶隙；因此，累增崩潰不大可能發生且於熱載子衰退的阻抗高於矽。注意雖然做為具有高耐受電壓的材料矽碳

化物的帶隙與氧化物半導體之間大體上彼此相等，電子在氧化物半導體中不大可能被加速，因為氧化物半導體中的遷移率接近矽碳化物的百分之一高。再者，在氧化物半導體與是為閘極絕緣膜的氧化膜之間的勢壘大於在矽碳化物、鎵氮化物、及矽中任一與是為閘極絕緣膜的氧化膜之間的勢壘；因此，在氧化物半導體的情況中，注入至氧化膜的電子數極小，熱載子衰退比在矽碳化物、鎵氮化物、或矽的情況中更少可能會造成，且汲極耐受電壓可以說是高的。從而，在做為通道之用的氧化物半導體與源極及汲極電極之間不需要提供低濃度雜質區域，以致可以實現極簡單的電晶體結構以及可以減少其製造步驟數。

出於上述，使用氧化物半導體的電晶體具有高汲極耐受電壓；具體而言，這樣的電晶體可具有大於或等於100 V的汲極耐受電壓，大於或等於500 V為佳，大於或等於1 kV更佳。

使用矽碳化物的電晶體（其為電晶體的代表性例子）以及使用氧化物半導體的電晶體之間的比較將在下面加以說明。在此，使用4H-SiC作為矽碳化物。

氧化物半導體及4H-SiC有一些事物是通用的。其中一個例子是本質載子密度。在常溫使用 Fermi-Dirac 分佈，氧化物半導體的本質載子密度估計約 10^{-7} cm^{-3} ，其像4H-SiC的載子密度一樣而為極低，即， $6.7 \times 10^{-11} \text{ cm}^{-3}$ 。

另外，氧化物半導體的能帶隙為3.0 eV至3.5 eV而4H-SiC的為3.26 eV，這表示氧化物半導體及矽碳化物皆為寬

隙半導體。

然而，使用氧化物半導體與矽碳化物的電晶體的製造溫度極大不同。在使用矽碳化物的情況，需要在 1500°C 至 2000°C 的激發用熱處理。對照之下，在使用氧化物半導體的情況，具有晶質的氧化物半導體可以藉由在高於或等於 450°C 且低於或等於 850°C 、高於或等於 550°C 且低於或等於 750°C 為佳的溫度的熱處理而製造，其允許在大尺寸基材之上製造出電晶體。另外，可以提升產量。

SiC-MOSFET的製程包括一摻雜可以為施體或受體（例，磷或硼）的雜質的步驟以及一用於激發的高溫熱處理步驟。在此，要注意的是氧化物半導體具有相對高的電子親和能。於是，藉由選擇具有恰當的功函數的金屬用於電極，可以在氧化物半導體與電極之間形成歐姆接觸而不需在電晶體的製程中摻雜雜質的步驟。以此方式，因為在接觸部分中容易形成 n^{+} 區，故可以實現製程的簡化。

注意對於在像是在帶隙中的狀態密度（DOS）之類的氧化物半導體的性質方面已有重要的研究完成；然而，這類研究並不包括充分減少DOS本身的概念。在此一實施例中，高純化的氧化物半導體藉由自氧化物半導體除去可能導致能隙中的DOS的水或氫而製造。這是基於充分減少DOS本身的概念。是以，可以製造出色的工業產品。

再者，也可能藉由供應氧至因缺氧所產生的金屬的懸鍵以及減少源於缺氧的DOS而形成更高純化的（i型）氧化物半導體。例如，形成包含過量氧的氧化膜與通道形成區

緊接，從而自氧化膜供應氧，藉此可以減少源於氧缺乏的DOS。

氧化物半導體的缺陷一般而言是由在氫過量導致的傳導帶、缺氧導致的深能階、或類似物之下的0.1 eV至0.2 eV的淺能階所造成。爲了消除這樣的缺陷而徹底減少氫且充分供應氧的技術概念是正確的。

氧化物半導體一般被視爲n型半導體；然而，在此一實施例中，藉由除去雜質（特別是水或氫）而實現i型半導體。在這方面，因爲與添加有雜質的矽之類的i型半導體相異，故可以說本發明的一個實施例包括有新穎的技術概念。另外，不包含在氧化物半導體中的重元素（例，諸如鐵或鎳之類的雜質）的密度最好低於或等於 $1 \times 10^{15} \text{ cm}^{-3}$ 。

藉由使氧化物半導體成爲i型半導體，可以得到電晶體的適合溫度特性；具體而言，就電晶體的電流對電壓特性而言，通態電流、閉態電流、場效遷移率、S值、及閾電壓在溫度自 -25°C 至 150°C 的範圍中幾乎不會變動，且電流對電壓特性幾乎不會隨溫度而衰退。

在使用此一實施例所述的氧化物半導體的電晶體中，通道的遷移率微低於在使用矽碳化物的電晶體中；然而，電晶體的電流值及元件特性可以藉由增加汲極電壓及通道寬度（W）而改善。

此一實施例的技術概念爲不添加雜質至氧化物半導體且反過來藉由故意地除去諸如水或氫之類不期望存在其中

的雜質而高純化氧化物半導體本身。換言之，氧化物半導體藉由除去形成施體能階的水或氫、降低氧缺乏、及充足供應氧化物半導體主成分的氧氣而高純化。

在剛沉積後的氧化物半導體中，使用二次離子質譜儀（SIMS）測得在 $1 \times 10^{20} \text{ cm}^{-3}$ 至 $9 \times 10^{20} \text{ cm}^{-3}$ 的密度的氫。氧化物半導體藉由故意地除去會形成施體能階的水或氫並進一步藉由添加在除去水或氫的同時會減少的氧（氧化物半導體的成分之一）至氧化物半導體而受到高純化且變成爲i型（本質）半導體。

在此一實施例中，氧化物半導體中水及氫的量最好盡可能地小，以及氧化物半導體中的載子數最好盡可能地小。換言之，期望的是低於 $1 \times 10^{12} \text{ cm}^{-3}$ 、或低於 $1.45 \times 10^{10} \text{ cm}^{-3}$ 爲佳（即，低於量測的低限）的載子密度。再者，在此一實施例的技術概念中，理想的載子密度爲0或接近0。特別是，氧化物半導體可以依氧化物半導體在高於或等於 450°C 且低於或等於 850°C 、高於或等於 550°C 且低於或等於 750°C 爲佳的溫度於氧氣氣氛、氮氣氣氛、或特乾空氣氣氛（當中水含量低於或等於20 ppm，低於或等於1 ppm爲佳，低於或等於10 ppb更佳）中受熱處理的這樣的方式而高純化，以自氧化物半導體除去供爲n型雜質的水或氫。藉由以除去諸如水或氫之類的雜質而高純化氧化物半導體，載子密度可以低於 $1 \times 10^{12} \text{ cm}^{-3}$ ，較佳地則低於 $1.45 \times 10^{10} \text{ cm}^{-3}$ ，即，低於量測的低限。

再者，熱處理在高於或等於 450°C 且低於或等於 850°C

的溫度（高於或等於 600°C 且低於或等於 700°C 為佳）執行，在這種情況下氧化物半導體可以高純化且結晶化，以致成為具有結晶自氧化物半導體的表面成長至其內側部分的c軸排列多晶區的氧化物半導體。c軸排列多晶區為具有複數個各自的c軸排列在表面的垂直方向上的單晶區的一區域。

在本發明的實施例中，第二氧化物半導體膜為使用具有c軸排列多晶區的氧化物半導體膜做為種晶而提供，且在高於或等於 450°C 且低於或等於 850°C 的溫度（高於或等於 550°C 且低於或等於 750°C 為佳）執行熱處理，藉此使第二氧化物半導體可以具有像是種晶一般c軸排列的多晶區。亦即，可以造成在其中種晶c軸的方向與第二氧化物半導體膜c軸完全相同的理想的軸向成長或磊晶成長。

c軸的方向相同於種晶c軸的第二氧化物半導體膜不僅可以藉由在沉積後熱處理造成的固相成長也能夠藉由沉積（典型採用濺鍍）而取得，當加熱在高於或等於 200°C 且低於或等於 600°C 的溫度，較佳地在高於或等於 200°C 且低於或等於 550°C 執行時，其中在沉積第二氧化物半導體時，可以在第二氧化物半導體膜中造成結晶成長。

此外，在電晶體中，氧化物半導體做為其中載子藉由降低或最好是消滅氧化物半導體的載子而流動的路徑之用。其結果，氧化物半導體為高純化且包括極少數或無載子的i型（本質）半導體，且閉態電流在電晶體於關閉狀態的狀態中可以極小，其為此一實施例的技術概念。

另外，當氧化物半導體做為路徑之用，且氧化物半導體本身為受高純化以致包括極小數或無載子的i型（本質）半導體時，則自源極及汲極電極供應載子。藉由適當地選擇氧化物半導體的電子親和能（ χ ）、可理想上符合本質Fermi能階的Fermi能階、以及源極及汲極電極的金屬的功函數，載子可以自源極及汲極電極注入，如此可以視情況製造出n通道電晶體及p通道電晶體。

另一方面，形成有與基材大體上平行的通道的水平電晶體除了通道之外也需要源極及汲極，以致在基材中受電晶體所佔據的面積增加，其阻礙小型化。然而，在垂直電晶體中源極、通道、及汲極為堆疊的，藉此可以減少於基材表面的佔據面積。做為其結果，使電晶體的小型化成為可能。

如上所述，高純化氧化物半導體膜以使非氧化物半導體膜主成分的雜質（以氫、水、羥基、或氫化物為典型）包含的盡可能少，以及促使氧化物半導體膜具有多晶區，藉此可以取得電晶體的良好運作。特別是，可以更為提高耐受電壓、可以降低短通道效應、及可以取得高開關比。另外，可以抑制在BT測試前與後之間的電晶體的閾電壓的移位量，藉此可以取得高可靠度。電特性中的溫度依存性也可以受到抑制。再者，儘管事實是任何已報告的金屬氧化物是在非晶態或多晶態要不然只有藉由在高至1400°C左右的處理而可以是在單晶態，藉由上述在氧化物半導體膜中形成平板狀多晶區並然後以作為種晶的多晶區的使用而

造成結晶成長的方法，於相對低溫可以形成更厚的具有多晶區的氧化物半導體膜。因此，可以實現更廣的工業應用。

[實施例 2]

在這個實施例中，將參照圖 7A 及 7B 說明結構與實施例 1 相異的電晶體。

圖 7A 爲一電晶體 147 的頂視圖，以及圖 7B 相當於是圖 7A 中沿虛線 A-B 的截面視圖。

如圖 7B 所示，第一電極 105、氧化物半導體膜 107、及第二電極 109 堆疊在形成在基材 101 之上的絕緣膜 103 之上。注意此結構與實施例 1 相異在於第二電極 109 的周緣在氧化物半導體膜 107 的周緣內側。提供閘極絕緣膜 111 以覆蓋第一電極 105、氧化物半導體膜 107、及第二電極 109。在閘極絕緣膜 111 之上，提供有第三電極 113 以至少面對氧化物半導體膜的側面及第二電極。做爲層間絕緣膜之用的絕緣膜 117 係位在閘極絕緣膜 111 及第三電極 113 之上。絕緣膜 117 中形成有開口，且形成有經由開口連接至第一電極 105 的佈線 131（參見圖 7A）、經由開口連接至第二電極 109 的佈線 129、以及經由開口連接至第三電極 113 的佈線 125。

在此一實施例中，如實施例 1 中，氧化物半導體膜 107 具有晶質且氧化物半導體膜 107 的多晶區係 c 軸排列在垂直於表面的方向。亦即，氧化物半導體膜 107 的 c 軸方向相當

於垂直於表面的方向。注意在 a-b 平面中彼此相鄰的元件屬於相同種類。

高純化氧化物半導體膜 107 因此其中的氫濃度低於或等於 $1 \times 10^{18} \text{ cm}^{-3}$ ，低於或等於 $1 \times 10^{16} \text{ cm}^{-3}$ 為佳，大體上為 0 更佳。氧化物半導體膜 107 的載子密度低於 $1 \times 10^{12} \text{ cm}^{-3}$ ，低於 $1.45 \times 10^{10} \text{ cm}^{-3}$ 為佳，其低於量測的低限。亦即，氧化物半導體膜的載子密度盡可能地接近零。帶隙為大於或等於 2 eV，大於或等於 2.5 eV 為佳，大於或等於 3 eV 更佳。

在此一實施例的電晶體中，通道長度 L 意指在截面結構上與閘極絕緣膜相接觸的氧化物半導體的區域中的第一電極 105 與第二電極 109 之間的距離。再者，通道寬度 W 意指與第一電極或第二電極相接觸的氧化物半導體膜的端部之間的長度。注意，在此，與第一電極及第二電極中具有較大面積的一個相接觸的氧化物半導體膜端部的長度為 W。在此一實施例中，由於電晶體的氧化物半導體膜的頂面的形狀為矩形，通道寬度 W 為 $2W_1$ 與 $2W_2$ 的總和。注意在電晶體的氧化物半導體膜的頂面的形狀為圓形的情況中，通道寬度 W 為 $2\pi r$ ，此處 r 為圓的半徑。

在此一實施例中，當與實施例 1 相對照時，通道長度 L 較大。另外，施加至做為閘極電極之用的第三電極 113 的電壓不僅對於氧化物半導體膜 107 的側面而且也對氧化物半導體膜 107 的頂面有影響。是以，通道比起實施例 1 可以更容易控制。

如上所述，高純化氧化物半導體膜以致可包含盡可能

少的非為氧化物半導體膜主成分的雜質（以氫、水、羥基、或氫化物為典型），因此促使具有多晶區，藉此可以取得電晶體的良好運作。特別是，可以更為提高耐受電壓、可以降低短通道效應、及可以實現高開關比。另外，可以抑制在BT測試前與後之間的電晶體的閾電壓的移位量，藉此可以取得高可靠度。電特性中的溫度依存性也可以受到抑制。

〔實施例3〕

在此一實施例中，將參照圖8A及8B說明使用實施例1或2中所述的電晶體製造的三端型二極體的結構。

圖8A及8B各為三端型二極體的截面視圖。

在圖8A所示的三端型二極體149a中，第一電極105、氧化物半導體膜107、及第二電極109堆疊在形成在基材101之上的絕緣膜103之上。提供閘極絕緣膜111以覆蓋第一電極105、氧化物半導體膜107、及第二電極109。第三電極113位在閘極絕緣膜111之上。再者，在閘極絕緣膜111中形成有一開口且第二電極109及第三電極113經由此開口而互相連接。

在圖8B所示的三端型二極體149b中，第一電極105、氧化物半導體膜107、第二電極109堆疊在形成在基材101之上的絕緣膜103之上。提供閘極絕緣膜111以覆蓋第一電極105、氧化物半導體膜107、及第二電極109。第三電極113位在閘極絕緣膜111之上。再者，在閘極絕緣膜111中

形成有一開口且第一電極 105 及第三電極 113 經由此開口而互相連接。

在此一實施例中所述的各三端型二極體中，做為閘極電極之用的第三電極與源極電極及汲極電極的其中一個電性連接。例如，在做為汲極電極之用的第一電極與做為閘極電極之用的第三電極互相連接的情況中，當施加高於源極電極的電壓（正電壓）至汲極電極時，也會有正電壓施加至閘極電極；如此，電晶體導通且順向電流則更容易流動。另一方面，當施加低於源極電極的電壓（負電壓）至汲極電極時，電晶體關閉且逆向電流難以流動。於是，可以強化二極體的整流性質。

注意雖然在此一實施例中說明的為三端型二極體，也可以製造不具有第三電極的二端型二極體。

〔實施例 4〕

在此一實施例中，將參照圖 1A 及 1B 說明具有高熱抗的電晶體。

藉由具有高熱散性的基材作為圖 1A 及 1B 中所述的基材 101，可以製造具有高熱抗的電晶體。具有高熱散性的基材之例包括半導體基材、金屬基材、塑膠基材、及類似基材。做為半導體基材的典型例子，可以提供諸如矽基材或矽碳化物基材之類的單晶半導體基材、多晶半導體基材、諸如矽鍺基材之類的複合物半導體基材、及類似基材。作為金屬基材的典型例子，可以提供鋁基材、銅基材、不銹

鋼基材、及類似基材。做為塑膠基材的典型例子，可以提供含碳纖維、金屬纖維、金屬布、或類似材質的塑膠基材。注意半導體基材、金屬基材、及塑膠基材並不限於上述基材，因此只要具有高熱散性，可以視情況使用任何基材。

藉由使用具有高熱導性的絕緣膜做為圖1A及1B中所述的絕緣膜103，可以製造具有高熱抗的電晶體。具有高熱導性的絕緣膜之例包括鋁氮化膜、鋁氮化氧化膜、矽氮化膜、及類似材料膜。

半導體膜可形成在圖1A及1B中所述的第一電極105與絕緣膜103之間。做為半導體膜的典型例子，可以提供矽膜、鍺膜、矽碳化膜、類鑽碳（DLC）膜、及類似材料膜。

注意藉由使用上述一個或多個元件，可以製造具有高熱抗的電晶體。

〔實施例5〕

在此一實施例中，將說明包括有使用具有相異功函數的材料所形成的第一電極105及第二電極109的電晶體。

在此一實施例中，第一電極105及第二電極109的其中一個為使用具有低於或等於氧化物半導體的電子親和能的功函數的導電材料而形成，而第一電極105及第二電極109的另外一個為使用具有高於此氧化物半導體的電子親和能的功函數的導電材料而形成。

例如，在氧化物半導體的電子親和能（ χ ）為 4.3 eV 的情況中，做為具有高於此氧化物半導體的電子親和能的功函數的導電材料，可以使用鎢（W）、鉬（Mo）、鉻（Cr）、鐵（Fe）、銦錫氧化物（ITO）、或其類似物。作為具有低於或等於此氧化物半導體的電子親和能的功函數的導電材料，可以使用鈦（Ti）、釔（Y）、鋁（Al）、鎂（Mg）、銀（Ag）、鋇（Zr）、或其類似物。

首先，說明的是做為汲極之用的電極為使用具有高於此氧化物半導體的電子親和能的功函數的導電材料而形成，以及做為源極之用的電極為使用具有低於或等於此氧化物半導體的電子親和能的功函數的導電材料而形成。

用於形成做為汲極之用的電極的導電材料的功函數 ϕ_{md} 、用於形成做為源極之用的電極的導電材料的功函數 ϕ_{ms} 、以及電子親和能 χ 之間的關係設定如方程式 6 所示。

[方程式 6]

$$\phi_{ms} \leq \chi \leq \phi_{md}$$

正如所見，做為源極之用的電極的功函數低於或等於此氧化物半導體的電子親和能；因此，可以降低在電晶體的導通狀態中的勢壘（例如，圖 3B 中的 h），電晶體可以在低閘極電壓導通，且大量電流可以流動。

在另一情況中，功函數 ϕ_{md} 、功函數 ϕ_{ms} 、及電子親和能 χ 之間的關係設定如方程式 7 所示。

[方程式 7]

$$\phi_{md} \leq \chi \leq \phi_{ms}$$

正如所見，由於做為源極之用的電極的功函數高於此氧化物半導體的電子親和能，電晶體的勢壘變高。於是，可以減少在關閉狀態的電流量。

注意做為源極之用的電極可以是第一電極105及第二電極109的其中一個，且做為汲極之用的電極可以是第一電極105及第二電極109的另外一個。

由上述，藉由使用具有低於或等於此氧化物半導體的電子親和能的功函數的導電材料形成第一電極105及第二電極109的其中一個以及藉由使用具有高於此氧化物半導體的電子親和能的功函數的導電材料形成第一電極105及第二電極109的另外一個，可以改善電晶體的通態特性或閉態特性。

另外，實施例3中所述的二極體的整流性質藉由滿足方程式6或7也可以強化。

〔實施例6〕

在此一實施例中，將參照圖9A至9E、圖10A至10C、圖11A及11B、及圖12A至12C說明圖1A及1B或圖7A及7B中所述電晶體的製程。

如圖9A所示，絕緣膜103形成在基材101之上，且在絕緣膜103之上形成有第一電極105。第一電極105做為電晶體的源極電極及汲極電極的其中一個之用。

絕緣膜103可以藉由濺鍍法、CVD法、塗佈法、或類似方法而形成。

注意當絕緣膜103藉由濺鍍法而形成時，絕緣膜103最好是在餘留在處理室中的氫、水、羥基、氫化物、或類似物被除去時形成。這是爲了避免氫、水、羥基、氫化物、或類似物包含在絕緣膜103中。最好使用捕集真空泵來除去餘留在處理室中的氫、水、羥基、氫化物、或類似物。例如，最好使用低溫泵、離子泵、或鈦昇華泵做爲捕集真空泵。抽真空單元可以爲提供有冷凝阱的渦輪泵。在處理室中形成的絕緣膜103中，由於氫、水、羥基、氫化物、或類似物在使用低溫泵抽真空的處理室中被抽離，絕緣膜103中所含的雜質濃度可以降低。

做爲形成絕緣膜103之用的濺鍍氣體，其中諸如氫、水、羥基、氫化物、或類似物之類的雜質被除去至雜質濃度以單位“ppm”或“ppb”來表示的程度的高純度氣體。

濺鍍法之例包括將高頻電源用於濺鍍電源供應的RF濺鍍法、DC濺鍍法、以及以脈衝方式施加偏壓的脈衝DC濺鍍法。RF濺鍍法主要用在形成絕緣膜的情況中，而DC濺鍍法主要用在形成金屬膜的情況中。

另外，還有一種可以設定複數個不同材料的靶的多源濺鍍裝置。用多源濺鍍裝置，可以形成不同材料的靶堆疊在相同的腔室中、或是可以藉由在相同的腔室中同時放電而形成多種材料膜。

或者，可以使用在腔室內提供有磁鐵系統且用於磁控濺鍍法的濺鍍裝置、或是用於使用不需利用輝光放電而以微波使用來產生電漿的ECR濺鍍法的濺鍍裝置。

再者，做為濺鍍法，可以使用靶物質及濺鍍氣體成分在形成薄化合物膜的沉積過程中互相化學反應的反應濺鍍法、或是在沉積過程中還施加電壓於基材的偏壓濺鍍法。

做為本說明書中的濺鍍，可以視情況利用上述的濺鍍裝置及濺鍍法。

在此一實施例中，基材101被送入處理室中。處理室中引入有包含高純度氧的濺鍍氣體，其中氫、水、羥基、氫化物、或類似物被除去，然後使用矽靶形成矽氧化膜做為基材101之上的絕緣膜103。注意在形成絕緣膜103時，可加熱基材101。

例如，矽氧化膜在下列條件中以RF濺鍍法形成：使用石英（較佳地，合成石英）靶；基材溫度為108°C；基材與靶之間的距離（T-S距離）為60 mm；壓力為0.4 Pa；高頻電源為1.5 kW；及氣氛為含氧與氫的氣氛（氧對氫的流量比為1：1（各流率為25 sccm））。膜厚度可為100 nm。注意，代替石英（較佳地，合成石英）靶，可以使用矽靶。注意，使用氧或氧及氫的混合氣體做為濺鍍氣體。

例如，當絕緣膜103形成至具有疊層結構時，在矽氧化膜與基材之間，矽氮化膜使用矽靶及包含有除去氫、水、羥基、氫化物、或類似物的高純度氮的濺鍍氣體而形成。同樣在此一情況中，如在矽氧化膜的情況中一般，最好在餘留在處理室中氫、水、羥基、氫化物、或類似物被除去時沉積矽氮化膜。注意在此一步驟中，可加熱基材101。

在矽氮化膜及矽氧化膜堆疊做為絕緣膜103的情況中，矽氮化膜及矽氧化膜可以在相同腔室中使用共用的矽靶而沉積。首先，依引入包含氮的蝕刻氣體且使用設在處理室中的矽靶的這樣的方式形成矽氮化膜。然後，依切換此氣體至含氧的蝕刻氣體且使用相同的矽靶的方式形成矽氧化膜。矽氮化膜及矽氧化膜可以不暴露於空氣而相繼地形成；如此，可以避免諸如氫、水、羥基或氫化物之類雜質吸附在矽氮化膜的表面上。

第一電極105可以藉由濺鍍法、CVD法、或真空蒸鍍法在基材101之上形成導體膜、於微影步驟中在導體膜之上形成抗蝕罩、然後使用抗蝕罩蝕刻導體膜的方式而形成。或者，不使用微影法而藉由印刷法或噴墨法形成第一電極105，如此可以減少步驟數。注意第一電極105的端部最好具有錐狀，如此以改善受之後形成的閘極絕緣膜的覆蓋性。當形成在第一電極105的端部與絕緣膜103之間的角度大於或等於 30° 且小於或等於 60° （較佳地，大於或等於 40° 且小於或等於 50° ）時，可以提升受之後形成的閘極絕緣膜的覆蓋性。

在此一實施例中，做為供做為第一電極105的導體膜，一鈦膜藉由濺鍍法形成至50 nm厚度、一鋁膜形成至100 nm厚度、以及一鈦膜形成至50 nm厚度。接著，使用於微影步驟中形成的抗蝕罩執行蝕刻，藉此形成第一電極105。

接著，如圖9B所示，在絕緣膜103及第一電極105之上

形成具有大於或等於 2 nm 且小於或等於 15 nm 的厚度的第一氧化物半導體膜 102a。

在此，將對製造第一氧化物半導體膜 102a 的方法加以說明。

在絕緣膜 103 及第一電極 105 之上，第一氧化物半導體膜 102a 藉由濺鍍法、塗佈法、印刷法、或類似方法而形成至大於或等於 2 nm 且小於或等於 15 nm 的厚度。

第一氧化物半導體膜 102a 可以在稀有氣體（代表性地，氬）氣氛、氧氣氛、或包含稀有氣體（代表性地，氬）及氧氣的氣氛中藉由濺鍍法而形成。

另外，最好在第一氧化物半導體膜 102a 的沉積之前、過程中、或之後除去餘留在濺鍍裝置中的水分或類似物。爲了除去濺鍍裝置中的餘留水分，最好使用捕集真空泵。例如，最好使用低溫泵、離子泵、或鈦昇華泵做爲捕集真空泵。抽真空單元可以爲提供有冷凝阱的渦輪泵。自使用低溫泵執行排除的濺鍍裝置的膜形成室，將例如氫原子、諸如水（ H_2O ）之類包括有氫原子的化合物、或類似物加以排放。因此，在膜形成室中形成的氧化物半導體中所含的雜質的濃度可以降低。

做爲第一氧化物半導體膜 102a，可以使用下列任何金屬氧化膜：諸如 In-Sn-Ga-Zn-O 膜之類的四組成金屬氧化膜；諸如 In-Ga-Zn-O 膜、In-Sn-Zn-O 膜、In-Al-Zn-O 膜、Sn-Ga-Zn-O 膜、Al-Ga-Zn-O 膜、及 Sn-Al-Zn-O 膜之類的三組成金屬氧化膜；諸如 In-Zn-O 膜、Sn-Zn-O 膜、Al-Zn-O

膜、Zn-Mg-O膜、Sn-Mg-O膜、及In-Mg-O膜之類的二組成金屬氧化膜；In-O膜；Sn-O膜；及Zn-O膜。

對於第一氧化物半導體膜102a，可以使用以 InMO_3 (ZnO)_m ($m>0$) 所代表的材料。此處，M代表一或多種選自Ga、Al、Mn、及Co的金屬元素。例如，M可以為Ga、Ga與Al、Ga與Mn、Ga與Co、或類似物。

注意第一氧化物半導體膜102a可使用以In-A-B-O所代表的氧化物半導體材料而形成。此處，A代表選自於諸如鎵(Ga)及鋁(Al)之類的第13族元素、諸如矽(Si)及鍺(Ge)之類的第14族元素、及其類似元素的一或多種元素。B代表選自諸如鋅(Zn)之類的第12族元素的一或多種元素。要注意的是In成分、A成分、及B成分的量值為任意的。A成分的量值可為0。另一方面，In成分及B成分的量值不為0。換言之，上述表示式可代表In-Ga-Zn-O、In-Zn-O、及其類似物。

當第一氧化物半導體膜形成時，使用具有In:Ga:Zn=1:大於或等於0且小於或等於2:大於或等於1且小於或等於5的組成比的金屬氧化物靶。在此一實施例中，氧化物半導體膜依下列條件於氧氣氣氛、氬氣氣氛、或氬氣及氧氣的混合氣氛中形成至5 nm的厚度：使用氧化物半導體靶(In-Ga-Zn-O基氧化物半導體靶(In_2O_3 : Ga_2O_3 : ZnO =1:1:2〔莫耳比〕且In:Ga:Zn=1:1:1〔原子比〕))；基材與靶之間的距離為170 mm，壓力為0.4 Pa；且直流(DC)電源為0.5 kW。或者，做為氧化物半導體靶

，可以使用具有 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [原子比] 的組成比的靶、具有 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子比] 的組成比的靶、具有 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [原子比] 的組成比的靶、或具有 $\text{In} : \text{Ga} : \text{Zn} = 1 : 0.5 : 2$ [原子比] 的組成比的靶。更或者，可以使用具有 $\text{In} : \text{Zn} = 1 : 1$ 的組成比，其中不包含 Ga 的靶。在使用 In-Zn-O 膜的情況中的場效遷移率比起在使用 In-Ga-Zn-O 膜的情況中可以更高。在此一實施例中，由於在之後步驟中會藉由執行熱處理故意地造成結晶化，故最好使用容易造成結晶化的氧化物半導體靶。

氧化物半導體靶中的氧化物半導體的相對密度最好大於或等於 80%，大於或等於 95% 為佳，大於或等於 99.9% 更佳。當使用具有高相對密度的靶時，可以降低待形成的氧化物半導體膜中的雜質濃度，如此可以取得具有優良電特性或高可靠度的電晶體。

再者，為了除去餘留在濺鍍裝置的內壁、靶的表面、或靶材內部的水分或氫，最好在第一氧化物半導體膜 102a 形成之前執行預熱處理。做為預熱處理，可以提供在減壓下將膜形成室的內側加熱至 200°C 至 600°C 的方法、在加熱膜形成室的內側時重複氮氣或惰性氣體的引入並排出的方法、以及類似方法。在預熱處理之後，冷卻基材或濺鍍裝置。然後，在不暴露於空氣下形成氧化物半導體膜。雖然當不加熱而重複氮氣的引入並排出時可以取得一定程度的效果，執行熱處理最好偕同加熱膜形成室的內側。

然後，第一氧化物半導體膜 102a 受到第一熱處理並且

至少一部分的氧化物半導體膜結晶化。第一熱處理在高於或等於 450°C 且低於或等於 850°C 的溫度（高於或等於 550°C 且低於或等於 750°C 為佳）中執行。加熱時間大於或等於 1 分鐘且小於或等於 24 小時。藉由第一熱處理，形成具有自表面成長的多晶區的第一氧化物半導體膜 102b（或稱為具晶質的第一氧化物半導體膜）（參見圖 9C）。多晶區自表面成長至內側部分且包含平均厚度大於或等於 2 nm 且小於或等於 15 nm 的板狀結晶。形成在表面的多晶區係 c 軸排列在垂直於表面的方向上。在此一實施例中，說明了藉由第一熱處理使得大部分的第一氧化物半導體膜包含多晶的例子。具有形成在氧化物半導體膜的表面的相當一致的結晶排列的多晶區在垂直方向上自表面成長；是以，多晶區可以不受到基件的影響而形成。

注意晶粒界存在於與第一電極 105 所造成的凸出及凹入部分相重疊的第一氧化物半導體膜 102b 的區域中且多晶包含在此區域中。然而多晶中的各結晶的 a-b 平面、a 軸、及 b 軸在第一氧化物半導體膜 102b 中可不一致。

對在第一氧化物半導體膜為例如 In-Ga-Zn-O 膜的情況中，在第一氧化物半導體膜的表面具有一致結晶排列的結晶區的形成機制的例子加以說明。藉由熱處理，包含在 In-Ga-Zn-O 膜中的鋅擴散且匯集在表面附近而成為種晶。在此時的結晶成長中，結晶成長在平行於表面的方向上比在垂直於表面的方向上為多，以致形成平板狀多晶區。換言之，在 a-b 平面方向比在 c 軸方向容易造成結晶化。再者，

在平板狀多晶區中，單晶區的 a-b 平面變得平行於表面。另外，自由空間位在 In-Ga-Zn-O 膜的表面上方且結晶不朝上成長在自由空間中。至於這些事實，當於升溫至 450°C 時以熱脫附質譜儀（TDS）量測 In-Ga-Zn-O 膜時，在真空加熱條件中（特別是在 300°C 附近）並未測得 In 及 Ga 的峰值但測得鋅的峰值。注意 TDS 量測係在真空中執行且觀測到自 200°C 附近測得鋅。

注意在第一熱處理中，最好在氮氣、氧氣、或諸如氦、氖、或氬之類稀有氣體中不包含水、氫、及類似物。另外，引入熱處理裝置的氮氣、氧氣、或諸如氦、氖、或氬之類稀有氣體最好具有 6 N（99.9999%）或以上的純度，7 N（99.99999%）或以上為佳（亦即，雜質的濃度低於或等於 1 ppm，低於或等於 0.1 ppm 為佳）。再者，第一熱處理可在水含量低於或等於 20 ppm、低於或等於 1 ppm 為佳、低於或等於 10 ppb 更佳的超乾空氣氣氛中執行。

在此一實施例中，執行在 700°C 乾空氣氣氛中的熱處理一小時做為第一熱處理。

另外，在第一熱處理中升溫之時，爐的氣氛可為氮氣氣氛然後在執行冷卻之時可將氣氛切換為氧氣氣氛。在氮氣氣氛中執行脫水或除氫之後藉由切換氣氛至氧氣氣氛，可以於第一氧化物半導體膜的內側部分供應氧以使成為 i 型氧化物半導體膜。

注意用於第一熱處理的熱處理裝置不限於特定裝置，因此可提供具有用以藉由自諸如電阻加熱元件之類的加熱

元件的熱輻射或熱傳導而加熱待處理物的元件的裝置。例如，可以使用電爐、或諸如氣體快速熱退火（GRTA）裝置或燈式快速熱退火（LRTA）裝置之類的快速熱退火（RTA）裝置。LRTA裝置為一種藉由自諸如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈、或高壓水銀燈之類的燈具放出的光的輻射（電磁波）加熱待處理物的裝置。GRTA裝置為一種用在使用高溫氣體的熱處理的裝置。

接著，在至少在其表面具有平板狀多晶區的第一氧化物半導體膜102b之上，形成厚度比第一氧化物半導體膜102b為大的一第二氧化物半導體膜104a（參見圖9D）。第二氧化物半導體膜104a的厚度大於或等於1 μm ，大於或等於3 μm 為佳，大於或等於10 μm 更佳。第二氧化物半導體膜104a可以在稀有氣體（代表性地，氬）氣氛、氧氣氣氛、或包含稀有氣體（代表性地，氬）及氧氣的氣氛中藉由濺鍍法而形成。

做為第二氧化物半導體膜104a，可以使用任一下列金屬氧化膜：諸如In-Sn-Ga-Zn-O膜之類的四組成金屬氧化膜；諸如In-Ga-Zn-O膜、In-Sn-Zn-O膜、In-Al-Zn-O膜、Sn-Ga-Zn-O膜、Al-Ga-Zn-O膜、及Sn-Al-Zn-O膜之類的三組成金屬氧化膜；諸如In-Zn-O膜、Sn-Zn-O膜、Al-Zn-O膜、Zn-Mg-O膜、Sn-Mg-O膜、及In-Mg-O膜之類的二組成金屬氧化膜；In-O膜；Sn-O膜；及Zn-O膜。

再者，第一氧化物半導體膜及第二氧化物半導體膜104a的材料最好包含相同成分。在使用包含相同成分的材料

料之情況中，隨著做為之後執行的結晶化中的種晶的第一氧化物半導體膜的多晶區的使用，容易造成結晶成長。另外，當材料包含相同的成分時，對於諸如附著力之類的界面的物理性質或電特性是有利的。

之後，藉由執行第二熱處理，結晶成長隨著做為種晶的第一氧化物半導體膜102b的單晶區的使用而造成。第二熱處理在高於或等於 450°C 且低於或等於 850°C 、高於或等於 600°C 且低於或等於 700°C 為佳的溫度執行。加熱時間為大於或等於1分鐘且小於或等於24小時。藉由第二熱處理，使第二氧化物半導體膜104a結晶化。如此，可以取得具有多晶區的氧化物半導體膜108（也稱為具有晶質的第二氧化物半導體膜）（參見圖9E）。在此時，氧化物半導體膜108中的結晶最好具有相同的結構以及接近的晶格常數（晶格失配度小於或等於1%）。注意，氧化物半導體膜108包括第一氧化物半導體膜及第二氧化物半導體膜。當第二熱處理在高於或等於或等於 450°C 且低於或等於 850°C 、高於或等於 600°C 且低於或等於 700°C 為佳的溫度執行時，可以在第二氧化物半導體膜104a中造成結晶成長（也稱為磊晶成長或軸向成長），以使在第二氧化物半導體膜104a中的結晶成長中的結晶軸與第一氧化物半導體膜102b的結晶軸大體上一致。再者，磊晶或軸向成長可以藉由固相成長而在第二氧化物半導體膜104a中造成。

參照圖12A至12C對圖9C至9E中所示的步驟加以具體說明。

在圖 12A 中，顯示了在受到結晶化的第一熱處理之後的第一氧化物半導體膜 102b。圖 12A 相當於圖 9C。圖 12B，其相當於圖 9D，為剛沉積之後的第二氧化物半導體膜 104a 的截面視圖。圖 12C，其相當於圖 9E，為第二熱處理之後的截面圖。藉由第二熱處理，可以取得具有更高列準的多晶區的氧化物半導體膜 108。在第一氧化物半導體膜的氧化物半導體材料與第二氧化物半導體膜包含相同主要成分的情況中，如圖 12C 所示，隨著做為種晶的第一氧化物半導體膜 102b 的單晶區的使用，朝上的結晶成長進行至第二氧化物半導體膜 104b 的表面，以致形成第二氧化物半導體膜 104b，且氧化物半導體膜具有相同的結晶結構。因此，雖然在圖 12C 中以點線段指明，但在第一氧化物半導體膜與第二氧化物半導體膜之間的分界可能變得不明確。此外，藉由第二熱處理，剛沉積之後的第二氧化物半導體膜 104b 的內側部分為高純化的。

注意第二熱處理是在氮氣氣氛、氧氣氣氛、或諸如氮、氬、或氫之類的稀有氣體氣氛中執行的。此時，氮氣、氧氣、或諸如氮、氬、或氫之類的稀有氣體中最好不含有水、氫、及其類似物。另外，引入熱處理裝置的氮氣、氧氣、或諸如氮、氬、或氫之類的稀有氣體最好具有 6 N 或以上的純度，7 N 或以上為佳（亦即，亦即，雜質的濃度低於或等於 1 ppm，低於或等於 0.1 ppm 為佳）。再者，第二熱處理可在水含量低於或等於 20 ppm、低於或等於 1 ppm 為佳的超乾空氣氣氛中執行。另外，在第二熱處理中

升溫之時，爐的氣氛可為氮氣氣氛然後在執行冷卻之時可將氣氛切換為氧氣氣氛。

注意用於第二熱處理的熱處理裝置不限於特定裝置，因此可提供具有用以藉由自諸如電阻加熱元件之類的加熱元件的熱輻射或熱傳導而加熱待處理物的元件的裝置。例如，可以使用電爐、或諸如 GRTA 裝置或 LRTA 裝置之類的 RTA 裝置。

接著，於微影步驟中在包括有第一及第二氧化物半導體膜的氧化物半導體膜 108 之上形成抗蝕罩之後，使用抗蝕罩蝕刻氧化物半導體膜 108，藉此形成島狀氧化物半導體膜 107。用於形成島狀氧化物半導體膜 107 的抗蝕罩可藉由噴墨法而形成。在抗蝕罩藉由噴墨法而形成時不使用光罩；因此，生產成本可以減少。形成在第一電極 105 與第二電極 109 的端部及氧化物半導體膜 107 之間的角度藉由此次蝕刻而設為大於或等於 30° 且小於或等於 60° ，大於或等於 40° 且小於或等於 50° 為佳，藉此可以提升受之後形成的閘極絕緣膜的覆蓋性。

注意此處對氧化物半導體膜的蝕刻可藉由乾蝕刻、濕蝕刻、或濕蝕刻與乾蝕刻並用而執行。為了形成具有期望形狀的氧化物半導體膜 107，蝕刻條件（蝕刻劑、蝕刻時間、溫度、及類似條件）取決於材料而視情況調整。

當氧化物半導體膜的蝕刻率與第一電極 105 相異時，選擇第一電極 105 的蝕刻率為低且氧化物半導體膜的蝕刻率為高的條件。

做為用在氧化物半導體膜的濕蝕刻的蝕刻劑，可以使用磷酸、醋酸、硝酸、氫過氧化氫混合液（過氧化氫水 31 wt%：氨水 28 wt%：水 = 5：2：2）、或類似物的混合溶劑。另外，也可使用 ITO07N（產自 KANTO CHEMICAL CO., INC.）。

在濕蝕刻之後的蝕刻劑藉由清潔而與蝕刻材料一併去除。包括有蝕刻劑及蝕除材料的廢液可受純化且材料可再利用。諸如包含在氧化物半導體膜中的銦之類的材料在蝕刻並再循環後自廢液中收集，以使資源可以有效使用且可降低成本。

做為用在氧化物半導體膜的乾蝕刻的蝕刻氣體，最好使用包含氯的氣體（諸如氯氣（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）之類的含氯氣體）。

或者，可以使用包含氟的氣體（諸如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ）之類的含氟氣體）；溴化氫（ HBr ）；氧氣（ O_2 ）；以及任何添加有諸如氦氣（ He ）或氬氣（ Ar ）之類的稀有氣體的這些氣體；或其類似氣體。

做為乾蝕刻方法，可以使用平行板 RIE（反應離子蝕刻）法或 ICP（感應耦合電漿）蝕刻法。為了將膜蝕刻成為期望的形狀，則視情況調整蝕刻條件（施加於線圈狀電極的電力量、施加於基材側電極的電力量、基材側電極的溫度、或類似條件）。

然後，在絕緣膜、第一電極 105、及島狀氧化物半導體膜 107 之上，形成一待成為第二電極 109 的導電膜 110（參見圖 10A）。之後導電膜 110 供做為第二電極 109。導電膜 110 可以藉由適當地使用用於第一電極 105 的材料及方法而形成；當使用具有高於第一電極 105 的蝕刻率的材料時，之後的蝕刻步驟可以容易執行。

在之後，抗蝕罩於微影步驟中形成在導電膜 110 之上，並然後偕同抗蝕罩的使用而蝕刻導電膜 110，如此以形成第二電極 109（參見圖 10B）。

在此一實施例中，使用氨過氧化氫溶液（氨、水、及過氧化氫溶液的混合溶液）做為蝕刻劑而蝕刻待成為第二電極 109 的導電膜；於是，形成第二電極 109。

注意在此對導電膜 110 的蝕刻可藉由乾蝕刻、濕蝕刻、或濕蝕刻與乾蝕刻並用而執行。為了形成具有期望形狀的第二電極 109，蝕刻條件（蝕刻劑、蝕刻時間、溫度、及類似條件）取決於材料而視情況調整。

接著，如圖 10C 所示，將閘極絕緣膜 111 形成在第一電極 105、氧化物半導體膜 107、及第二電極 109 之上。

藉由雜質的除去而製成本質或大體上本質的氧化物半導體膜（減少氫濃度且改善純度的氧化物半導體膜）對於界面能態及界面電荷為高敏感的；是以，在氧化物半導體膜與閘極絕緣膜 111 之間的界面是重要的。因此，與高純化的氧化物半導體膜相接觸的閘極絕緣膜 111 需要高品質。

例如，最好採用使用微波（2.45 GHz）的高密度電漿 CVD 裝置，因為有可能形成具有高耐受電壓的緻密且高品質的絕緣膜。這是因為當氫濃度減少且純度改善的氧化物半導體膜與高品質閘極絕緣膜緊接時，可以減少界面能態以及可以有利於界面性質。另外，由於使用高密度電漿 CVD 裝置形成的絕緣膜可以具有均勻厚度，絕緣膜具有出色的階狀覆蓋性。另外，至於使用高密度電漿 CVD 裝置形成的絕緣膜，薄膜厚度可以精確地控制。

不用說，考慮到可以形成適合做為閘極絕緣膜的絕緣膜，可以使用諸如濺鍍法及電漿 CVD 法之類的其他膜形成法。另外，只要藉由在閘極絕緣膜形成之後執行的熱處理對氧化物半導體膜與閘極絕緣膜之間的膜品質及界面性質加以改質，可以使用任何絕緣膜。在任何情況中，只要絕緣膜具有允許在絕緣膜與氧化物半導體膜之間的界面的界面能態密度減少的特性以及不但具有如閘極絕緣膜一般的良好膜品質也還具有良好界面的形成，可採用任何絕緣膜。

在 85°C 且 $2 \times 10^6 \text{ V/cm}$ 的 12 小時的閘極偏壓熱應力測試（BT 測試）中，若雜質被添加至氧化物半導體膜，則雜質與氧化物半導體膜的主成分之間的鍵受高電場（B：偏壓）及高溫（T：溫度）而破壞，以致產生的懸鍵導致在閏電壓（ V_{th} ）中的漂移。

對照下，藉由盡可能地除去氧化物半導體膜中的雜質，特別是氫、水、及其類似物，以取得如上述般在氧化物

半導體膜及閘極絕緣膜之間的界面的良好特性，本發明使得取得安定於BT測試的電晶體成為可能。

注意當閘極絕緣膜111藉由濺鍍而形成時，閘極絕緣膜111中的氫濃度可以減少。在矽氧化膜藉由濺鍍而形成的情況中，使用矽靶或石英靶做為靶且使用氧氣或氧及氫的混合氣體做為濺鍍氣體。

注意鹵元素（例，氟或氯）會包含在位於與氧化物半導體膜相接觸的絕緣膜中，或鹵元素會藉由在氧化物半導體膜為暴露的情況中於包含鹵元素的氣體氣氛中的電漿處理而包含在氧化物半導體膜中，藉此可除去存在於氧化物半導體膜中或是在氧化物半導體膜與接觸於此氧化物半導體膜的絕緣膜之間的界面的諸如氫、水、羥基、或氫化物（也稱為氫化合物）之類的雜質。當絕緣膜包含鹵元素時，絕緣膜中的鹵元素濃度可為約 $5 \times 10^{18} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 。

如上所述，在鹵元素包含在氧化物半導體膜中或是在氧化物半導體膜與接觸於此氧化物半導體膜的絕緣膜之間的界面以及位於與氧化物半導體膜相接觸的絕緣膜為氧化物絕緣膜的情況中，在氧化物半導體膜不與氧化物絕緣膜相接觸之側的氧化物絕緣膜最好以氮絕緣膜覆蓋。亦即，可提供矽氮化膜或類似物在與氧化物半導體膜相接觸的氧化物絕緣膜之上且與之接觸。憑著這樣的結構，可以避免諸如氫、水、羥基、或氫化物之類的雜質滲入氧化物絕緣膜。

閘極絕緣膜 111 可以具有矽氧化膜及矽氮化膜依此順序堆疊在第一電極 105、氧化物半導體膜 107、及第二電極 109 之上的結構。例如，具有 100 nm 總厚度的閘極絕緣膜可依形成具有大於或等於 5 nm 且小於或等於 300 nm 的厚度的矽氧化膜 (SiO_x ($x > 0$)) 做為第一閘極絕緣膜然後藉由濺鍍堆疊具有大於或等於 50 nm 且小於或等於 200 nm 的厚度的矽氮化膜 (SiN_y ($y > 0$)) 在第一閘極絕緣膜之上做為第二閘極絕緣膜的這樣的方式而形成。在此一實施例中，100 nm 厚矽氧化膜依下列條件藉由 RF 濺鍍而形成：壓力為 0.4 Pa；高頻電源為 1.5 kW；且使用包含氧及氮的氣氛（氧對氮的流量比為 1：1（單位流率為 25 sccm））。

再者，為了除去餘留在濺鍍裝置的內壁、靶的表面、或靶材內部的水分或氮，最好在形成閘極絕緣膜 111 之前執行預熱。在預熱處理之後，冷卻基材或濺鍍裝置。然後，在不暴露於空氣下形成閘極絕緣膜 111。雖然當不加熱而重複氮氣的引入並排出時可以取得一定程度的效果，執行熱處理偕同加熱膜形成室的內側是更好的。

接著，可在惰性氣體氣氛或氧氣氣氛中執行第三次熱處理（最好在高於或等於 200°C 且低於或等於 400°C 的溫度，例如，高於或等於 250°C 且低於或等於 350°C）。藉由熱處理，將氧供應至因第一及第二熱處理所產生的氧缺乏，如此可能更為減少供做為施體的氧缺乏、滿足化學計量比、及使氧化物半導體膜 107 接近 i 型氧化物半導體膜或本質 i 型氧化物半導體膜。注意第三次熱處理可在下列任一形成

之後執行：第三電極 113、絕緣膜 117、以及佈線 125 及 129。藉由熱處理，則有可能使包含在氧化物半導體膜中的氫或水分擴散入閘極絕緣膜。

接著，在閘極絕緣膜 111 之上形成做為閘極電極之用的第三電極 113。

第三電極 113 可以依藉由濺鍍法、CVD 法、或真空蒸鍍法在閘極絕緣膜 111 之上形成待成為第三電極 113 的導電膜、於微影步驟中在導電膜之上形成一抗蝕罩、然後使用此抗蝕罩蝕刻導電膜的這樣的方式而形成。

經由上述過程，可以製造包括有受高純化且降低氫濃度的氧化物半導體膜 107 的電晶體 145。

接著，如圖 11A 所示，在絕緣膜 117 形成在閘極絕緣膜 111 及第三電極 113 之上之後，形成接觸孔 119 及 123。

絕緣膜 117 使用諸如矽氧化膜、矽氮氧化膜、鋁氧化膜、或鋁氮氧化膜之類的氧化物絕緣膜；或諸如矽氮化膜、矽氮化氧化膜、鋁氮化膜、或鋁氮化氧化膜之類的氮化物絕緣膜而形成。或者，可以堆疊氧化物絕緣膜及氮化物絕緣膜。

絕緣膜 117 藉由濺鍍法、CVD 法、或類似方法而形成。注意當絕緣膜 117 藉由濺鍍法而形成時，基材 101 被至 100°C 至 400°C 的溫度、氫、水、羥基、氫化物、或類似物被除去且包含高純度氮的濺鍍氣體被引入、以及絕緣膜可使用矽半導體靶而形成。同時在此情況中，絕緣膜最好在餘留在處理室中的氫、水、羥基、氫化物、或類似物被除

去時形成。

在絕緣膜 117 形成之後，可進一步在空氣中於高於或等於 100°C 且低於或等於 200°C 的溫度執行大於或等於 1 小時且小於或等於 30 小時的熱處理。藉由此一熱處理，可以取得正常關閉電晶體。從而，顯示裝置或半導體裝置的可靠度可以提升。

抗蝕罩在微影步驟中形成，以及部分的閘極絕緣膜 111 及絕緣膜 117 藉由選擇性蝕刻而被去除，藉此形成通達第一電極 105、第二電極 109、及第三電極 113 的接觸孔 119 及 123。

接著，在閘極絕緣膜 111 及接觸孔 119 及 123 之上形成導電膜之後，使用於微影步驟中形成的抗蝕罩執行蝕刻，藉此形成佈線 125、129、及 131（參見圖 11B）。注意，抗蝕罩可藉由噴墨法而形成。在抗蝕罩藉由噴墨法而形成時不使用光罩；因此，可以減少生產成本。

佈線 125、129、及 131 可以依相似於第一電極 105 的方式而形成。

注意用於平坦化的平坦化絕緣膜可提供在第三電極 113 與佈線 125、129、及 131 之間。諸如聚醯亞胺、丙烯酸、苯并環丁烯、聚醯胺、或環氧樹脂之類的具有熱抗的有機材料可以提供做為平坦化絕緣膜的典例。除了這類有機材料，使用低介電常數材料（低 k 材料）、矽氧烷基樹脂、磷矽酸鹽玻璃（PSG）、硼磷矽玻璃（BPSG）、或類似材料也是可行的。注意平坦化絕緣膜可藉由堆疊複數個使

用這些材料形成的絕緣膜而形成。

注意矽氧烷基樹脂相當於一種包括有利用矽氧烷基材料做為起始材料形成的 Si-O-Si 鍵的樹脂。矽氧烷基樹脂可包括做為取代基的有機基（例，烷基或芳香族基）或氟基。另外，有機基可包括氟基。

對於形成平坦化絕緣膜的方法並無特別限制。平坦化絕緣膜可以視其材料藉由諸如濺鍍法、SOG 法、旋轉塗佈法、浸塗法、噴塗法、微滴排出法（例，噴墨法、網印、或平版印刷）之類的方法、或是諸如刮刀、輥塗佈機、簾幕式塗佈機、或刀式塗佈機之類的工具而形成。

如上所述，氧化物半導體膜中的氫濃度可以減少、氧化物半導體膜可以高純化、以及氧化物半導體膜的晶質可以改善。從而，可以安定氧化物半導體膜。另外，在低於或等於玻璃轉化溫度的熱處理有可能形成具有載子密度極低的寬帶隙的氧化物半導體。因此，電晶體可以使用大尺寸基材而製造，以致生產力可以提升。另外，藉由使用減少氫濃度且改善純度的氧化物半導體膜，有可能製造具有高耐受電壓、降低的短通道效應、及高開關比的電晶體。

實施例 6 可以藉由與其他實施例中所述的結構適當結合而實施。

[實施例 7]

在此一實施例中，將參照圖 9A 至圖 9E 及圖 13A 至 13C 說明具有相異於實施例 6 的結構的電晶體的製造方法。此

一實施例及實施例6相異在形成待成為第二電極109的導電膜的步驟。

相似於實施例6，經過圖9A至9D中所述的步驟，在基材101之上，形成了絕緣膜103、第一電極105、在至少其表面具有藉由第一熱處理形成的多晶區的第一氧化物半導體膜102b、及第二氧化物半導體膜104a。

然後，如圖13A所示，待成為第二電極109的導電膜110形成在第二氧化物半導體膜104a之上。在此，導電膜110為使用熔點高於或等於 1000°C 的金屬元素而形成。用於導電膜110的材料的代表性的例子包括鉬、鎢、鈦、鉭、鈮、銥、釩、鉻、鋯、鉑、鈮、銦、鐵、鈇、鈷、鎳、錳、及金。

之後，藉由執行第二熱處理，使用第一氧化物半導體膜102b的多晶區做為種晶而造成結晶成長。第二熱處理在高於或等於 450°C 且低於或等於 850°C 、高於或等於 600°C 且低於或等於 700°C 為佳的溫度執行。藉由第二熱處理，第二氧化物半導體膜104a結晶化，如此以取得氧化物半導體膜108。

之後，抗蝕罩於微影步驟中形成在導電膜110之上並然後藉由此抗蝕罩的使用而蝕刻導電膜110，如此以形成島狀氧化物半導體膜107及第二電極109（參見圖13C）。

之後，參照圖10C及圖11A及11B經由實施例6中所述的步驟，可以製造電晶體145。

實施例7可以藉由與其他實施例中所述的結構適當結

合而實施。

〔實施例8〕

在此一實施例中，將參照圖9A至圖9E及圖14A及14B說明製造具有相異於實施例6及7的結構的電晶體的方法。此實施例與實施例6及7的差異在於形成第二氧化物半導體膜的步驟。

相似於實施例6，經過圖9A至9C中所述的步驟，在基材101之上，如圖14A所示般形成了絕緣膜103、第一電極105、在至少其表面具有藉由第一熱處理形成的多晶區的第一氧化物半導體膜102b。

之後，如圖14B所示，第二氧化物半導體膜112藉由濺鍍法在加熱於高於或等於 200°C 且低於或等於 600°C 的溫度（高於或等於 200°C 且低於或等於 550°C 為佳）執行時沉積在第一氧化物半導體膜102b之上。在此，第二氧化物半導體膜112在藉由做為種晶的在第一氧化物半導體膜102b的表面的多晶區的使用而造成結晶成長時沉積，以使第一氧化物半導體膜102b的結晶軸（特別是c軸）的方向與第二氧化物半導體膜112一致（結晶成長也稱為磊晶成長或軸向成長）。其結果，不需第二熱處理，可以形成c軸的方向一致於第一氧化物半導體膜102b的結晶氧化物半導體膜108。注意氧化物半導體膜108包括第一氧化物半導體膜102b及第二氧化物半導體膜112。

之後，經由實施例6或7中所述的步驟，可以製造出電

晶體 145。

在此一實施例中，熱處理的次數可以減少，藉此產量可以提升。

實施例 8 可以藉由與其他實施例中所述的結構適當結合而實施。

[實施例 9]

在這個實施例中，參照圖 15A 至 15C 說明相異於實施例 6 至 8 的態樣。

在此一實施例中說明具有 15 nm 厚度的第一氧化物半導體膜 102a 的例子。

雖然取決於諸如第一氧化物半導體膜 102a 及為基件的第一電極 105 的材料、加熱時間、及加熱溫度之類的條件，當第一氧化物半導體膜 102a 具有 15 nm 厚度時，多晶區 151 的結晶的尖端仍不會到達與第一電極 105 之間的界面且餘留非晶區 153，縱然藉由第一熱處理自第一氧化物半導體膜 102a 的表面造成結晶成長（參見圖 15A）。

此處，圖 15B 為恰在第一氧化物半導體膜 102b 之上沉積第二氧化物半導體膜 104a 之後的截面視圖。

然後，在形成第二氧化物半導體膜 104a 之後執行第二熱處理。藉由第二熱處理，在第一氧化物半導體膜 102b 中，朝下的結晶成長進行至與第一電極 105 的界面；於是，第一氧化物半導體膜 102b 成為結晶成長到達第一電極 105 的第一氧化物半導體膜 102c。在第一氧化物半導體膜 102c

的氧化物半導體材料與第二氧化物半導體膜104b包含相同的主成分的情況中，如圖15C所示，朝上的結晶成長偕同做為種晶的第一氧化物半導體膜102b的多晶區的使用而進行至第二氧化物半導體膜104b，如此以形成第二氧化物半導體膜104b以及形成具有一致結晶結構的氧化物半導體膜108。因此，雖然在圖15C中以點線段指明，但在第一氧化物半導體膜102c與第二氧化物半導體膜104b之間的分界可能變得不明確。

在此一實施例中，自第一氧化物半導體膜102b與第二氧化物半導體膜104a之間的界面，結晶成長可以同時朝上及朝下進行。

第一次及第二熱處理的條件在實施例6中所述的範圍內。注意當第二熱處理以高於第一熱處理的溫度或是長於第一熱處理的時間執行時，在某些情況中於第二熱處理時，單晶區形成在第二氧化物半導體膜104a的表面。在這樣的形成在第二氧化物半導體膜104a的表面的單晶區影響電晶體特性的情況中，可視情況選用不允許單晶區形成在第二氧化物半導體膜104b的表面的條件。

在上述中，說明了具有15 nm厚度的氧化物半導體膜的例子；然而，本發明不限於此。即使在第一氧化物半導體膜102b具有小於或等於10 nm的厚度時，非晶區153可以藉由降低第一熱處理的溫度或藉由縮短第一熱處理的加熱時間而餘留在第一氧化物半導體膜102b的單晶區151與第一電極105之間。圖15C中所示的狀態可以藉由經第二熱處

理而形成到達第一電極105的單晶區而實現。亦即，藉由利用此一實施例中所述的製程，第一熱處理的溫度可以降低以及第一熱處理的加熱時間可以縮短。

另外，此一實施例可以任意地與其他實施例結合。

[實施例10]

在實施例6至9中，第一氧化物半導體膜的氧化物半導體材料與第二氧化物半導體膜包含相同的主成分；此一實施例說明第一氧化物半導體膜的氧化物半導體材料的成分相異於第二氧化物半導體膜的氧化物半導體材料的成分的情況。注意由於圖16A相同於圖9A，與圖9A中相同的部分以相同的元件符號表示在圖16A中。

在此一實施例中，說明使用具有 $\text{In} : \text{Zn} = 1 : 1$ 〔原子比〕的組成比的金屬氧化物靶（其不含Ga）以及第一氧化物半導體膜具有5 nm的厚度的例子。

圖16顯示在執行相似於實施例6的用於結晶化的第一熱處理之後於絕緣膜103及第一電極105之上的第一氧化物半導體膜102b。注意由於圖16A相同於圖9A，與圖9A中相同的部分以相同的元件符號表示在圖16A中。

接著，執行第一熱處理。結晶成長藉由第一熱處理而自表面進行，以形成到達與第一電極105的界面的具有多晶區的第一氧化物半導體膜102b，其取決於諸如第一氧化物半導體膜及第一電極105的材料、加熱時間、及加熱溫度之類的條件（參見圖16A）。

結晶成長在具有在表面相對均勻的結晶排列的多晶區的第一氧化物半導體膜102b中在垂直方向上自表面進行。再者，第一氧化物半導體膜102b為c軸排列在垂直於表面的方向上。

接著，圖16B為恰在第一氧化物半導體膜102b之上沉積第二氧化物半導體膜161a之後的截面視圖。當第二氧化物半導體膜形成在第一氧化物半導體膜之上時，使用具有 $\text{In}:\text{Ga}:\text{Zn}=1$ ：大於或等於0且小於或等於2：大於或等於1且小於或等於5的組成比的金屬氧化物靶。在此一實施例中，做為第二氧化物半導體膜161a，In-Ga-Zn-O膜使用In-Ga-Zn-O基氧化物半導體靶（ $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 〔原子比〕）形成至 $1\text{ }\mu\text{m}$ 的厚度。

然後，在形成第二氧化物半導體膜161a之後，執行第二熱處理。藉由第二熱處理，造成圖16C所示的結晶成長。如圖16C所示，朝上的結晶成長隨著做為種晶的第一氧化物半導體膜102b的多晶區的使用而進行至第二氧化物半導體膜的表面；於是，可以形成第二氧化物半導體膜161b。

因為藉由第一熱處理取得的多晶區受到第二熱處理再次加熱，故第一氧化物半導體膜102b成為晶質更為改善的第三氧化物半導體膜102c。

由於第二氧化物半導體膜161a的氧化物半導體材料的成分相異於第一氧化物半導體膜102b的氧化物半導體材料，如圖16C所示在第三氧化物半導體膜102c與第二氧化物

半導體膜 161b 之間形成分界。同樣藉由第二熱處理，大部分的第一氧化物半導體膜（包括靠近與第一電極 105 的界面的部分）成為多晶區。

圖 16C 中所示的結構可以視為第三氧化物半導體膜 102c 及第二氧化物半導體膜 161b 依此順序堆疊且與第一電極 105 相接觸的二層結構。藉由使用 In-Zn-O 膜做為種晶（其比 In-Ga-Zn-O 更容易結晶化）使朝上的結晶成長有效地進行以使 In-Ga-Zn-O 膜成為多晶區。第三氧化物半導體膜 102c 的帶隙可以不同於第二氧化物半導體膜 161b。

第一次及第二熱處理的條件在實施例 6 中所述的範圍內。

另外，此一實施例可以任意地與其他實施例結合。

〔實施例 11〕

在此一實施例中，將參照圖 17A 及 17B 說明具有高產率的半導體裝置的製造方法。

如圖 17A 所示，絕緣膜 103 形成在基材 101 之上，以及第一電極 105 形成在絕緣膜 103 之上。然後，在第一電極 105 之上形成一保護膜 165。提供保護膜 165 以為了增加第一電極 105 對於之後待形成的氧化物半導體膜的附著力。再者，提供保護膜 165 以為了避免第一電極 105 在形成氧化物半導體膜的步驟中被氧化。

最好形成具有大於或等於 1 nm 且小於或等於 100 nm 的厚度的金屬氮化膜做為保護膜 165；代表性地，形成鈦

氮化膜或鉭氮化膜。

第一氧化物半導體膜 102a 接著形成，藉此可以抑制第一氧化物半導體膜 102a 的剝落。另外，可以避免第一電極 105 被氧化。

然後，執行任一在實施例 6 至 10 中所述的步驟；如此，可以製造出半導體裝置。

[實施例 12]

將對使用有包括在任一在實施例 1 至 11 中所述的半導體元件的電路的態樣加以說明。

電晶體及二極體（各為任一在實施例 1 至 11 中所述的半導體元件的一種態樣）具有高開關比及高耐受電壓且不容易衰退。從而，電晶體及二極體可以使用在下列例子中：諸如空調機、冰箱、炊飯器、或太陽能發電系統之類的應用換流技術的家電用品；諸如膝上型電腦之類的電池驅動可攜式資訊終端裝置；諸如頻閃觀測器之類的功率放大裝置，電動車；DC-DC 轉換電路；馬達控制電路；音頻放大器；邏輯電路；切換電路；及高頻線性放大器。

在此，對提供有使用在任一實施例 1 至 11 中所述的半導體元件而形成的換流器的太陽能發電系統的例子參照圖 18 加以說明。注意此處說明安裝在房屋或類似物的太陽能發明系統的結構的例子。

圖 18 中所示的家用太陽能發電裝置為根據太陽能發電的狀態改變供應電力方法的一系統。當太陽能發電運轉時

，例如，當太陽照射時，藉由太陽能發電產生的電源在屋內消耗，並且剩餘電源供應至由電力公司所提供的電柵414。另一方面，在夜晚時分或在電源不充足的下雨時候，電源則自電柵414供應且供屋內消耗。

圖18中的家用太陽能系統包括轉換太陽光為電源（直流電源）的一太陽能電池面板400、將電源自直流轉換為交流的一換流器404。自換流器404輸出的交流電源使用做為用於操作各種電子裝置410的電源。

剩餘電源經由電柵414供應至屋外。亦即，使用此系統的電源可以售出。直流電流開關402提供以選擇太陽能電池面板400與換流器404之間的連接或斷開。交流電流開關408提供以選擇配電板406與連接至電柵414的變壓器412之間的連接或斷開。

當本揭示發明的半導體裝置應用至上述換流器時，可以實現高可靠且價錢低廉的太陽能發電系統。

此一實施例中所述的方法及結構可以視情況與其他實施例中所述的任何方法及結構結合。

[例1]

在例1中，參照圖19A及19B及圖20A及20B說明拍攝藉由熱處理而結晶化的氧化物半導體膜的截面之TEM相片的結果。

首先，樣本A的製造方法說明如下。

矽氮氧化膜（SiON）藉由CVD法形成在玻璃基材之上

。然後，在矽氮氧化膜之上形成具有 5 nm厚度的 In-Ga-Zn-O膜（OS）。此時，In-Ga-Zn-O膜依下列條件形成：使用氧化物半導體靶（In-Ga-Zn-O基氧化物半導體靶（ In_2O_3 ： Ga_2O_3 ： ZnO =1：1：2〔莫耳比〕且In：Ga：Zn=1：1：1〔原子比〕））；基材溫度為200°C；沉積率為4 nm/min；靶為濺鍍的。注意在使用上述氧化物半導體靶的情況中，容易取得 InGaZnO_4 的結晶。接著，在In-Ga-Zn-O膜之上形成保護膜。形成在玻璃基材之上的In-Ga-Zn-O膜接著受到在700°C於乾空氣氣氛中熱處理1小時；如此，製造出樣本A。

圖19A為樣本A的截面的TEM相片以及圖19B為圖19A的示意圖。注意TEM相片為使用高解析穿透式電子顯微鏡（“H9000-NAR”：由Hitachi, Ltd所製的TEM）在300 kV的加速電壓取得的高倍率相片（八百萬倍倍率）。可以觀測到In-Ga-Zn-O膜係c軸排列在垂直於表面的方向上以及接近於矽氮氧化膜與In-Ga-Zn-O膜之間的界面的區域也結晶化且c軸排列在垂直於表面的方向上。換言之，具有平板狀多晶區的氧化物半導體膜被形成了。注意在a-b平面上彼此相鄰的元件屬於相同種類。平板狀多晶區的c軸方向相當於垂直於表面的方向。

接著，樣本B（其為對照例）的製造方法說明如下。

矽氮氧化膜（SiON）藉由CVD法形成在玻璃基材之上。然後，在相似於樣本A的條件中在矽氮氧化膜之上形成具有50 nm厚度的In-Ga-Zn-O膜。其次，在In-Ga-Zn-O膜

之上形成一保護膜。之後，在 700°C 於乾空氣氣氛中執行熱處理1小時；如此，形成樣本B。

圖20A為樣本B的截面的TEM相片以及圖20B為圖20A的示意圖。注意TEM相片為使用高解析穿透式電子顯微鏡（“H9000-NAR”：由Hitachi, Ltd所製的TEM）在300 kV的加速電壓取得的高倍率相片（二百萬倍倍率）。可以觀測自In-Ga-Zn-O膜的表面進行至約5 nm的深度的結晶化以及隨機存在In-Ga-Zn-O膜的內側部分的許多非晶區及結晶軸指向不一致的複數結晶。因此，可以說即使當一次執行在 700°C 的熱處理1小時時，亦即，在長於6分鐘的處理時間於高於 650°C 的溫度的熱處理，在厚度如50 nm一般厚的整個In-Ga-Zn-O膜中難以形成具有高列準的單晶區。

由這些實驗結果，可以說具有大厚度的多晶區可以藉由以下列步驟形成氧化物半導體膜而形成：形成待成為種晶的多晶區；並然後在另一氧化物半導體膜形成之後造成結晶成長。亦即，這顯示這份說明書中所揭露的方法是極有效的。二個步驟中的氧化物半導體膜的形成以及執行兩次的熱處理使得取得具有高列準的厚多晶區，亦即，具有平行於平板狀多晶區的表面的a-b平面且c軸排列在垂直於平板狀多晶區的表面的方向上的多晶區成為可能。

本申請案為基於在2009年11月28日向日本專利局提出的日本專利申請序號2009-270854，其全文內容茲以提述方式納入。

【圖式簡單說明】

於隨附圖式中：

圖 1A 及 1B 係顯示一電晶體的頂視圖及截面視圖；

圖 2 係使用氧化物半導體的垂直電晶體的縱向截面視圖；

圖 3A 及 3B 係沿圖 2 中線段 A-A' 的截面的能帶圖（示意圖）；

圖 4 係顯示真空能階與金屬的功函數（ ϕ_M ）之間以及真空能階與氧化物半導體的電子親和能（ χ ）之間的關係圖；

圖 5 係沿圖 2 中線段 B-B' 的截面的能帶圖（示意圖）；

圖 6A 顯示施加正電勢（ $+V_G$ ）至閘極（GE1）的狀態、以及圖 6B 顯示施加負電勢（ $-V_G$ ）至閘極（GE1）的狀態；

圖 7A 及 7B 係顯示一電晶體的頂視圖及截面視圖；

圖 8A 及 8B 係各顯示一二極體的截面視圖；

圖 9A 至 9E 係顯示製造電晶體的方法的截面視圖；

圖 10A 至 10C 係顯示製造電晶體的方法的截面視圖；

圖 11A 及 11B 係顯示製造電晶體的方法的截面視圖；

圖 12A 至 12C 係顯示製造電晶體的方法的截面視圖；

圖 13A 至 13C 係顯示製造電晶體的方法的截面視圖；

圖 14A 至 14B 係顯示製造電晶體的方法的截面視圖；

圖 15A 至 15C 係顯示製造電晶體的方法的截面視圖；

圖 16A 至 16C 係顯示製造電晶體的方法的截面視圖；

圖 17A 及 17B 係顯示製造電晶體的方法的截面視圖；

圖 18 係顯示光伏系統之例的圖；

圖 19A 及 19B 係氧化物半導體膜的截面的 TEM 相片及示意圖；及

圖 20A 及 20B 係氧化物半導體膜的截面的 TEM 相片及示意圖。

【主要元件符號說明】

101：基材

102a：第一氧化物半導體膜

102b：第一氧化物半導體膜

102c：第一氧化物半導體膜

103：絕緣膜

104a：第二氧化物半導體膜

104b：第二氧化物半導體膜

105：第一電極

107：氧化物半導體膜

108：氧化物半導體膜

109：第二電極

110：導電膜

111：閘極絕緣膜

112：第二氧化物半導體膜

113：第三電極

117：絕緣膜

119：接觸孔
123：接觸孔
125：佈線
129：佈線
131：佈線
145：電晶體
147：電晶體
149a：三端型二極體
149b：三端型二極體
151：單晶區
153：非晶區
161a：第二氧化物半導體膜
161b：第二氧化物半導體膜
165：保護膜
400：太陽能電池面板
402：直流電流開關
404：換流器
406：配電板
408：交流電流開關
410：電子裝置
412：變壓器
414：電柵
D：汲極電極
GI：閘極絕緣膜

GE1：閘極電極

OS：氧化物半導體膜

S：源極電極

照刊)

空白頁

七、申請專利範圍：

1. 一種半導體裝置的製造方法，包括下列步驟：

在一基材之上形成一第一電極；

在該第一電極之上形成一第一氧化物半導體膜；

對該第一氧化物半導體膜執行第一熱處理，以造成自該第一氧化物半導體膜的表面至內側部分的結晶成長；

在該第一氧化物半導體膜之上形成一第二氧化物半導體膜；

對該第二氧化物半導體膜執行第二熱處理，以造成該第二氧化物半導體膜中的結晶成長；

蝕刻該第一氧化物半導體膜及該第二氧化物半導體膜以致具有島形；

在該第二氧化物半導體膜之上形成一第二電極；

形成覆蓋該第一電極、該第一氧化物半導體膜、該第二氧化物半導體膜、及該第二電極的一閘極絕緣膜；及

在該閘極絕緣膜之上形成一閘極電極。

2. 一種半導體裝置的製造方法，包括下列步驟：

在一基材之上形成一第一電極；

在該第一電極之上形成一第一氧化物半導體膜；

對該第一氧化物半導體膜執行第一熱處理，以造成自該第一氧化物半導體膜的表面至內側部分的結晶成長；

在該第一氧化物半導體膜之上形成一第二氧化物半導體膜；

在該第二氧化物半導體膜之上形成一導電膜；

對該第二氧化物半導體膜執行第二熱處理，以造成該第二氧化物半導體膜中的結晶成長；

藉由蝕刻該導電膜而形成一第二電極；

蝕刻該第一氧化物半導體膜及該第二氧化物半導體膜以致具有島形；

形成覆蓋該第一電極、該第一氧化物半導體膜、該第二氧化物半導體膜、及該第二電極的一閘極絕緣膜；及

在該閘極絕緣膜之上形成一閘極電極。

3. 一種半導體裝置的製造方法，包括下列步驟：

在一基材之上形成一第一電極；

在該第一電極之上形成一第一氧化物半導體膜；

對該第一氧化物半導體膜執行第一熱處理，以造成自該第一氧化物半導體膜的表面至內側部分的結晶成長；

在加熱執行時藉由濺鍍法在該第一氧化物半導體膜之上形成具有晶質的一第二氧化物半導體膜；

蝕刻該第一氧化物半導體膜及該第二氧化物半導體膜以致具有島形；

在該第二氧化物半導體膜之上形成一第二電極；

形成覆蓋該第一電極、該第一氧化物半導體膜、該第二氧化物半導體膜、及該第二電極的一閘極絕緣膜；及

在該閘極絕緣膜之上形成一閘極電極。

4. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置的製造方法，其中該第二氧化物半導體膜中的結晶成長係偕同使用作為種晶之該第一氧化物半導體膜而造

成。

5. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置的製造方法，

其中該第一氧化物半導體膜係 c 軸排列在垂直於該表面的方向上，及

其中該第二氧化物半導體膜係 c 軸排列在垂直於該表面的方向上。

6. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置的製造方法，

其中該第一氧化物半導體膜具有單晶區，及

其中該第二氧化物半導體膜具有單晶區。

7. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置的製造方法，其中該第一氧化物半導體膜具有大於或等於 2 nm 且小於或等於 15 nm 的厚度。

8. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置的製造方法，

其中該第一氧化物半導體膜係藉由濺鍍法而沉積，且用於該沉積的金屬氧化物靶具有 $\text{In} : \text{Ga} : \text{Zn} = 1 : \text{大於或等於 } 0 \text{ 且小於或等於 } 2 : \text{大於或等於 } 1 \text{ 且小於或等於 } 5$ 的組成比，及

其中該第二氧化物半導體膜係藉由濺鍍法而沉積在該第一氧化物半導體膜之上，且用於該沉積的金屬氧化物靶具有 $\text{In} : \text{Ga} : \text{Zn} = 1 : \text{大於或等於 } 0 \text{ 且小於或等於 } 2 : \text{大於或等於 } 1 \text{ 且小於或等於 } 5$ 的組成比。

9. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置的製造方法，其中該第一氧化物半導體膜及該第二氧化物半導體膜係同質磊晶成長。

10. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置的製造方法，其中該第一氧化物半導體膜及該第二氧化物半導體膜係異質磊晶成長。

11. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置的製造方法，其中該第一氧化物半導體膜及該第二氧化物半導體膜係經脫水或經除氫。

12. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置的製造方法，其中該第一氧化物半導體膜及該第二氧化物半導體膜具有低於 $1 \times 10^{12} \text{ cm}^{-3}$ 的載子密度。

13. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置的製造方法，其中該第一氧化物半導體膜及該第二氧化物半導體膜具有低於 $1.4 \times 10^{10} \text{ cm}^{-3}$ 的載子密度。

14. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置的製造方法，其中該第一氧化物半導體膜及該第二氧化物半導體膜包括一本質半導體。

15. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置的製造方法，其中該半導體裝置具有一電晶體或一二極體。

16. 一種半導體裝置，包括：

一第一電極，形成在一基材之上；

一氧化物半導體的堆疊體，形成在該第一電極之上，

該堆疊體包括：

一第一氧化物半導體膜，具有自表面至內側部分的結晶成長的晶質；及

一第二氧化物半導體膜，具有晶質，位在該第一氧化物半導體膜之上；

一第二電極，形成在該氧化物半導體的堆疊體之上；

一閘極絕緣膜，覆蓋該第一電極、該氧化物半導體的堆疊體、及該第二電極；及

一第三電極，具有環形，及面對該氧化物半導體的堆疊體的至少一側面且於其之間提供有該閘極絕緣膜。

17. 一種半導體裝置，包括：

一第一電極，形成在一基材之上；

一氧化物半導體的堆疊體，形成在該第一電極之上，該堆疊體包括：

一第一氧化物半導體膜，具有自表面至內側部分的結晶成長的晶質；及

一第二氧化物半導體膜，具有晶質，位在該第一氧化物半導體膜之上；

一第二電極，係位在該氧化物半導體的堆疊體之上且形成在該氧化物半導體的堆疊體的周緣內側；

一閘極絕緣膜，覆蓋該第一電極、該氧化物半導體的堆疊體、及該第二電極；及

一第三電極，具有環形，以及面對該氧化物半導體的堆疊體的至少一側面及該第二電極的一側面且於彼等之間

提供有該閘極絕緣膜。

18. 如申請專利範圍第 16 或 17 項所述之半導體裝置，其中該第二電極與該氧化物半導體的堆疊體的整個頂面相接觸。

19. 如申請專利範圍第 16 或 17 項所述之半導體裝置，

其中該第一電極作為一源極電極及一汲極電極的其中一個之用，

其中該第二電極作為該源極電極及該汲極電極的另外一個之用，及

其中該第三電極作為一閘極電極之用。

20. 如申請專利範圍第 16 或 17 項所述之半導體裝置，

其中具有晶質的該第一氧化物半導體膜係 c 軸排列在垂直於表面的方向上，及

其中具有晶質的該第二氧化物半導體膜係 c 軸排列在垂直於表面的方向上。

21. 如申請專利範圍第 16 或 17 項所述之半導體裝置，其中具有晶質的該第一氧化物半導體膜具有大於或等於 2 nm 且小於或等於 15 nm 的平均厚度。

22. 如申請專利範圍第 16 或 17 項所述之半導體裝置，其中具有晶質的該第一氧化物半導體膜的材料及具有晶質的該第二氧化物半導體膜的材料包含相同的成分。

23. 如申請專利範圍第 16 或 17 項所述之半導體裝

置，其中具有晶質的該第一氧化物半導體膜及具有晶質的該第二氧化物半導體膜具有相同的電子親和能。

24. 如申請專利範圍第 16 或 17 項所述之半導體裝置，其中具有晶質的該第一氧化物半導體膜及具有晶質的該第二氧化物半導體膜具有同質磊晶結構。

25. 如申請專利範圍第 16 或 17 項所述之半導體裝置，其中具有晶質的該第一氧化物半導體膜的材料與具有晶質的該第二氧化物半導體膜的材料係彼此相異。

26. 如申請專利範圍第 16 或 17 項所述之半導體裝置，其中具有晶質的該第一氧化物半導體膜及具有晶質的該第二氧化物半導體膜具有異質磊晶結構。

27. 如申請專利範圍第 16 或 17 項所述之半導體裝置，其中具有晶質的該第一氧化物半導體膜及具有晶質的該第二氧化物半導體膜係經脫水或經除氫。

28. 如申請專利範圍第 16 或 17 項所述之半導體裝置，其中具有晶質的該第一氧化物半導體膜及具有晶質的該第二氧化物半導體膜具有低於 $1 \times 10^{12} \text{ cm}^{-3}$ 的載子密度。

29. 如申請專利範圍第 16 或 17 項所述之半導體裝置，其中具有晶質的該第一氧化物半導體膜及具有晶質的該第二氧化物半導體膜具有低於 $1.4 \times 10^{10} \text{ cm}^{-3}$ 的載子密度。

30. 如申請專利範圍第 16 或 17 項所述之半導體裝置，其中具有晶質的該第一氧化物半導體膜及具有晶質的

該第二氧化物半導體膜包括一本質半導體。

31. 如申請專利範圍第 16 或 17 項所述之半導體裝置，其中該半導體裝置具有一電晶體或一二極體。

圖 1A

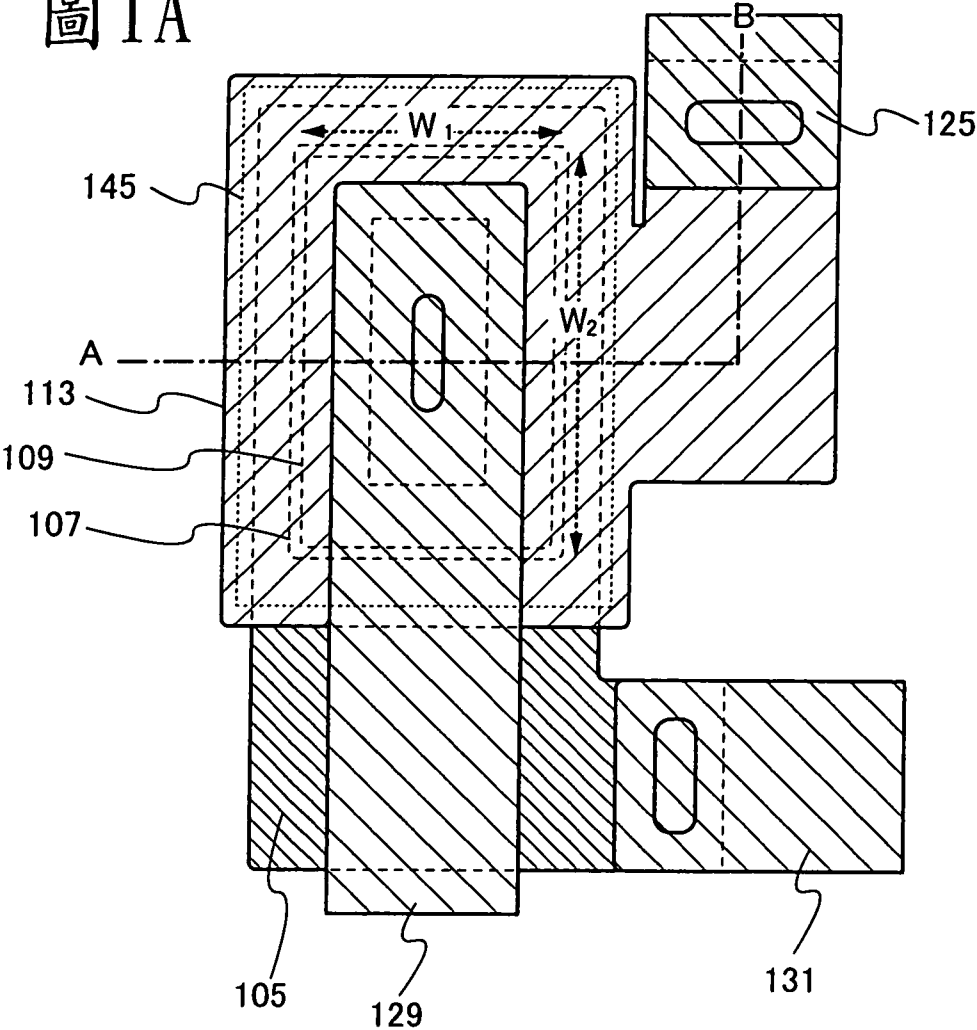


圖 1B

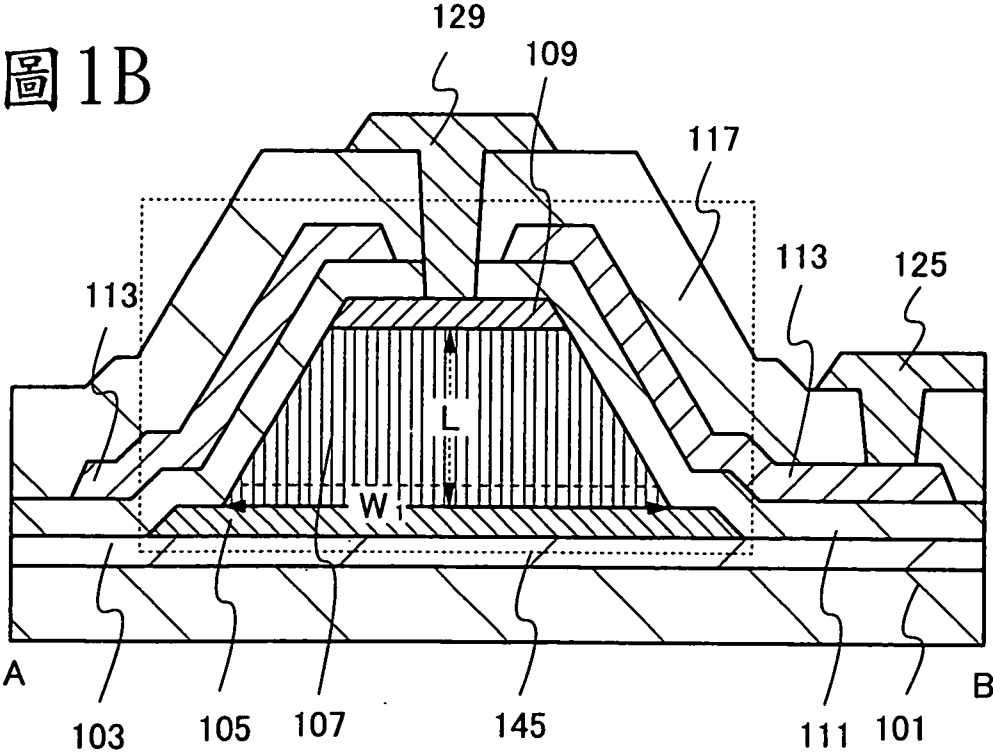
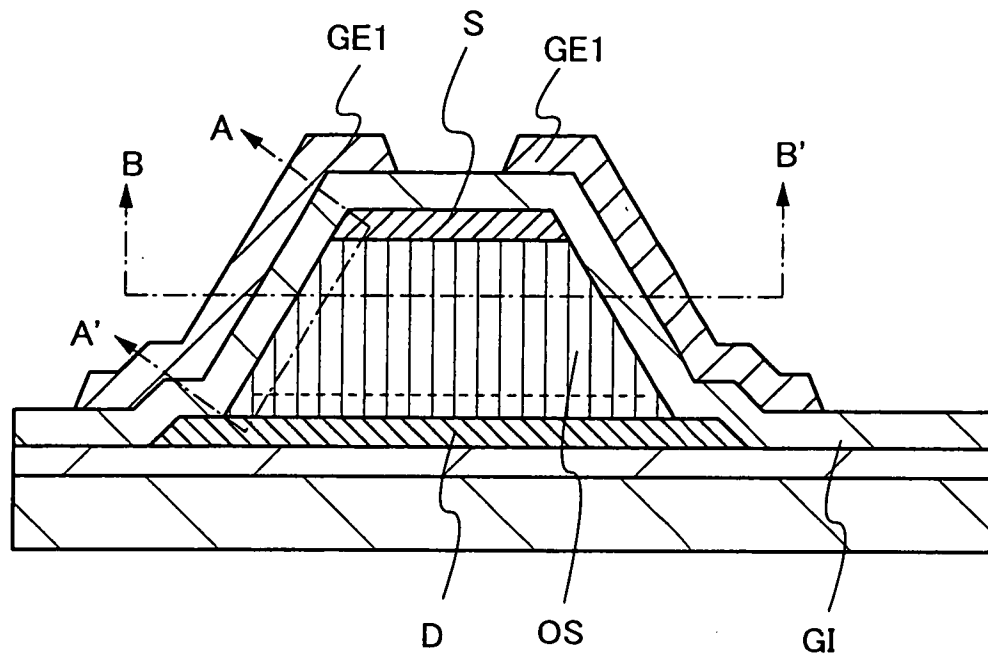


圖2





•



圖4

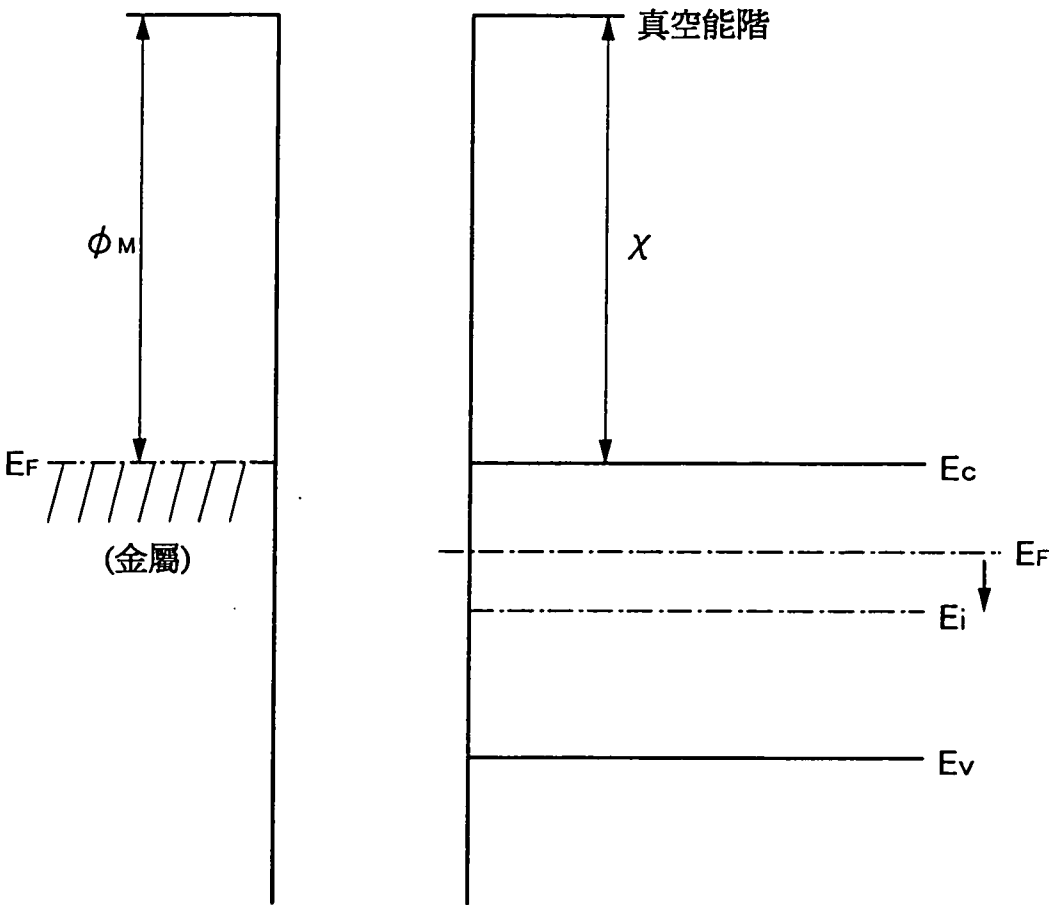
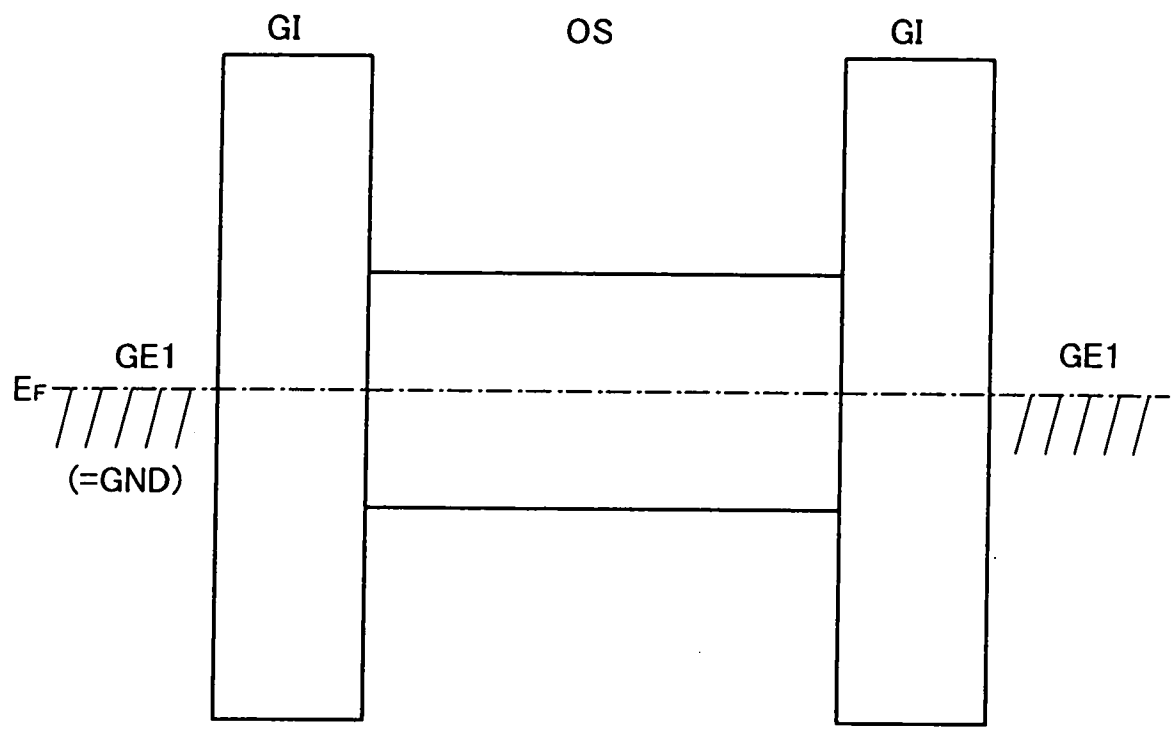


圖5



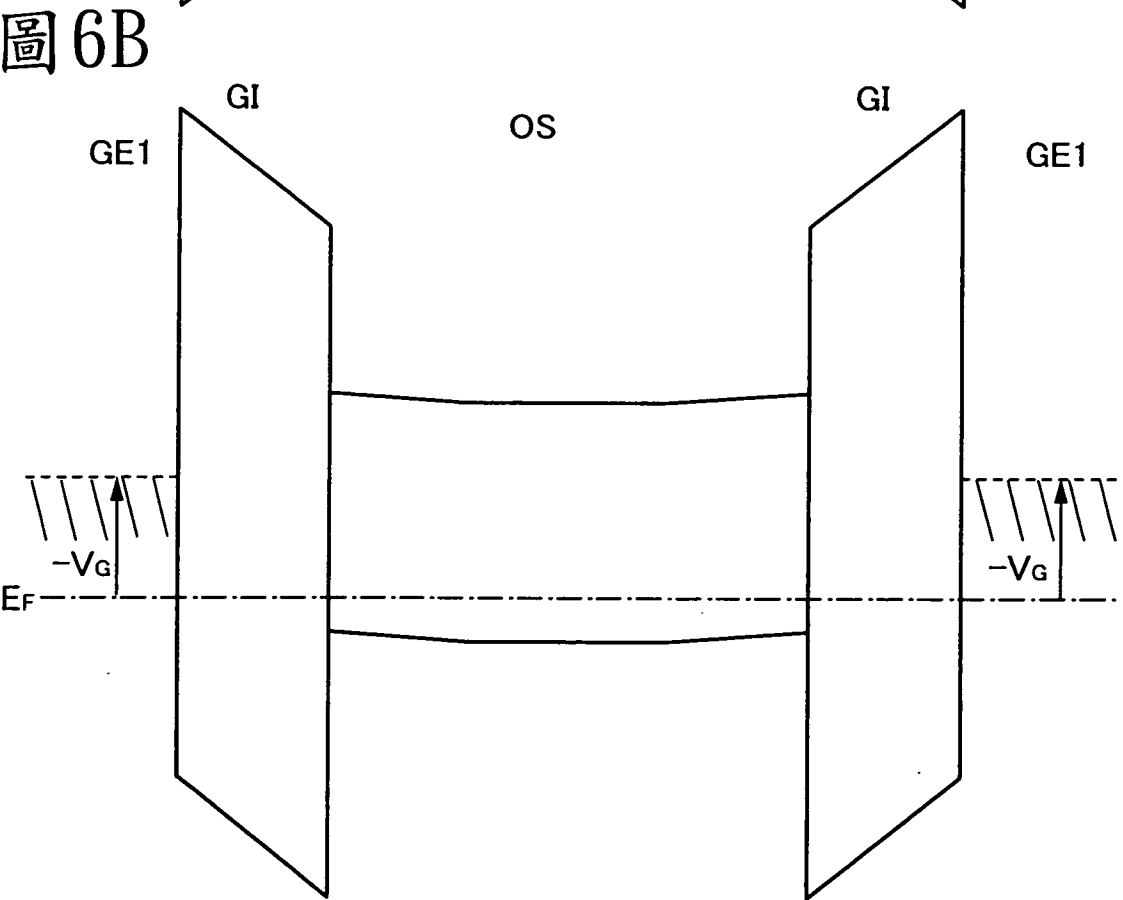
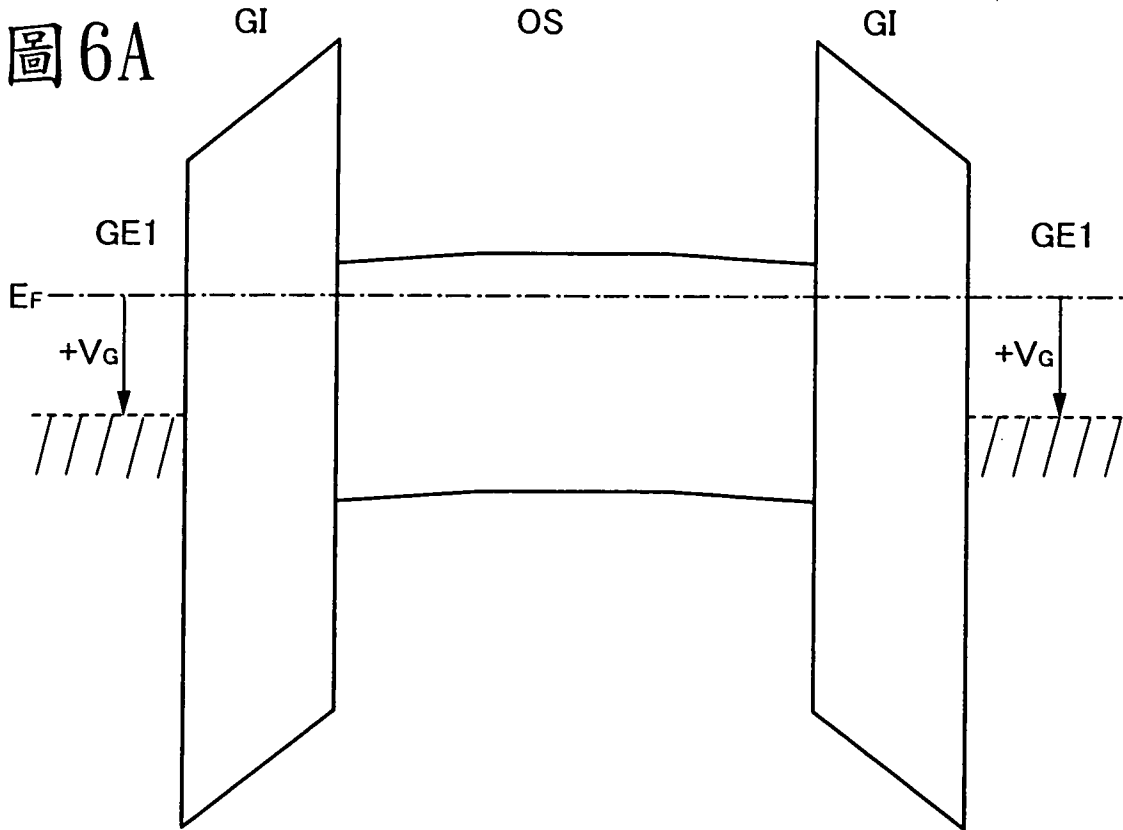


圖 7A

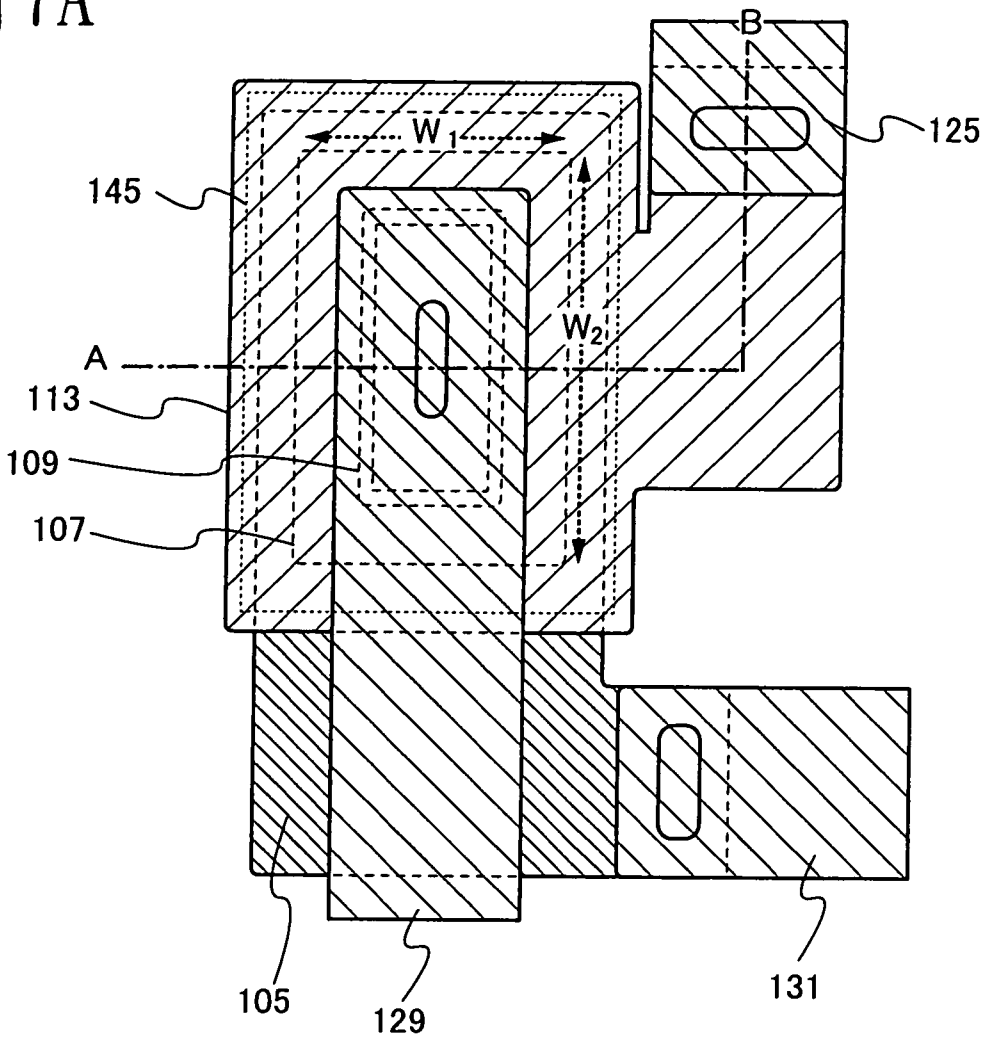


圖 7B

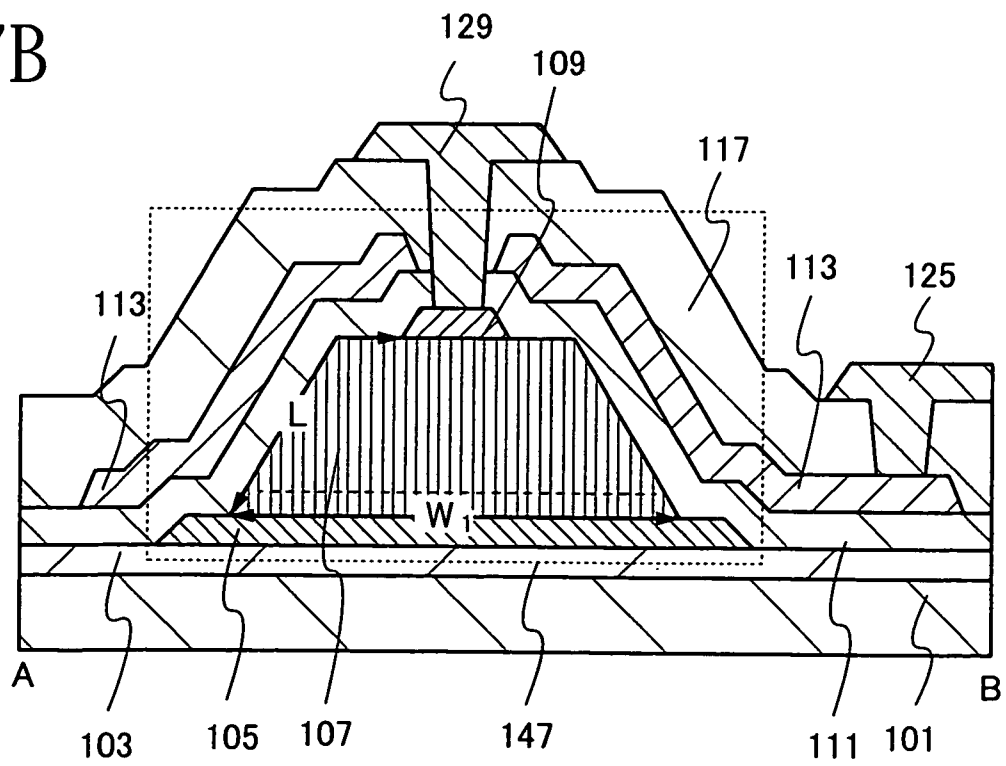


圖 8A

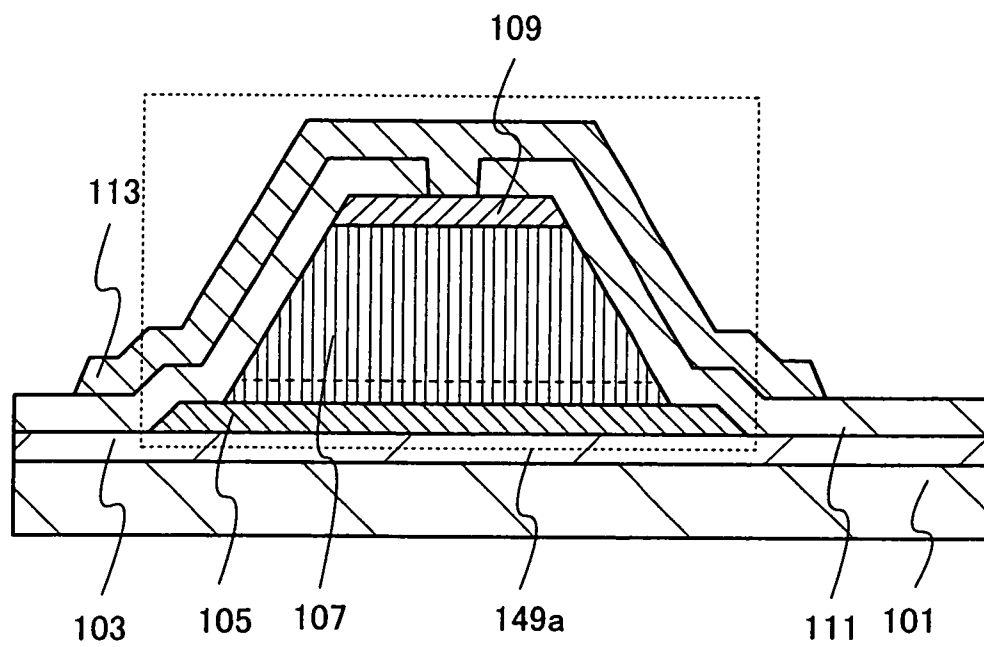


圖 8B

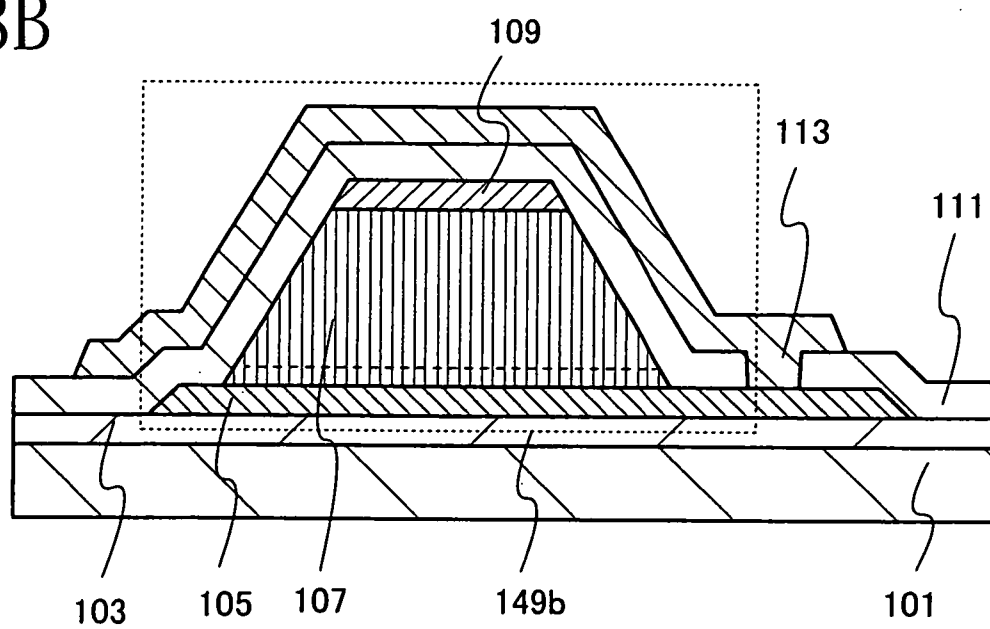


圖 9A

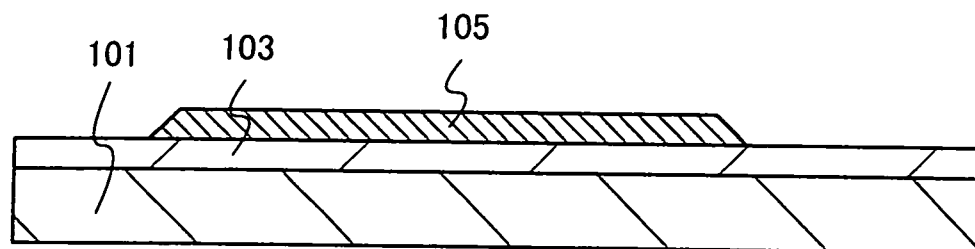


圖 9B

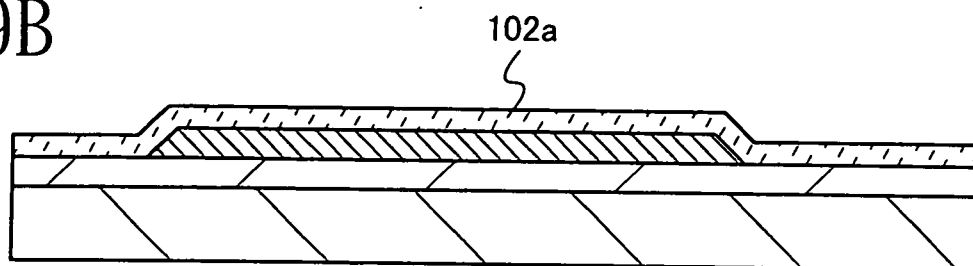


圖 9C

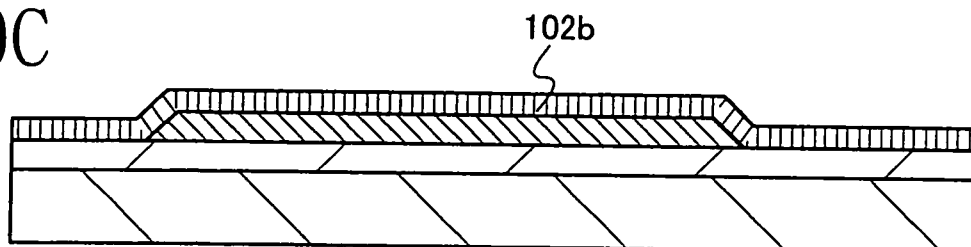


圖 9D

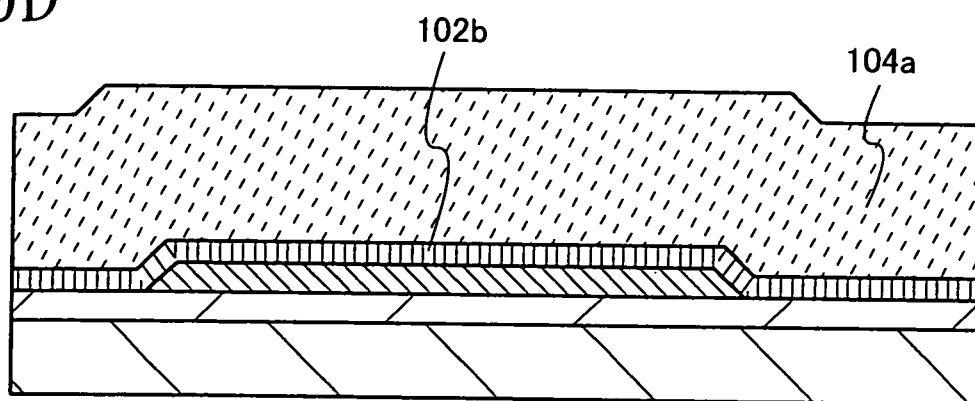


圖 9E

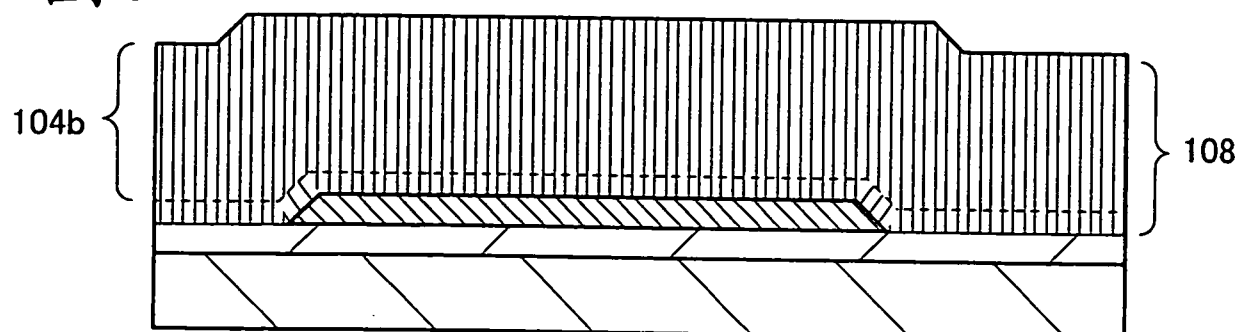


圖 10A

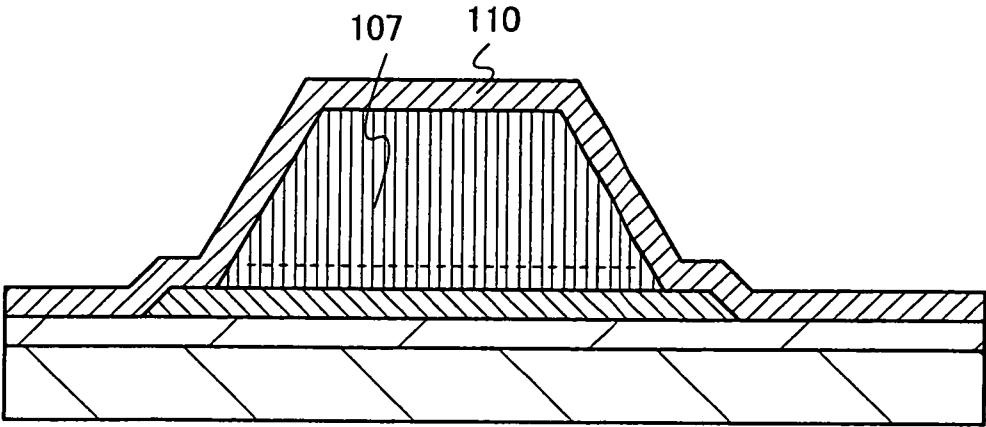


圖 10B

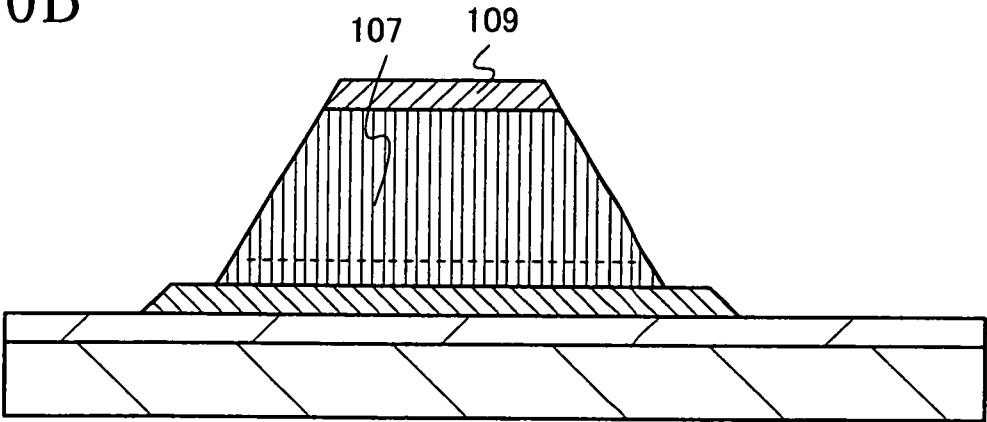


圖 10C

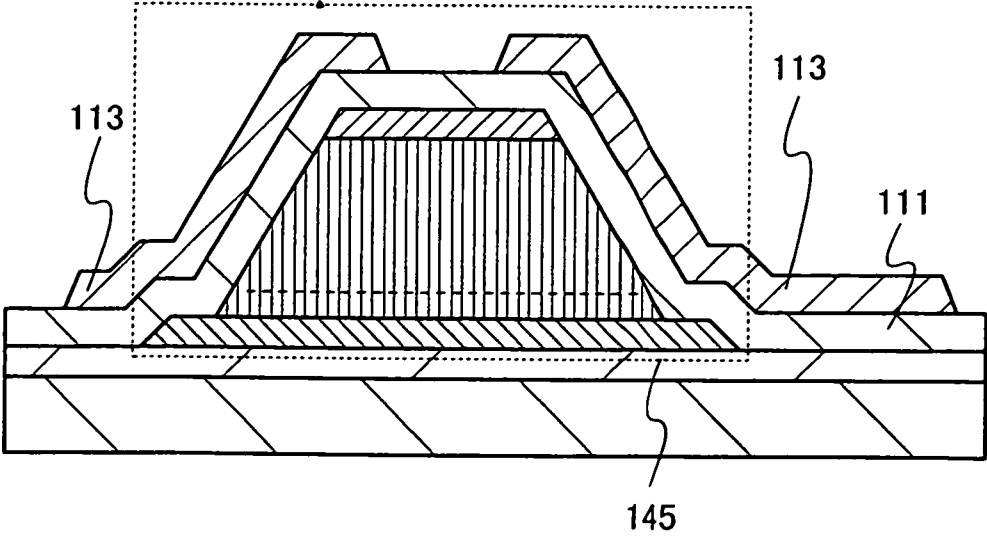


圖 11A

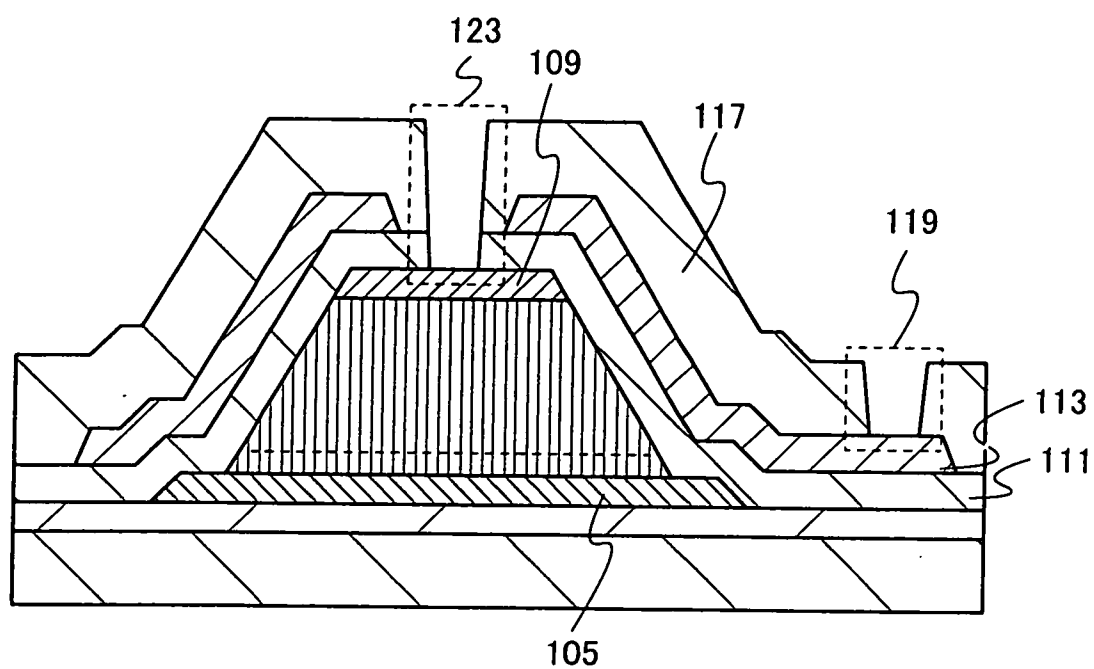


圖 11B

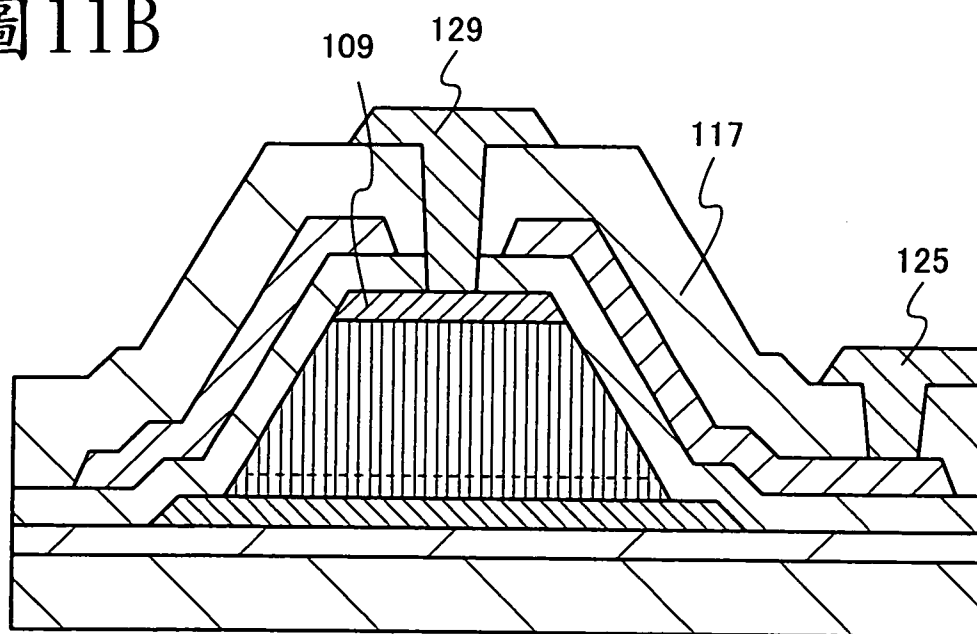


圖 12A

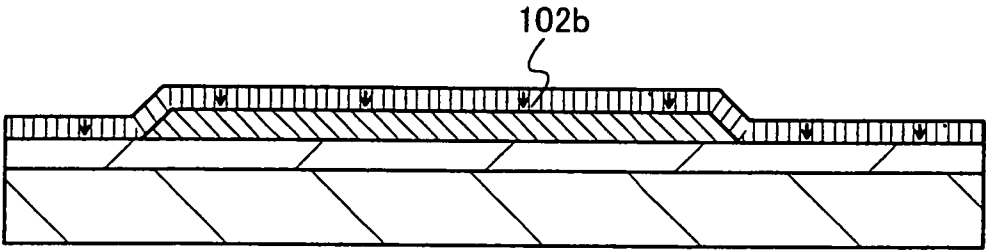


圖 12B

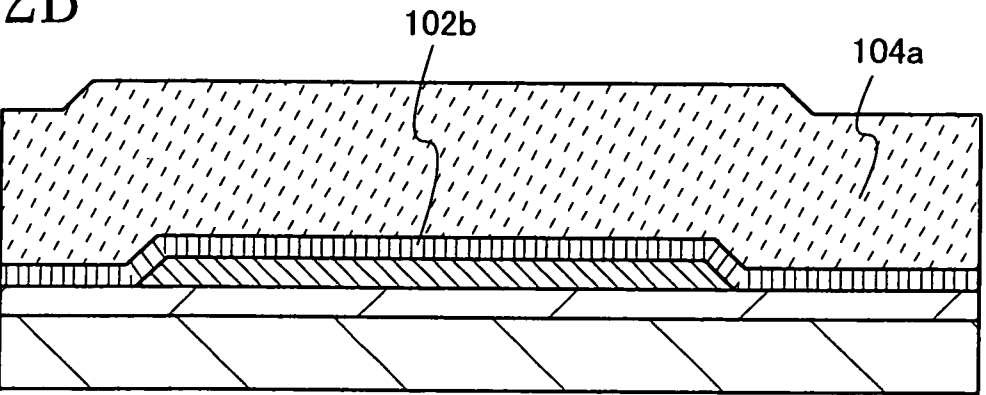


圖 12C

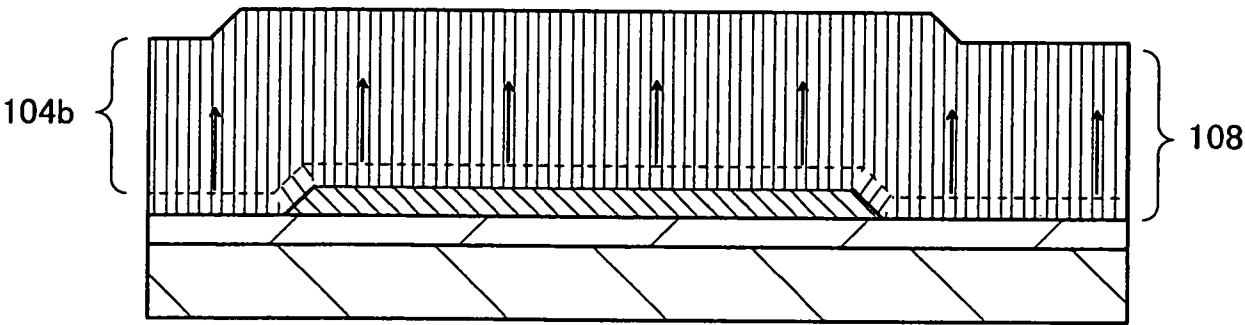


圖 13A

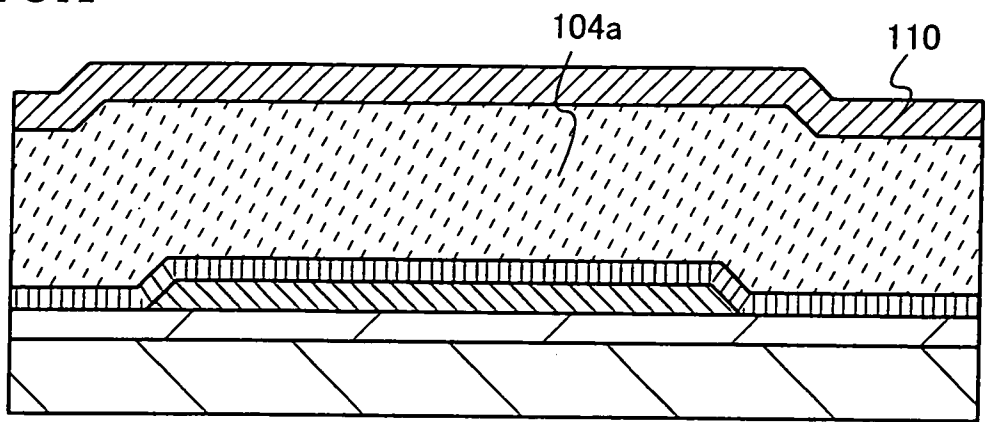


圖 13B

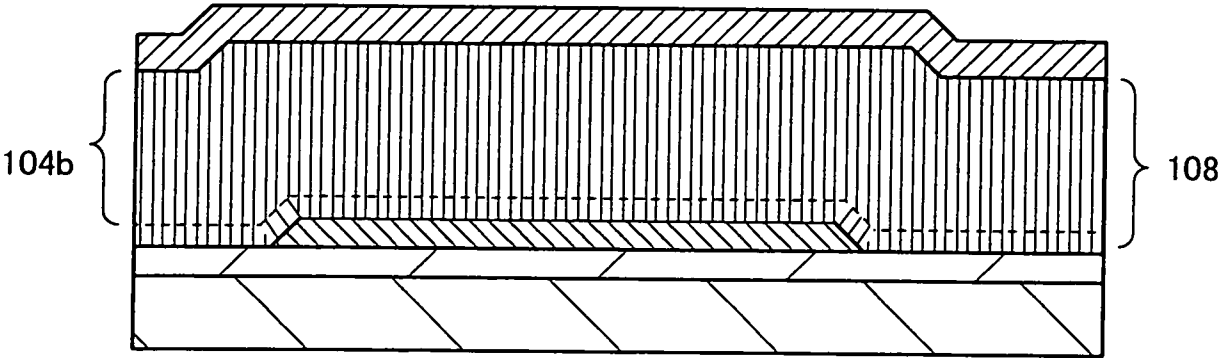


圖 13C

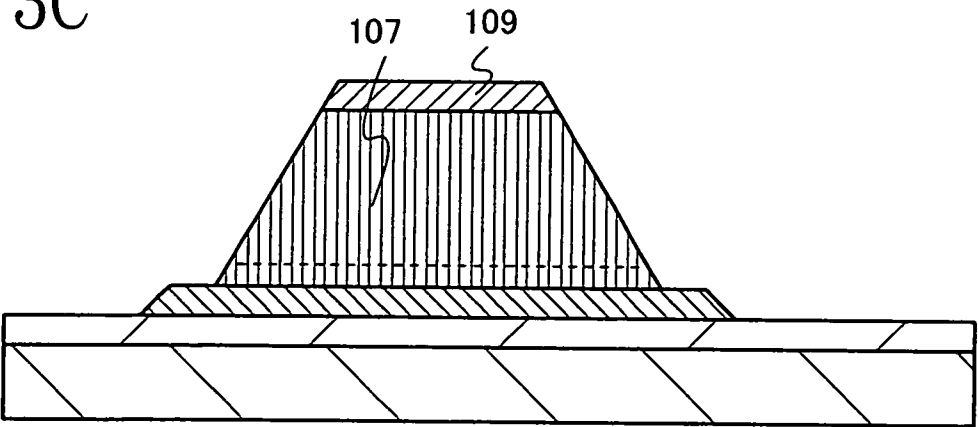


圖 14A

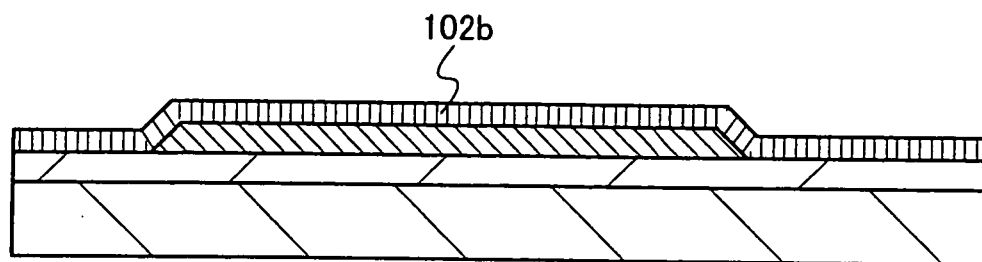


圖 14B

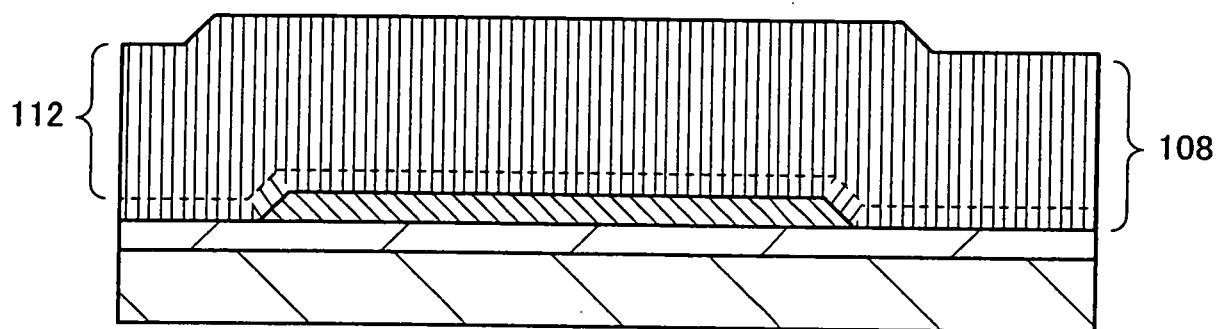


圖 15A

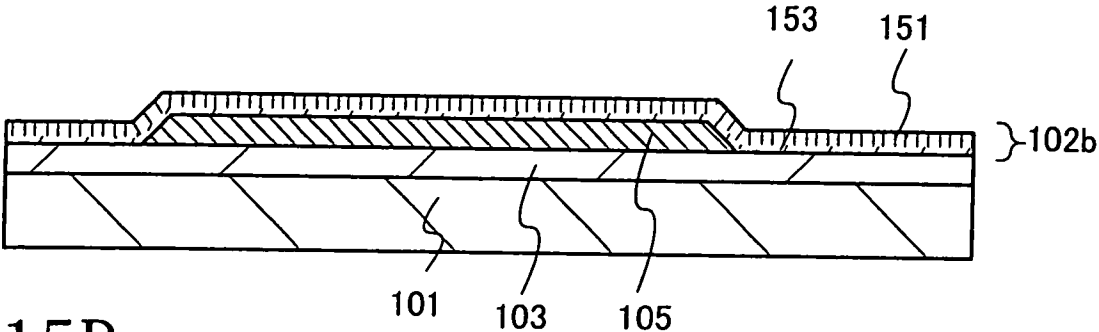


圖 15B

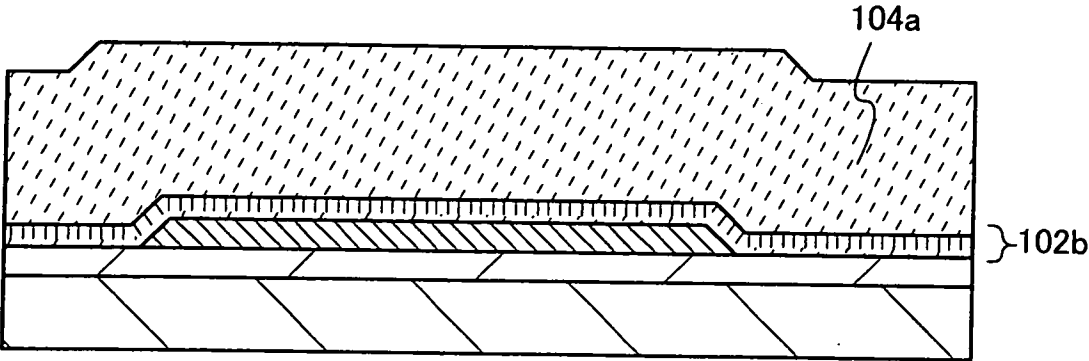


圖 15C

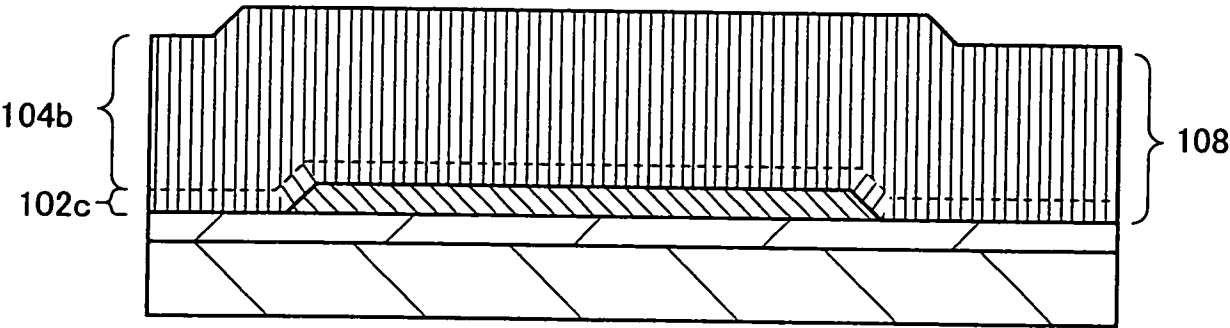


圖 16A

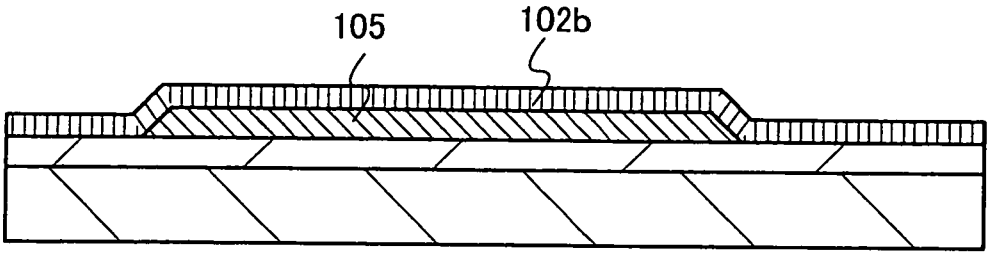


圖 16B

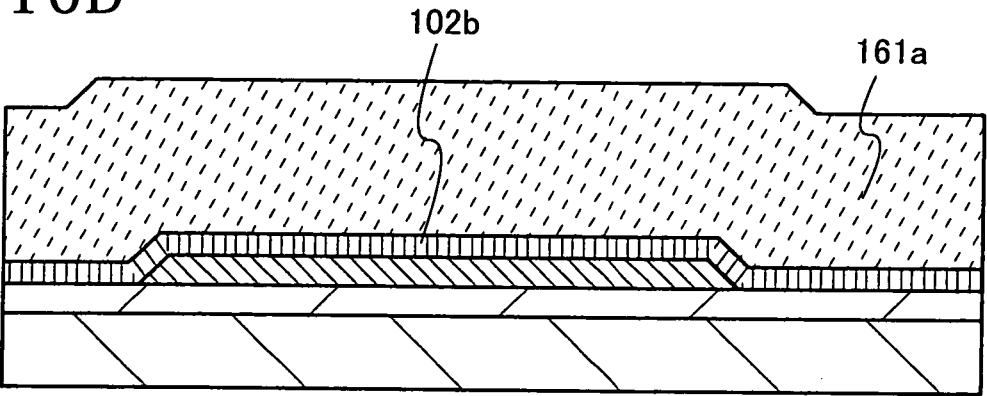


圖 16C

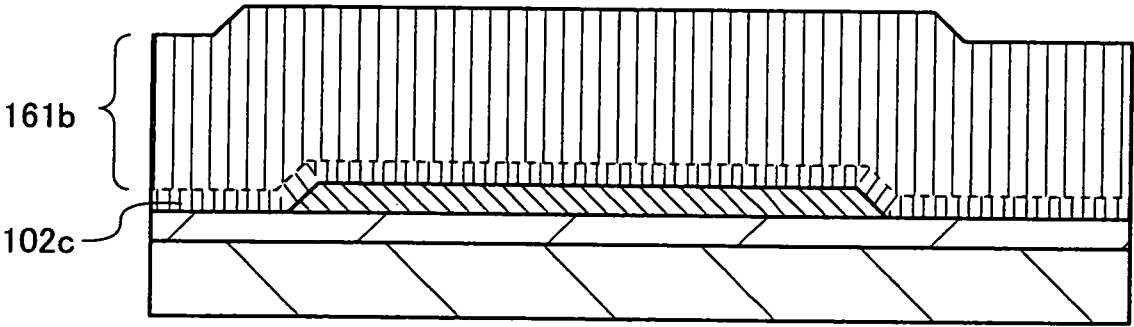


圖 17A

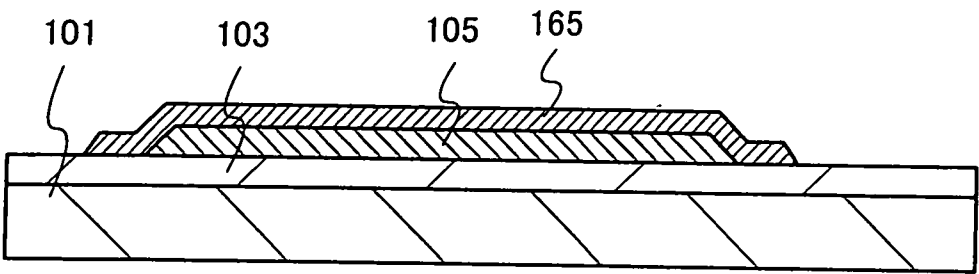


圖 17B

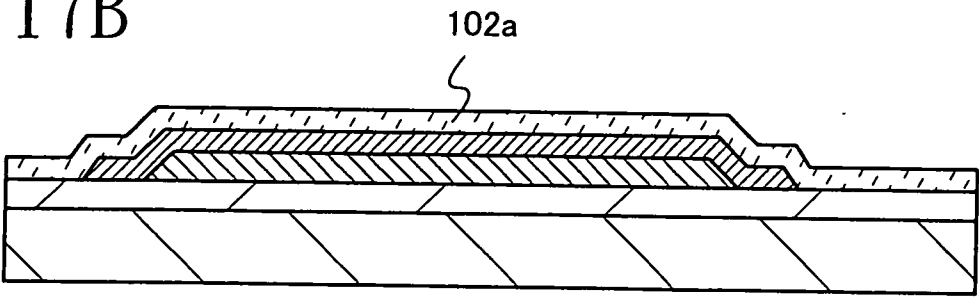


圖 18

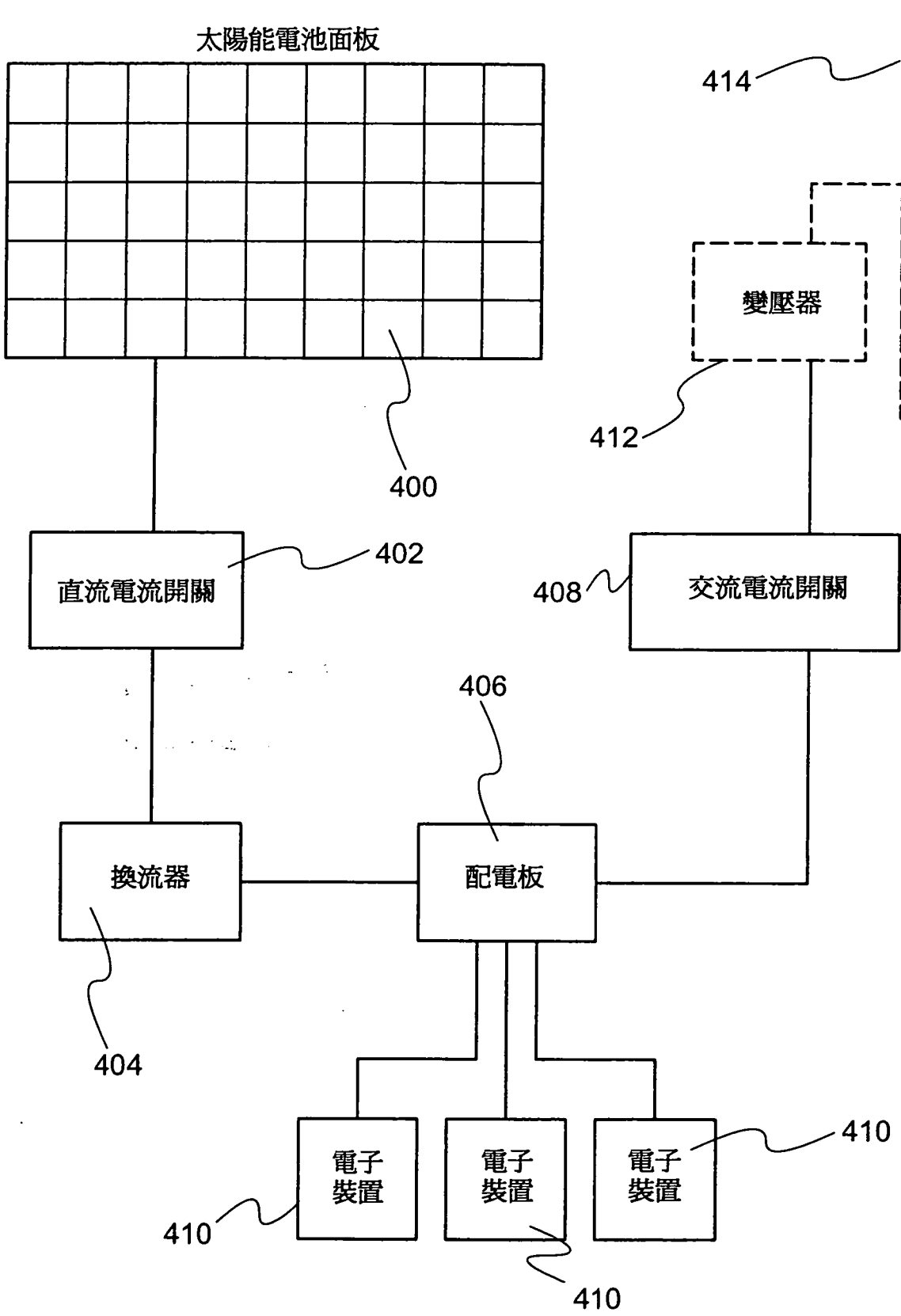
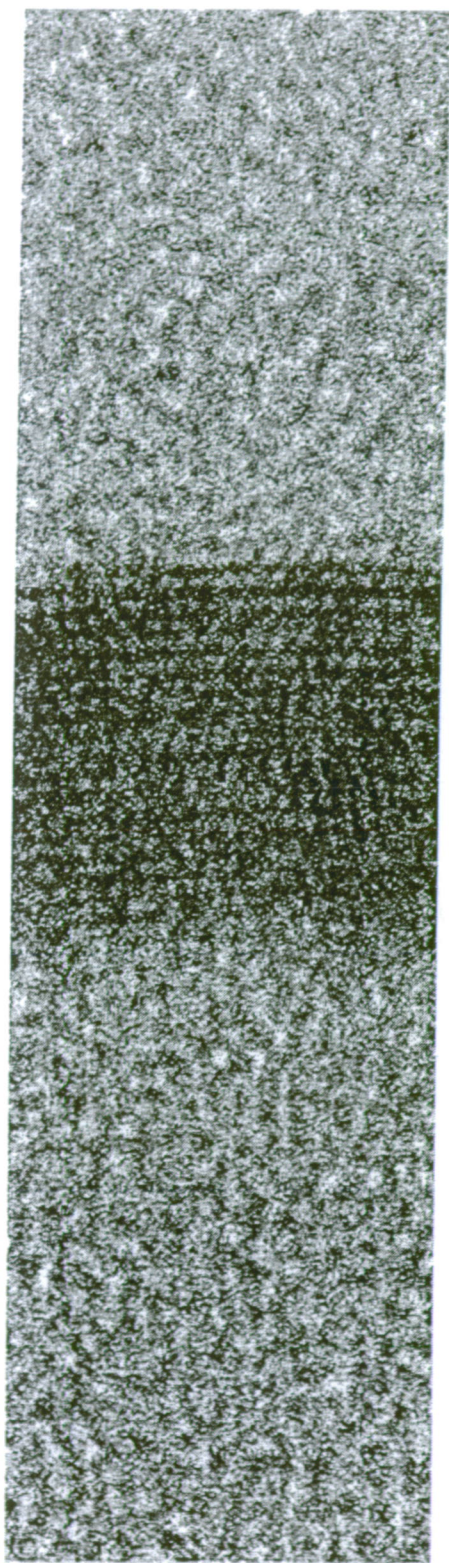


圖 19A



3 nm

圖 19B

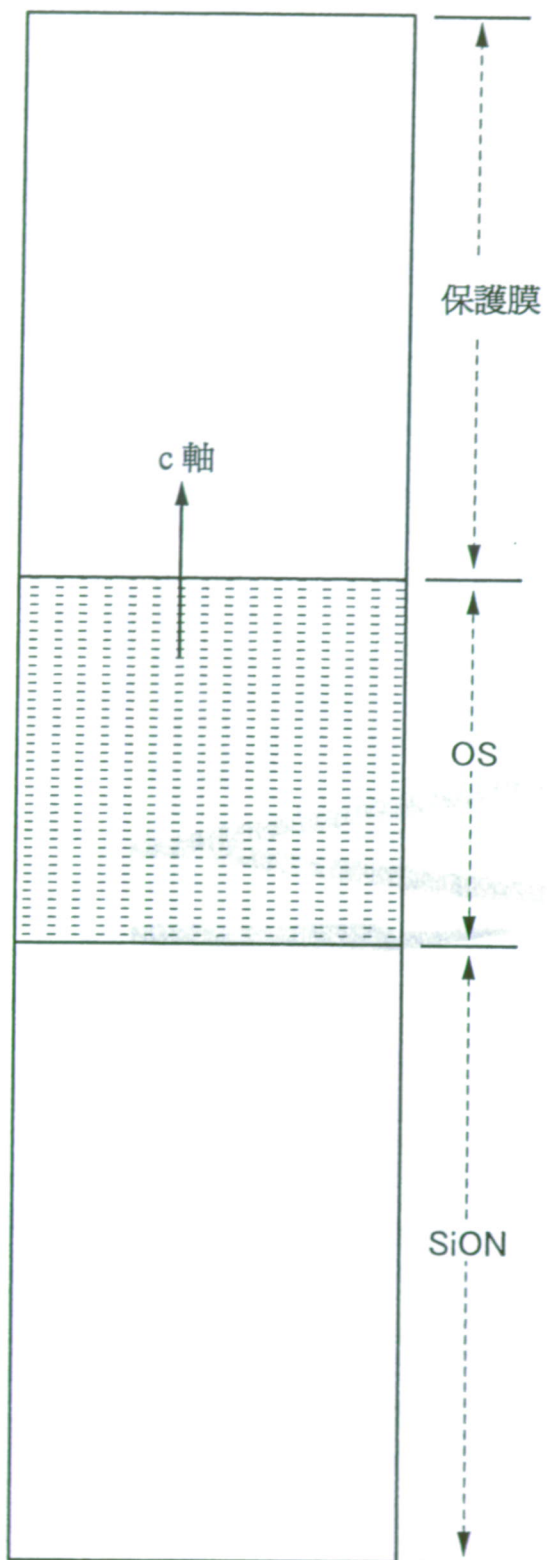


圖 20A



10 nm

圖 20B

