

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
8. Juni 2006 (08.06.2006)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2006/058708 A2

(51) Internationale Patentklassifikation:
H03B 27/00 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2005/012747

(22) Internationales Anmeldedatum:
29. November 2005 (29.11.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2004 058 300.5
2. Dezember 2004 (02.12.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): **AUSTRIAMICROSYSTEMS AG** [AT/AT];
Schloss Premstätten, A-8141 Unterpremstätten (AT).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **GSCHIER, Tony**
[AT/AT]; Vinzenz-Sabatky-Weg 10, A-8054 Graz (AT).

(74) Anwalt: **EPPING HERMANN FISCHER PATEN-
TANWALTSGESELLSCHAFT MBH**; Ridlerstrasse 55,
80339 München (DE).

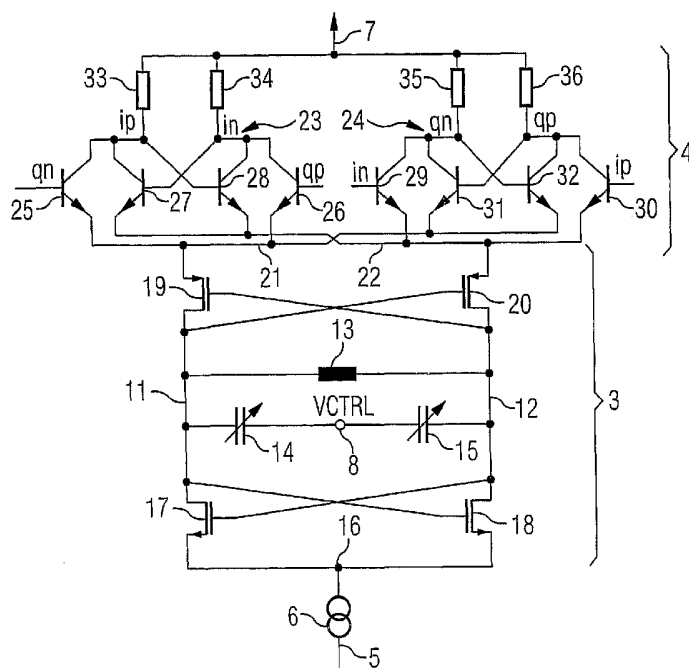
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV,
LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,
ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,
TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,

[Fortsetzung auf der nächsten Seite]

(54) Title: CIRCUIT ARRANGEMENT FOR GENERATING A COMPLEX SIGNAL AND THE USE OF THIS CIRCUIT AR-
RANGEMENT IN A HIGH-FREQUENCY TRANSMITTER OR RECEIVER

(54) Bezeichnung: SCHALTUNGSANORDNUNG ZUR ERZEUGUNG EINES KOMPLEXEN SIGNALS UND DEREN VER-
WENDUNG IN EINEM HOCHFREQUENZ-SENDER ODER -EMPFÄNGER



(57) Abstract: The invention relates to a circuit arrangement for generating an IQ signal, which comprises an oscillator (3) and a frequency divider (4). The oscillator (3) and the frequency divider (4) are placed in a common conducting path between the supply potential and reference potential (7, 5) according to the proposed principle. This makes it possible to operate both functional blocks with a common BIAS current and, in addition, to eliminate components. The inventive circuit is particularly suited for generating local oscillator signals in high-frequency receivers in communications technology.

(57) Zusammenfassung: Es ist eine Schaltungsanordnung zur Erzeugung eines IQ-Signals angegeben, die einen Oszillator (3) und einen Frequenzteiler (4) umfasst. Der Oszillator (3) und der Frequenzteiler (4) sind nach dem vorgeschlagenen Prinzip in einem gemeinsamen Strompfad zwischen Versorgungs- und Bezugspotenzial (7, 5) angeordnet. Dadurch ist es möglich, beide Funktionsblöcke mit einem gemeinsamen BIAS-Strom zu betreiben und zusätzlich

Bauelemente einzusparen. Die vorgeschlagene Schaltung ist besonders zur Erzeugung von Lokaloszillator-Signalen in Hochfrequenz-Empfängern der Kommunikationstechnik geeignet.



EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC,
NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *ohne internationalen Recherchenbericht und erneut zu ver-
öffentlichen nach Erhalt des Berichts*

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.*

Beschreibung

Schaltungsanordnung zur Erzeugung eines komplexen Signals und deren Verwendung in einem Hochfrequenz-Sender oder -Empfänger

5

Die vorliegende Erfindung betrifft eine Schaltungsanordnung zur Erzeugung eines komplexen Signals sowie deren Verwendung in einem Hochfrequenz-Sender oder Hochfrequenz-Empfänger zur Bereitstellung eines Lokaloszillator-Signals.

10

In Hochfrequenz-Sende- und -Empfangsgeräten wird üblicherweise eine Trägerfrequenz beziehungsweise Überlagerungsfrequenz benötigt. Diese dient dazu, eine frequenzmäßige Umsetzung zwischen einer Basisbandlage oder Zwischenfrequenzlage und einer Hochfrequenzlage zu bewirken. Dabei wird normalerweise ein eingehendes Signal in einem Hochfrequenzmischer mit dem Lokaloszillator-Signal verknüpft.

Insbesondere bei homodynem Architekturen und bei der zunehmenden, zu verarbeitenden Signalbandbreite ist es üblich geworden, eine Quadratursignalverarbeitung vorzunehmen. Dies wiederum erfordert die Zuführung des Lokaloszillator-Signals zum Hochfrequenzmischer zerlegt in zwei orthogonale Signalkomponenten. Diese zwei Signalkomponenten haben die gleiche Trägerfrequenz, unterscheiden sich jedoch um einen Phasenversatz von 90 Grad. Ein solches Signal wird vorliegend als komplexes Oszillator-Signal verstanden.

Zur Erzeugung eines komplexen Oszillator-Signals kann beispielsweise ein integrierter Oszillator verwendet werden. Das so gewonnene Signal mit einer Trägerfrequenz wird üblicherweise zwischen dem Oszillator und dem Frequenzmischer in zwei zueinander um 90 Grad phasenverschobene

Signalkomponenten zerlegt, nämlich eine Inphase-Komponente und eine Quadratur-Komponente. Daher werden solche komplexen Signale auch als IQ-Signale bezeichnet.

5 Figur 4 zeigt eine bekannte Möglichkeit, um ein solches IQ-Signal zu gewinnen. Es ist ein Oszillator 1 vorgesehen, der ein Trägersignal in Form eines Differenzsignals VCON, VCOP erzeugt. Dieses wird einem Teiler 2 zugeführt, der zwei um 90 Grad phasenverschobene Signale abgibt. Die Ausgangssignale
10 des Teilers sind jeweils wiederum als Differenzsignale ausgelegt. Demnach sind die beiden Anschlüsse für die Inphase-Signalkomponente mit IN, IP bezeichnet, während die Quadratur-Komponenten mit QN, QP bezeichnet sind. Jeder dieser beiden Funktionsblöcke 1, 2 verfügt über eine ihm
15 zugeordnete BIAS-Stromquelle 39, 40, welche zur Bereitstellung jeweiliger Ruhestrome dient. Der Oszillator 1 und der Teiler 2 sind entweder über Buffer oder eine Wechselstromkopplung miteinander verbunden. Die Ausgangssignale IN, IP; QN, QP der Anordnung von Figur 4
20 haben einen bestimmten Phasenrauschanteil. Dem steht entgegen, dass aufgrund des Wunsches nach immer höherer Signalqualität und Bandbreite in der Nachrichtenübertragung das Phasenrauschen des Lokaloszillator-Signals immer weiter reduziert werden soll.

25

In dem Dokument US 2004/0008092 A1 ist ein System zur Erzeugung von Quadratursignalen mit einem Oszillator und Frequenzteilern in einem Strompfad angegeben.

30 Aufgabe der vorliegenden Erfindung ist es, eine Schaltungsanordnung zur Erzeugung eines komplexen Signals sowie eine Verwendung der Schaltungsanordnung in Sendern oder

Empfängern anzugeben, bei denen das Phasenrauschen des komplexen Signals reduziert ist.

Erfindungsgemäß wird die Aufgabe bezüglich des Gegenstands

5 durch eine Schaltungsanordnung zur Erzeugung eines komplexen Signals gelöst, aufweisend

- einen Oszillator,
- einen Frequenzteiler, der mit dem Oszillator zur Zuführung eines Oszillationssignals gekoppelt ist, mit einem Ausgang
- 10 zur Bereitstellung eines Inphase-Signals und mit einem Ausgang zur Bereitstellung eines Quadratursignals, die gemeinsam das komplexe Signal bilden, wobei der Frequenzteiler ein Master-Slave Flip-Flop ist,

- einen Versorgungspotentialanschluss und
- 15 - einen Bezugspotentialanschluss,
- wobei der Oszillator und der Frequenzteiler in einem gemeinsamen Strompfad zwischen Versorgungs- und Bezugspotentialanschluss angeordnet sind.

20 Vorteilhafte Ausgestaltungen der Schaltungsanordnung sind Gegenstand der Unteransprüche.

Bezüglich der Verwendung der Schaltungsanordnung wird die Aufgabe gelöst durch Verwendung einer Schaltungsanordnung

25 nach dem vorgeschlagenen Prinzip in einem Hochfrequenz-Sender oder -Empfänger zur Bereitstellung eines Lokaloszillator-Signals.

Nach dem vorgeschlagenen Prinzip sind die Funktionsblöcke

30 Oszillator und Frequenzteiler nicht mehr als separate Blöcke ausgeführt und hintereinander geschaltet, sondern vielmehr ist vorgesehen, den Oszillator und den Frequenzteiler in einem einzigen, gemeinsamen Strompfad zu realisieren, der

zwischen Versorgungs- und Bezugspotenzial geschaltet ist. Somit ist es möglich, sowohl den Oszillator, als auch den Frequenzteiler mit einem gemeinsamen BIAS-Strom anzusteuern.

- 5 Mit der vorgeschlagenen Anordnung von Oszillator und Frequenzteiler in einem gemeinsamen Strompfad ist das Phasenrauschen reduziert.

- Da der Oszillator-Strom gegenüber dem Teilerstrom
10 verhältnismäßig groß sein kann, ist es möglich, kleinere Widerstände zur Ausgangssignalbegrenzung zu verwenden. Dadurch wird das Eigenrauschen des Frequenzteilers noch weiter verkleinert. Das Phasenrauschen der gesamten Schaltungsanordnung bleibt konstant kleiner als das des
15 Oszillators, beispielsweise konstant 6 dB.

- Eine Verringerung der Versorgungsspannung der vorgeschlagenen Schaltungsanordnung ist dadurch möglich, dass die BIAS-Stromquelle in den Funktionsblock des Oszillator integriert
20 wird.

- Bevorzugt umfasst eine zwischen Versorgungs- und Bezugspotenzialanschluss geschaltete Serienschaltung eine elektrische Last, den Oszillator, den Frequenzteiler und eine
25 BIAS-Stromquelle.

- Der gemeinsame Strompfad und somit der Frequenzteiler sowie der Oszillator sind bevorzugt in symmetrischer Schaltungstechnik ausgebildet. Dadurch ist unter anderem die
30 Empfindlichkeit gegen Störungen von außen verringert.

Der Ausgang des Frequenzteilers zur Bereitstellung des Inphase-Signals sowie der Ausgang zur Bereitstellung des

Quadratur-Signals sind bevorzugt jeweils zur Abgabe von Differenzsignalen ausgelegt.

Der Frequenzteiler ist bevorzugt als durch Zwei-Frequenz-
5 teiler ausgelegt. In diesem Fall schwingt der Oszillator bei der doppelten, gewünschten Frequenz des komplexen Signals, welche von der gesamten Schaltungsanordnung bereitgestellt wird.

- 10 Der Frequenzteiler kann auch mehrere, kaskadierte durch Zwei-Frequenzteiler aufweisen. In diesem Fall beträgt das gesamte Teilerverhältnis 2^N . Dies ist aufgrund der vorliegend möglichen, vereinfachten Realisierung des Frequenzteilers mit besonders geringem Aufwand möglich. Bei einem gesamten
15 Teilerverhältnis von 2^N bleibt der Versorgungsstrom im Oszillator unverändert, lediglich der Strom pro Teiler wird um 2^N heruntergeteilt. Um die gleiche Ausgangsamplitude zu erreichen, müsste in diesem Fall der Lastwiderstand um 2^N erhöht werden. Bei einem bevorzugt eingesetzten synchronen
20 Teiler bleibt die Signalverzögerung unabhängig von der Zahl der kaskadierten Teilerstufen.

Der Frequenzteiler ist bevorzugt als Master-Slave Flip-Flop ausgebildet.

25

- Dabei umfasst der Frequenzteiler bevorzugt einen Master-Block und eine Slave-Block, die zur Bildung einer Master-Slave-Struktur miteinander in einer Rückkopplung verbunden sind. Master-Block und Slave-Block umfassen je eine Differenz- und
30 eine Haltestufe, wobei die Master-Differenzstufe, die Master-Haltestufe, die Slave-Differenzstufe und die Slave-Haltestufe zur Bildung der Flip-Flop-Struktur bevorzugt miteinander verkoppelt sind. Mit einer solchen Struktur ist der Aufbau

des Frequenzteilers mit einer besonders geringen Anzahl von Transistoren in integrierter Schaltungsbauweise möglich.

5 Differenz- und Haltestufen weisen bevorzugt je ein Emitter- oder Source-gekoppeltes Transistorpaar auf, je nach dem, ob aufgrund der gewünschten Anwendung die Integration der Schaltung in Metall-Isolator-Halbleiter-Technik oder in bipolarer Schaltungstechnik oder einer Kombination von beiden erfolgt.

10

Der Oszillator ist bevorzugt als abstimmbarer Oszillator ausgeführt. Damit ist es möglich, die Frequenz des bereitgestellten, komplexen Signals zu variieren.

15 Die abstimmbare Oszillator ist bevorzugt als spannungsgesteuerter Oszillator, Voltage-Controlled-Oscillator, VCO ausgeführt. Dabei wird die Schwingfrequenz von zumindest einer Induktivität und zumindest einer Kapazität bestimmt. Bevorzugt ist die Kapazität abstimmbar
20 ausgeführt. Hierfür sind beispielsweise ein oder mehrere Varaktor-Bauteile im Oszillator vorgesehen.

Der Oszillator weist zu seiner Entdämpfung bevorzugt ein kreuzgekoppeltes Metal Oxide Semiconductor, MOS-Transistor-
25 paar auf. Damit wird eine negative Impedanz bereit gestellt, die die unvermeidliche Dämpfung der Induktivitäten und Kapazitäten kompensiert. Somit kann eine Schwingbedingung erfüllt werden.

30 Wenn eine höhere Verstärkung gewünscht ist, kann ein weiteres, kreuzgekoppeltes Transistorpaar zur Entdämpfung des Oszillators vorgesehen sein. Dabei haben die beiden

kreuzgekoppelten Transistorpaare bevorzugt einen unterschiedlichen Leitfähigkeitstyp ihrer Transistoren.

Die vorgeschlagene Schaltungsanordnung ist bevorzugt in integrierter Schaltungstechnik aufgebaut. Dabei können Bipolar- und/oder MOS-Transistoren verwendet werden, je nach der gewünschten Spezifikation und den zur Verfügung stehenden Integrationsprozessen.

Die vorgeschlagene Schaltungsanordnung zur Erzeugung eines Signals mit Inphase- und Quadratur-Komponenten ist besonders zur Bereitstellung eines Lokaloszillator-Signals zur Anwendung in Sendern und/oder Empfängern der Kommunikationstechnik geeignet, beispielsweise dem Mobilfunk.

Die Erfindung wird nachfolgend an mehreren Ausführungsbeispielen anhand von Zeichnungen näher erläutert.

Es zeigen:

Figur 1 ein Ausführungsbeispiel einer Schaltungsanordnung nach dem vorgeschlagenen Prinzip anhand eines Blockschaltbilds,

Figur 2 ein weiteres Ausführungsbeispiel einer Schaltungsanordnung nach dem vorgeschlagenen Prinzip anhand eines Schaltplans,

Figur 3 ein drittes Ausführungsbeispiel einer

Schaltungsanordnung nach dem vorgeschlagenen Prinzip anhand eines Schaltplans,

Figur 4 eine Schaltungsanordnung zur Erzeugung eines komplexen Signals gemäß Stand der Technik und

Figur 5 einen Hochfrequenzempfänger mit einer
5 Schaltungsanordnung nach dem vorgeschlagenen Prinzip.

Figur 1 zeigt eine Schaltungsanordnung 50 zur Erzeugung eines komplexen Signals. Dabei sind ein Oszillator 3 und ein Frequenzteiler 4 miteinander in einer symmetrisch
10 ausgestalteten Schaltungsverbindung VCOP, VCON gekoppelt und in einem gemeinsamen Strompfad angeordnet. Zwischen den Oszillator 3 und einen Bezugspotenzialanschluss 5 ist eine Stromquelle 6 geschaltet, welche einen BIAS-Strom bereitstellt. Der Frequenzteiler 4 ist an einen
15 Versorgungspotenzialanschluss 7 geschaltet. Somit ist eine Serienschaltung umfassend den Frequenzteiler 4, den Oszillator 3 und die Stromquelle 6 zwischen dem Versorgungspotenzialanschluss 7 und dem
20 gemeinsamen Strompfad angeordnet sind. Der Oszillator 3 weist einen Steuereingang 8 auf, der zur Zuführung eines Abstimmsignals VCTRL dient. Damit ist es möglich, die Frequenz des Oszillators zu variieren. Der Frequenzteiler 4 hat einen ersten Ausgang 9, an dem eine Inphase-
25 Signalkomponente, und einen Ausgang 10, an dem eine Quadratur-Signalkomponente des zu erzeugenden komplexen Signals bereitgestellt werden. Beide Ausgänge 9, 10 sind jeweils zur Bereitstellung von Differenzsignalen IN, IP; QN, QP ausgelegt. Da die jeweils einander zugeordneten
30 Differenzsignale zueinander eine Phasenverschiebung von 180 Grad aufweisen, ist der Ausgang des Frequenzteilers 4 auch so interpretierbar, dass insgesamt vier, in Schritten von 90 Grad zueinander phasenverschobene Signale bereitgestellt

werden und demnach eine Phasenlage von 0 Grad, 90 Grad, 180 Grad und 270 Grad haben.

Da es sich bei dem Frequenzteiler 4 im vorliegenden Beispiel
5 um einen durch Zwei-Frequenzteiler handelt, schwingt der Oszillator 3 auf der doppelten Frequenz bezogen auf die gewünschte Ausgangsfrequenz des komplexen Signals an den Quadratursignalausgängen 9, 10.

10 Die Stromquelle 6 stellt einen BIAS-Strom für den Oszillator bereit, welcher zugleich auch als Strom für den Frequenzteiler 4 dient. Dabei muss der BIAS-Strom für den Oszillator und für den Frequenzteiler nicht notwendigerweise betragsmäßig gleich groß sein.

15 Die erfindungsgemäße Übereinanderreihung der Blöcke Oszillator 3 und Frequenzteiler 4 bezogen auf die Versorgungsspannung in einem gemeinsamen Strompfad führt zu dem Vorteil einer verringerten Anzahl von erforderlichen
20 Bauteilen. Ein weiterer Vorteil ergibt sich dadurch, dass das Phasenrauschen der Anordnung verringert ist. Somit ergibt sich eine verbesserte Signalqualität des an dem Quadratursignalausgang 9, 10 abzugebenden Lokaloszillator-Signals.

25 Figur 2 zeigt ein weiteres Ausführungsbeispiel einer Schaltungsanordnung zur Bereitstellung eines komplexen Signals gemäß dem vorgeschlagenen Prinzip anhand einer Weiterbildung der Schaltung von Figur 1. Die Schaltung von
30 Figur 2 stimmt mit derjenigen von Figur 1 in ihrem grundlegenden Aufbau überein und wird insoweit bezüglich ihres Aufbaus und der vorteilhaften Funktionsweise an dieser Stelle nicht noch einmal beschrieben.

Der Oszillator 3 von Figur 2 ist als abstimmbarer LC-Oszillator ausgeführt. Demnach bestimmen Induktivität und Kapazität die Schwingkreisfrequenz. Der Aufbau des Oszillators 3 ist symmetrisch ausgeführt, nämlich als spannungsgesteuerter Oszillator, englisch: Voltage-Controlled Oscillator, VCO. Zwischen die symmetrischen Schwingknoten 11, 12 des Oszillators ist als Schwingkreisfrequenz bestimmendes Element eine Induktivität 13 geschaltet. Außerdem ist ein Paar von Varaktoren 14, 15 vorgesehen, wobei jeder Varaktor 14, 15 mit je einem Anschluss an je einen Schwingknoten 11, 12 angeschlossen ist. Die freien Anschlüsse der Varaktoren 14, 15 sind miteinander in einem Steuereingang 8 verbunden. Der Steuereingang 8 dient zur Zuführung der Abstimmungsspannung VCTRL des abstimmbaren Oszillators 3. Die Varaktoren haben eine spannungsabhängige Kapazität und bestimmen so die Schwingkreisfrequenz.

Ein Fußpunkt 16 des Oszillators 3 ist über die Stromquelle 6 gegen den Bezugspotenzialanschluss 5 geschaltet. Außerdem ist zwischen den symmetrischen Schwingknoten 11, 12 und den Fußpunkt 16 die gesteuerte Strecke je eines MOS-Transistors 17, 18 vom n-Kanal-Typ geschaltet. Die Gate-Anschlüsse der Transistoren 17, 18 sind mit dem je gegenüberliegenden Schwingknoten 11, 12 zur Bildung einer Kreuzkopplung verbunden. Das kreuzgekoppelte Transistorpaar 17, 18 dient zur Entdämpfung des Oszillators. Zu diesem Zweck ist auch ein weiteres Transistorpaar 19, 20 vorgesehen, welches vom p-Kanal-Typ ist. Je einer der Transistoren 19, 20 ist mit je einem Anschluss seiner gesteuerten Strecke an je einen Anschluss des symmetrischen Schwingknotens 11, 12, und mit je einem weiteren Anschluss seiner gesteuerten Strecke an je einen Anschluss eines symmetrischen Schaltungsknotens 21, 22

geschaltet. Der symmetrische Schaltungsknotens 21, 22 bildet den Fußpunkt des Frequenzteilers 4.

Der Frequenzteiler 4 ist als Master-Slave Flip-Flop aufgebaut. Dabei sind ein Master-Block 23 und ein Slave-Block 24 vorgesehen. Der Master-Block 23 und der Slave-Block 24 umfassen je zwei Differenzstufen. Von diesen Differenzstufen dient je eine als Haltestufe. Die jeweils zwei Differenzstufen im Master-Block und im Slave-Block 23, 24 umfassen je zwei emittergekoppelte npn-Transistoren 25, 26; 27, 28; 29, 30; 31, 32. Demnach wird der eigentliche Kern des Flip-Flops 4 durch vier Differenzstufen gebildet, welche jeweils zwei npn-Transistoren umfassen und in Emitter-Coupled-Logic, ECL-Schaltungstechnik schaltend betrieben werden. Der erste Differenzverstärker umfasst zwei Transistoren 25, 26, deren Emitteranschlüsse unmittelbar in dem ersten Schaltungsknoten 21 miteinander verbunden sind. Der Kollektoranschluss des ersten Transistors 25 des ersten Differenzverstärkers 25, 26 bildet einen ersten Schaltungsknoten IP, der Kollektoranschluss des zweiten Transistors 26 bildet einen zweiten Schaltungsknoten IN. Der Basisanschluss des ersten Transistors 25 ist mit einem Schaltungsknoten QN verbunden, während der Basisanschluss des zweiten Transistors mit einem Schaltungsknoten QP verbunden ist.

In der zweiten Differenzstufe 27, 28 ist der Kollektoranschluss des ersten Transistors 27 mit dem Schaltungsknoten IP verbunden, während der Kollektoranschluss des zweiten Transistors 28 mit dem Schaltungsknoten IN verbunden ist. Der Basisanschluss des ersten Transistors 27 ist mit dem Schaltungsknoten IN verbunden, während der Basisanschluss des zweiten Transistors 28 mit dem

Schaltungsknoten IP verbunden ist, so dass die Transistoren 27, 28 miteinander eine Kreuzkopplung bilden. Der gemeinsame Emitterknoten der zweiten Differenzstufe 27, 28 ist mit dem zweiten Schaltungsknoten 22 verbunden.

5

Die dritte Differenzstufe 29, 30 umfasst ebenfalls zwei emittergekoppelte npn-Transistoren, deren gemeinsamer Emitterknoten mit dem zweiten Schaltungsknoten 22 verbunden ist. Der Kollektoranschluss des ersten Transistors 29 der
10 dritten Differenzstufe 29, 30 ist mit dem Schaltungsknoten QN verbunden, während der Kollektoranschluss des zweiten Transistors 30 der dritten Differenzstufe mit dem Schaltungsknoten QP verbunden ist. Der Basisanschluss des ersten Transistors 29 ist an den Schaltungsknoten IN
15 angeschlossen, während der Basisanschluss des zweiten Transistors 30 mit dem Schaltungsknoten IP verbunden ist.

Die Emitteranschlüsse der Transistoren 31, 32 der vierten Differenzstufe sind miteinander und mit dem ersten
20 Schaltungsknoten 21 verbunden. Der Kollektoranschluss des ersten Transistors 31 der vierten Differenzstufe ist mit dem Schaltungsknoten QN, der Kollektoranschluss des zweiten Transistors 32 der vierten Differenzstufe mit dem Kollektoranschluss QP verbunden. Der Basisanschluss des
25 ersten Transistors 31 der vierten Differenzstufe ist mit dem Kollektoranschluss QP verbunden, während der Basisanschluss des zweiten Transistors 32 der vierten Differenzstufe mit dem Schaltungsknoten QN verbunden ist. Somit bilden die Transistoren 31, 32 der vierten Differenzstufe miteinander
30 eine Kreuzkopplung.

Die vier Schaltungsknoten QN, QP, IN, IP bilden wiederum die zur Führung von Differenzsignalen ausgelegten Quadratursignalausgänge der Schaltung.

- 5 Jeder der vier Schaltungsknoten IP, IN, QN, QP ist über je einen Widerstand 33, 34, 35, 36 mit dem Versorgungspotenzialanschluss 7 verbunden.

- 10 Zur Gewährleistung einer übersichtlicheren Darstellung sind in Figur 2 zwischen dem Master-Block 23 und dem Slave-Block 24 nicht alle Verbindungen eingezeichnet, sondern diese Verbindungen vielmehr durch Angabe übereinstimmender Bezeichnungen der Schaltungsknoten IP, IN, QN, QP angedeutet.

- 15 Wie anhand von Figur 2 deutlich erkennbar ist, dient die Stromquelle 6 auch zur Versorgung der in ECL-Schaltungstechnik aufgebauten Flip-Flop-Anordnung in Frequenzteiler 4. Dadurch ist das Eigenrauschen verringert.

- 20 Aufgrund der zwei vorgesehenen Entdämpferstufen 17, 18; 19, 20, die von je einem kreuzgekoppelten Inverter gebildet werden, ist eine höhere Verstärkung möglich.

- Da in den meisten Anwendungen der VCO-Strom gegenüber dem des Teilers größer ist, kann man kleinere Kollektorwiderstände 33
25 bis 36 zur Ausgangssignallimitierung einsetzen. Dadurch wird das Eigenrauschen des Teilers zusätzlich geringer. Das Gesamtphasenrauschen bleibt dabei kleiner als das Phasenrauschen des Oszillators, beispielsweise um konstant 6
30 dB.

Figur 3 zeigt ein drittes Ausführungsbeispiel einer Schaltungsanordnung nach dem vorgeschlagenen Prinzip, die

ebenfalls in ihrem Aufbau einer Weiterbildung der Schaltung von Figur 1 entspricht. Die Schaltung von Figur 3 entspricht einer Abwandlung der Schaltung von Figur 2 und wird in soweit, wie sie mit dieser übereinstimmt, nicht noch einmal
5 beschrieben.

Zum Erzielen einer geringeren Versorgungsspannung ist bei der Schaltung von Figur 3 das n-Kanal-MOS-Transistorpaar 17, 18 weggelassen. Um einen Ausgleich für die dadurch entfallene
10 Kopplung zwischen den symmetrischen Schwingknoten 11, 12 und dem Fußpunkt 16 zu schaffen, ist anstelle der Induktivität 13 von Figur 2 bei der Schaltung nach Figur 3 eine Induktivität 37 mit Mittenanzapfung vorgesehen. Die Induktivität 37 ist ebenfalls mit je einem Anschluss an den
15 symmetrischen Schwingknoten 11, 12 angeschlossen, weist jedoch einen Mittenanschluss auf, der an die Stromquelle 6 angeschlossen ist.

Gegenüber der Schaltung von Figur 2 ergibt sich bei der
20 Schaltung nach Figur 3 durch den Verzicht auf eine Transistorstufe die Möglichkeit, diese Schaltung mit geringerer Versorgungsspannung betreiben zu können. Im übrigen zeigt die Schaltung bei einer leicht geringeren Verstärkung ebenfalls die Vorteile und
25 Variationsmöglichkeiten, die anhand von Figur 2 bereits beschrieben wurden.

In alternativen Ausführungen der gezeigten Schaltungsbeispiele ist es auch möglich, die Stromquelle 6 in
30 den Oszillator 3 zu integrieren.

Anstelle des LC-Oszillators 3 können auch andere Oszillatorstrukturen eingesetzt werden, je nach gewünschter Anwendung.

5 Weiterhin können anstelle der gezeigten Master-Slave D-Flip-Flop-Struktur andere Frequenzteilerstrukturen verwendet werden. Dabei ist jedoch anzumerken, dass die gezeigte Master-Slave D-Flip-Flop-Struktur mit besonders wenigen Transistorbauteilen auskommt.

10

Es können anstelle der gezeigten, einstufigen Teileranordnung bei Figur 2 oder 3 auch mehrere Frequenzteiler in Serie geschaltet werden. Dann ergibt sich ein Gesamt-
Teilverhältnis von 2^N . In diesem Fall bliebe die Versorgung
15 durch den Oszillator unverändert, nur der Strom pro Teiler würde um 2^N heruntergeteilt. Um die gleiche Ausgangsamplitude zu erreichen, müsste der Lastwiderstand um 2^N erhöht werden. Da der Frequenzteiler 4 in Figur 2 ein synchroner Teiler ist, ist die Signalverzögerung unabhängig von der Anzahl der
20 Teilerstufen.

Selbstverständlich können bei den Schaltungen nach Figuren 2 und 3 die Widerstände 33 bis 36 gegen Induktivitäten oder Transistoren ausgetauscht werden. Anstelle der Bipolar-Transistoren im Frequenzteiler können MOS-Transistoren eingesetzt
25 werden, dies gilt auch umgekehrt für die MOS-Transistoren 17 bis 20. Die gesamte Schaltungsanordnung kann ebenso in Bipolar-, wie in MOS-, oder einer anderen Schaltungstechnik aufgebaut sein, je nach gewünschter Anwendung und zur
30 Verfügung stehendem Integrationsprozess.

Die Ausführungsbeispiele gemäß Figuren 1 bis 3 dienen lediglich zu illustrativen Zwecken, nicht jedoch zur

Beschränkung des allgemeinen Erfindungsgedankens und können im Rahmen fachmännischen Handelns abgewandelt werden, ohne den Erfindungsgedanken zu verlassen.

- 5 Die Schaltung von Figur 4 wurde bereits in der Beschreibungseinleitung erläutert und soll an dieser Stelle deshalb nicht noch einmal beschrieben werden.

- Figur 5 zeigt einen Hochfrequenzempfänger mit einer Schaltungsanordnung nach dem vorgeschlagenen Prinzip. Dieser umfasst zwei Mischer 51, 52, deren Ausgänge in einem Verknüpfungsglied 53 miteinander verbunden sind. Am Ausgang des Verknüpfungsglieds ist ein Basisbandsignal BB abgreifbar. Je einem Eingang der Mischer 51, 52 wird ein Hochfrequenzsignal RF zugeführt. Die Schaltungsanordnung 50 ist mit je einem zweiten Eingang der Mischer 51, 52 verbunden, derart, dass einem ersten Mischer 51 das Quadratursignal QN, QP und einem zweiten Mischer 52 das Inphasesignal IN, IP zugeführt wird. Die Schaltung ist zur Verarbeitung von Differenzsignalen ausgelegt.

Die Schaltungsanordnung 50 alternativ oder zusätzlich in entsprechender Weise auch zur Frequenzumsetzung in Sende- anordnungen verwendet werden.

Bezugszeichenliste

	1	Oszillator
	2	Frequenzteiler
5	3	Oszillator
	3'	Oszillator
	4	Frequenzteiler
	5	Bezugspotenzialanschluss
	6	Stromquelle
10	7	Versorgungspotenzialanschluss
	8	Steuereingang
	9	Inphase-Signalausgang
	10	Quadratur-Signalausgang
	11	Schwingknoten
15	12	Schwingknoten
	13	Induktivität
	14	Varaktor
	15	Varaktor
	16	Fußpunkt
20	17	Transistor
	18	Transistor
	19	Transistor
	20	Transistor
	21	Schaltungsknoten
25	22	Schaltungsknoten
	23	Master-Block
	24	Slave-Block
	25	Transistor
	26	Transistor
30	27	Transistor
	28	Transistor
	29	Transistor
	30	Transistor

	31	Transistor
	32	Transistor
	33	Widerstand
	34	Widerstand
5	35	Widerstand
	36	Widerstand
	37	Induktivität
	39	Stromquelle
	40	Stromquelle
10	50	Schaltungsanordnung
	51	Mischer
	52	Mischer
	53	Verknüpfungsglied
	BB	Basisbandsignal
15	IN	Inphasesignal
	IP	Inphasesignal
	QN	Quadraturesignal
	QP	Quadraturesignal
	RF	Hochfrequenzsignal

Patentansprüche

1. Schaltungsanordnung zur Erzeugung eines komplexen Signals, aufweisend
- 5 - einen Oszillator (3),
- einen Frequenzteiler (4), der mit dem Oszillator (3) zur Zuführung eines Oszillationssignals (VCOP, VCON) gekoppelt ist, mit einem Ausgang (9) zur Bereitstellung eines Inphase-Signals (IN, IP) und mit einem Ausgang (10) zur
- 10 Bereitstellung eines Quadratursignals (QN, QP), die gemeinsam das komplexe Signal bilden, wobei der Frequenzteiler (4) ein Master-Slave Flip-Flop ist,
- einen Versorgungspotentialanschluss (7) und
- einen Bezugspotentialanschluss (5),
- 15 - wobei der Oszillator (3) und der Frequenzteiler (4) in einem gemeinsamen Strompfad zwischen Versorgungs- und Bezugspotentialanschluss (7, 5) angeordnet sind.
2. Schaltungsanordnung nach Anspruch 1,
- 20 dadurch gekennzeichnet, dass
in dem gemeinsamen Strompfad ausserdem eine Stromquelle (6) vorgesehen ist ausgelegt zur Bereitstellung eines gemeinsamen Biassignals für den Oszillator (3) und den Frequenzteiler (4).
- 25
3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass
zwischen den Versorgungspotentialanschluss (7) und den Bezugspotentialanschluss (5) eine Serienschaltung umfassend
- 30 zumindest eine elektrische Last (33, 34, 35, 36), den Frequenzteiler (4), den Oszillator (3) und die Stromquelle (6) geschaltet ist.

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass der gemeinsame Strompfad (3, 4) in symmetrischer Schaltungstechnik ausgebildet ist.

5

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass der Ausgang zur Bereitstellung des Inphase-Signals (9) und der Ausgang zur Bereitstellung eines Quadratursignals (10) des Frequenzteilers (4) jeweils zur Abgabe von Differenzsignalen (IN, IP; QN, QP) ausgelegt sind.

10

6. Schaltungsanordnung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass der Frequenzteiler (4) als :2-Frequenzteiler ausgebildet ist.

15

7. Schaltungsanordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass der Frequenzteiler (4) einen Masterblock (23) und einen Slaveblock (24) umfasst, die zur Bildung einer Master-Slave-Struktur miteinander gekoppelt sind und je eine Differenz- und eine Haltestufe umfassen, wobei die Master-Differenzstufe (25, 26), die Master-Haltestufe (27, 28), die Slave-Differenzstufe (29, 30) und die Slave-Haltestufe (31, 32) zur Bildung der Flip-Flop-Struktur miteinander verkoppelt sind.

20

25

8. Schaltungsanordnung nach Anspruch 7, dadurch gekennzeichnet, dass die Differenz- und Haltestufen (25, 26; 27, 28; 29, 30; 31, 32) je ein emitter- oder sourcegekoppeltes Transistorpaar aufweisen.

30

9. Schaltungsanordnung nach einem der Ansprüche 1 bis 8,

dadurch gekennzeichnet, dass
der Oszillator (3) als abstimmbarer Oszillator ausgeführt
ist.

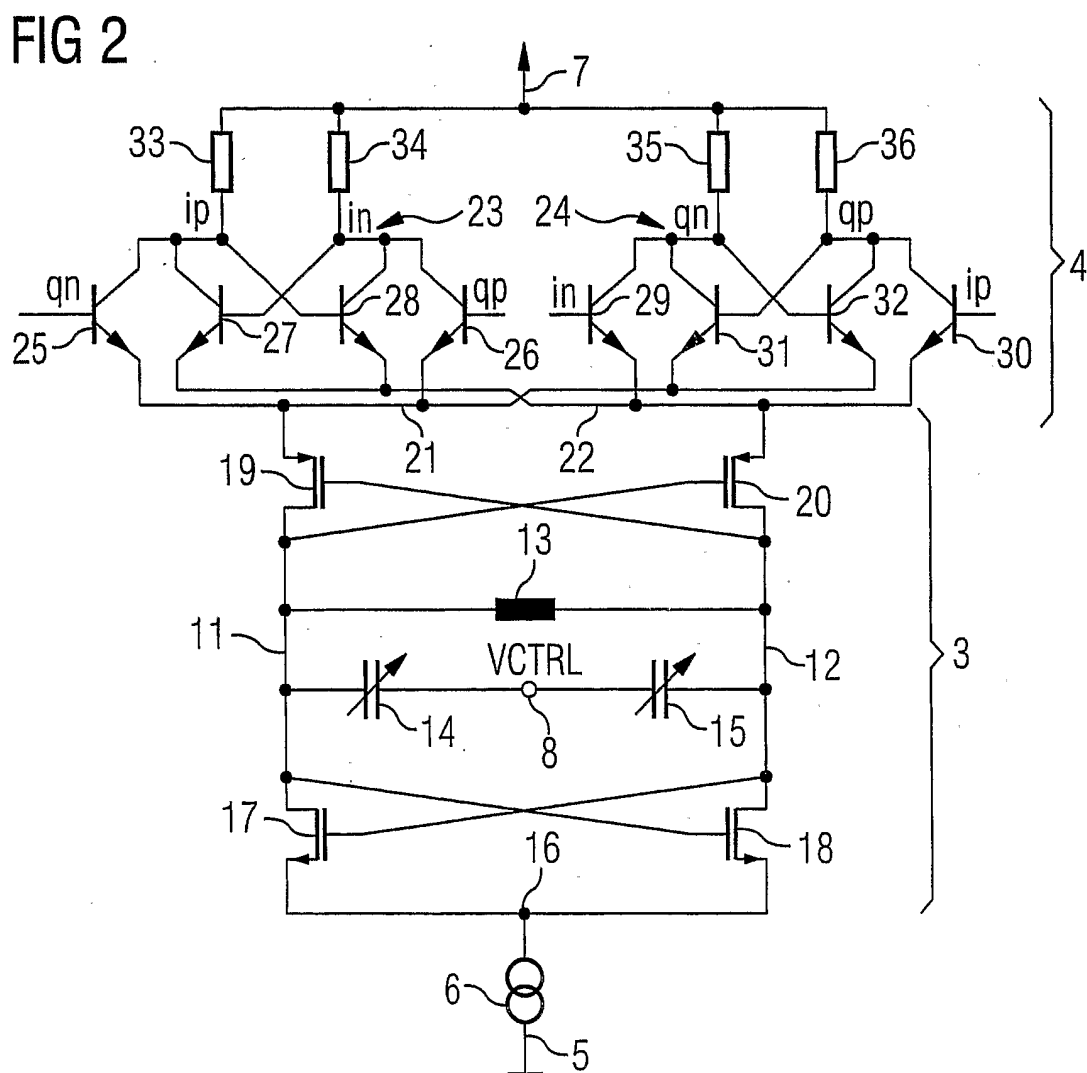
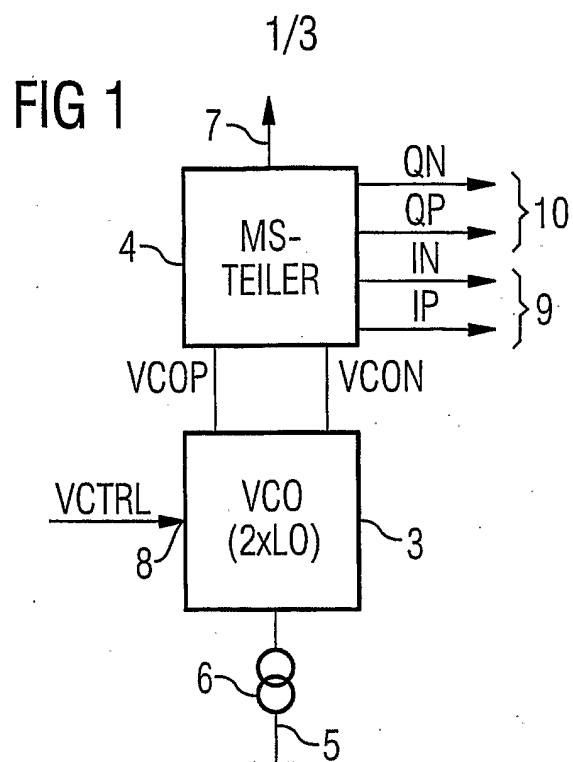
5 10. Schaltungsanordnung nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet, dass
der Oszillator (3) ein symmetrisch aufgebauter,
spannungsgesteuerter LC-Oszillator (13, 14, 15) ist.

10 11. Schaltungsanordnung nach einem der Ansprüche 1 bis 10,
dadurch gekennzeichnet, dass
der Oszillator (3) zur Entdämpfung zumindest ein
kreuzgekoppeltes Metal Oxide Semiconductor-Transistorpaar
(19, 20) umfasst.

15 12. Schaltungsanordnung nach Anspruch 11,
dadurch gekennzeichnet, dass
der Oszillator (3) zur Entdämpfung ein weiteres,
kreuzgekoppeltes Metal Oxide Semiconductor-Transistorpaar
20 (17, 18) von komplementärem Leitungstyp umfasst.

13. Schaltungsanordnung nach einem der Ansprüche 1 bis 12,
dadurch gekennzeichnet, dass
die Schaltungsanordnung in integrierter Schaltungstechnik
25 aufgebaut ist.

14. Verwendung einer Schaltungsanordnung (50) nach einem der
Ansprüche 1 bis 13
in einem Hochfrequenz-Sender oder -Empfänger zur
30 Bereitstellung eines Lokaloszillator-Signals.



2/3

FIG 3

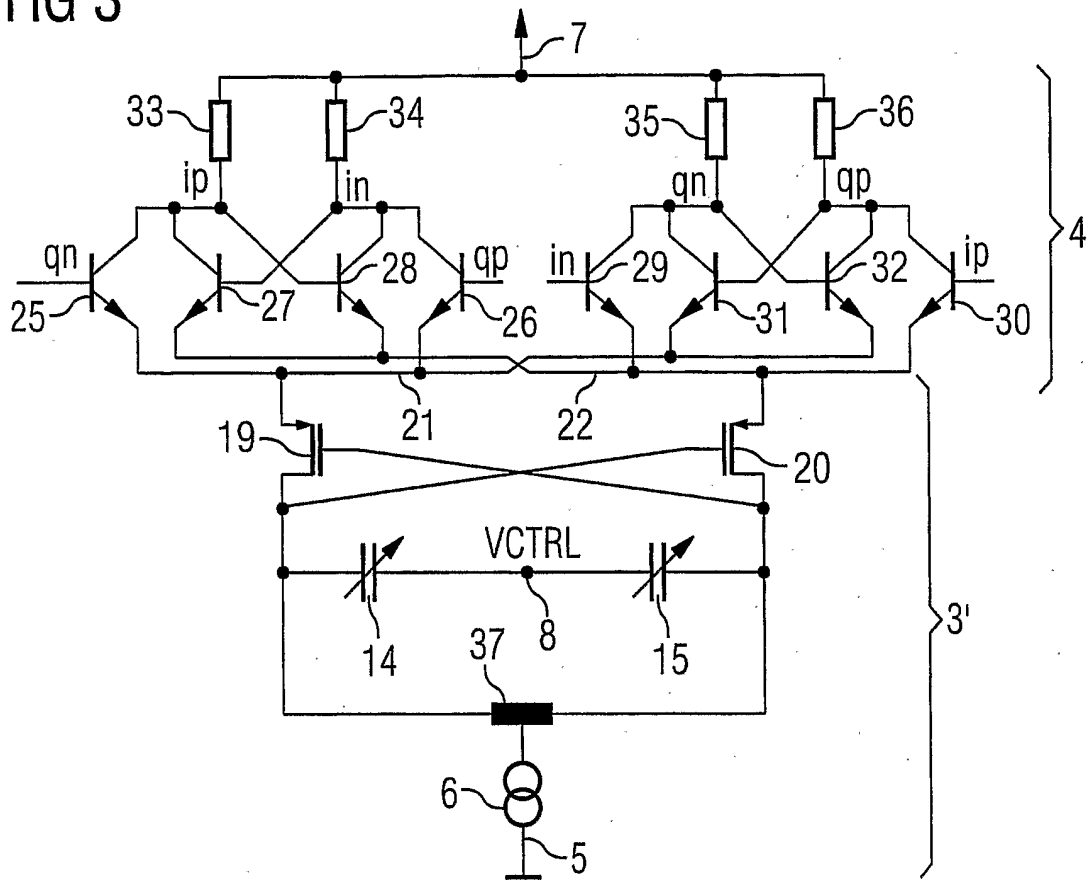
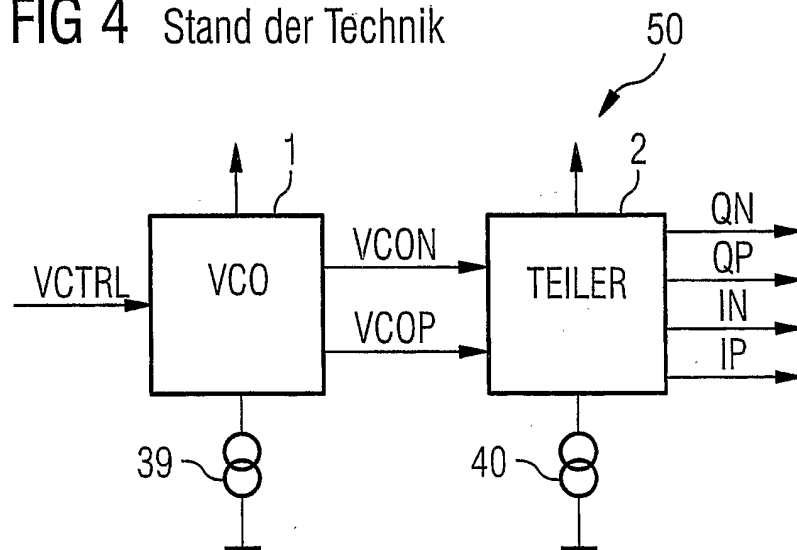


FIG 4 Stand der Technik



3/3

FIG 5

