

<p>(51) 国際特許分類6 G06F 15/16</p>	<p>A1</p>	<p>(11) 国際公開番号 WO96/01451</p>
<p>(21) 国際出願番号 PCT/JP95/01332 (22) 国際出願日 1995年7月4日(04.07.95)</p> <p>(30) 優先権データ 特願平6/152508 1994年7月4日(04.07.94) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 クリエイティブ・デザイン (CREATIVE DESIGN INC.)[JP/JP] 〒666 兵庫県川西市中央町3番6号 Hyogo, (JP) 任天堂株式会社(NINTENDO CO., LTD.)[JP/JP] 〒605 京都府京都市東山区福稲上高松町60番地 Kyoto, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 高橋豊文(TAKAHASHI, Toyofumi)[JP/JP] 田中登志雄(TANAKA, Toshio)[JP/JP] 寺川英明(TERAKAWA, Hideaki)[JP/JP] 〒666 兵庫県川西市中央町3番6号 株式会社 クリエイティブ・デザイン内 Hyogo, (JP)</p>		<p>(74) 代理人 弁理士 山田義人(YAMADA, Yoshito) 〒541 大阪府大阪市中央区伏見町2-6-6 タナベビル Osaka, (JP)</p> <p>(81) 指定国 CA, US, 欧州特許(DE, FR, GB, SE).</p> <p>添付公開書類 国際調査報告書 補正書の公開日 1996年2月29日(29.02.96)</p>

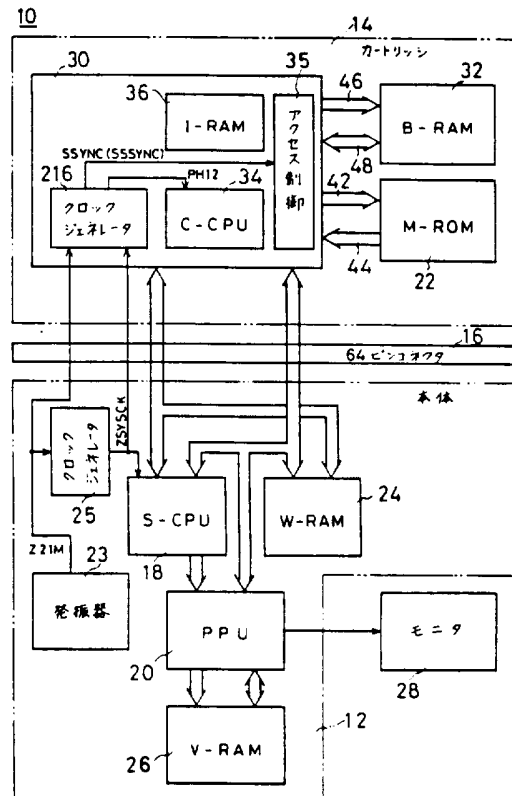
(54) Title : COPROCESSOR SYSTEM AND AUXILIARY ARITHMETIC FUNCTION-CARRYING EXTERNAL MEMORY

(54) 発明の名称 コプロセッサシステムおよび補助演算機能付外部メモリ装置

(57) Abstract

A coprocessor system includes S-CPU (18) in a game machine body (12) and C-CPU (34) in a cartridge (14), and these two CPU's are formed by the same CPU cores and have the same memory mapping functions. The access time of M-ROM (22) in the cartridge (14) is shorter than the cycle time of the C-CPU (34), which is shorter than that of the S-CPU (18). A period of time during which the access of the S-CPU (18) to the M-ROM (22) is allowed is set longer than the access time of the M-ROM (22) and shorter than the cycle time of the S-CPU (18) by a signal SSYNC. Accordingly, the access of the C-CPU (34) to the M-ROM (22) is allowed by the signal SSYNC during surplus time.

- 12 ... machine body
- 14 ... cartridge
- 23 ... oscillator
- 25 ... clock generator
- 28 ... monitor
- 35 ... access control
- 64 ... pin connector
- 216 ... clock generator



(57) 要約

コプロセサシステムは、ゲーム機本体(12)のS-CPU(18)およびカートリッジ(14)のC-CPU(34)を含み、両CPUは同じCPUコアで構成され、かつ同じメモリマッピングを有する。カートリッジ(14)のM-ROM(22)のアクセスタイムは、C-CPU(34)のサイクルタイムより短く、C-CPU(34)のサイクルタイムはS-CPU(18)のサイクルタイムより短い。信号SSYNCによってS-CPU(18)のM-ROM(22)へのアクセスを許容する期間はM-ROM(22)のアクセスタイムより長くかつS-CPU(18)のサイクルタイムより短く設定する。したがって、信号SSYNCによって余裕時間にC-CPU(34)のM-ROM(22)へのアクセスを許容する。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DK	デンマーク	LK	スリランカ	PT	ポルトガル
AM	アルメニア	EE	エストニア	LR	リベリア	RO	ルーマニア
AT	オーストリア	ES	スペイン	LS	レソト	RU	ロシア連邦
AU	オーストラリア	FI	フィンランド	LT	リトアニア	SD	スーダン
AZ	アゼルバイジャン	FR	フランス	LU	ルクセンブルグ	SE	スウェーデン
BB	バルバドス	GA	ガボン	LV	ラトヴィア	SG	シンガポール
BG	ブルガリア	GB	イギリス	MC	モナコ	SI	スロベニア
BF	ブルキナ・ファソ	GE	グルジア	MD	モルドバ	SK	スロバキア共和国
BG	ブルガリア	GN	ギニア	MG	マダガスカル	SZ	スワジランド
BJ	ベナン	GR	ギリシャ	MK	マケドニア	TG	トーゴ
BR	ブラジル	HU	ハンガリー	ML	マリ	TD	チャド
BY	ベラルーシ	IE	アイルランド	MN	モンゴル	TJ	タジキスタン
CA	カナダ	IS	アイスランド	MR	モーリタニア	TM	トルクメニスタン
CF	中央アフリカ共和国	IT	イタリア	MW	モザンビーク	TR	トルコ
CG	コンゴ	JP	日本	MX	メキシコ	TT	トリニダード・トバゴ
CH	スイス	KE	ケニア	NE	ニジェール	UA	ウクライナ
CI	コート・ジボアール	KP	朝鮮民主主義人民共和国	NL	オランダ	UG	ウガンダ
CM	カメルーン	KR	大韓民国	NO	ノルウェー	US	米国
CN	中国	KZ	カザフスタン	NZ	ニュージーランド	UZ	ウズベキスタン共和国
CZ	チェコ共和国	LI	リヒテンシュタイン	PL	ポーランド	VN	ベトナム
DE	ドイツ						

補正書の請求の範囲

[1996年1月17日(17.01.96)国際事務局受理:出願当初の請求の範囲1及び6は補正された;他の請求の範囲は変更なし。(6頁)]

1. (補正後) プログラムに基づいて第1のサイクルタイムで演算処理する第1のプロセサ(18)、

前記第1のプロセサのアーキテクチャと同じであり、かつプログラムに基づいて前記第1のサイクルタイムより短い第2のサイクルタイムで演算処理する第2のプロセサ(34)、

前記第1のサイクルタイムの基準となる第1のクロック信号を前記第1のプロセサに供給する第1のクロック供給手段(23, 25)、

前記第1のサイクルタイムより短い前記第2のサイクルタイムの基準となる第2のクロック信号を前記第2のプロセサに供給する第2のクロック供給手段(23, 216)、

前記第2のプロセサがアクセスして高速読み出し可能であり、かつ第1のプロセサおよび前記第2のプロセサによって直接アクセスされるプログラムを格納したプログラムメモリ(22)、および

前記プログラムメモリのアクセスタイムより長くかつ前記第1のサイクルタイムより短い第1の期間において前記第1のプロセサが前記プログラムメモリへ直接アクセスするのを許容し、前記第1のサイクルタイムと前記第1の期間との差である第2の期間において前記第2のプロセサが前記プログラムメモリへ直接アクセスするのを許容するアクセス制御手段(35, 54, 60, 52)を備える、コプロセサシステム。

2. 前記アクセス制御手段は、前記第1の期間に前記第1のプロセサからアクセス要求(SMHIT)があったとき第1のレベルの信号を

出力しかつ前記第1の期間に前記第1のプロセサからのアクセス要求がないとき第2のレベルの信号を出力する信号出力手段(216, 60)、および前記第1のレベルの信号に応答して前記第1のプロセサからのアドレスを前記プログラムメモリのアドレス入力(MA)に与えるアドレス切換手段(52)を含む、請求項1記載のコプロセサシステム。

3. 前記アドレス切換手段は前記第2のレベルの信号に応答して前記第2のプロセサからのアドレスを前記プログラムメモリの前記アドレス入力(MA)に与える、請求項2記載のコプロセサシステム。

4. 前記プログラムメモリから読み出したプログラムデータを前記第1のプロセサのデータバス(SD)に与える第1のデータラッチ(66)、および

前記第1のデータラッチに前記第1のクロックに応じて規定される第1のラッチ信号(SSYNC)を付与する第1のラッチ信号付与手段(216)を備える、請求項1ないし3のいずれかに記載のコプロセサシステム。

5. 前記第1のラッチ信号の後縁は前記第1のクロックの後縁に比べて進んだ位相にある、請求項4記載のコプロセサシステム。

6. (補正後) プログラムに基づいて第1のサイクルタイムで演算処理する第1のプロセサ(18)と前記第1のサイクルタイムの基準となる第1のクロック信号を前記第1のプロセサに供給する第1のクロック供給手段(23, 25)とを含む情報処理装置に着脱自在に装着される補助演算機能付外部メモリ装置であって、

前記第1のプロセサのアーキテクチャと同じであり、かつプログラムに基づいて前記第1のサイクルタイムより短い第2のサイクルタイムで演算処理する第2のプロセサ(34)、

前記第1のサイクルタイムより前記第2のサイクルタイムの基準となる第2のクロック信号を前記第2のプロセサに供給する第2のクロック供給手段(23, 216)、

前記第2のプロセサがアクセスして高速読み出し可能であり、かつ第1のプロセサおよび前記第2のプロセサによって直接アクセスされるプログラムを格納したプログラムメモリ(22)、および

前記プログラムメモリのアクセスタイムより長くかつ前記第1のサイクルタイムより短い第1の期間において前記第1のプロセサが前記プログラムメモリへ直接アクセスするのを許容し、前記第1のサイクルタイムと前記第1の期間との差である第2の期間において前記第2のプロセサが前記プログラムメモリへ直接アクセスするのを許容するアクセス制御手段(35, 54, 60, 52)を備える、補助演算機能付外部メモリ装置。

7. 前記アクセス制御手段は、前記第1の期間に前記第1のプロセサからアクセス要求(SMBIT)があったとき第1のレベルの信号を出力しかつ前記第1の期間に前記第1のプロセサからのアクセス要求がないとき第2のレベルの信号を出力する信号出力手段(216, 60)、および前記第1のレベルの信号に応答して前記第1のプロセサからのアドレスを前記プログラムメモリのアドレス入力(MA)に与えるアドレス切換手段(52)を含む、請求項1記載の補助演算機能付外部

メモリ装置。

8. 前記アドレス切換手段は前記第2のレベルの信号に応答して前記第2のプロセサからのアドレスを前記プログラムメモリの前記アドレス入力(MA)に与える、請求項2記載の補助演算機能付外部メモリ装置。

9. 前記プログラムメモリから読み出したプログラムデータを前記第1のプロセサのデータバス(SD)に与える第1のデータラッチ(66)、および

前記第1のデータラッチに前記第1のクロックに応じて規定される第1のラッチ信号(SSYNC)を付与する第1のラッチ信号付与手段(216)を備える、請求項6ないし8のいずれかに記載の補助演算機能付外部メモリ装置。

10. 前記第1のラッチ信号の後縁は前記第1のクロックの後縁に比べて進んだ位相にある、請求項9記載の補助演算機能付外部メモリ装置。

11. 前記アクセス制御手段は、前記第2のプロセサが前記プログラムメモリに格納されているプログラムの実行を開始する際に、その開始アドレスを指定するための開始アドレスレジスタを含み、

前記プログラムメモリは、前記第1のプロセサによって実行される第1のプログラムと前記第2のプロセサによって実行される第2のプログラムを混在させて記憶し、さらに

前記開始アドレスレジスタによって指定されるアドレスから前記第2のプログラムを実行し、第2のプログラムの実行中に前記第1

のプロセサからアクセスがあったときに第2のプログラムの実行を中断しかつ中断したアドレスを開始アドレスレジスタにロードすることにより、第1のプロセサのアクセスが終了した後開始アドレスレジスタによって指定されるアドレスから第2のプロセサに実行させる、中断処理手段を備える、請求項6記載の補助演算機能付外部メモリ装置。

12. 前記第2のプロセサは前記第2のプログラムの実行によって得られた処理結果を一時保持する内部レジスタを含み、さらに前記内部レジスタの保持した結果を退避するための退避メモリをさらに備え、

前記第2のプロセサの前記第2のプログラムの実行中において、新たな第2のプログラムを実行した際に前記内部レジスタの保持結果を前記退避メモリに退避させ、前記新たな第2のプログラムの実行終了後において前記退避メモリに退避された結果を前記内部レジスタに復帰させることにより、再度前記第2のプログラムの実行を可能にした、請求項1記載の補助演算機能付外部メモリ装置。

13. 第1のサイクルタイムを有し、プログラムメモリにアクセスし、そのプログラムに従って動作する第1のプロセサを備える情報処理装置の動作を高速化する方法であって、

前記第1のプロセサとプログラム互換性を有しかつ前記第1のサイクルタイムより短い第2のサイクルタイムを有する第2のプロセサを設け、

前記プログラムメモリとしてアクセスタイムが前記第2のサイク

ルタイムと等しいかより短いプログラムメモリを用い、

前記第1のプロセサが前記プログラムメモリをアクセスするために前記第1のサイクルタイムと等しいかより長い時間を確保し、

前記第1のプロセサが前記プログラムメモリをアクセスした残り時間で前記第2のプロセサが前記プログラムメモリをアクセスできるようにし、それによって

前記第1のプロセサおよび前記第2のプロセサが実質的に同時に前記プログラムメモリにアクセスできるようにし、前記情報処理装置を高速化する方法。