

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月27日(27.08.2020)



(10) 国際公開番号

WO 2020/170082 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 27/108 (2006.01)
H01L 21/336 (2006.01) H01L 27/1156 (2017.01)
H01L 21/8234 (2006.01) H01L 29/788 (2006.01)
H01L 21/8242 (2006.01) H01L 29/792 (2006.01)
H01L 27/088 (2006.01)

(21) 国際出願番号: PCT/IB2020/051160

(22) 国際出願日: 2020年2月13日(13.02.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-030918 2019年2月22日(22.02.2019) JP
特願 2019-042790 2019年3月8日(08.03.2019) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

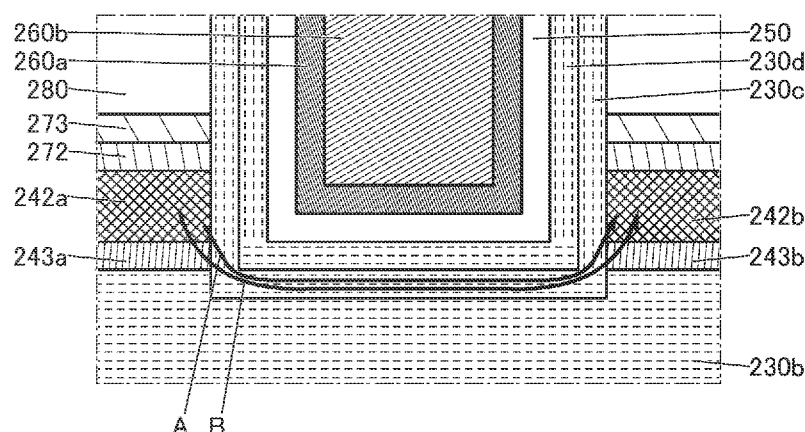
(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 高橋絵里香(TAKAHASHI, Erika). 村川努(MURAKAWA, Tsutomu); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 笹川慎也(SASAGAWA, Shinya); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 栃林克明(TOCHIBAYASHI, Katsuaki); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: SEMICONDUCTOR DEVICE AND FABRICATION METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および半導体装置の作製方法

図1A



(57) Abstract: Provided is a semiconductor device in which variation of transistor characteristics is small. The semiconductor device has: a first oxide; a second oxide and a third oxide on the first oxide; a first conductor on the second oxide; a second conductor on the third oxide; a fourth oxide that is on the first oxides and between the second oxide and the third oxide; a first insulator on the fourth oxide; and a third conductor on the first insulator. The first oxide has a groove in a region that does not overlap the second oxide or the third oxide, and the first oxide has a first laminar crystal that is substantially parallel to a surface on which the first oxide is formed. In the groove, the fourth oxide has a second laminar crystal that is substantially parallel to the surface on which the first oxide is formed. An atomic concentration of aluminum atoms is 5.0at% or smaller at a boundary between the first oxide and the fourth oxide and in a vicinity of that boundary.

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: トランジスタ特性のばらつきが少ない半導体装置を提供する。第1の酸化物と、第1の酸化物上の、第2の酸化物、および第3の酸化物と、第2の酸化物上の、第1の導電体と、第3の酸化物上の、第2の導電体と、第1の酸化物上、かつ、第2の酸化物と第3の酸化物の間、の第4の酸化物と、第4の酸化物上の第1の絶縁体と、第1の絶縁体上の第3の導電体と、を有し、第1の酸化物は、第2の酸化物および第3の酸化物と重畳しない領域に溝部を有し、第1の酸化物は、第1の酸化物の被形成面に概略平行な第1の層状の結晶を有し、溝部において、第4の酸化物は、第1の酸化物の被形成面に概略平行な第2の層状の結晶を有し、第1の酸化物と第4の酸化物の界面、およびその近傍の、アルミニウム原子の濃度は5.0原子%以下である。

明細書

発明の名称

半導体装置、および半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、トランジスタ、半導体装置、および電子機器に関する。また、本発明の一態様は、半導体装置の作製方法に関する。また、本発明の一態様は、半導体ウエハ、およびモジュールに関する。

[0002]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

[0003]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。また、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

[0004]

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0005]

酸化物半導体において、単結晶でも非晶質でもない、CAAC（c-axis aligned crystalline）構造およびnc（nanocrystalline）構造が見出されている（非特許文献1及び非特許文献2参照）。

[0006]

非特許文献1および非特許文献2では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術が開示されている。

[先行技術文献]

[非特許文献]

[0007]

[非特許文献1] S. Yamazaki et al., “SID Symposium Digest of Technical Papers”, 2012, volume 43, issue 1, p. 183-186

[非特許文献2] S. Yamazaki et al., “Japanese Journal of Applied Physics”, 2014, volume 53, Number 4S, p. 04ED18-1-04ED18-10

発明の概要

発明が解決しようとする課題

[0008]

本発明の一態様は、トランジスタ特性のばらつきが少ない半導体装置を提供することを課題の一つとする。また、本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。また、本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。また、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。

[0009]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0010]

本発明の一態様は、第1の酸化物と、第1の酸化物上の、第2の酸化物、および第3の酸化物と、第2の酸化物上の、第1の導電体と、第3の酸化物上の、第2の導電体と、第1の酸化物上、かつ、第2の酸化物と第3の酸化物の間、の第4の酸化物と、第4の酸化物上の第1の絶縁体と、第1の絶縁体上の第3の導電体と、を有し、第1の酸化物は、第2の酸化物および第3の酸化物と重畳しない領域に溝部を有し、第1の酸化物は、第1の酸化物の被形成面に概略平行な第1の層状の結晶を有し、溝部において、第4の酸化物は、第1の酸化物の被形成面に概略平行な第2の層状の結晶を有し、第1の酸化物と第4の酸化物の界面、およびその近傍の、アルミニウム原子の濃度は5.0原子%以下である、半導体装置である。

[0011]

また、本発明の他の一態様は、第1の酸化物と、第1の酸化物上の、第2の酸化物、および第3の酸化物と、第2の酸化物上の、第1の導電体と、第3の酸化物上の、第2の導電体と、第1の酸化物上、かつ、第2の酸化物と第3の酸化物の間、の第4の酸化物と、第4の酸化物上の第5の酸化物と、第5の酸化物上の第1の絶縁体と、第1の絶縁体上の第3の導電体と、を有し、第1の酸化物は、第2の酸化物および第3の酸化物と重畳しない領域に溝部を有し、第1の酸化物は、第1の酸化物の被形成面に概略平行な第1の層状の結晶を有し、溝部において、第4の酸化物は、第1の酸化物の被形成面に概略平行な第2の層状の結晶を有し、第1の酸化物と第4の酸化物の界面、およびその近傍の、アルミニウム原子の濃度は2.0原子%以下である、半導体装置である。

[0012]

また、本発明の他の一態様は、第1の酸化物と、第1の酸化物上の、第2の酸化物、および第3の酸化物と、第2の酸化物上の、第1の導電体と、第3の酸化物上の、第2の導電体と、第1の酸化物上、かつ、第2の酸化物と第3の酸化物の間、の第4の酸化物と、第4の酸化物上の第5の酸化物と、第5の酸化物上の第1の絶縁体と、第1の絶縁体上の第3の導電体と、を有し、第1の酸化物は、第2の酸化物および第3の酸化物と重畳しない領域に溝部を有し、第1の酸化物は、第1の酸化物の被形成面に概略平行な第1の層状の結晶を有し、溝部において、第4の酸化物は、第1

の酸化物の被形成面に概略平行な第2の層状の結晶を有し、溝部の側壁において、第1の層状の結晶と第2の層状の結晶は、a-b面が連続的に接合し、第1の酸化物と第4の酸化物の界面、およびその近傍の、アルミニウム原子の濃度は2.0原子%以下である、半導体装置である。

[0013]

上記において、第1の酸化物と第2の酸化物の界面の高さと、第4の酸化物と第5の酸化物の界面の高さの差が、第4の酸化物の膜厚以下である、ことが好ましい。

[0014]

上記において、第1の酸化物、第4の酸化物、および第5の酸化物は、インジウムと、元素M(Mは、ガリウム、アルミニウム、イットリウム、または錫)と、亜鉛と、を有し、第1の酸化物の元素Mに対するインジウムの原子数比は、第5の酸化物の元素Mに対するインジウムの原子数比より大きく、第4の酸化物の元素Mに対するインジウムの原子数比は、第5の酸化物の元素Mに対するインジウムの原子数比より大きい、ことが好ましい。また、上記において、第4の酸化物は、 $In:Ga:Zn=4:2:3$ [原子数比] もしくはその近傍の組成の金属酸化物である、ことが好ましい。

[0015]

上記において、第1の層状の結晶、および第2の層状の結晶は、第1の酸化物の被形成面に概略垂直なc軸を有する、ことが好ましい。

[0016]

上記において、第1の導電体の下端部近傍、及び第2の導電体の下端部近傍において、第1の酸化物、及び第4の酸化物のいずれか一方または双方はCAAC構造を有する、ことが好ましい。

発明の効果

[0017]

本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、低消費電力の半導体装置を提供することができる。

[0018]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0019]

図1Aおよび図1Bは本発明の一態様である半導体装置の断面図である。

図2Aは本発明の一態様である半導体装置の上面図である。図2B乃至図2Dは本発明の一態様である半導体装置の断面図である。

図3A乃至図3DはCAAC-OSの成膜方法を説明する図である。

図4A乃至図4Cは本発明の一態様である半導体装置の断面図である。

図 5 A は I G Z O の結晶構造の分類を説明する図である。図 5 B は石英ガラスの X R D スペクトルを説明する図である。図 5 C は結晶性 I G Z O の X R D スペクトルを説明する図である。図 5 D は結晶性 I G Z O の極微電子線回折パターンを説明する図である。

図 6 A は本発明の一態様である半導体装置の上面図である。図 6 B 乃至図 6 D は本発明の一態様である半導体装置の断面図である。

図 7 A は本発明の一態様である半導体装置の上面図である。図 7 B 乃至図 7 D は本発明の一態様である半導体装置の断面図である。

図 8 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 8 B 乃至図 8 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 9 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 9 B 乃至図 9 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 0 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 0 B 乃至図 1 0 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 1 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 1 B 乃至図 1 1 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 2 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 2 B 乃至図 1 2 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 3 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 3 B 乃至図 1 3 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 4 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 4 B 乃至図 1 4 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 5 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 5 B 乃至図 1 5 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 6 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 6 B 乃至図 1 6 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 7 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 7 B 乃至図 1 7 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 8 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 8 B 乃至図 1 8 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 9 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 9 B 乃至図 1 9 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 2 0 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 2 0 B 乃至図 2 0 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 2 1 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 2 1 B 乃至図 2 1 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 2 2 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 2 2 B 乃至図 2 2 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 2 3 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 2 3 B 乃至図 2 3 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 2 4 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 2 4 B 乃至図 2 4

Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図25Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図25B乃至図25Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図26Aおよび図26Bは本発明の一態様に係る半導体装置の断面図である。

図27は本発明の一態様に係る記憶装置の構成を示す断面図である。

図28は本発明の一態様に係る記憶装置の構成を示す断面図である。

図29は本発明の一態様に係る半導体装置の断面図である。

図30Aおよび図30Bは本発明の一態様に係る半導体装置の断面図である。

図31は本発明の一態様に係る半導体装置の断面図である。

図32は本発明の一態様に係る半導体装置の断面図である。

図33Aおよび図33Bは本発明の一態様に係る記憶装置の構成例を示すブロック図である。

図34A乃至図34Hは本発明の一態様に係る記憶装置の構成例を示す回路図である。

図35は各種の記憶装置を階層ごとに示す図である。

図36Aおよび図36Bは本発明の一態様に係る半導体装置の模式図である。

図37Aおよび図37Bは電子部品の一例を説明する図である。

図38A乃至図38Eは本発明の一態様に係る記憶装置の模式図である。

図39A乃至図39Hは本発明の一態様に係る電子機器を示す図である。

図40Aおよび図40Bは本実施例に係るTEM像である。

図41Aは本実施例に係るTEM像である。図41B乃至図41Dは本実施例に係るFFT像である。

図42は本実施例に係る I_d-V_g 特性の測定結果を示すグラフである。

図43Aは本実施例に係る V_s-h のばらつきを示すグラフである。図43Bは本実施例に係るS値のばらつきを示すグラフである。

図44A乃至図44Cは本実施例に係るTEM像である。

図45は本実施例に係るアルミニウム濃度の測定結果を示すグラフである。

発明を実施するための形態

[0020]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0021]

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0022]

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0023]

また、本明細書等において、第1、第2等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0024]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0025]

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等の開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に開示されているものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0026]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネルが形成される領域（以下、チャンネル形成領域ともいう。）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

[0027]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

[0028]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0029]

チャンネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、チャンネル長方向を基準として垂直方向のチャンネル形成領域の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0030]

なお、本明細書等において、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

[0031]

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

[0032]

本明細書では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

[0033]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損（V_o: oxygen vacancyともいう）が形成される場合がある。

[0034]

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

[0035]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0036]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0037]

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む。)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう。) などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS トランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0038]

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\ \mu\text{m}$ あたりのドレイン電流が、室温において $1 \times 10^{-20}\text{A}$ 以下、 85°C において $1 \times 10^{-18}\text{A}$ 以下、または 125°C において $1 \times 10^{-16}\text{A}$ 以下であることをいう。

[0039]

(実施の形態 1)

本実施の形態では、図 1 乃至図 26 を用いて、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例、およびその作製方法について説明する。

[0040]

<半導体装置の構成例>

図 1 および図 2 を用いて、トランジスタ 200 を有する半導体装置の構成を説明する。

図 1 A、図 1 B は、トランジスタ 200 の部分拡大図であり、図 2 A 乃至図 2 D は、トランジスタ 200 を有する半導体装置の上面図および断面図である。図 2 A は、当該半導体装置の上面図である。また、図 2 B 乃至図 2 D は、当該半導体装置の断面図である。ここで、図 2 B は、図 2 A に A1-A2 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャネル長方向の断面図でもある。なお、図 1 A は、図 2 B のチャネル形成領域近傍を拡大した図面であり、図 1 B は、図 1 A の酸化物 243 a と酸化物 230 c の界面近傍を拡大した図面である。また、図 2 C は、図 2 A に A3-A4 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャネル幅方向の断面図でもある。また、図 2 D は、図 2 A に A5-A6 の一点鎖線で示す部位の断面図である。なお、図 2 A の上面図では、図の明瞭化のために一部の要素を省いている。

[0041]

本発明の一態様の半導体装置は、基板 (図示せず) 上の絶縁体 211 と、絶縁体 211 上の絶縁

体 2 1 2 と、絶縁体 2 1 2 上の絶縁体 2 1 4 と、絶縁体 2 1 4 上のトランジスタ 2 0 0 と、トランジスタ 2 0 0 上の絶縁体 2 8 0 と、絶縁体 2 8 0 上の絶縁体 2 8 2 と、絶縁体 2 8 2 上の絶縁体 2 8 3 と、絶縁体 2 8 3 上の絶縁体 2 8 4 と、を有する。絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 0、絶縁体 2 8 2、絶縁体 2 8 3、および絶縁体 2 8 4 は層間膜として機能する。また、トランジスタ 2 0 0 と電氣的に接続し、プラグとして機能する導電体 2 4 0（導電体 2 4 0 a、および導電体 2 4 0 b）を有する。なお、プラグとして機能する導電体 2 4 0 の側面に接して絶縁体 2 4 1（絶縁体 2 4 1 a、および絶縁体 2 4 1 b）が設けられる。また、絶縁体 2 8 4 上、および導電体 2 4 0 上には、導電体 2 4 0 と電氣的に接続し、配線として機能する導電体 2 4 6（導電体 2 4 6 a、および導電体 2 4 6 b）が設けられる。また、導電体 2 4 6 上、および絶縁体 2 8 4 上には、絶縁体 2 8 6 が設けられる。

[0042]

絶縁体 2 7 2、絶縁体 2 7 3、絶縁体 2 8 0、絶縁体 2 8 2、絶縁体 2 8 3、および絶縁体 2 8 4 の開口の内壁に接して絶縁体 2 4 1 a が設けられ、絶縁体 2 4 1 a の側面に接して導電体 2 4 0 a の第 1 の導電体が設けられ、さらに内側に導電体 2 4 0 a の第 2 の導電体が設けられている。また、絶縁体 2 7 2、絶縁体 2 7 3、絶縁体 2 8 0、絶縁体 2 8 2、絶縁体 2 8 3、および絶縁体 2 8 4 の開口の内壁に接して絶縁体 2 4 1 b が設けられ、絶縁体 2 4 1 b の側面に接して導電体 2 4 0 b の第 1 の導電体が設けられ、さらに内側に導電体 2 4 0 b の第 2 の導電体が設けられている。ここで、導電体 2 4 0 の上面の高さと、導電体 2 4 6 と重なる領域の、絶縁体 2 8 4 の上面の高さと、は同程度にできる。なお、トランジスタ 2 0 0 では、導電体 2 4 0 の第 1 の導電体および導電体 2 4 0 の第 2 の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 2 4 0 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0043]

[トランジスタ 2 0 0]

図 2 A 乃至図 2 D に示すように、トランジスタ 2 0 0 は、絶縁体 2 1 4 上の絶縁体 2 1 6 と、絶縁体 2 1 4 または絶縁体 2 1 6 に埋め込まれるように配置された導電体 2 0 5（導電体 2 0 5 a、および導電体 2 0 5 b）と、絶縁体 2 1 6 上、および導電体 2 0 5 上の絶縁体 2 2 2 と、絶縁体 2 2 2 上の絶縁体 2 2 4 と、絶縁体 2 2 4 上の酸化物 2 3 0 a と、酸化物 2 3 0 a 上の酸化物 2 3 0 b と、酸化物 2 3 0 b 上の、酸化物 2 4 3（酸化物 2 4 3 a、および酸化物 2 4 3 b）および酸化物 2 3 0 c と、酸化物 2 4 3 a 上の導電体 2 4 2 a と、酸化物 2 4 3 b 上の導電体 2 4 2 b と、酸化物 2 3 0 c 上の酸化物 2 3 0 d と、酸化物 2 3 0 d 上の絶縁体 2 5 0 と、絶縁体 2 5 0 上に位置し、酸化物 2 3 0 c の一部と重なる導電体 2 6 0（導電体 2 6 0 a、および導電体 2 6 0 b）と、絶縁体 2 2 4 の上面の一部、酸化物 2 3 0 a の側面の一部、酸化物 2 3 0 b の側面の一部、酸化物 2 4 3 a の側面、酸化物 2 4 3 b の側面、導電体 2 4 2 a の側面、導電体 2 4 2 a の上面、導電体 2 4 2 b の側面、および導電体 2 4 2 b の上面と接する絶縁体 2 7 2 と、絶縁体 2 7 2 上の絶縁体 2 7 3 と、を有する。また、酸化物 2 3 0 c は、酸化物 2 4 3 a の側面、酸化物 2 4 3 b の側面、導電体 2 4 2 a の側面、および導電体 2 4 2 b の側面とそれぞれ接する。ここで、図 2 B および図 2 C に示すように、導電体 2 6 0 の上面は、絶縁体 2 5 0 の上面、酸化物 2 3 0 d の上面、および酸化物 2 3 0 c の上面と略一致して配置される。また、絶縁体 2 8 2 は、導電体 2 6 0、絶縁体 2 5 0、酸化物 2 3 0 d、酸化物 2 3 0 c、および絶縁体 2 8 0 のそれぞれの上面と接する。

[0044]

絶縁体280、絶縁体273、および絶縁体272には、酸化物230bに達する開口が設けられる。当該開口内に、酸化物230d、酸化物230c、絶縁体250、および導電体260が配置されている。また、トランジスタ200のチャネル長方向において、導電体242aおよび酸化物243aと、導電体242bおよび酸化物243bと、の間に導電体260、絶縁体250、酸化物230d、および酸化物230cが設けられている。絶縁体250は、導電体260の側面と接する領域と、導電体260の底面と接する領域と、を有する。また、酸化物230bと重なる領域において、酸化物230cは、酸化物230bと接する領域と、絶縁体250を介して導電体260の側面と重なる領域と、絶縁体250を介して導電体260の底面と重なる領域と、を有する。

[0045]

酸化物230は、絶縁体224の上に配置された酸化物230aと、酸化物230aの上に配置された酸化物230bと、酸化物230bの上に配置され、少なくとも一部が酸化物230bに接する酸化物230cと、酸化物230cの上に配置された酸化物230dと、を有することが好ましい。酸化物230b下に酸化物230aを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230c上に酸化物230dを有することで、酸化物230dよりも上方に形成された構造物から、酸化物230cへの不純物の拡散を抑制することができる。

[0046]

なお、トランジスタ200では、酸化物230が、酸化物230a、酸化物230b、酸化物230c、および酸化物230dの4層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物230bの単層、酸化物230aと酸化物230bの2層構造、酸化物230bと酸化物230cの2層構造、酸化物230a、酸化物230b、および酸化物230cの3層構造、または5層以上の積層構造を設ける構成にしてもよいし、酸化物230a、酸化物230b、酸化物230c、および酸化物230dのそれぞれが積層構造を有していてもよい。

[0047]

導電体260は、第1のゲート（トップゲートともいう。）電極として機能し、導電体205は、第2のゲート（バックゲートともいう。）電極として機能する。また、絶縁体250は、第1のゲート絶縁体として機能し、絶縁体224は、第2のゲート絶縁体として機能する。また、導電体242aは、ソースまたはドレインの一方として機能し、導電体242bは、ソースまたはドレインの他方として機能する。また、酸化物230はチャネル形成領域として機能する。

[0048]

トランジスタ200は、チャネル形成領域を含む酸化物230（酸化物230a、酸化物230b、酸化物230c、および酸化物230d）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0049]

また、半導体として機能する金属酸化物は、バンドギャップが2 eV以上のものを用いることが好ましく、2.5 eV以上のものを用いることがより好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0050]

酸化物230として、例えば、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物

(元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種)等の金属酸化物を用いるとよい。また、酸化物230として、In-Ga酸化物、In-Zn酸化物、インジウム酸化物を用いてもよい。

[0051]

ここで、酸化物230bまたは酸化物230cに用いる金属酸化物における、元素Mに対するInの原子数比が、酸化物230aまたは酸化物230dに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。このように、酸化物230bまたは酸化物230cの上に、酸化物230dを配置することで、酸化物230dよりも上方に形成された構造物から、酸化物230bまたは酸化物230cに対する不純物の拡散を抑制することができる。また、酸化物230a乃至酸化物230dが、酸素以外に共通の元素を有する(主成分とする)ことで、酸化物230a、酸化物230b、酸化物230c、および酸化物230dのそれぞれの界面における欠陥準位密度を低くすることができる。このとき、キャリアの主たる経路は酸化物230b、酸化物230cまたはその近傍、例えば、酸化物230bと酸化物230cとの界面になる。酸化物230bと酸化物230cとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0052]

酸化物230bおよび酸化物230cは、それぞれ結晶性を有することが好ましい。特に、酸化物230bおよび酸化物230cとして、CAAC-OS(c-axis aligned crystalline oxide semiconductor)を用いることが好ましい。また、酸化物230dが結晶性を有する構成にしてもよい。

[0053]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を指す。

[0054]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリーともいう。)を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0055]

なお、明確な結晶粒界(グレインバウンダリー)が確認される結晶構造は、いわゆる多結晶(polycrystal)と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲され、トランジスタのオン電流の低下、または電界効果移動度の低下を引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有す

る結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0056]

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0057]

ここで、CAAC-OSの成長モデルの一例について図3を用いて説明する。

[0058]

まず、互いにa軸及びb軸の向きがランダムである複数のナノクラスター20が、基板32の表面（被形成面）に形成される。ここで、ナノクラスター20とは、表面に(M, Zn)層が位置する平板状の構造であり、二つの(M, Zn)層と、その間に位置するIn層で構成される。

[0059]

次に、粒子23が基板32の表面に達する。粒子23は、ナノクラスター20の上面より側面に結合しやすい。よって、粒子23は、ナノクラスター20の形成されていない領域を埋めるように、ナノクラスター20の側面に優先的に付着する。粒子23は、結合手が活性状態となることで、ナノクラスター20と化学的に連結して横成長部22を形成する（図3A参照。）。粒子23は、ナノクラスター20とナノクラスター20の間の領域に入り込むということもできる。なお、図3Aでは、ナノクラスター20の拡大図も示しており、ナノクラスター20中に結晶構造の模式図も示している。

[0060]

横成長部22は、ナノクラスター20とナノクラスター20の間の領域26（領域26は、Lateral Growth Buffer Region (LGBR) と呼称することもできる。）を埋めるように横方向に成長（ラテラル成長ともいう。）する。ここで、横方向とは、例えばナノクラスター20中のc軸に垂直な方向を指す。ここで、450℃以下、好ましくは400℃以下程度の基板加熱により、ナノクラスター20の横成長部22に粒子23が付着し、粒子23にLGBRを介して拡散した酸素が付着し、再び粒子23が同様に付着する、という反応が起きやすくなる。この繰り返しにより横方向の固相成長が起きていると推定される。

[0061]

さらに横成長部22がラテラル成長することで、横成長部22が互いに衝突する。横成長部22が衝突した部分を連結部27として隣接するナノクラスター20が連結される（図3B参照。）。つまり、領域26中に連結部27が形成される。これは、粒子23が、ナノクラスター20の側面に横成長部22を形成し、横方向に成長することで、ナノクラスター20間の領域26を充填しているということもできる。このように、ナノクラスター20の形成されていない領域を埋めるまで横成長部22が形成される。

[0062]

したがって、ナノクラスター20がそれぞれ異なる方向を向けて形成される場合でも、ナノクラ

スター 20 とナノクラスター 20 の隙間を粒子 23 がラテラル成長しながら埋めるため、明確な結晶粒界が形成されることがない。

[0063]

ここで、 InMZnO_4 の結晶構造は、層状結晶構造が幅広い組成範囲で安定に存在しており、金属原子と酸素原子の間の結合の強さや平衡距離は、それぞれの金属原子で異なる。そのため InMZnO_4 の結晶構造は、歪みに対しても寛容な構造を取ると推測される。よって、ナノクラスター 20 間を、粒子 23 が滑らかに連結（アンカリング）するため、連結部 27 において単結晶とも多結晶とも異なる結晶構造が形成される。言い換えると、ナノクラスター 20 の間の連結部 27 に歪みを有する結晶構造が形成される。これにより、例えば、連結部 27 において、上面の形状が六角形だった結晶構造が変形し、五角形または七角形になる場合もある。このように、ナノクラスター 20 の間を埋める領域は、歪んだ結晶領域であるため、該領域を指して非晶質構造と呼ぶのは適切ではないと考えられる。

[0064]

次に、新たなナノクラスター 20 が、平面側を基板 32 の表面に向けて形成される。そして、粒子 23 が、ナノクラスター 20 の形成されていない領域を埋めるように堆積することで横成長部 22 を形成する（図 3C 参照。）。こうして、粒子 23 がナノクラスター 20 の側面に付着し、横成長部 22 がラテラル成長することで、二層目のナノクラスター 20 間を連結させる（図 3D 参照。）。

[0065]

以上のような成膜モデルにより、ナノクラスターが基板の表面（被形成面）に堆積していくと考えられる。被形成面が結晶構造を有さない場合においても、CAAC-OS の成膜が可能であることから、エピタキシャル成長とは異なる成長機構である上述の成膜モデルは、妥当性が高いことがわかる。

[0066]

上記のように、CAAC-OS は、結晶性の高い、緻密な構造を有しており、不純物や欠陥（酸素欠損 V_O など）が少ない金属酸化物である。一方、CAAC-OS は、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OS を有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OS を有する金属酸化物は熱に強く、信頼性が高い。

[0067]

ここで、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 $\text{V}_\text{O}\text{H}$ と呼ぶ場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、および酸素欠損はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネルが形成される領域は、キャリア濃度が低減され、 i 型化（真性化）または実質的に i 型化されていることが好ましい。

[0068]

これに対して、上記のようなCAAC-Osを、酸化物230bおよび酸化物230cに用いることで、酸化物半導体中のチャネルが形成される領域で、不純物、および酸素欠損の低減を図ることができる。これにより、電気特性の変動が抑制され、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。

[0069]

しかしながら、導電体260などを埋め込むための開口を形成する際に、開口の底部にあたる酸化物230bの表面が損傷する場合がある。酸化物230bの損傷領域では、酸素欠損などの結晶欠陥が形成されており、不純物（水素、窒素、シリコン、アルミニウムなどの金属元素）が存在する場合がある。損傷領域では、酸素欠損と水素などの不純物が存在しやすいため、 $V_o + H \rightarrow V_oH$ という反応が起こりやすい。このようにして、損傷領域では、 V_oH が多量に形成されることになる。よって、酸化物230bの損傷領域を残したまま、その上に酸化物230cを形成しても、トランジスタは、ノーマリーオン特性になりやすくなる。さらに、損傷領域の状態が基板面内であれば、つくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。

[0070]

例えば、トランジスタのチャネル長方向の断面視において、酸化物230b上部に溝部を設けることで、上記損傷領域を除去することができる。損傷領域を除去した酸化物230bの溝部に、CAAC-Osを有する酸化物230cを形成することができる。なお、上記損傷領域を除去するために、洗浄処理を行うと好ましい。当該洗浄処理の詳細については、後述する。

[0071]

そこで、本発明の一態様に係るトランジスタでは、トランジスタのチャネル長方向の断面視において、酸化物230bに溝部を設け、当該溝部に、CAAC-Osを有する酸化物230cを埋め込むことが好ましい。このとき、酸化物230cは、当該溝部の内壁（側壁、および底面）を覆うように配置される。また、酸化物230cの膜厚は、当該溝部の深さと同程度であることが好ましい。

[0072]

上記構成にすることで、トランジスタにおいて、 V_oH などの不純物の影響を低減して、チャネルを酸化物230cに形成することができる。これにより、トランジスタに良好な電気特性を付与することができる。さらに、トランジスタ特性のばらつきが少なく、信頼性が良好な半導体装置を提供することができる。

[0073]

以下において、トランジスタ200およびその近傍の拡大断面図である、図1A、図1Bを用いて、トランジスタ200のチャネル近傍の構造の詳細について説明する。なお、図1A、図1Bに示す破線は、酸化物230bおよび酸化物230c中の結晶の層を示す。

[0074]

図1A、図1Bに示すように、酸化物230bは、a-b面方向に伸長した結晶の層と、a-b面方向に垂直なc軸と、を有する、層状の結晶を含む。なお、図1Bに示す矢印は、結晶のc軸を示す。ここで、酸化物230bにおいて、c軸は、酸化物230bの被形成面または上面に概略垂直な方向を向いていることが好ましい。よって、図1に示すように、酸化物230bは、酸化物230bの上面に対して概略平行になるように結晶の層が伸長した領域を有する。

[0075]

また、酸化物 230b の上部に溝部が形成されている。当該溝部は、導電体 260 等を埋め込むために絶縁体 280 等に形成された開口の底部に対応している。つまり、当該溝部は、導電体 260、絶縁体 250、酸化物 230d、および酸化物 230c と重畳している。図 1A、図 1B に示すように、当該溝部の側壁は、酸化物 230b の被形成面に対して概略垂直であることが好ましい。また同様に、上記開口の側壁も、酸化物 230b の被形成面に対して概略垂直であることが好ましい。

[0076]

また、酸化物 230b の溝部の深さは、酸化物 230c の膜厚と概略一致することが好ましい。言い換えると、酸化物 230b と酸化物 243 の界面の高さが、酸化物 230c と酸化物 230d の界面の高さと概略一致することが好ましい。例えば、酸化物 230b と酸化物 243 の界面の高さと、酸化物 230c と酸化物 230d の界面の高さの差が、酸化物 230c の膜厚以下であることが好ましく、酸化物 230c の膜厚の半分以上であることがより好ましい。

[0077]

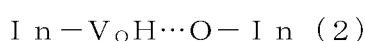
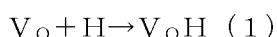
また、図 1A、図 1B に示すように、酸化物 230c は、a-b 面方向に伸長した結晶の層と、a-b 面方向に垂直な c 軸と、を有する、層状の結晶を含む。ここで、酸化物 230c において、c 軸は、酸化物 230c の被形成面または上面に概略垂直な方向を向いていることが好ましい。よって、図 1 に示すように、酸化物 230c は、酸化物 230b の上面に対して概略平行になるように結晶の層が伸長した領域と、酸化物 243、導電体 242、絶縁体 272、絶縁体 273、および絶縁体 280 の側面に対して概略平行になるように結晶の層が伸長した領域と、を有する。なお、図 1A、図 1B に示すように、酸化物 230d も酸化物 230c と同様の結晶構造を有するとより好ましい。

[0078]

また、上記のように、酸化物 230b と酸化物 230c の界面、およびその近傍における不純物が、低減または除去されていることが好ましい。特に、アルミニウム、またはシリコンなどの不純物は、酸化物 230c および酸化物 230b の CAAC-OS 化を阻害する。よって、アルミニウム、またはシリコンなどの、CAAC-OS 化を阻害する不純物元素が、低減または除去されていることが好ましい。例えば、酸化物 230b と酸化物 230c の界面、およびその近傍における、アルミニウム原子の濃度が、5.0 原子%以下とすればよく、2.0 原子%以下が好ましく、1.5 原子%以下がより好ましく、1.0 原子%以下がさらに好ましく、0.3 原子%未満がさらに好ましい。

[0079]

なお、アルミニウム、またはシリコンなどの不純物により CAAC-OS 化が阻害され、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) となった金属酸化物の領域を、非 CAAC 領域と呼ぶ場合がある。CAAC-OS においては、In-O-In のように、緻密な結晶構造が形成されているのに対して、非 CAAC 領域では、In-O の結合距離が長くなり、結晶構造の緻密さが低下している。このような非 CAAC 領域では、In-O 結合間で (1) に示す反応が進み、その後、(2) に示す構造が形成される。



これにより、非CAAC領域では V_{OH} が多量に形成され、トランジスタがノーマリーオン化しやすくなる。以上より、非CAAC化領域は、低減または除去されていることが好ましい。

[0080]

これに対して、CAAC-OS化された酸化物230bおよび酸化物230cにおいては、緻密な結晶構造が形成されているので、 $In-O$ の結合距離が短くなり、 V_{OH} は安定に存在しにくくなる。さらに、後述する加酸素化処理において、過剰酸素を酸化物230bおよび酸化物230cに供給することで、 $V_{OH} \rightarrow V_O + H$ 、 $V_O + O \rightarrow n u l l$ という反応を進めることができる。これにより、酸化物230bおよび酸化物230c中の V_{OH} を低減し、さらに V_O も低減することができる。このように、酸化物230bおよび酸化物230cをCAAC-OS化することで、トランジスタのノーマリーオン化を抑制することができる。

[0081]

図1A、図1Bに示すように、酸化物230bの溝部において、酸化物230cの側面は、酸化物230bの溝部の側壁に接する。以下において、当該溝部の側壁における酸化物230bと酸化物230cの界面を界面232と呼ぶ場合がある。ここで、酸化物230cは、上記図3を用いて説明したように、ナノクラスターを起点とする横成長により形成される。また、上記のように界面232において、酸化物230bの側面は、酸化物230bの被形成面に対して概略垂直である。

[0082]

これによって、酸化物230bの側面が、図3Aに示すナノクラスター20の横成長部22と同様に機能し、酸化物230bの側面を起点として横成長することにより、酸化物230cが成膜される。これにより、界面232において、酸化物230bのCAAC-OSと酸化物230cのCAAC-OSは、a-b面が連続的に接合する。酸化物230bと酸化物230cのa-b面が連続的に接合している場合、例えば、酸化物230bと酸化物230cの界面の断面TEM像において、明確な結晶粒界が確認できない場合がある。

[0083]

ここで、図1Aにトランジスタ200の電流経路A、および電流経路Bを示す。電流経路Aは、導電体242aから、酸化物230cを通して導電体242bに到達する経路であり、電流経路Bは、導電体242aから、酸化物243a、酸化物230c、酸化物243bの順に通って、導電体242bに到達する経路である。電流経路Aおよび電流経路Bの大部分において、CAAC-OSが形成されており、酸化物230bの損傷領域が除去され、非CAAC領域も形成されないようにしているので、トランジスタ200の電気特性の変動を抑制することができる。

[0084]

特に、界面232近傍、つまりドレイン端部まで層状のCAAC-OSが形成されている。別言すると、本発明の一態様の半導体装置は、ドレイン端部、またはドレイン下端部にもCAAC構造を有する。ここで、トランジスタ200において、導電体242aまたは導電体242b、およびその近傍がドレインとして機能する。つまり、本発明の一態様の半導体装置は、導電体242a（導電体242b）の下端部近傍の、酸化物230b、および酸化物230cのいずれか一方または双方は、CAAC構造を有する。このように、ドレイン耐圧に顕著に影響するドレイン端部においても、酸化物230bの損傷領域が除去され、CAAC構造を有することで、トランジスタ200の電気特性の変動をさらに抑制することができる。また、トランジスタ200の信頼性を向上させることができる。

[0085]

以上のような構成にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

[0086]

なお、図1に示す構成では、導電体260等を埋め込む開口の側面が、酸化物230bの溝部も含めて、酸化物230bの被形成面に対して概略垂直である構成について示したが、本実施の形態はこれに限られるものではない。例えば、図4A、図4Bに示すように、当該開口の底部が緩やかな曲面を有する、U字型の形状となってもよい。なお、図4Aは、図1Aに相当するトランジスタ200のチャネル形成領域近傍を拡大した図面であり、図4Bは、図4Aの酸化物243aと酸化物230cの界面近傍を拡大した図面である。

[0087]

図4A、図4Bに示すように、酸化物230cは、a-b面方向に伸長した結晶の層と、a-b面方向に垂直なc軸と、を有する、層状の結晶を含む。なお、図4Bに示す矢印は、結晶のc軸を示す。ここで、酸化物230cにおいて、c軸は、酸化物230cの被形成面または上面に概略垂直な方向を向いていることが好ましい。よって、図4に示すように、上記開口の底面および側面に対して概略平行になるように結晶の層が伸長した領域を有する。なお、図4A、図4Bに示すように、酸化物230dも酸化物230cと同様の結晶構造を有するとより好ましい。

[0088]

また、酸化物230bの溝部の深さは、酸化物230cの膜厚と概略一致することが好ましい。言い換えると、酸化物230bと酸化物243の界面の高さが、酸化物230cと酸化物230dの界面の一番低い位置の高さと概略一致することが好ましい。例えば、酸化物230bと酸化物243の界面の高さと、酸化物230cと酸化物230dの界面の一番低い位置の高さの差が、酸化物230cの膜厚以下であることが好ましく、酸化物230cの膜厚の半分以下であることがより好ましい。

[0089]

また、上記溝部内の酸化物230cのa-b面と、酸化物230bのa-b面のなす角は、60°以下であることが好ましく、45°以下であることがより好ましく、30°以下であることがさらに好ましい。このように、上記溝部内の酸化物230cのa-b面と、酸化物230bのa-b面のなす角を小さくすることで、当該溝部において、酸化物230cの結晶性を高くすることができる。

[0090]

また、図4Cに示すように、酸化物230bと酸化物230cの界面に接して、非CAAC領域からなる酸化物230eが形成される場合がある。酸化物230eにおける、不純物は低減されていることが好ましい。特に、アルミニウム、またはシリコンなどの、CAAC-OS化を阻害する不純物元素は、低減されていることが好ましい。例えば、酸化物230eにおける、アルミニウム原子の濃度が、5.0原子%以下とすればよく、2.0原子%以下が好ましく、1.5原子%以下がより好ましく、1.0原子%以下がさらに好ましく、0.3原子%未満がさらに好ましい。上記のように、このような非CAAC領域を有する酸化物230eは低減されていることが好ましい。

[0091]

なお、図4Cでは、酸化物230b、酸化物243a、酸化物230c、および酸化物230dに囲まれるように、酸化物230eが形成されているが、本実施の形態はこれに限られるものではない。例えば、酸化物230bと酸化物230cに挟まれるように、酸化物230eが形成される場合もある。

[0092]

また、図2Cに示すように、トランジスタ200のチャネル幅方向の断面視において、酸化物230bの側面と酸化物230bの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう。）。

[0093]

上記湾曲面での曲率半径は、0nmより大きく、導電体242と重なる領域の酸化物230bの膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0nmより大きく20nm以下、好ましくは1nm以上15nm以下、さらに好ましくは2nm以上10nm以下とする。このような形状にすることで、後の工程で形成する絶縁体250および導電体260の、当該溝部への被覆性を高めることができる。また、上記湾曲面を有さない領域の長さの減少を防ぎ、トランジスタ200のオン電流、移動度の低下を抑制することができる。したがって、良好な電気特性を有する半導体装置を提供することができる。

[0094]

酸化物230は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、主成分である金属元素に対する元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0095]

なお、酸化物230cをキャリアの主たる経路とするには、酸化物230cにおいて、主成分である金属元素に対するインジウムの原子数比が、酸化物230bにおける、主成分である金属元素に対するインジウムの原子数比より大きいことが好ましい。インジウムの含有量が多い金属酸化物をチャネル形成領域に用いることで、トランジスタのオン電流を増大することができる。よって、酸化物230cにおいて、主成分である金属元素に対するインジウムの原子数比を、酸化物230bにおける、主成分である金属元素に対するインジウムの原子数比よりも大きくすることで、酸化物230cをキャリアの主たる経路とすることができる。

[0096]

また、酸化物230cの伝導帯下端は、酸化物230aおよび酸化物230bの伝導帯下端より真空準位から離れていることが好ましい。言い換えると、酸化物230cの電子親和力は、酸化物230aおよび酸化物230bの電子親和力より大きいことが好ましい。このとき、キャリアの主たる経路は酸化物230cとなる。

[0097]

酸化物230cとして、具体的には、 $I_n:M:Z_n=4:2:3$ [原子数比] もしくはその近傍の組成、 $I_n:M:Z_n=5:1:3$ [原子数比] もしくはその近傍の組成、または $I_n:M:Z_n=10:1:3$ [原子数比] もしくはその近傍の組成の金属酸化物、インジウム酸化物などを用いるとよい。

[0098]

なお、トランジスタの信頼性を評価するパラメータとして、例えば、トランジスタの+GBT (Gate Bias Temperature) ストレス試験で測定されるシフト電圧 (V_{sh}) がある。シフト電圧 (V_{sh}) は、トランジスタのドレイン電流 (I_d) - ゲート電圧 (V_g) カーブにおいて、カーブ上の傾きが最大である点における接線が、 $I_d=1\text{ pA}$ の直線と交差する V_g で定義される。また、 V_{sh} の変化量を ΔV_{sh} として表す。

[0099]

トランジスタの+GBTストレス試験において、 ΔV_{sh} は、時間経過に伴い負方向へシフトする場合がある。また、 ΔV_{sh} は、一方向 (例えば、負方向) に変動するのではなく、負方向と正方向との双方に変動する挙動を示す場合がある。なお、本明細書等において、上記挙動を+GBTストレス試験における、 ΔV_{sh} のギザギザ挙動と呼称する場合がある。

[0100]

酸化物230cに、元素Mを主成分として含まない金属酸化物や、元素Mの比率が少ない金属酸化物を用いることで、例えば、 ΔV_{sh} を低減し、 ΔV_{sh} のギザギザ挙動を抑制し、トランジスタの信頼性の向上を図ることができる。

[0101]

また、酸化物230bおよび酸化物230cは、CAAC-OSなどの結晶性を有する酸化物であることが好ましい。CAAC-OSなどの結晶性を有する酸化物は、不純物や欠陥 (酸素欠損など) が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物230bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物230bから酸素が引き抜かれることを低減できるので、トランジスタ200は、製造工程における高い温度 (所謂サーマルバジェット) に対して安定である。

[0102]

また、酸化物230cとして、CAAC-OSを用いることが好ましく、酸化物230cが有する結晶のc軸が、酸化物230cの被形成面または上面に概略垂直な方向を向いていることが好ましい。CAAC-OSは、c軸と垂直方向に酸素を移動させやすい性質を有する。したがって、酸化物230cが有する酸素を、酸化物230bに効率的に供給することができる。

[0103]

また、酸化物230dは、酸化物230cに用いられる金属酸化物を構成する金属元素の少なくとも一つを含むことが好ましく、当該金属元素を全て含むことがより好ましい。例えば、酸化物230cとして、 I_n-M-Z_n 酸化物、 I_n-Z_n 酸化物、またはインジウム酸化物を用い、酸化物230dとして、 I_n-M-Z_n 酸化物、 $M-Z_n$ 酸化物、または元素Mの酸化物を用いるとよい。これにより、酸化物230cと酸化物230dとの界面における欠陥準位密度を低くすることができる。

[0104]

また、酸化物230dの伝導帯下端が、酸化物230cの伝導帯下端より真空準位に近いことが

好ましい。言い換えると、酸化物230dの電子親和力は、酸化物230cの電子親和力より小さいことが好ましい。この場合、酸化物230dは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を用いることが好ましい。このとき、キャリアの主たる経路は酸化物230cとなる。

[0105]

具体的には、酸化物230cとして、 $I_n:M:Z_n=4:2:3$ [原子数比] もしくはその近傍の組成、 $I_n:M:Z_n=5:1:3$ [原子数比] もしくはその近傍の組成、または $I_n:M:Z_n=10:1:3$ [原子数比] もしくはその近傍の組成の金属酸化物、または、インジウム酸化物を用い、酸化物230dとして、 $I_n:M:Z_n=1:3:4$ [原子数比] もしくはその近傍の組成、 $M:Z_n=2:1$ [原子数比] もしくはその近傍の組成、または $M:Z_n=2:5$ [原子数比] もしくはその近傍の組成の金属酸化物、または、元素Mの酸化物を用いればよい。

[0106]

また、酸化物230dは、酸化物230cより、酸素の拡散または透過を抑制する金属酸化物であることが好ましい。絶縁体250と酸化物230cとの間に酸化物230dを設けることで、絶縁体280に含まれる酸素が、絶縁体250に拡散するのを抑制することができる。したがって、当該酸素は、酸化物230cを介して、酸化物230bに効率的に供給することができる。

[0107]

また、酸化物230dに用いる金属酸化物において、主成分である金属元素に対する I_n の原子数比が、酸化物230cに用いる金属酸化物における、主成分である金属元素に対する I_n の原子数比より小さくすることで、 I_n が絶縁体250側に拡散するのを抑制することができる。絶縁体250は、ゲート絶縁体として機能するため、 I_n が絶縁体250などに混入した場合、トランジスタの特性不良となる。したがって、酸化物230cと絶縁体250との間に酸化物230dを設けることで、信頼性の高い半導体装置を提供することが可能となる。

[0108]

ここで、酸化物230a、酸化物230b、酸化物230c、および酸化物230dの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物230a、酸化物230b、酸化物230c、および酸化物230dの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面、酸化物230bと酸化物230cとの界面、および酸化物230cと酸化物230dとの界面に形成される混合層の欠陥準位密度を低くするとよい。

[0109]

具体的には、酸化物230aと酸化物230b、酸化物230bと酸化物230c、酸化物230cと酸化物230dが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bが I_n-M-Z_n 酸化物の場合、酸化物230a、酸化物230c、および酸化物230dとして、 I_n-M-Z_n 酸化物、 $M-Z_n$ 酸化物、元素Mの酸化物、 I_n-Z_n 酸化物、インジウム酸化物などを用いてもよい。

[0110]

具体的には、酸化物230aとして、 $I_n:M:Z_n=1:3:4$ [原子数比] もしくはその近傍の組成、または $I_n:M:Z_n=1:1:0.5$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物230bとして、 $I_n:M:Z_n=1:1:1$ [原子数比] も

しくはその近傍の組成、または $I n : M : Z n = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物 230c として、 $I n : M : Z n = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成、 $I n : M : Z n = 5 : 1 : 3$ [原子数比] もしくはその近傍の組成、または $I n : M : Z n = 10 : 1 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物、または、インジウム酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。また、元素 M として、ガリウムを用いることが好ましい。また、酸化物 230d として、 $I n : M : Z n = 1 : 3 : 4$ [原子数比] もしくはその近傍の組成、 $M : Z n = 2 : 1$ [原子数比] もしくはその近傍の組成、または $M : Z n = 2 : 5$ [原子数比] もしくはその近傍の組成の金属酸化物、または、元素 M の酸化物を用いればよい。

[0111]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であつてもよい。

[0112]

酸化物 230a、酸化物 230b、酸化物 230c、および酸化物 230d を上述の構成とすることで、酸化物 230a と酸化物 230b との界面、酸化物 230b と酸化物 230c との界面、および酸化物 230c と酸化物 230d との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 200 は大きいオン電流、および高い周波数特性を得ることができる。

[0113]

なお、酸化物 230c は、トランジスタ 200 毎に設けてもよい。つまり、トランジスタ 200 の酸化物 230c と、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230c と、は、接しなくてもよい。また、トランジスタ 200 の酸化物 230c と、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230c と、を、離隔してもよい。別言すると、酸化物 230c が、トランジスタ 200 と、当該トランジスタ 200 に隣接するトランジスタ 200 との間に配置されない構成としてもよい。

[0114]

複数のトランジスタ 200 がチャンネル幅方向に配置されている半導体装置において、上記構成にすることで、トランジスタ 200 に酸化物 230c がそれぞれ独立して設けられる。よって、トランジスタ 200 と、当該トランジスタ 200 に隣接するトランジスタ 200 との間に、寄生トランジスタが生じるのを抑制し、上記リークパスが生じるのを抑制することができる。したがって、良好な電気特性を有し、かつ、微細化または高集積化が可能な半導体装置を提供することができる。

[0115]

例えば、トランジスタ 200 のチャンネル幅方向において、互いに向かい合う、トランジスタ 200 の酸化物 230c の側端部と、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230c の側端部との距離を L_1 として表すと、 L_1 を 0 nm よりも大きくする。また、トランジスタ 200 のチャンネル幅方向において、互いに向かい合う、トランジスタ 200 の酸化物 230a の側端部と、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230a の側端部との距離を L_2 として表すと、 L_2 に対する L_1 の比 (L_1/L_2) の値は、好ましくは 0 より大きく 1 未満、より好ましくは 0.1 以上 0.9 以下、さらに好ましくは 0.2 以上 0.8 以下である。なお、

L₂は、互いに向かい合う、トランジスタ200の酸化物230bの側端部と、当該トランジスタ200に隣接するトランジスタ200の酸化物230bの側端部との距離であってもよい。

[0116]

上記のL₂に対するL₁の比(L₁/L₂)を小さくすることで、酸化物230cが、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に配置されない領域の位置ずれが生じて、トランジスタ200の酸化物230cと、当該トランジスタ200に隣接するトランジスタ200の酸化物230cと、を、分離することができる。

[0117]

また、上記のL₂に対するL₁の比(L₁/L₂)を大きくすることで、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間隔を狭めても、最小加工寸法の幅を確保することができ、半導体装置のさらなる微細化または高集積化を図ることができる。

[0118]

なお、導電体260、絶縁体250のそれぞれは、隣接するトランジスタ200間で共通して用いられてもよい。つまり、トランジスタ200の導電体260は、当該トランジスタ200に隣接するトランジスタ200の導電体260と連続して設けられた領域を有する。また、トランジスタ200の絶縁体250は、当該トランジスタ200に隣接するトランジスタ200の絶縁体250と連続して設けられた領域を有する。

[0119]

また、上記構成とすることで、酸化物230dは、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に、絶縁体224に接する領域を有する。なお、トランジスタ200の酸化物230cおよび酸化物230dは、当該トランジスタ200に隣接するトランジスタ200の酸化物230cおよび酸化物230dと、それぞれ分離する構成にしてもよい。

[0120]

絶縁体211、絶縁体212、絶縁体214、絶縁体272、絶縁体273、絶縁体282、絶縁体283、絶縁体284、および絶縁体286は、水、水素などの不純物が、基板側から、または、トランジスタ200の上方からトランジスタ200に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体211、絶縁体212、絶縁体214、絶縁体272、絶縁体273、絶縁体282、絶縁体283、絶縁体284、および絶縁体286は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N₂O、NO、NO₂など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料を用いることが好ましい。

[0121]

例えば、絶縁体211、絶縁体212、絶縁体283、および絶縁体284として、窒化シリコンなどを用い、絶縁体214、絶縁体272、絶縁体273、および絶縁体282として、酸化アルミニウムなどを用いることが好ましい。これにより、水、水素などの不純物が絶縁体211、絶縁体212、および絶縁体214を介して、基板側からトランジスタ200側に拡散するのを抑制することができる。または、絶縁体224などに含まれる酸素が、絶縁体211、絶縁体212、および絶縁体214を介して基板側に、拡散するのを抑制することができる。また、水、水素などの不純物が絶縁体273よりも上方に配置されている絶縁体280、導電体246などから絶縁体

272および絶縁体273を介してトランジスタ200側に拡散するのを抑制することができる。この様に、トランジスタ200を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体211、絶縁体212、絶縁体214、絶縁体272、絶縁体273、絶縁体282、絶縁体283、および絶縁体284で取り囲む構造とすることが好ましい。

[0122]

また、絶縁体211、絶縁体284、および絶縁体286の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体211、絶縁体284、および絶縁体286の抵抗率を概略 $1 \times 10^{13} \Omega \text{ cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体211、絶縁体284、および絶縁体286が、導電体205、導電体242、導電体260、または導電体246のチャージアップを緩和することができる場合がある。絶縁体211、絶縁体284、および絶縁体286の抵抗率は、好ましくは、 $1 \times 10^{10} \Omega \text{ cm}$ 以上 $1 \times 10^{15} \Omega \text{ cm}$ 以下とする。

[0123]

なお、絶縁体211または絶縁体212は、必ずしも設けなくてもよく、絶縁体283または絶縁体284は、必ずしも設けなくてもよい。例えば、絶縁体212、および絶縁体284を、水素原子を含まない、または水素原子の含有量が少ない、化合物ガスを用いてCVD法により成膜する場合である。

[0124]

また、絶縁体216、および絶縁体280は、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体216、および絶縁体280として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

[0125]

導電体205は、第2のゲート電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200のしきい値電圧(V_{th})を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0126]

導電体205は、酸化物230、および導電体260と、重なるように配置する。また、導電体205は、絶縁体214または絶縁体216に埋め込まれて設けることが好ましい。

[0127]

なお、導電体205は、図2Aに示すように、酸化物230の導電体242aおよび導電体242bと重ならない領域の大きさよりも、大きく設けるとよい。特に、図2Cに示すように、導電体205は、酸化物230のチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第1のゲート電極として機能する導電体260の電界と、第2のゲート電極として機能する導電体205の電界によって、酸化物230のチャネル形成領域を電氣的に取り囲むことができる。

本明細書において、第1のゲート、および第2のゲートの電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、`surrounded channel` (`S-channel`) 構造とよぶ。

[0128]

なお、本明細書等において、`S-channel` 構造のトランジスタとは、一対のゲート電極の一方および他方の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を表す。また、本明細書等において、`S-channel` 構造は、ソース電極およびドレイン電極として機能する導電体242aおよび導電体242bに接する酸化物230の側面及び周辺が、チャネル形成領域と同じくI型であるといった特徴を有する。また、導電体242aおよび導電体242bに接する酸化物230の側面及び周辺は、絶縁体280と接しているため、チャネル形成領域と同様にI型となりうる。なお、本明細書等において、I型とは後述する高純度真性と同様として扱うことができる。また、本明細書等で開示する`S-channel` 構造は、`Fin`型構造およびプレーナ型構造とは異なる。`S-channel` 構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[0129]

また、図2Cに示すように、導電体205は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体205の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体205は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体205を複数のトランジスタで共有する構成にしてもよい。

[0130]

なお、トランジスタ200では、導電体205は、導電体205aと導電体205bとを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体205は、単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0131]

ここで、導電体205aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0132]

導電体205aに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体205bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体205aとしては、上記導電性材料を単層または積層とすればよい。例えば、導電体205aは、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムと、チタンまたは窒化チタンとの積層としてもよい。

[0133]

また、導電体205bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体205bを単層で図示したが、積層構造としてもよく、例えば、チタンまたは窒化チタンと、当該導電性材料との積層としてもよい。

[0134]

絶縁体222、および絶縁体224は、ゲート絶縁体として機能する。

[0135]

絶縁体222は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体222は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体222は、絶縁体224よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

[0136]

絶縁体222は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、酸化物230から基板側への酸素の放出や、トランジスタ200の周辺部から酸化物230への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体222を設けることで、水素等の不純物が、トランジスタ200の内側へ拡散することを抑制し、酸化物230中の酸素欠損の生成を抑制することができる。また、導電体205が、絶縁体224や、酸化物230が有する酸素と反応することを抑制することができる。

[0137]

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体222は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0138]

また、絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ SrTiO_3 ）、（Ba, Sr） TiO_3 （BST）などのいわゆるh i g h - k材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0139]

酸化物230と接する絶縁体224は、加熱により酸素を脱離することが好ましい。例えば、絶縁体224は、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、トランジスタ200の信頼性を向上させることができる。

[0140]

絶縁体224として、具体的には、加熱により一部の酸素が脱離する酸化物材料、別言すると、過剰酸素領域を有する絶縁体材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、ま

たは $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0141]

また、上記過剰酸素領域を有する絶縁体と、酸化物 230 と、を接して加熱処理、マイクロ波処理、または RF 処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物 230 中の水、または水素を除去することができる。例えば、酸化物 230 において、酸素欠損に水素が入った欠陥 ($\text{V}_\text{O}\text{H}$) の結合が切断される反応が起きる、別言すると「 $\text{V}_\text{O}\text{H} \rightarrow \text{V}_\text{O} + \text{H}$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物 230、または酸化物 230 近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体 242 に拡散または捕獲（ゲッターリングともいう）される場合がある。

[0142]

上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側に RF を印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側に RF を印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物 230、または酸化物 230 近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を 133 Pa 以上、好ましくは 200 Pa 以上、さらに好ましくは 400 Pa 以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比 ($\text{O}_2 / (\text{O}_2 + \text{Ar})$) が 50% 以下、好ましくは 10% 以上 30% 以下で行うとよい。

[0143]

また、トランジスタ 200 の作製工程中において、酸化物 230 の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、 100°C 以上 450°C 以下、より好ましくは 350°C 以上 400°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、 1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物 230 に酸素を供給して、酸素欠損 (V_O) の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気で行ってもよい。または、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気で行った後に、連続して窒素ガスもしくは不活性ガスの雰囲気で行った加熱処理を行ってもよい。

[0144]

なお、酸化物 230 に加酸素化処理を行うことで、酸化物 230 中の酸素欠損を、供給された酸素により修復させる、別言すると「 $\text{V}_\text{O} + \text{O} \rightarrow \text{null}$ 」という反応を促進させることができる。さらに、酸化物 230 中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物 230 中に残存していた水素が酸素欠損に再結合して $\text{V}_\text{O}\text{H}$ が形成されるのを抑制することができる。

[0145]

なお、絶縁体 222、および絶縁体 224 が、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0146]

酸化物243（酸化物243a、および酸化物243b）を、酸化物230b上に設けてもよい。

[0147]

酸化物243（酸化物243a、および酸化物243b）は、酸素の透過を抑制する機能を有することが好ましい。ソース電極やドレイン電極として機能する導電体242と酸化物230bとの間に酸素の透過を抑制する機能を有する酸化物243を配置することで、導電体242と、酸化物230bとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ200の電気特性およびトランジスタ200の信頼性を向上させることができる。なお、導電体242と酸化物230bの間の電気抵抗を十分低減できる場合、酸化物243を設けない構成にしてもよい。

[0148]

酸化物243として、元素Mを有する金属酸化物を用いてもよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。酸化物243は、酸化物230bよりも元素Mの濃度が高いことが好ましい。また、酸化物243として、酸化ガリウムを用いてもよい。また、酸化物243として、 I_n-M-Z_n 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物243に用いる金属酸化物において、 I_n に対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、 I_n に対する元素Mの原子数比より大きいことが好ましい。また、酸化物243の膜厚は、0.5nm以上5nm以下が好ましく、より好ましくは1nm以上3nm以下、さらに好ましくは1nm以上2nm以下である。また、酸化物243は、結晶性を有すると好ましい。酸化物243が結晶性を有する場合、酸化物230中の酸素の放出を好適に抑制することが出来る。例えば、酸化物243としては、六方晶などの結晶構造であれば、酸化物230中の酸素の放出を抑制できる場合がある。

[0149]

導電体242aは酸化物243a上に設けられ、導電体242bは、酸化物243b上に設けられる。導電体242aおよび導電体242bは、それぞれトランジスタ200のソース電極またはドレイン電極として機能する。

[0150]

導電体242（導電体242a、および導電体242b）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0151]

なお、酸化物243を設けない場合、導電体242と、酸化物230bまたは酸化物230cとが接することで、酸化物230bまたは酸化物230c中の酸素が導電体242へ拡散し、導電体242が酸化することがある。導電体242が酸化することで、導電体242の導電率が低下する蓋然性が高い。なお、酸化物230bまたは酸化物230c中の酸素が導電体242へ拡散することを、導電体242が酸化物230bまたは酸化物230c中の酸素を吸収する、と言い換えるこ

とができる。

[0152]

また、酸化物230bまたは酸化物230c中の酸素が導電体242aおよび導電体242bへ拡散することで、導電体242aと酸化物230bとの間、および、導電体242bと酸化物230bとの間、または、導電体242aと酸化物230cとの間、および、導電体242bと酸化物230cとの間に層が形成される場合がある。当該層は、導電体242aまたは導電体242bよりも酸素を多く含むため、当該層は絶縁性を有すると推定される。このとき、導電体242aまたは導電体242bと、当該層と、酸化物230bまたは酸化物230cとの3層構造は、金属―絶縁体―半導体からなる3層構造とみなすことができ、MIS (Metal-Insulator-Semiconductor) 構造、またはMIS構造を主としたダイオード接合構造とみることができる。

[0153]

なお、酸化物230b、酸化物230cなどに含まれる水素が、導電体242aまたは導電体242bに拡散する場合がある。特に、導電体242aおよび導電体242bに、タンタルを含む窒化物を用いることで、酸化物230b、酸化物230cなどに含まれる水素は、導電体242aまたは導電体242bに拡散しやすく、拡散した水素は、導電体242aまたは導電体242bが有する窒素と結合することがある。つまり、酸化物230b、酸化物230cなどに含まれる水素は、導電体240aまたは導電体242bに吸い取られる場合がある。

[0154]

また、導電体242の側面と導電体242の上面との間に、湾曲面を有する場合がある。つまり、側面の端部と上面の端部は、湾曲している場合がある。湾曲面は、例えば、導電体242の端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0155]

絶縁体272は、導電体242の上面および側面を覆って設けられており、バリア層として機能することが好ましい。当該構成にすることで、導電体242による、絶縁体280が有する過剰酸素の吸収を抑制することができる。また、導電体242の酸化を抑制することで、トランジスタ200と配線とのコンタクト抵抗の増加を抑制することができる。よって、トランジスタ200に良好な電気特性および信頼性を与えることができる。

[0156]

したがって、絶縁体272は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体272は、絶縁体280よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体272としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。また、絶縁体272としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。

[0157]

また、絶縁体272形成時に絶縁体224に酸素を供給することができる場合がある。絶縁体224に供給された酸素は、絶縁体272および絶縁体273によって、絶縁体224が封止されるので、外方へ拡散することを抑制し、酸化物230へ効率良く供給することができる。また、絶縁体224中の水素が絶縁体273に吸収される場合があり、好ましい。

[0158]

なお、絶縁体272、および絶縁体273を設けず、導電体242の上面と絶縁体280との間に、バリア層として機能する絶縁体を設けてもよい。当該構成にすることで、導電体242による、絶縁体280が有する過剰酸素の吸収を抑制することができる。また、導電体242の酸化を抑制することで、トランジスタ200と配線とのコンタクト抵抗の増加を抑制することができる。よって、トランジスタ200に良好な電気特性および信頼性を与えることができる。

[0159]

したがって、上記絶縁体は、酸素の拡散を抑制する機能を有することが好ましい。例えば、上記絶縁体は、絶縁体280よりも酸素の拡散を抑制する機能を有することが好ましい。

[0160]

上記絶縁体としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。特に、原子層堆積（ALD: Atomic Layer Deposition）法により酸化アルミニウムを成膜するとよい。ALD法を用いて形成することで、緻密な、クラックやピンホールなどの欠陥が低減された、または均一な厚さを備える膜を形成することができる。また、上記絶縁体としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。

[0161]

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、酸化物230cの少なくとも一部に接して配置することが好ましい。絶縁体250は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0162]

絶縁体250は、絶縁体224と同様に、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの上面に接して設けることにより、酸化物230bのチャネル形成領域に効果的に酸素を供給し、酸化物230bのチャネル形成領域の酸素欠損を低減することができる。したがって、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。また、絶縁体224と同様に、絶縁体250中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

[0163]

なお、図2Bおよび図2Cでは、絶縁体250を単層で図示したが、2層以上の積層構造としてもよい。絶縁体250を2層の積層構造とする場合、絶縁体250の下層は、加熱により酸素が放出される絶縁体を用いて形成し、絶縁体250の上層は、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体250の下層に含まれる酸素が、導電体260へ拡散するのを抑制することができる。つまり、酸化物230へ供給する酸素量の減少を抑制することができる。また、絶縁体250の下層に含まれる酸素による導電体260の酸化を抑制することができる。例えば、絶縁体250の下層は、上述した絶縁体250に用いることができる材料を用いて設け、絶縁体250の上層は、絶縁体222と同様の材料を用いて設けることができる。

[0164]

なお、絶縁体 250 の下層に酸化シリコンや酸化窒化シリコンなどを用いる場合、絶縁体 250 の上層は、比誘電率が高い *high-k* 材料である絶縁性材料を用いてもよい。ゲート絶縁体を、絶縁体 250 の下層と絶縁体 250 の上層との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚 (EOT) の薄膜化が可能となる。

[0165]

絶縁体 250 の上層として、具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、マグネシウムなどから選ばれた一種、もしくは二種以上が含まれた金属酸化物、または酸化物 230 として用いることができる金属酸化物を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いることが好ましい。

[0166]

また、絶縁体 250 と導電体 260 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 250 から導電体 260 への酸素の拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 250 から導電体 260 への酸素の拡散が抑制される。つまり、酸化物 230 へ供給する酸素量の減少を抑制することができる。また、絶縁体 250 の酸素による導電体 260 の酸化を抑制することができる。

[0167]

なお、上記金属酸化物は、第 1 のゲート電極の一部としての機能を有することが好ましい。例えば、酸化物 230 として用いることができる金属酸化物を、上記金属酸化物として用いることができる。その場合、導電体 260 a をスパッタリング法で成膜することで、上記金属酸化物の電気抵抗値を低下させて導電体とすることができる。これを OC (Oxide Conductor) 電極と呼ぶことができる。

[0168]

上記金属酸化物を有することで、導電体 260 からの電界の影響を弱めることなく、トランジスタ 200 のオン電流の向上を図ることができる。また、絶縁体 250 と、上記金属酸化物との物理的な厚みにより、導電体 260 と、酸化物 230 との間の距離を保つことで、導電体 260 と酸化物 230 との間のリーク電流を抑制することができる。また、絶縁体 250、および上記金属酸化物との積層構造を設けることで、導電体 260 と酸化物 230 との間の物理的な距離、および導電体 260 から酸化物 230 へかかる電界強度を、容易に適宜調整することができる。

[0169]

導電体 260 は、トランジスタ 200 の第 1 のゲート電極として機能する。導電体 260 は、導電体 260 a と、導電体 260 a の上に配置された導電体 260 b と、を有することが好ましい。例えば、導電体 260 a は、導電体 260 b の底面および側面を包むように配置されることが好ましい。また、図 2 B および図 2 C に示すように、導電体 260 の上面は、絶縁体 250 の上面および酸化物 230 c の上面と略一致している。なお、図 2 B および図 2 C では、導電体 260 は、導電体 260 a と導電体 260 b の 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

[0170]

導電体 260a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0171]

また、導電体 260a が酸素の拡散を抑制する機能を持つことにより、絶縁体 250 に含まれる酸素により、導電体 260b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[0172]

また、導電体 260 は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体 260b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 260b は積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構造としてもよい。

[0173]

また、トランジスタ 200 では、導電体 260 は、絶縁体 280 などに形成されている開口を埋めるように自己整合的に形成される。導電体 260 をこのように形成することにより、導電体 242a と導電体 242b との間の領域に、導電体 260 を位置合わせすることなく確実に配置することができる。

[0174]

また、図 2C に示すように、トランジスタ 200 のチャネル幅方向において、絶縁体 222 の底面を基準としたときの、導電体 260 の、導電体 260 と酸化物 230b とが重ならない領域の底面の高さは、酸化物 230b の底面の高さより低いことが好ましい。ゲート電極として機能する導電体 260 が、絶縁体 250 などを介して、酸化物 230b のチャネル形成領域の側面および上面を覆う構成とすることで、導電体 260 の電界を酸化物 230b のチャネル形成領域全体に作用させやすくなる。よって、トランジスタ 200 のオン電流を増大させ、周波数特性を向上させることができる。絶縁体 222 の底面を基準としたときの、酸化物 230a および酸化物 230b と、導電体 260 とが、重ならない領域における導電体 260 の底面の高さと、酸化物 230b の底面の高さと、の差は、0nm 以上 100nm 以下、好ましくは、3nm 以上 50nm 以下、より好ましくは、5nm 以上 20nm 以下とする。

[0175]

絶縁体 280 は、絶縁体 224、酸化物 230、導電体 242、および絶縁体 273 上に設けられる。また、絶縁体 280 の上面は、平坦化されていてもよい。

[0176]

層間膜として機能する絶縁体 280 は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体 280 は、例えば、絶縁体 216 と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0177]

また、絶縁体280中の水、水素などの不純物濃度は低減されていることが好ましい。また、絶縁体280は、水素濃度が低く、過剰酸素領域または過剰酸素を有することが好ましく、例えば、絶縁体216と同様の材料を用いて設けてもよい。また、絶縁体280は、上記の材料が積層された構造でもよく、例えば、スパッタリング法で成膜した酸化シリコンと、その上に積層された化学気相成長（CVD：Chemical Vapor Deposition）法で成膜された酸化窒化シリコンの積層構造とすればよい。また、さらに上に窒化シリコンを積層してもよい。

[0178]

絶縁体282または絶縁体283は、水、水素などの不純物が、上方から絶縁体280に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。また、絶縁体282または絶縁体283は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体282および絶縁体283としては、例えば、酸化アルミニウム、窒化シリコン、窒化酸化シリコンなどの絶縁体を用いればよい。例えば、絶縁体282として、酸素に対してブロッキング性が高い酸化アルミニウムを用い、絶縁体283として、水素に対してブロッキング性が高い窒化シリコンを用いればよい。

[0179]

導電体240aおよび導電体240bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240aおよび導電体240bは積層構造としてもよい。

[0180]

また、導電体240を積層構造とする場合、絶縁体284、絶縁体283、絶縁体282、絶縁体280、絶縁体273、および絶縁体272と接する導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体280に添加された酸素が導電体240aおよび導電体240bに吸収されるのを防ぐことができる。また、絶縁体284より上層に含まれる水、水素などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。

[0181]

絶縁体241aおよび絶縁体241bとしては、例えば、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体241aおよび絶縁体241bは、絶縁体273および絶縁体272に接して設けられるので、絶縁体280などに含まれる水、水素などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体280に含まれる酸素が導電体240aおよび導電体240bに吸収されるのを防ぐことができる。

[0182]

また、導電体240aの上面、および導電体240bの上面に接して配線として機能する導電体246（導電体246a、および導電体246b）を配置してもよい。導電体246は、タングス

テン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0183]

絶縁体286は、導電体246上、および絶縁体284上に設けられる。これにより、導電体246の上面、および導電体246の側面は、絶縁体286と接し、導電体246の下面は、絶縁体284と接する。つまり、導電体246は、絶縁体284、および絶縁体286で包まれる構成とすることができる。この様な構成とすることで、外方からの酸素の透過を抑制し、導電体246の酸化を防止することができる。また、導電体246から、水、水素などの不純物が外部に拡散することを防ぐことができるので好ましい。

[0184]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0185]

<<基板>>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0186]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0187]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0188]

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、ア

ルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

[0189]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

[0190]

また、金属酸化物を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

[0191]

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

[0192]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0193]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素

を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0194]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0195]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0196]

<<金属酸化物>>

酸化物230として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

[0197]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0198]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有する $In-M-Zn$ 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0199]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxyn

i t r i d e) と呼称してもよい。

[0200]

[金属酸化物の構造]

酸化物半導体（金属酸化物）は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、および非晶質酸化物半導体などがある。

[0201]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0202]

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、In-Ga-Zn酸化物（以下、IGZO）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

[0203]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0204]

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0205]

また、上述の酸化物半導体以外として、CAC (Cloud-Aligned Composite)-OSを用いてもよい。

[0206]

CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OS又はCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能 (On/Offさせる機能) をCAC-OS又はCAC-metal oxideに付与することができる。CAC-OS又はCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0207]

また、CAC-OS又はCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0208]

また、CAC-OS又はCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5 nm以上10 nm以下、好ましくは0.5 nm以上3 nm以下のサイズで材料中に分散している場合がある。

[0209]

また、CAC-OS又はCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OS又はCAC-metal oxide、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OS又はCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0210]

すなわち、CAC-OS又はCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

[0211]

また、酸化物半導体は、結晶構造に着目した場合、上記とは異なる分類となる場合がある。ここで、酸化物半導体における、結晶構造の分類について、図5Aを用いて説明を行う。図5Aは、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

[0212]

図5Aに示すように、IGZOは、大きく分けてAmorphous(無定形)と、Crystalline(結晶性)と、Crystal(結晶)と、に分類される。また、Amorphousの中には、completely amorphousが含まれる。また、Crystallineの中には、CAAC(c-axis aligned crystalline)、nc(nanocrystalline)、及びCAC(Cloud-Aligned Composite)が含まれる。なお、Crystallineの分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる。また、Crystalの中には、single crystal、及びpoly crystalが含まれる。

[0213]

なお、図5Aに示す太枠内の構造は、Amorphous(無定形)と、Crystal(結晶)

との間の中間状態であり、新しい境界領域 (New crystalline phase) に属する構造である。当該構造は、Amorphousと、Crystalとの間の境界領域にある。すなわち、当該構造は、エネルギー的に不安定なAmorphous (無定形) や、Crystal (結晶) とは全く異なる構造と言い換えることができる。

[0214]

なお、膜または基板の結晶構造は、X線回折 (XRD: X-Ray Diffraction) 像を用いて評価することができる。ここで、石英ガラス、及びCrystallineに分類される結晶構造を有するIGZO (結晶性IGZOともいう。) のXRDスペクトルを図5B、図5Cに示す。また、図5Bが石英ガラス、図5Cが結晶性IGZOのXRDスペクトルである。なお、図5Cに示す結晶性IGZOの組成は、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比] 近傍である。また、図5Cに示す結晶性IGZOの厚さは、500nmである。

[0215]

図5Bの矢印に示すように、石英ガラスは、XRDスペクトルのピークの形状がほぼ左右対称である。一方で、図5Cの矢印に示すように、結晶性IGZOは、XRDスペクトルのピークの形状が左右非対称である。XRDスペクトルのピークの形状が左右非対称であることは、結晶の存在を明示している。別言すると、XRDスペクトルのピークの形状で左右対称でないと、Amorphousであるとは言えない。なお、図5Cには、 $2\theta=31^\circ$ 、またはその近傍に結晶相 (IGZO crystal phase) を明記してある。XRDスペクトルのピークにおいて、形状が左右非対称となる由来は当該結晶相 (微結晶) に起因すると推定される。

[0216]

具体的には、図5Cに示す、結晶性IGZOのXRDスペクトルにおいて、 $2\theta=34^\circ$ またはその近傍にピークを有する。また、微結晶は、 $2\theta=31^\circ$ またはその近傍にピークを有する。酸化物半導体膜をX線回折像を用いて評価する場合、図5Cに示すように、 $2\theta=34^\circ$ またはその近傍のピークよりも低角度側のスペクトルの幅が広くなる。これは、酸化物半導体膜中に、 $2\theta=31^\circ$ またはその近傍にピークを有する微結晶が内在することを示唆している。

[0217]

また、膜の結晶構造は、極微電子線回折法 (NBED: Nano Beam Electron Diffraction) によって観察される回折パターン (極微電子線回折パターンともいう。) にて評価することができる。基板温度を室温として成膜したIGZO膜の回折パターンを図5Dに示す。なお、図5Dに示すIGZO膜は、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] である酸化物ターゲットを用いて、スパッタリング法によって成膜される。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われた。

[0218]

図5Dに示すように、室温成膜したIGZO膜の回折パターンでは、ハローではなく、スポット状のパターンが観察される。このため、室温成膜したIGZO膜は、結晶状態でもなく、非晶質状態でもない、中間状態であり、非晶質状態であると結論することはできないと推定される。

[0219]

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

[0220]

酸化物半導体に不純物が混入すると、欠陥準位または酸素欠損が形成される場合がある。よって、酸化物半導体のチャネル形成領域に不純物が混入することで、酸化物半導体を用いたトランジスタの電気特性が変動しやすく、信頼性が悪くなる場合がある。また、チャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。

[0221]

金属酸化物を用いたトランジスタは、金属酸化物中の不純物及び酸素欠損によって、その電気特性が変動し、ノーマリーオン特性となりやすい。また、金属酸化物中に、適量値を超えた過剰な酸素を有した状態で、該トランジスタを駆動した場合、過剰な酸素原子の価数が変化し、該トランジスタの電気特性が変動することで、信頼性が悪くなる場合がある。

[0222]

したがって、トランジスタには、キャリア濃度の低い金属酸化物をチャネル形成領域に用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、本明細書等においては、チャネル形成領域の金属酸化物のキャリア濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下の場合を実質的に高純度真性として定義する。

[0223]

また、チャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0224]

なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、金属酸化物中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合し $\text{V}_\text{O}\text{H}$ を形成する場合がある。酸素欠損に水素が入った欠陥 ($\text{V}_\text{O}\text{H}$) はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界などのストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

[0225]

本発明の一態様においては、酸化物 230 中の $\text{V}_\text{O}\text{H}$ をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、 $\text{V}_\text{O}\text{H}$ が十分低減された金属酸化物を得るには、金属酸化物中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する

場合がある。)が重要である。V_oHなどの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0226]

酸素欠損に水素が入った欠陥(V_oH)は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。また、本明細書等に記載の「キャリア濃度」は、「キャリア密度」と言い換えることができる。

[0227]

よって、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0228]

また、上記欠陥準位には、トラップ準位が含まれる場合がある。金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

[0229]

また、酸化物半導体のチャネル形成領域に不純物が存在すると、チャネル形成領域の結晶性が低くなる場合がある、また、チャネル形成領域に接して設けられる酸化物の結晶性が低くなる場合がある。チャネル形成領域の結晶性が低いと、トランジスタの安定性または信頼性が悪化する傾向がある。また、チャネル形成領域に接して設けられる酸化物の結晶性が低いと、界面準位が形成され、トランジスタの安定性または信頼性が悪化する場合がある。

[0230]

したがって、トランジスタの安定性または信頼性を向上させるには、酸化物半導体のチャネル形成領域およびその近傍の不純物濃度を低減することが有効である。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0231]

具体的には、当該酸化物半導体のチャネル形成領域およびその近傍において、SIMSにより得られる上記不純物の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。または、当該酸化物半導体のチャネル形成領域およびその近傍において、EDXを用いた元素分析により得られる上記不純物の濃度を、1.0 atomic %以下にする。なお、当該酸化物半導体として元素Mを含む酸化物を用いる場合、当該酸化物半導体のチャネル形成領域およびその近傍において、元素Mに対する上記不純物の濃度比を、0.10未満、好ましく

は0.05未満にする。ここで、上記濃度比を算出する際に用いる元素Mの濃度は、上記不純物の濃度を算出した領域と同じ領域の濃度でもよいし、当該酸化物半導体中の濃度でもよい。

[0232]

また、不純物濃度を低減した金属酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0233]

また、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネル形成領域に不純物および酸素欠損が存在すると、当該酸化物半導体が低抵抗化する場合がある。また、電気特性が変動しやすく、信頼性が悪くなる場合がある。

[0234]

例えば、シリコンは、酸素との結合エネルギーが、インジウムおよび亜鉛よりも大きい。例えば、酸化物半導体としてIn-M-Zn酸化物を用いる場合、当該酸化物半導体にシリコンが混入すると、当該酸化物半導体に含まれる酸素がシリコンに奪われることによって、インジウムまたは亜鉛の近傍に酸素欠損が形成される場合がある。

[0235]

チャネル形成領域に酸化物半導体を用いたトランジスタにおいては、チャネル形成領域に低抵抗領域が形成されると、当該低抵抗領域にトランジスタのソース電極とドレイン電極との間のリーク電流（寄生チャネル）が発生しやすい。また、当該寄生チャネルによって、トランジスタのノーマリーオン化、リーク電流の増大、ストレス印加によるしきい値電圧の変動（シフト）など、トランジスタの特性不良が起こりやすくなる。また、トランジスタの加工精度が低いと、当該寄生チャネルの状態がトランジスタ毎にばらつくことで、トランジスタ特性にばらつきが生じてしまう。

[0236]

したがって、酸化物半導体のチャネル形成領域およびその近傍において、当該不純物および酸素欠損はできる限り低減されていることが好ましい。

[0237]

<<その他の半導体材料>>

酸化物230に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物230として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

[0238]

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0239]

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カル

コゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

[0240]

酸化物230として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物230として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデントテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステントテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0241]

<半導体装置の変形例>

以下では、図6A乃至図6D、および図7A乃至図7Dを用いて、本発明の一態様である半導体装置の一例について説明する。

[0242]

図6Aおよび図7Aは半導体装置の上面図を示す。また、図6Bおよび図7Bは、図6Aおよび図7AにA1-A2の一点鎖線で示す部位に対応する断面図である。また、図6Cおよび図7Cは、図6Aおよび図7AにA3-A4の一点鎖線で示す部位に対応する断面図である。また、図6Dおよび図7Dは、図6Aおよび図7AにA5-A6の一点鎖線で示す部位に対応する断面図である。図6Aおよび図7Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0243]

なお、図6A乃至図6Dおよび図7A乃至図7Dに示す半導体装置において、<半導体装置の構成例>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成材料については<半導体装置の構成例>で詳細に説明した材料を用いることができる。

[0244]

<<半導体装置の変形例1>>

図6A乃至図6Dに示す半導体装置は、図2A乃至図2Dに示した半導体装置の変形例である。図6A乃至図6Dに示す半導体装置は、図2A乃至図2Dに示した半導体装置とは、絶縁体283、および絶縁体284の形状が異なる。また、絶縁体274、および絶縁体287を有することが異なる。

[0245]

図6A乃至図6Dに示す半導体装置では、絶縁体212、絶縁体214、絶縁体216、絶縁体222、絶縁体224、絶縁体272、絶縁体273、絶縁体280、および絶縁体282がパターンニングされており、絶縁体212、絶縁体214、絶縁体216、絶縁体222、絶縁体224、絶縁体272、絶縁体273、絶縁体280、および絶縁体282の側面に接して、絶縁体287が設けられる。また、絶縁体283、および絶縁体284は、絶縁体212、絶縁体214、絶縁体216、絶縁体222、絶縁体224、絶縁体272、絶縁体273、絶縁体280、絶縁体282、および絶縁体287を覆う構造になっている。つまり、絶縁体283は、絶縁体282の上

面と、絶縁体 2 8 7 の上面および側面と、絶縁体 2 1 1 の上面に接し、絶縁体 2 8 4 は、絶縁体 2 8 3 の上面および側面に接する。これにより、酸化物 2 3 0 などを含む、絶縁体 2 1 4、絶縁体 2 1 6、絶縁体 2 2 2、絶縁体 2 2 4、絶縁体 2 7 2、絶縁体 2 7 3、絶縁体 2 8 0、絶縁体 2 8 2、および絶縁体 2 8 7 は、絶縁体 2 8 3 および絶縁体 2 8 4 と、絶縁体 2 1 1 とによって、外部から隔離される。別言すると、トランジスタ 2 0 0 は、絶縁体 2 8 3 および絶縁体 2 8 4 と絶縁体 2 1 1 とで封止された領域内に配置される。

[0 2 4 6]

例えば、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 7、および絶縁体 2 8 2 を、水素を捕獲および水素を固着する機能を有する材料を用いて形成し、絶縁体 2 1 1、絶縁体 2 8 3、および絶縁体 2 8 4 を水素および酸素に対する拡散を抑制する機能を有する材料を用いて形成すると好ましい。代表的には、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 7、および絶縁体 2 8 2 としては、酸化アルミニウムを用いることができる。また、代表的には、絶縁体 2 1 1、絶縁体 2 8 3、および絶縁体 2 8 4 としては、窒化シリコンを用いることができる。

[0 2 4 7]

上記構成にすることで、上記封止された領域外に含まれる水素が、上記封止された領域内に混入することを抑制することができる。

[0 2 4 8]

また、図 6 A 乃至図 6 D に示すトランジスタ 2 0 0 では、絶縁体 2 1 1、絶縁体 2 8 3、および絶縁体 2 8 4 を、単層として設ける構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体 2 1 1、絶縁体 2 8 3、および絶縁体 2 8 4 のそれぞれを 2 層以上の積層構造として設ける構成にしてもよい。

[0 2 4 9]

絶縁体 2 7 4 は、層間膜として機能する。絶縁体 2 7 4 は、絶縁体 2 1 4 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体 2 7 4 は、例えば、絶縁体 2 8 0 と同様の材料を用いて設けることができる。

[0 2 5 0]

<<半導体装置の変形例 2>>

図 7 A 乃至図 7 D に示す半導体装置は、図 6 A 乃至図 6 D に示した半導体装置の変形例である。図 7 A 乃至図 7 D に示す半導体装置は、図 6 A 乃至図 6 D に示した半導体装置とは、酸化物 2 3 0 b の代わりに、酸化物 2 4 3 a の下に酸化物 2 3 0 b 1 が設けられ、酸化物 2 4 3 b の下に酸化物 2 3 0 b 2 が設けられる点において異なる。これにより、図 7 に示すトランジスタ 2 0 0 では、酸化物 2 3 0 c の下面が酸化物 2 3 0 a の上面に接する。また、酸化物 2 3 0 c の側面は、酸化物 2 3 0 b 1、酸化物 2 3 0 b 2、酸化物 2 4 3 a、酸化物 2 4 3 b、導電体 2 4 2 a、および導電体 2 4 2 b に接する。

[0 2 5 1]

後述するトランジスタ 2 0 0 の作製方法において、絶縁体 2 8 0 等に導電体 2 6 0 等を埋め込む開口を設けるときの、酸化物 2 3 0 b にも開口を形成することで、酸化物 2 3 0 b 1、および酸化物 2 3 0 b 2 を形成することができる。よって、酸化物 2 3 0 b 1、および酸化物 2 3 0 b 2 は、酸化物 2 3 0 b と同様の材料を用いて形成することができる。

[0 2 5 2]

このような構成にすることで、上記の開口工程において形成される、酸化物 230b の損傷領域を除去することができる。これにより、酸化物 230b の損傷領域に生じる結晶性の低い構造や、アルミニウムなどの不純物の影響を受けることなく、トランジスタ 200 を作製することができる。よって、トランジスタ特性のばらつきの少ない半導体装置を提供することができる。

[0253]

<半導体装置の作製方法>

次に、図 6A 乃至図 6D に示す、本発明の一態様である半導体装置の作製方法を、図 8A 乃至図 25A、図 8B 乃至図 25B、図 8C 乃至図 25C、および図 8D 乃至図 25D を用いて説明する。

[0254]

図 8A 乃至図 25A は上面図を示す。また、図 8B 乃至図 25B は、図 8A 乃至図 25A に A1-A2 の一点鎖線で示す部位に対応する断面図であり、トランジスタ 200 のチャネル長方向の断面図でもある。また、図 8C 乃至図 25C は、図 8A 乃至図 25A に A3-A4 の一点鎖線で示す部位に対応する断面図であり、トランジスタ 200 のチャネル幅方向の断面図でもある。また、図 8D 乃至図 25D は、図 8A 乃至図 25A に A5-A6 の一点鎖線で示す部位の断面図である。なお、図 8A 乃至図 25A の上面図では、図の明瞭化のために一部の要素を省いている。

[0255]

まず、基板（図示しない。）を準備し、当該基板上に絶縁体 211 を成膜する。絶縁体 211 の成膜は、スパッタリング法、CVD 法、分子線エピタキシー（MBE: Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD: Pulsed Laser Deposition）法、ALD 法などを用いて行うことができる。

[0256]

なお、CVD 法は、プラズマを利用するプラズマ CVD（PECVD: Plasma Enhanced CVD）法、熱を利用する熱 CVD（TCVD: Thermal CVD）法、光を利用する光 CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属 CVD（MCVD: Metal CVD）法、有機金属 CVD（MOCVD: Metal Organic CVD）法に分けることができる。

[0257]

プラズマ CVD 法は、比較的低温で高品質の膜が得られる。また、熱 CVD 法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱 CVD 法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱 CVD 法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0258]

また、ALD 法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱 ALD（Thermal ALD）法、プラズマ励起されたリアクタントを用いる PEALD（Plasma Enhanced ALD）法などを用いることができる。

[0259]

また、ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。PEALD (Plasma Enhanced ALD) 法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy) を用いて行うことができる。

[0260]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0261]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0262]

本実施の形態では、絶縁体211として、CVD法によって窒化シリコンを成膜する。

[0263]

次に、絶縁体211上に絶縁体212を成膜する。絶縁体212の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体212として、スパッタリング法によって窒化シリコンを成膜する。

[0264]

このように、絶縁体211、および絶縁体212として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、絶縁体211より下層（図示せず。）の導電体に銅など拡散しやすい金属を用いても、当該金属が絶縁体211、および絶縁体212を介して上方に拡散するのを抑制することができる。また、窒化シリコンのように水、水素などの不純物が透過しにくい絶縁体を用いることにより、絶縁体211より下層に含まれる水、水素などの不純物の拡散を抑制することができる。

[0265]

次に、絶縁体212上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶

縁体 2 1 4 として、酸化アルミニウムを用いる。

[0266]

絶縁体 2 1 2 の水素濃度は、絶縁体 2 1 1 の水素濃度より低く、絶縁体 2 1 4 の水素濃度は、絶縁体 2 1 2 の水素濃度より低いことが好ましい。絶縁体 2 1 2 としてスパッタリング法によって窒化シリコンを成膜することで、CVD法によって窒化シリコンを成膜する絶縁体 2 1 1 よりも水素濃度が低い窒化シリコンを形成することができる。また、絶縁体 2 1 4 を酸化アルミニウムとすることで、絶縁体 2 1 2 よりも水素濃度を低くすることができる。

[0267]

この後の工程にて絶縁体 2 1 4 上に、トランジスタ 2 0 0 を形成するが、トランジスタ 2 0 0 に近接する膜は、水素濃度が比較的低いことが好ましく、水素濃度が比較的高い膜は、トランジスタ 2 0 0 から遠隔して配置することが好ましい。

[0268]

次に、絶縁体 2 1 4 上に絶縁体 2 1 6 を成膜する。絶縁体 2 1 6 の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体 2 1 6 として、酸化シリコンまたは酸化窒化シリコンを用いる。また、絶縁体 2 1 6 は、水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁体 2 1 6 の水素濃度を低減することができる。

[0269]

次に、絶縁体 2 1 6 に絶縁体 2 1 4 に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体 2 1 4 は、絶縁体 2 1 6 をエッチングして溝を形成する際のエッチングストッパ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体 2 1 6 に酸化シリコンまたは酸化窒化シリコンを用いた場合は、絶縁体 2 1 4 は窒化シリコン、酸化アルミニウム、酸化ハフニウムを用いるとよい。

[0270]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

[0271]

開口の形成後に、導電体 2 0 5 a となる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。または、酸素の透過を抑制する機能を有する導電体と、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜

とすることができる。該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0272]

本実施の形態では、導電体205aとなる導電膜を多層構造とする。まず、スパッタリング法によって窒化タンタルを成膜し、当該窒化タンタルの上に窒化チタンを積層する。このような金属窒化物を導電体205bの下層に用いることにより、後述する導電体205bとなる導電膜として銅などの拡散しやすい金属を用いても、当該金属が導電体205aから外に拡散するのを防ぐことができる。

[0273]

次に、導電体205bとなる導電膜を成膜する。該導電膜の成膜は、メッキ法、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、導電体205bとなる導電膜として、銅などの低抵抗導電性材料を成膜する。

[0274]

次に、CMP処理を行うことで、導電体205aとなる導電膜、および導電体205bとなる導電膜の一部を除去し、絶縁体216を露出する。その結果、開口部のみに、導電体205aおよび導電体205bが残存する。これにより、上面が平坦な、導電体205を形成することができる（図8A乃至図8D参照。）。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

[0275]

なお、上記においては、導電体205を絶縁体216の開口に埋め込むように形成したが、本実施の形態はこれに限られるものではない。例えば、絶縁体214上に導電体205を形成し、導電体205上に絶縁体216を成膜し、絶縁体216にCMP処理を行うことで、絶縁体216の一部を除去し、導電体205の表面を露出させればよい。

[0276]

次に、絶縁体216、および導電体205上に絶縁体222を成膜する。絶縁体222として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水が、絶縁体222を通じてトランジスタ200の内側へ拡散することが抑制され、酸化物230中の酸素欠損の生成を抑制することができる。

[0277]

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0278]

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、も

しくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

[0279]

本実施の形態では、加熱処理として、絶縁体222の成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁体222に含まれる水、水素などの不純物を除去することなどができる。また、加熱処理は、絶縁体224の成膜後などのタイミングで行うこともできる。

[0280]

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体224として、CVD法によって酸化シリコンまたは酸化窒化シリコンを成膜する。絶縁体224は、水素原子が低減または除去されたガスをを用いた成膜方法で成膜することが好ましい。これにより、絶縁体224の水素濃度を低減することができる。絶縁体224は、後の工程で酸化物230aと接する絶縁体224となるので、このように水素濃度が低減されていることが好適である。

[0281]

ここで、絶縁体224に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体224に含まれる水、水素などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

[0282]

ここで、絶縁体224上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜した後、絶縁体224に達するまで、CMP処理を行ってもよい。当該CMP処理を行うことで絶縁体224表面の平坦化および平滑化を行うことができる。当該酸化アルミニウムを絶縁体224上に配置してCMP処理を行うことで、CMP処理の終点検出が容易となる。また、CMP処理によって、絶縁体224の一部が研磨されて、絶縁体224の膜厚が薄くなることがあるが、絶縁体224の成膜時に膜厚を調整すればよい。絶縁体224表面の平坦化および平滑化を行うことで、後に成膜する酸化物の被覆率の悪化を防止し、半導体装置の歩留りの低下を防ぐことができる場合がある。また、絶縁体224上に、スパッタリング法によって、酸化アルミニウムを成膜することにより、絶縁体224に酸素を添加することができるので好ましい。

[0283]

次に、絶縁体224上に、酸化膜230A、酸化膜230Bを順に成膜する(図8A乃至図8D参照。)。なお、酸化膜230Aおよび酸化膜230Bは、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜230A、および酸化膜230B上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜230Aと酸化膜23

0 Bとの界面近傍を清浄に保つことができる。

[0284]

酸化膜230A、および酸化膜230Bの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0285]

例えば、酸化膜230A、および酸化膜230Bをスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記のIn-M-Zn酸化物ターゲットなどを用いることができる。

[0286]

特に、酸化膜230Aの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体224に供給される場合がある。したがって、当該スパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

[0287]

また、酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30%を超えて100%以下、好ましくは70%以上100%以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。

[0288]

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比] の酸化物ターゲットを用いて成膜する。また、酸化膜230Bとして、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ [原子数比] の酸化物ターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230a、および酸化物230bに求める特性に合わせて形成するとよい。

[0289]

次に、酸化膜230B上に酸化膜243Aを成膜する（図8A乃至図8D参照）。酸化膜243Aの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。酸化膜243Aは、Inに対するGaの原子数比が、酸化膜230BのInに対するGaの原子数比より大きいことが好ましい。本実施の形態では、酸化膜243Aとして、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比] の酸化物ターゲットを用いて成膜する。

[0290]

なお、絶縁体222、絶縁体224、酸化膜230A、酸化膜230B、および酸化膜243Aを、大気に暴露することなく成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。

[0291]

次に、加熱処理を行ってもよい。当該加熱処理は、上述した加熱処理条件を用いることができる。当該加熱処理によって、酸化膜230A、酸化膜230B、および酸化膜243A中の水、水素などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。

[0292]

次に、酸化膜243A上に導電膜242Aを成膜する（図8A乃至図8D参照。）。導電膜242Aの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。なお、導電膜242Aの成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して導電膜242Aを成膜してもよい。このような処理を行うことによって、酸化膜243Aの表面などに吸着している水分および水素を除去し、さらに酸化膜230A、酸化膜230B、および酸化膜243A中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

[0293]

次に、リソグラフィー法を用いて、酸化膜230A、酸化膜230B、酸化膜243A、および導電膜242Aを島状に加工して、酸化物230a、酸化物230b、酸化物層243B、および導電層242Bを形成する（図9A乃至図9D参照。）。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、酸化膜230A、酸化膜230B、酸化膜243A、および導電膜242Aの加工は、それぞれ異なる条件で加工してもよい。なお、当該工程において、絶縁体224の酸化物230aと重ならない領域の膜厚が薄くなることがある。

[0294]

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体、絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV（Extreme Ultraviolet）光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

[0295]

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜242A上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電膜242Aのエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマ

スクが消失することがある。導電膜 242A のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

[0296]

ここで、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 242B は、少なくとも一部が導電体 205 と重なるように形成する。また、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 242B の側面は、絶縁体 222 の上面に対し、概略垂直であることが好ましい。酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 242B の側面が、絶縁体 222 の上面に対し、概略垂直であることで、複数のトランジスタ 200 を設ける際に、小面積化、高密度化が可能となる。または、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 242B の側面と、絶縁体 222 の上面とのなす角が低い角度になる構成にしてもよい。その場合、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 242B の側面と、絶縁体 222 の上面とのなす角は 60 度以上 70 度未満が好ましい。このような形状とすることで、これより後の工程において、絶縁体 272 などの被覆性が向上し、鬆などの欠陥を低減することができる。

[0297]

また、導電層 242B の側面と導電層 242B の上面との間に、湾曲面を有する。つまり、当該側面の端部と当該上面の端部は、湾曲していることが好ましい。湾曲面は、例えば、導電層 242B の端部において、曲率半径が、3 nm 以上 10 nm 以下、好ましくは、5 nm 以上 6 nm 以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0298]

次に、絶縁体 224、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 242B の上に、絶縁体 272 を成膜する（図 10B 乃至図 10D 参照。）。絶縁体 272 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。本実施の形態では、絶縁体 272 として、スパッタリング法によって、酸化アルミニウムを成膜する。スパッタリング法によって、酸化アルミニウムを成膜することで、絶縁体 224 へ酸素を注入することができる。

[0299]

次に、絶縁体 272 上に絶縁体 273 を成膜する（図 10B 乃至図 10D 参照。）。絶縁体 273 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。本実施の形態では、絶縁体 273 として、スパッタリング法によって、窒化シリコンを成膜する。また、絶縁体 273 として、ALD 法によって、酸化アルミニウムを成膜してもよい。

[0300]

次に、絶縁体 273 上に、絶縁体 280 となる絶縁膜を成膜する。当該絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。例えば、当該絶縁膜として、スパッタリング法を用いて酸化シリコン膜を成膜し、その上に PEALD 法または熱 ALD 法を用いて酸化シリコン膜を成膜すればよい。また、当該絶縁膜は、水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁体 280 の水素濃度を低減することができる。なお、当該絶縁膜の成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該絶縁膜を成膜してもよい。このよ

うな処理を行うことによって、絶縁体 273 の表面などに吸着している水分および水素を除去し、さらに酸化物 230 a、酸化物 230 b、酸化物層 243 B、および絶縁体 224 中の水分濃度および水素濃度を低減させることができる。上述した加熱処理条件を用いることができる。

[0301]

次に、上記絶縁膜に CMP 処理を行い、上面が平坦な絶縁体 280 を形成する（図 10B 乃至図 10D 参照。）。なお、絶縁体 224 と同様に、絶縁体 280 上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜し、該酸化アルミニウムを絶縁体 280 に達するまで、CMP 処理を行ってもよい。

[0302]

ここで、マイクロ波処理を行ってもよい。マイクロ波処理は、酸素を含む雰囲気下、および減圧下にて行うことが好ましい。マイクロ波処理を行うことにより、マイクロ波による電界が絶縁体 280、酸化物 230 b、酸化物 230 a などに与えられ、酸化物 230 b、および酸化物 230 a 中の V_OH を酸素欠損 (V_O) と水素 (H) に分断することができる。この時分断された水素の一部は、絶縁体 280 が有する酸素と結合して、水分子として除去される場合がある。また、水素の一部は、絶縁体 272 および絶縁体 273 を介して、導電体 242 にゲッタリングされる場合がある。

[0303]

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁体 280、酸化物 230 b、および酸化物 230 a 中の水素を効率よく除去することができる。なお、加熱処理温度は、300℃以上、500℃以下とすることが好ましい。

[0304]

また、マイクロ波処理を行うことにより、絶縁体 280 の膜質を改質することで、水素、水、不純物などの拡散を抑制することができる。したがって、絶縁体 280 形成以降の後工程、または熱処理などにより、絶縁体 280 を介して、水素、水、不純物などが、酸化物 230 へ拡散することを抑制することができる。

[0305]

次に、絶縁体 280 の一部、絶縁体 273 の一部、絶縁体 272 の一部、導電層 242 B の一部、酸化物層 243 B の一部、酸化物 230 b の一部を加工して、酸化物 230 b に達する開口を形成する。当該開口は、導電体 205 と重なるように形成することが好ましい。当該開口の形成によって、導電体 242 a、導電体 242 b、酸化物 243 a、および酸化物 243 b を形成する（図 11A 乃至図 11D 参照。）。

[0306]

上記開口を形成する際に、酸化物 230 b の上部が除去される。酸化物 230 b の一部が除去されることで、酸化物 230 b に溝部が形成される。当該溝部の深さによっては、当該溝部を、上記開口の形成工程で形成してもよいし、上記開口の形成工程と異なる工程で形成してもよい。

[0307]

また、絶縁体 280 の一部、絶縁体 273 の一部、絶縁体 272 の一部、導電層 242 B の一部、酸化物層 243 B の一部、および酸化物 230 b の一部の加工は、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、当該加工は、それぞれ異なる条件で加工してもよい。例えば、絶縁体 280 の一部をドライエッチング法で加工し、絶縁体 273 の一部、および絶縁体 272 の一部をウェットエッチン

グ法で加工し、酸化物層 2 4 3 B の一部、導電層 2 4 2 B の一部、および酸化物 2 3 0 b の一部をドライエッチング法で加工してもよい。また、酸化物層 2 4 3 B の一部および導電層 2 4 2 B の一部の加工と、酸化物 2 3 0 b の一部の加工とは、異なる条件で行ってもよい。

[0308]

ここで、ドライエッチング法を用いて、酸化物 2 3 0 b の一部を除去して、溝部を形成する際に、バイアス電力を強くして処理することが好ましい。例えば、バイアス電力の電力密度を、 0.02 W/cm^2 以上にすればよく、 0.03 W/cm^2 以上にするのが好ましく、 0.06 W/cm^2 以上にするのがより好ましい。また、ドライエッチング処理時間は、溝部の深さに合わせて適宜設定すればよい。

[0309]

ここで、酸化物 2 3 0 a、酸化物 2 3 0 b などの表面に付着または内部に拡散した不純物を除去することが好ましい。また、上記ドライエッチングで酸化物 2 3 0 b 表面に形成される、損傷領域を除去することが好ましい。当該不純物としては、絶縁体 2 8 0、絶縁体 2 7 3、絶縁体 2 7 2、および導電層 2 4 2 B に含まれる成分、上記開口を形成する際に用いられる装置に使われている部材に含まれる成分、エッチングに使用するガスまたは液体に含まれる成分などに起因したものが挙げられる。当該不純物としては、例えば、アルミニウム、シリコン、タンタル、フッ素、塩素などがある。

[0310]

上記の不純物などを除去するために、洗浄処理を行う。洗浄方法としては、洗浄液など用いたウェット洗浄、プラズマを用いたプラズマ処理、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせで行ってもよい。なお、当該洗浄処理によって、上記溝部が深くなる場合がある。

[0311]

ウェット洗浄としては、アンモニア水、シュウ酸、リン酸、フッ化水素酸などを炭酸水または純水で希釈した水溶液、純水、炭酸水などを用いて洗浄処理を行ってもよい。または、これらの水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。または、これらの洗浄を適宜組み合わせで行ってもよい。

[0312]

なお、本明細書等では、市販のフッ化水素酸を純水で希釈した水溶液を希釈フッ化水素酸と呼び、市販のアンモニア水を純水で希釈した水溶液を希釈アンモニア水と呼ぶ場合がある。また、当該水溶液の濃度、温度などは、除去したい不純物、洗浄される半導体装置の構成などによって、適宜調整すればよい。希釈アンモニア水のアンモニア濃度は 0.01% 以上 5% 以下、好ましくは 0.1% 以上 0.5% 以下とすればよい。また、希釈フッ化水素酸のフッ化水素濃度は 0.01 ppm 以上 100 ppm 以下、好ましくは 0.1 ppm 以上 10 ppm 以下とすればよい。

[0313]

なお、超音波洗浄には、 200 kHz 以上、好ましくは 900 kHz 以上の周波数を用いることが好ましい。当該周波数を用いることで、酸化物 2 3 0 b などへのダメージを低減することができる。

[0314]

また、上記洗浄処理を複数回行ってもよく、洗浄処理毎に洗浄液を変更してもよい。例えば、第 1 の洗浄処理として希釈フッ化水素酸、または希釈アンモニア水を用いた処理を行い、第 2 の洗浄

処理として純水、または炭酸水を用いた処理を行ってもよい。

[0315]

上記洗浄処理として、本実施の形態では、希釈フッ化水素酸を用いてウェット洗浄を行い、続いて純水、または炭酸水を用いてウェット洗浄を行う。当該洗浄処理を行うことで、酸化物230a、酸化物230bなどの表面に付着または内部に拡散した不純物を除去することができる。さらに、酸化物230b上に形成される酸化物230cの結晶性を高めることができる。

[0316]

これまでドライエッチングなどの加工、または上記洗浄処理によって、上記開口と重なり、かつ酸化物230bと重ならない領域の、絶縁体224の膜厚が、酸化物230bと重なる領域の、絶縁体224の膜厚より薄くなる場合がある。

[0317]

上記エッチング後、または上記洗浄後に加熱処理を行ってもよい。加熱処理は、100℃以上450℃以下、好ましくは350℃以上400℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物230aおよび酸化物230bに酸素を供給して、酸素欠損 V_O の低減を図ることができる。また、このような熱処理を行うことで、酸化物230bの結晶性を向上させ、酸化物230bの溝部に形成される酸化物230cの結晶性も向上させることができる。また、加熱処理は減圧状態で行ってもよい。または、酸素雰囲気で加熱処理した後に、大気に露出せずに連続して窒素雰囲気で加熱処理を行ってもよい。

[0318]

次に、酸化膜230Cを成膜する（図12A乃至図12D参照）。酸化膜230Cの成膜前に加熱処理を行ってもよく、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して酸化膜230Cを成膜することが好ましい。また、当該加熱処理は、酸素を含む雰囲気で行うことが好ましい。このような処理を行うことによって、酸化物230bの表面などに吸着している水分および水素を除去し、さらに酸化物230aおよび酸化物230b中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

[0319]

ここで、酸化膜230Cは、少なくとも酸化物230bに形成された溝部の内壁、酸化物243の側面の一部、導電体242の側面の一部、絶縁体272の側面の一部、絶縁体273の側面の一部、および絶縁体280の側面の一部と接するように設けられることが好ましい。導電体242は、酸化物243、絶縁体272、絶縁体273、および酸化膜230Cに囲まれることで、以降の工程において導電体242の酸化による導電率の低下を抑制することができる。

[0320]

酸化膜230Cの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。酸化膜230Cに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、酸化膜230Cを成膜すればよい。本実施の形態では、酸化膜230Cとして、スパッタリング法によって、 $In:Ga:Zn=4:2:3$ [原子数比] の酸化物ターゲット、 $In:Ga:Zn=5:1:3$ [原子数比] の酸化物ターゲット、 $In:Ga:$

$Zn = 1 : 1 : 3$ [原子数比] の酸化物ターゲット、またはインジウム酸化物ターゲットを用いて成膜する。

[0321]

酸化膜230Cの成膜時に、スパッタリングガスに含まれる酸素の一部が酸化物230aおよび酸化物230bに供給される場合がある。または、酸化膜230Cの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体280に供給される場合がある。したがって、酸化膜230Cのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。また、このように酸素を多く含む雰囲気中で酸化膜230Cを成膜することで、酸化膜230CをCAAC-OS化しやすくなる。

[0322]

酸化膜230Cの成膜は、基板を加熱しながら行うことが好ましい。このとき、基板温度を200℃以上にすることで、酸化膜230Cおよび酸化物230b中の酸素欠損を低減することができる。基板を加熱しながら成膜することで、酸化膜230Cおよび酸化物230bの結晶性の向上を図ることができる。このように酸化膜230Cを成膜することで、図3を用いて示したように、酸化物230bの溝部の側壁を起点にして、酸化膜230Cを横成長させることができる。

[0323]

次に、酸化膜230C上に、リソグラフィ法により、マスクを形成する。なお、当該マスクとして、ハードマスクを用いてもよいし、レジストマスクを用いてもよい。

[0324]

次に、上記マスクを用いて、酸化膜230Cの一部を選択的に除去する。なお、酸化膜230Cの一部は、ウェットエッチング法などを用いて除去するとよい。本工程により、チャネル幅方向に隣接するトランジスタ200の間に位置する酸化膜230Cの一部を除去することができる。

[0325]

なお、上記工程により、酸化膜230Cの一部が除去された領域では、絶縁体224の表面、絶縁体280の表面が露出する。このとき、当該領域の、絶縁体224の膜厚および絶縁体280の膜厚が薄くなる場合がある。また、当該領域の絶縁体224が除去され、絶縁体222の表面が露出する場合がある。また、上記マスクを形成する工程は、酸化膜230Cの一部を除去する工程を兼ねていてもよい。

[0326]

次に、上記マスクを除去する（図13A、図13Cおよび図13D参照。）。なお、上記マスクは、エッチング法などを用いて除去するとよい。

[0327]

次に、酸化膜230Dを成膜する（図14A乃至図14D参照）。酸化膜230Dの成膜は、酸化膜230Cの成膜から、大気に暴露することなく、連続して行うことが好ましい。

[0328]

酸化膜230Dの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。酸化膜230Dに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、酸化膜230Dを成膜すればよい。本実施の形態では、酸化膜230Dとして、スパッタリング法によって、 $In : Ga : Zn = In : Ga : Zn = 1 : 3 : 4$ [原子数比] の酸化物ターゲットを用いて成膜する。

[0329]

酸化膜230Dの成膜時に、スパッタリングガスに含まれる酸素の一部が酸化膜230Cに供給される場合がある。または、酸化膜230Dの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体280に供給される場合がある。したがって、酸化膜230Dのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

[0330]

次に絶縁膜250Aを成膜する（図14A乃至図14D参照）。絶縁膜250Aの成膜前に加熱処理を行ってもよく、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜250Aを成膜してもよい。また、当該加熱処理は、酸素を含む雰囲気で行うことが好ましい。このような処理を行うことによって、酸化膜230Cの表面などに吸着している水分および水素を除去し、さらに酸化物230a、酸化物230b、および酸化膜230C中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。

[0331]

絶縁膜250Aは、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて成膜することができる。また、絶縁膜250Aは、水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁膜250Aの水素濃度を低減することができる。絶縁膜250Aは、後の工程で酸化物230dと接する絶縁体250となるので、このように水素濃度が低減されていることが好適である。

[0332]

なお、絶縁体250を2層の積層構造とする場合、絶縁体250の下層となる絶縁膜および絶縁体250の上層となる絶縁膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、絶縁体250の下層となる絶縁膜、および絶縁体250の上層となる絶縁膜上に大気環境からの不純物または水分が付着することを防ぐことができ、絶縁体250の下層となる絶縁膜と絶縁体250の上層となる絶縁膜との界面近傍を清浄に保つことができる。

[0333]

ここで、絶縁膜250Aを成膜後に、酸素を含む雰囲気下、および減圧下にて、マイクロ波処理を行ってもよい。マイクロ波処理を行うことにより、マイクロ波による電界が絶縁膜250A、酸化膜230C、酸化物230b、酸化物230aなどに与えられ、酸化膜230C中、酸化物230b中、および酸化物230a中の V_OH を V_O と水素とに分断することができる。この時分断された水素の一部は、酸素と結合して H_2O として、絶縁膜250A、酸化膜230C、酸化物230b、および酸化物230aから除去される場合がある。また、水素の一部は、導電体242（導電体242a、および導電体242b）にゲッタリングされる場合がある。このように、マイクロ波処理を行うことで、絶縁膜250A中、酸化膜230C中、酸化物230b中、および酸化物230a中の水素濃度を低減することができる。また、酸化物230a中、酸化物230b中、および酸化膜230C中の V_OH を V_O と水素とに分断した後に存在する V_O に酸素が供給されることで V_O を修復することができる。

[0334]

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁膜250A中、酸化膜230C中、酸化物230b中、および酸化物230a中の水素を効率よく除去することができる。また、水素の一部は、導電体242（導電体242a、

および導電体 242b) にゲッタリングされる場合がある。または、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。加熱処理を繰り返す行うことで、絶縁膜 250A 中、酸化膜 230C 中、酸化物 230b 中、および酸化物 230a 中の水素をさらに効率よく除去することができる。なお、加熱処理温度は、300℃以上500℃以下とすることが好ましい。

[0335]

また、マイクロ波処理を行うことにより、絶縁膜 250A の膜質を改質することで、水素、水、不純物等の拡散を抑制することができる。従って、導電体 260 となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁体 250 を介して、水素、水、不純物等が、酸化物 230b、酸化物 230a などへ拡散することを抑制することができる。

[0336]

次に、導電膜 260A、導電膜 260B を順に成膜する（図 15A 乃至図 15D 参照。）。導電膜 260A および導電膜 260B の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。本実施の形態では、ALD 法を用いて、導電膜 260A を成膜し、CVD 法を用いて導電膜 260B を成膜する。

[0337]

次に、CMP 処理によって、酸化膜 230C、酸化膜 230D、絶縁膜 250A、導電膜 260A、および導電膜 260B を絶縁体 280 が露出するまで研磨することによって、酸化物 230c、酸化物 230d、絶縁体 250、および導電体 260（導電体 260a、および導電体 260b）を形成する（図 16A 乃至図 16D 参照。）。これにより、酸化物 230c は、酸化物 230b に達する開口および酸化物 230b の溝部の内壁（側壁、および底面）を覆うように配置される。また、酸化物 230d は、酸化物 230c を介して、上記開口および上記溝部の内壁を覆うように配置される。また、絶縁体 250 は、酸化物 230d を介して、上記開口および上記溝部の内壁を覆うように配置される。また、導電体 260 は、酸化物 230c、酸化物 230d、および絶縁体 250 を介して、上記開口および上記溝部を埋め込むように配置される。

[0338]

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて 400℃の温度で 1 時間の処理を行う。該加熱処理によって、絶縁体 250 および絶縁体 280 中の水分濃度および水素濃度を低減させることができる。なお、上記加熱処理後、大気に曝すことなく連続して、絶縁体 282 の成膜を行ってもよい。

[0339]

次に、酸化物 230c 上、絶縁体 250 上、導電体 260 上、および絶縁体 280 上に、絶縁体 282 を形成する（図 17B 乃至図 17D 参照。）。絶縁体 282 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。絶縁体 282 としては、例えば、スパッタリング法によって、酸化アルミニウムを成膜することが好ましい。スパッタリング法を用いて、酸素を含む雰囲気で絶縁体 282 の成膜を行うことで、成膜しながら、絶縁体 280 に酸素を添加することができる。このとき、基板加熱を行いながら、絶縁体 282 を成膜することが好ましい。また、導電体 260 の上面に接して、絶縁体 282 を形成することで、この後の加熱処理において、絶縁体 280 が有する酸素が導電体 260 へ吸収されることを抑制することができるので好ましい。

[0340]

次に、絶縁体282の一部、絶縁体280の一部、絶縁体273の一部、絶縁体272の一部、絶縁体224の一部、絶縁体222の一部、絶縁体216の一部、絶縁体214の一部、および絶縁体212の一部を加工して、絶縁体211に達する開口を形成する（図18A乃至図18D参照。）。該開口は、トランジスタ200が囲まれるように形成される場合がある。または、該開口は、複数のトランジスタ200が囲まれるように形成される場合がある。よって、該開口において、絶縁体282の側面の一部、絶縁体280の側面の一部、絶縁体273の側面の一部、絶縁体272の側面の一部、絶縁体224の側面の一部、絶縁体222の側面の一部、絶縁体216の側面の一部、絶縁体214の側面の一部、および絶縁体212の側面の一部が露出する。

[0341]

絶縁体282の一部、絶縁体280の一部、絶縁体273の一部、絶縁体272の一部、絶縁体224の一部、絶縁体222の一部、絶縁体216の一部、および絶縁体214の一部、絶縁体212の一部の加工は、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、当該加工は、それぞれ異なる条件で加工してもよい。

[0342]

次に、絶縁体282、絶縁体280、絶縁体273、絶縁体272、絶縁体224、絶縁体222、絶縁体216、絶縁体214および絶縁体212を覆って、絶縁体287Aを形成する（図19A乃至図19D参照。）。絶縁体287Aは、絶縁体282と同等の条件を用いて形成することが好ましい。例えば、絶縁体287Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0343]

具体的には、絶縁体287Aとしては、例えば、スパッタリング法によって、酸化アルミニウムを成膜することが好ましい。スパッタリング法を用いて、酸素を含む雰囲気中で絶縁体287Aの成膜を行うことで、成膜しながら、絶縁体280に酸素を添加することができる。このとき、基板加熱を行いながら、絶縁体287Aを成膜することが好ましい。また、導電体260の上面に接して、絶縁体282が形成されているため、絶縁体287Aの成膜処理において、絶縁体280が有する酸素が導電体260へ吸収されることを抑制することができる。

[0344]

続いて、絶縁体287Aに対し、異方性のエッチング処理を行い、絶縁体282、絶縁体280、絶縁体273、絶縁体272、絶縁体224、絶縁体222、絶縁体216、絶縁体214および絶縁体212の側面に、絶縁体287を形成する（図20A乃至図20D参照。）。

[0345]

ここで、絶縁体282の側端部と絶縁体287の上端部とが接し、絶縁体214の側端部と絶縁体287の下端部とが接することで、トランジスタ200および絶縁体280を封止する構造を、形成することができる。

[0346]

上記異方性のエッチング処理としては、ドライエッチング処理を行うことが好ましい。これにより、基板面に略平行な面に成膜された当該絶縁膜を除去して、絶縁体287を自己整合的に形成することができる。

[0347]

次に、絶縁体282、絶縁体287、絶縁体211を覆って、絶縁体283を形成する（図21A乃至図21D参照。）。絶縁体283の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。また、絶縁体283は、多層としてもよい。例えば、スパッタリング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、CVD法を用いて窒化シリコンを成膜してもよい。図21に示すように、絶縁体283は、上記開口の底面において、絶縁体211と接する。つまり、トランジスタ200は、上面及び側面が絶縁体283に、下面が絶縁体211に包み込まれることになる。このように、バリア性の高い絶縁体283および絶縁体211でトランジスタ200を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。

[0348]

次に、絶縁体283上に絶縁体284を形成してもよい（図22A乃至図22D参照。）。なお、絶縁体284は、被膜性が高い成膜方法を用いて成膜することが好ましい。例えば、絶縁体284の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。また、絶縁体284は、絶縁体212および絶縁体283と同じ材料を用いることが好ましい。

[0349]

具体的には、CVD法を用いて窒化シリコンを成膜するとよい。特に、絶縁体284は、水素原子を含まない、または水素原子の含有量が少ない化合物ガスを用いてCVD法により成膜するとよい。

[0350]

次に絶縁体284上に、絶縁体274となる絶縁膜を成膜する。絶縁体274となる絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。例えば、CVD法を用いて酸化シリコンを成膜するとよい。また、絶縁体274となる絶縁膜は、上述の水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁体274となる絶縁膜の水素濃度を低減することができる。

[0351]

続いて、絶縁体274となる絶縁膜にCMP処理を行い、上面が平坦な絶縁体274を形成する（図23A乃至図23D参照。）。

[0352]

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁体282の成膜によって添加された酸素を絶縁体280へ拡散させ、さらに酸化物230cを介して、酸化物230a、および酸化物230bへ供給することができる。なお、当該加熱処理は、絶縁体274の形成後に限らず、絶縁体282の成膜後、絶縁体284の成膜後などに行ってもよい。

[0353]

次に、絶縁体272、絶縁体273、絶縁体280、絶縁体282、絶縁体283、および絶縁体284に、導電体242に達する開口を形成する（図24A乃至図24D参照。）。当該開口の形成は、リソグラフィ法を用いて行えばよい。なお、図24Aで当該開口の形状は、上面視において円形状にしているが、これに限られるものではない。例えば、当該開口が、上面視において、

楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。

[0354]

次に、絶縁体241となる絶縁膜を成膜し、当該絶縁膜を異方性エッチングして絶縁体241を形成する。(図24A乃至図24D参照。)。絶縁体241となる絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。絶縁体241となる絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、ALD法を用いて、酸化アルミニウムを成膜することが好ましい。または、PEALD法を用いて、窒化シリコンを成膜することが好ましい。窒化シリコンは水素に対するブロッキング性が高いので好ましい。

[0355]

また、絶縁体241となる絶縁膜の異方性エッチングとしては、例えばドライエッチング法などを用いればよい。開口の側壁部に絶縁体241を設けることで、外方からの酸素の透過を抑制し、次に形成する導電体240aおよび導電体240bの酸化を防止することができる。また、導電体240aおよび導電体240bから、水、水素などの不純物が外部に拡散することを防ぐことができる。

[0356]

次に、導電体240aおよび導電体240bとなる導電膜を成膜する。導電体240aおよび導電体240bとなる導電膜は、水、水素など不純物の透過を抑制する機能を有する導電体を含む積層構造とすることが望ましい。たとえば、窒化タンタル、窒化チタンなどと、タングステン、モリブデン、銅など、と、の積層とすることができる。導電体240となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0357]

次に、CMP処理を行うことで、導電体240aおよび導電体240bとなる導電膜の一部を除去し、絶縁体284および絶縁体274の上面を露出する。その結果、開口のみに、当該導電膜が残存することで上面が平坦な導電体240aおよび導電体240bを形成することができる(図24A乃至図24D参照。参照)。なお、当該CMP処理により、絶縁体284の上面の一部および絶縁体274の上面の一部が除去される場合がある。

[0358]

次に、導電体246となる導電膜を成膜する。導電体246となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0359]

次に、導電体246となる導電膜をリソグラフィー法によって加工し、導電体240aの上面と接する導電体246a、および導電体240bの上面と接する導電体246bを形成する。この時、導電体246aおよび導電体246bと、絶縁体284とが重ならない領域の絶縁体284の一部が除去されることがある。(図25A乃至図25D参照。)。)

[0360]

次に、導電体246上、および絶縁体284上に、絶縁体286を成膜する(図6A乃至図6D参照。)。絶縁体286の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。また、絶縁体286は、多層としてもよい。例えば、スパッ

タリング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、CVD法を用いて窒化シリコンを成膜してもよい。

[0361]

以上により、図6A乃至図6Dに示すトランジスタ200を有する半導体装置を作製することができる。図8A乃至図25A、図8B乃至図25B、図8C乃至図25C、および図8D乃至図25Dに示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200を作製することができる。なお、図2A乃至図2Dに示すトランジスタ200を有する半導体装置を作製する場合は、図18乃至図23に示す工程を行わずに半導体装置を作製すればよい。

[0362]

<半導体装置の応用例>

以下では、図26Aおよび図26Bを用いて、先の<半導体装置の構成例>および先の<半導体装置の変形例>で示したものと異なる、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。なお、図26Aおよび図26Bに示す半導体装置において、<<半導体装置の変形例1>>に示した半導体装置（図2A乃至図2D参照。）を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ200の構成材料については<半導体装置の構成例>および<半導体装置の変形例>で詳細に説明した材料を用いることができる。

[0363]

図26Aおよび図26Bに、複数のトランジスタ200__1乃至トランジスタ200__nを、絶縁体283と絶縁体211で、包括して封止した構成について示す。なお、図26Aおよび図26Bにおいて、トランジスタ200__1乃至トランジスタ200__nは、チャネル長方向に並んでいるように見えるが、これにかぎられるものではない。トランジスタ200__1乃至トランジスタ200__nは、チャネル幅方向に並んでいてもよいし、マトリクス状に配置されていてもよい。また、設計に応じて、規則性を持たずに配置されていてもよい。

[0364]

図26Aに示すように、複数のトランジスタ200__1乃至トランジスタ200__nの外側において、絶縁体283と絶縁体211が接する部分（以下、封止部265と呼ぶ場合がある。）が形成されている。封止部265は、複数のトランジスタ200__1乃至トランジスタ200__nを囲むように形成されている。このような構造にすることで、複数のトランジスタ200__1乃至トランジスタ200__nを絶縁体283と絶縁体211で包み込むことができる。よって封止部265に囲まれたトランジスタ群が、基板上に複数設けられることになる。

[0365]

また、封止部265に重ねてダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）を設けてもよい。上記基板はダイシングラインにおいて分断されるので、封止部265に囲まれたトランジスタ群が1チップとして取り出されることになる。

[0366]

また、図26Aでは、複数のトランジスタ200__1乃至トランジスタ200__nを一つの封止部265で囲む例について示したが、これに限られるものではない。図26Bに示すように、複数のトランジスタ200__1乃至トランジスタ200__nを複数の封止部で囲む構成にしてもよい。図26Bでは、複数のトランジスタ200__1乃至トランジスタ200__nを封止部265aで囲

み、さらに外側の封止部 2 6 5 b でも囲む構成にしている。

[0 3 6 7]

このように、複数の封止部で複数のトランジスタ 2 0 0__1 乃至トランジスタ 2 0 0__n を囲む構成にすることで、絶縁体 2 8 3 と絶縁体 2 1 2 が接する部分が増えるので、絶縁体 2 8 3 と絶縁体 2 1 2 の密着性をより向上させることができる。これにより、より確実に複数のトランジスタ 2 0 0__1 乃至トランジスタ 2 0 0__n を封止することができる。

[0 3 6 8]

この場合、封止部 2 6 5 a または封止部 2 6 5 b に重ねてダイシングラインを設けてもよいし、封止部 2 6 5 a と封止部 2 6 5 b の間にダイシングラインを設けてもよい。

[0 3 6 9]

本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、低消費電力の半導体装置を提供することができる。

[0 3 7 0]

以上、本実施の形態に示す構成、方法などは、他の実施の形態または実施例に示す構成、方法などと適宜組み合わせ用いることができる。

[0 3 7 1]

(実施の形態 2)

本実施の形態では、半導体装置の一形態を、図 2 7 乃至図 3 2 を用いて説明する。

[0 3 7 2]

[記憶装置 1]

本発明の一態様に係る半導体装置（記憶装置）の一例を図 2 7 に示す。本発明の一態様の半導体装置は、トランジスタ 2 0 0 はトランジスタ 3 0 0 の上方に設けられ、容量素子 1 0 0 はトランジスタ 3 0 0、およびトランジスタ 2 0 0 の上方に設けられている。なお、トランジスタ 2 0 0 として、先の実施の形態で説明したトランジスタ 2 0 0 を用いることができる。

[0 3 7 3]

トランジスタ 2 0 0 は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ 2 0 0 は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[0 3 7 4]

図 2 7 に示す半導体装置において、配線 1 0 0 1 はトランジスタ 3 0 0 のソースと電氣的に接続され、配線 1 0 0 2 はトランジスタ 3 0 0 のドレインと電氣的に接続されている。また、配線 1 0 0 3 はトランジスタ 2 0 0 のソースおよびドレインの一方と電氣的に接続され、配線 1 0 0 4 はトランジスタ 2 0 0 の第 1 のゲートと電氣的に接続され、配線 1 0 0 6 はトランジスタ 2 0 0 の第 2 のゲートと電氣的に接続されている。そして、トランジスタ 3 0 0 のゲート、およびトランジスタ

200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。

[0375]

また、図27に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

[0376]

<トランジスタ300>

トランジスタ300は、基板311上に設けられ、ゲートとして機能する導電体316、ゲート絶縁体として機能する絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0377]

ここで、図27に示すトランジスタ300はチャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[0378]

なお、図27に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0379]

<容量素子100>

容量素子100は、トランジスタ200の上方に設けられる。容量素子100は、第1の電極として機能する導電体110と、第2の電極として機能する導電体120、および誘電体として機能する絶縁体130とを有する。ここで、絶縁体130は、上記実施の形態に示す絶縁体286として用いることができる絶縁体を用いることが好ましい。

[0380]

また、例えば、導電体246上に設けた導電体112と、導電体110は、同時に形成することができる。なお、導電体112は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。

[0381]

図27では、導電体112、および導電体110は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0382]

また、絶縁体130は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、

酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

[0383]

例えば、絶縁体130には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率（high-k）材料との積層構造を用いることが好ましい。当該構成により、容量素子100は、高誘電率（high-k）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

[0384]

なお、高誘電率（high-k）材料（高い比誘電率の材料）としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

[0385]

一方、絶縁耐力が大きい材料（低い比誘電率の材料）としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

[0386]

<配線層>

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0387]

例えば、トランジスタ300上には、層間膜として、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子100、またはトランジスタ200と電氣的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能する。

[0388]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

[0389]

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図27において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能する。

[0390]

同様に、絶縁体210、絶縁体211、絶縁体212、絶縁体214、および絶縁体216には、

導電体 218、及びトランジスタ 200 を構成する導電体（導電体 205）等が埋め込まれている。なお、導電体 218 は、容量素子 100、またはトランジスタ 300 と電氣的に接続するプラグ、または配線としての機能を有する。さらに、導電体 120、および絶縁体 130 上には、絶縁体 150 が設けられている。

[0391]

ここで、上記実施の形態に示す絶縁体 241 と同様に、プラグとして機能する導電体 218 の側面に接して絶縁体 217 が設けられる。絶縁体 217 は、絶縁体 210、絶縁体 211、絶縁体 212、絶縁体 214、および絶縁体 216 に形成された開口の内壁に接して設けられている。つまり、絶縁体 217 は、導電体 218 と、絶縁体 210、絶縁体 211、絶縁体 212、絶縁体 214、および絶縁体 216 と、の間に設けられている。なお、導電体 205 は導電体 218 と並行して形成することができるので、導電体 205 の側面に接して絶縁体 217 が形成される場合もある。

[0392]

絶縁体 217 としては、例えば、窒化シリコン、酸化アルミニウム、または窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体 217 は、絶縁体 211、絶縁体 212、絶縁体 214、および絶縁体 222 に接して設けられるので、絶縁体 210 または絶縁体 216 などから水または水素などの不純物が、導電体 218 を通じて酸化物 230 に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体 210 または絶縁体 216 に含まれる酸素が導電体 218 に吸収されるのを防ぐことができる。

[0393]

絶縁体 217 は、絶縁体 241 と同様の方法で形成することができる。例えば、PEALD 法を用いて、窒化シリコンを成膜し、異方性エッチングを用いて導電体 356 に達する開口を形成すればよい。

[0394]

層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0395]

例えば、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0396]

例えば、絶縁体 150、絶縁体 210、絶縁体 352、および絶縁体 354 等には、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂との積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

[0397]

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体 214、絶縁体 211、絶縁体 212 および絶縁体 350 等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

[0398]

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0399]

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を 1 種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0400]

例えば、導電体 328、導電体 330、導電体 356、導電体 218、および導電体 112 等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンをを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0401]

<酸化物半導体が設けられた層の配線、またはプラグ>

なお、トランジスタ 200 に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体が設けられることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

[0402]

例えば、図 27 では、過剰酸素を有する絶縁体 224 および絶縁体 280 と、導電体 240 との間に、絶縁体 241 を設けるとよい。絶縁体 241 と、絶縁体 222、絶縁体 272、絶縁体 273、絶縁体 282、絶縁体 283、および絶縁体 284 とが接して設けられることで、絶縁体 224、およびトランジスタ 200 は、バリア性を有する絶縁体により、封止する構造とすることができる。

[0403]

つまり、絶縁体 241 を設けることで、絶縁体 224 および絶縁体 280 が有する過剰酸素が、

導電体 240 に吸収されることを抑制することができる。また、絶縁体 241 を有することで、不純物である水素が、導電体 240 を介して、トランジスタ 200 へ拡散することを抑制することができる。

[0404]

なお、絶縁体 241 としては、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。特に、窒化シリコンは水素に対するブロッキング性が高いため好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物などを用いることができる。

[0405]

また、上記実施の形態と同様に、トランジスタ 200 は、絶縁体 211、絶縁体 212、絶縁体 214、絶縁体 287、絶縁体 282、絶縁体 283、および絶縁体 284 で封止されることが好ましい。このような構成とすることで、絶縁体 274、絶縁体 150 などに含まれる水素が絶縁体 280 などに混入するのを低減することができる。

[0406]

ここで、絶縁体 284、絶縁体 283、および絶縁体 282 には導電体 240 が、絶縁体 214、絶縁体 212、および絶縁体 211 には導電体 218 が貫通しているが、上記の通り、絶縁体 241 が導電体 240 に接して設けられ、絶縁体 217 が導電体 218 に接して設けられている。これにより、導電体 240 および導電体 218 を介して、絶縁体 211、絶縁体 212、絶縁体 214、絶縁体 287、絶縁体 282、絶縁体 283、および絶縁体 284 の内側に混入する水素を低減することができる。このようにして、絶縁体 211、絶縁体 212、絶縁体 214、絶縁体 287、絶縁体 282、絶縁体 283、絶縁体 284、絶縁体 241、および絶縁体 217 でトランジスタ 200 をより確実に封止し、絶縁体 274 等に含まれる水素などの不純物が外側から混入するのを低減することができる。

[0407]

また、絶縁体 216、絶縁体 224、絶縁体 280、絶縁体 250、および絶縁体 274 は、先の実施の形態に示すように、水素原子が低減または除去されたガスを用いた成膜方法で形成されることが好ましい。これにより、絶縁体 216、絶縁体 224、絶縁体 280、絶縁体 250、および絶縁体 274 の水素濃度を低減することができる。

[0408]

このようにして、トランジスタ 200 近傍のシリコン系絶縁膜の水素濃度を低減し、酸化物 230 の水素濃度を低減することができる。

[0409]

<ダイシングライン>

以下では、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。

[0410]

ここで、例えば、図27に示すように、絶縁体283と、絶縁体211とが接する領域がダイシングラインと重なるように設計することが好ましい。つまり、複数のトランジスタ200を有するメモリセルの外縁に設けられるダイシングラインとなる領域近傍において、絶縁体282、絶縁体280、絶縁体273、絶縁体272、絶縁体224、絶縁体222、絶縁体216、絶縁体214、および絶縁体212に開口を設ける。

[0411]

つまり、上記絶縁体282、絶縁体280、絶縁体273、絶縁体272、絶縁体224、絶縁体222、絶縁体216、絶縁体214、および絶縁体212に設けた開口において、絶縁体211と、絶縁体283とが接する。また、絶縁体282、絶縁体280、絶縁体273、絶縁体272、絶縁体224、絶縁体222、絶縁体216、および絶縁体214に開口を設け、絶縁体212と絶縁体283が接する構成にしてもよい。例えば、このとき、絶縁体212と、絶縁体283とを同材料及び同方法を用いて形成してもよい。絶縁体212、および絶縁体283を、同材料、および同方法で設けることで、密着性を高めることができる。例えば、窒化シリコンを用いることが好ましい。

[0412]

当該構造により、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284で、トランジスタ200を包み込むことができる。絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284の少なくとも一は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ200に拡散することを防ぐことができる。

[0413]

また、当該構造により、絶縁体280、および絶縁体224の過剰酸素が外部に拡散することを防ぐことができる。従って、絶縁体280、および絶縁体224の過剰酸素は、効率的にトランジスタ200におけるチャンネルが形成される酸化物に供給される。当該酸素により、トランジスタ200におけるチャンネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ200におけるチャンネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0414]

なお、図27に示す記憶装置では、容量素子100の形状をプレーナ型としたが、本実施の形態に示す記憶装置はこれに限られるものではない。たとえば、図28に示すように、容量素子100の形状をシリンダ型にしてもよい。なお、図28に示す記憶装置は、絶縁体150より下の構成は、図27に示す半導体装置と同様である。

[0415]

図28に示す容量素子100は、絶縁体130上の絶縁体150と、絶縁体150上の絶縁体142と、絶縁体150および絶縁体142に形成された開口の中に配置された導電体115と、導電体115および絶縁体142上の絶縁体145と、絶縁体145上の導電体125と、導電体1

25および絶縁体145上の絶縁体152と、を有する。ここで、絶縁体150および絶縁体142に形成された開口の中に導電体115、絶縁体145、および導電体125の少なくとも一部が配置される。

[0416]

導電体115は容量素子100の下部電極として機能し、導電体125は容量素子100の上部電極として機能し、絶縁体145は、容量素子100の誘電体として機能する。容量素子100は、絶縁体150および絶縁体142の開口において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、当該開口の深さを深くするほど、容量素子100の静電容量を大きくすることができる。このように容量素子100の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

[0417]

絶縁体152は、絶縁体280に用いることができる絶縁体を用いればよい。また、絶縁体142は、絶縁体150の開口を形成するときのエッチングストッパとして機能することが好ましく、絶縁体214に用いることができる絶縁体を用いればよい。

[0418]

絶縁体150および絶縁体142に形成された開口を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよいし、楕円を含む円形状としてもよい。ここで、上面視において、当該開口とトランジスタ200の重なる面積が多い方が好ましい。このような構成にすることにより、容量素子100とトランジスタ200を有する半導体装置の占有面積を低減することができる。

[0419]

導電体115は、絶縁体142、および絶縁体150に形成された開口に接して配置される。導電体115の上面は、絶縁体142の上面と略一致することが好ましい。また、導電体115の下面は、絶縁体130の開口を介して導電体110に接する。導電体115は、ALD法またはCVD法などを用いて成膜することが好ましく、例えば、導電体205に用いることができる導電体を用いればよい。

[0420]

絶縁体145は、導電体115および絶縁体142を覆うように配置される。例えば、ALD法またはCVD法などを用いて絶縁体145を成膜することが好ましい。絶縁体145は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ジルコニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。例えば、絶縁体145として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。

[0421]

また、絶縁体145には、酸化窒化シリコンなどの絶縁耐力が大きい材料、または高誘電率（high-k）材料を用いることが好ましい。または、絶縁耐力が大きい材料と高誘電率（high-k）材料の積層構造を用いてもよい。

[0422]

なお、高誘電率（*high-k*）材料（高い比誘電率の材料）の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化物などがある。このような *high-k* 材料を用いることで、絶縁体 145 を厚くしても容量素子 100 の静電容量を十分確保することができる。絶縁体 145 を厚くすることにより、導電体 115 と導電体 125 の間に生じるリーク電流を抑制することができる。

[0423]

一方、絶縁耐力が大きい材料としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などがある。例えば、ALD法を用いて成膜した窒化シリコン（ SiN_x ）、PEALD法を用いて成膜した酸化シリコン（ SiO_x ）、ALD法を用いて成膜した窒化シリコン（ SiN_x ）の順番で積層された絶縁膜を用いることができる。このような、絶縁耐力が大きい絶縁体を用いることで、絶縁耐力が向上し、容量素子 100 の静電破壊を抑制することができる。

[0424]

導電体 125 は、絶縁体 142 および絶縁体 150 に形成された開口を埋めるように配置される。また、導電体 125 は、導電体 140、および導電体 153 を介して配線 1005 と電氣的に接続している。導電体 125 は、ALD法またはCVD法などを用いて成膜することが好ましく、例えば、導電体 205 に用いることができる導電体を用いればよい。

[0425]

また、導電体 153 は、絶縁体 154 上に設けられており、絶縁体 156 に覆われている。導電体 153 は、導電体 112 に用いることができる導電体を用いればよく、絶縁体 156 は、絶縁体 152 に用いることができる絶縁体を用いればよい。ここで、導電体 153 は導電体 140 の上面に接しており、容量素子 100、トランジスタ 200、またはトランジスタ 300 の端子として機能する。

[0426]

[記憶装置 2]

本発明の一態様に係る半導体装置（記憶装置）の一例を図 29 に示す。

[0427]

<メモリデバイスの構成例>

図 29 は、メモリデバイス 290 を有する半導体装置の断面図である。図 29 に示すメモリデバイス 290 は、図 2A 乃至図 2D に示すトランジスタ 200 に加えて、容量デバイス 292 を有する。図 29 は、トランジスタ 200 のチャネル長方向の断面図に相当する。

[0428]

容量デバイス 292 は、導電体 242b と、導電体 242b 上に設けられた絶縁体 272、および絶縁体 273 と、絶縁体 273 上に設けられた導電体 294 と、を有する。すなわち、容量デバイス 292 は、MIM（Metal-Insulator-Metal）容量を構成している。なお、容量デバイス 292 が有する一対の電極の一方、すなわち導電体 242b は、トランジスタのソース電極を兼ねることができる。また、容量デバイス 292 が有する誘電体層は、トランジスタ

に設けられる保護層、すなわち絶縁体 272、および絶縁体 273 を兼ねることができる。したがって、容量デバイス 292 の作製工程において、トランジスタの作製工程の一部を兼用することができるため、生産性の高い半導体装置とすることができる。また、容量デバイス 292 が有する一対の電極の一方、すなわち導電体 242b は、トランジスタのソース電極を兼ねているため、トランジスタと、容量デバイスとが配置される面積を低減させることが可能となる。

[0429]

なお、導電体 294 としては、例えば、導電体 242 に用いることのできる材料を用いればよい。

[0430]

<メモリデバイスの変形例>

以下では、図 30A、図 30B、図 31、および図 32 を用いて、先の<メモリデバイスの構成例>で示したものと異なる、本発明の一態様に係るトランジスタ 200、および容量デバイス 292 を有する半導体装置の一例について説明する。なお図 30A、図 30B、図 31、および図 32 に示す半導体装置において、先の実施の形態および<メモリデバイスの構成例>に示した半導体装置（図 29 参照。）を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ 200、および容量デバイス 292 の構成材料については、先の実施の形態および<メモリデバイスの構成例>で詳細に説明した材料を用いることができる。

[0431]

<<メモリデバイスの変形例 1>>

以下では、本発明の一態様に係るトランジスタ 200a、トランジスタ 200b、容量デバイス 292a、および容量デバイス 292b を有する半導体装置 600 の一例について図 30A を用いて説明する。

[0432]

図 30A は、トランジスタ 200a、トランジスタ 200b、容量デバイス 292a、および容量デバイス 292b を有する半導体装置 600 のチャンネル長方向の断面図である。ここで、容量デバイス 292a は、導電体 242a と、導電体 242a を覆って設けられた絶縁体 272 と、絶縁体 272 を覆って設けられた絶縁体 273 と、絶縁体 273 上で、導電体 242a と一部が重畳する導電体 294a と、を有する。また、容量デバイス 292b は、導電体 242b と、導電体 242b を覆って設けられた絶縁体 272 と、絶縁体 272 を覆って設けられた絶縁体 273 と、絶縁体 273 上で、導電体 242b と一部が重畳する導電体 294b と、を有する。

[0433]

半導体装置 600 は、図 30A に示すように、A3-A4 の一点鎖線を対称軸とした線対称の構成となっている。トランジスタ 200a のソース電極またはドレイン電極の一方と、トランジスタ 200b のソース電極またはドレイン電極の一方は、導電体 242c が兼ねる構成となっている。また、配線として機能する導電体 246 と、トランジスタ 200a、およびトランジスタ 200b との接続もプラグとして機能する導電体 240 が、兼ねる構成となっている。このように、2つのトランジスタと、2つの容量デバイスと、配線とプラグとの接続を上述の構成とすることで、微細化または高集積化が可能な半導体装置を提供することができる。

[0434]

トランジスタ 200a、トランジスタ 200b、容量デバイス 292a、および容量デバイス 292b のそれぞれの構成および効果については、図 2A 乃至図 2D、および図 29 に示す半導体装

置の構成例を参酌することができる。

[0435]

<<メモリデバイスの変形例2>>

上記においては、半導体装置の構成例としてトランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bを挙げたが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図30Bに示すように半導体装置600と、半導体装置600と同様の構成を有する半導体装置が容量部を介して接続されている構成としてもよい。本明細書では、トランジスタ200a、トランジスタ200b、容量デバイス292a、および容量デバイス292bを有する半導体装置をセルと称する。トランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bの構成については、上述のトランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bに係る記載を参酌することができる。

[0436]

図30Bは、トランジスタ200a、トランジスタ200b、容量デバイス292a、および容量デバイス292bを有する半導体装置600と、半導体装置600と同様の構成を有するセルが容量部を介して接続されている断面図である。

[0437]

図30Bに示すように、半導体装置600が有する容量デバイス292bの一方の電極として機能する導電体294bは、半導体装置600と同様の構成を有する半導体装置601が有する容量デバイスの一方の電極を兼ねる構成となっている。また、図示しないが、半導体装置600が有する容量デバイス292aの一方の電極として機能する導電体294aが、半導体装置600の左側、つまり図30Bにおいて、A1方向に隣接する半導体装置の容量デバイスの一方の電極を兼ねている。また、半導体装置601の右側、つまり、図30Bにおいて、A2方向のセルについても同様の構成となっている。つまりセルアレイ（メモリデバイス層ともいう。）を構成することができる。このようなセルアレイの構成とすることで、隣り合うセルの間隔を小さくすることができるので、セルアレイの投影面積を小さくすることができ、高集積化が可能となる。また、図30Bに示すセルアレイの構成を、マトリクス状に配置することで、マトリクス状のセルアレイを構成することができる。

[0438]

上述のように、本実施の形態に示す構成で、トランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bを形成することにより、セルの面積を低減し、セルアレイを有する半導体装置の微細化または高集積化を図ることができる。

[0439]

また、上記セルアレイを平面のみでなく積層する構成としてもよい。図31にセルアレイ610をn層積層する構成の断面図を示す。図31に示すように、複数のセルアレイ（セルアレイ610__1乃至セルアレイ610__n）を積層することにより、セルアレイの専有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dセルアレイを構成することができる。

[0440]

<メモリデバイスの変形例3>

図32は、メモリユニット470がトランジスタ200Tを有するトランジスタ層413と、4

層のメモリデバイス層 4 1 5（メモリデバイス層 4 1 5__1 乃至メモリデバイス層 4 1 5__4）を有する例を示す。

[0 4 4 1]

メモリデバイス層 4 1 5__1 乃至メモリデバイス層 4 1 5__4 は、それぞれ複数のメモリデバイス 4 2 0 を有する。

[0 4 4 2]

メモリデバイス 4 2 0 は、導電体 4 2 4、および導電体 2 0 5 を介して異なるメモリデバイス層 4 1 5 が有するメモリデバイス 4 2 0、およびトランジスタ層 4 1 3 が有するトランジスタ 2 0 0 T と電氣的に接続する。

[0 4 4 3]

メモリユニット 4 7 0 は、絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 7、絶縁体 2 8 2、絶縁体 2 8 3、および絶縁体 2 8 4 により封止される（便宜的に、以下では封止構造と呼ぶ）。絶縁体 2 8 4 の周囲には絶縁体 2 7 4 が設けられる。また、絶縁体 2 7 4、絶縁体 2 8 4、絶縁体 2 8 3、および絶縁体 2 1 1 には導電体 4 4 0 が設けられ、素子層 4 1 1 と電氣的に接続する。

[0 4 4 4]

また、封止構造の内部には、絶縁体 2 8 0 が設けられる。絶縁体 2 8 0 は、加熱により酸素を放出する機能を有する。または、絶縁体 2 8 0 は、過剰酸素領域を有する。

[0 4 4 5]

なお、絶縁体 2 1 1、絶縁体 2 8 3、及び絶縁体 2 8 4 は、水素に対するブロッキング性が高い機能を有する材料であると好適である。また、絶縁体 2 1 4、絶縁体 2 8 2、及び絶縁体 2 8 7 は、水素を捕獲、または水素を固着する機能を有する材料であると好適である。

[0 4 4 6]

例えば、上記水素に対するブロッキング性が高い機能を有する材料は、窒化シリコン、または窒化酸化シリコンなどが挙げられる。また、上記水素を捕獲、または水素を固着する機能を有する材料は、酸化アルミニウム、酸化ハフニウム、並びにアルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などが挙げられる。

[0 4 4 7]

なお、本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。または、対応する物質を、捕獲、および固着する（ゲッタリングともいう）機能とする。

[0 4 4 8]

なお、絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 7、絶縁体 2 8 2、絶縁体 2 8 3、および絶縁体 2 8 4 に用いる材料の結晶構造については、特に限定は無いが、非晶質または結晶性を有する構造とすればよい。例えば、水素を捕獲、または水素を固着する機能を有する材料として、非晶質の酸化アルミニウム膜を用いると好適である。非晶質の酸化アルミニウムは、結晶性の高い酸化アルミニウムよりも、水素の捕獲、および固着する量が多い場合がある。

[0 4 4 9]

また、トランジスタ層 4 1 3 とメモリデバイス層 4 1 5 の間、または各メモリデバイス層 4 1 5 の間にも、絶縁体 2 8 2、および絶縁体 2 1 4 が設けられることが好ましい。また、絶縁体 2 8 2、

および絶縁体 214 の間に絶縁体 296 が設けられることが好ましい。絶縁体 296 は、絶縁体 283、および絶縁体 284 と同様の材料を用いることができる。または、酸化シリコン、酸化窒化シリコンを用いることができる。または、公知の絶縁性材料を用いてもよい。

[0450]

ここで、絶縁体 280 中の過剰酸素は、絶縁体 280 と接する酸化物半導体中の水素の拡散に対し、下記のようなモデルが考えられる。

[0451]

酸化物半導体中に存在する水素は、酸化物半導体に接する絶縁体 280 を介して、他の構造体へと拡散する。当該水素の拡散は、絶縁体 280 中の過剰酸素が酸化物半導体中の水素と反応し OH 結合となり、絶縁体 280 中を拡散する。OH 結合を有した水素原子は、水素を捕獲、または水素を固着する機能を有する材料（代表的には、絶縁体 282）に到達した際に、水素原子は絶縁体 282 中の原子（例えば、金属原子など）と結合した酸素原子と反応し、絶縁体 282 中に捕獲、または固着する。一方、OH 結合を有していた過剰酸素の酸素原子は、過剰酸素として絶縁体 280 中に残ると推測される。つまり、当該水素の拡散において、絶縁体 280 中の過剰酸素が、橋渡しの役割を担う蓋然性が高い。

[0452]

上記のモデルを満たすためには、半導体装置の作製プロセスが重要な要素の一つとなる。

[0453]

一例として、酸化物半導体に、過剰酸素を有する絶縁体 280 を形成し、その後、絶縁体 282 を形成する。そのあとに、加熱処理を行うことが好ましい。当該加熱処理は、具体的には、酸素を含む雰囲気、窒素を含む雰囲気、または酸素と窒素の混合雰囲気にて、350℃以上、好ましくは 400℃以上の温度で行う。加熱処理の時間は、1 時間以上、好ましくは 4 時間以上、さらに好ましくは 8 時間以上とする。

[0454]

上記の加熱処理によって、酸化物半導体中の水素が、絶縁体 280、絶縁体 282、および絶縁体 287 を介して、外方に拡散することができる。つまり、酸化物半導体、及び当該酸化物半導体近傍に存在する水素の絶対量を低減することができる。

[0455]

上記加熱処理のあと、絶縁体 283、及び絶縁体 284 を形成する。絶縁体 283、及び絶縁体 284 は、水素に対するブロッキング性が高い機能を有する材料であるため、外方に拡散させた水素、または外部に存在する水素を、内部、具体的には、酸化物半導体、または絶縁体 280 側に入り込むのを抑制することができる。

[0456]

なお、上記の加熱処理については、絶縁体 282 を形成したあとに行う構成について、例示したが、これに限定されない。例えば、トランジスタ層 413 の形成後、またはメモリデバイス層 415__1 乃至メモリデバイス層 415__3 の形成後に、それぞれ上記加熱処理を行っても良い。また、上記加熱処理によって、水素を外方に拡散させる際には、トランジスタ層 413 の上方または横方向に水素が拡散される。同様に、メモリデバイス層 415__1 乃至メモリデバイス層 415__3 形成後に加熱処理をする場合においては、水素は上方または横方向に拡散される。

[0457]

なお、上記の作製プロセスとすることで、絶縁体211と、絶縁体283と、が接着することで、上述した封止構造が形成される。

[0458]

以上のように、上記の構造、及び上記の作製プロセスとすることで、水素濃度が低減された酸化物半導体を用いた半導体装置を提供することができる。従って、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。

[0459]

本実施の形態に示す構成、方法などは、他の実施の形態または実施例に示す構成、構造、方法などと適宜組み合わせ用いることができる。

[0460]

(実施の形態3)

本実施の形態では、図33A、図33Bおよび図34A乃至図34Hを用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OSトランジスタと呼ぶ場合がある。）、および容量素子が適用されている記憶装置（以下、OSメモリ装置と呼ぶ場合がある。）について説明する。OSメモリ装置は、少なくとも容量素子と、容量素子の充放電を制御するOSトランジスタを有する記憶装置である。OSトランジスタのオフ電流は極めて小さいので、OSメモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

[0461]

<記憶装置の構成例>

図33AにOSメモリ装置の構成の一例を示す。記憶装置1400は、周辺回路1411、およびメモリセルアレイ1470を有する。周辺回路1411は、行回路1420、列回路1430、出力回路1440、およびコントロールロジック回路1460を有する。

[0462]

列回路1430は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ1470が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路1440を介して、データ信号RDATAとして記憶装置1400の外部に出力される。また、行回路1420は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

[0463]

記憶装置1400には、外部から電源電圧として低電源電圧(VSS)、周辺回路1411用の高電源電圧(VDD)、メモリセルアレイ1470用の高電源電圧(VIL)が供給される。また、記憶装置1400には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、行デコーダおよび列デコーダに入力され、データ信号WDATAは書き込み回路に入力される。

[0464]

コントロールロジック回路1460は、外部から入力される制御信号(CE、WE、RE)を処理して、行デコーダ、列デコーダの制御信号を生成する。制御信号CEは、チップイネーブル信号

であり、制御信号WEは、書き込みイネーブル信号であり、制御信号REは、読み出しイネーブル信号である。コントロールロジック回路1460が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

[0465]

メモリセルアレイ1470は、行列状に配置された、複数のメモリセルMCと、複数の配線を有する。なお、メモリセルアレイ1470と行回路1420とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。また、メモリセルアレイ1470と列回路1430とを接続している配線の数、メモリセルMCの構成、一列に有するメモリセルMCの数などによって決まる。

[0466]

なお、図33Aにおいて、周辺回路1411とメモリセルアレイ1470を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図33Bに示すように、周辺回路1411の一部の上に、メモリセルアレイ1470が重なるように設けられてもよい。例えば、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にしてもよい。

[0467]

図34A乃至図34Hに上述のメモリセルMCに適用できるメモリセルの構成例について説明する。

[0468]

[DOSRAM]

図34A乃至図34Cに、DRAMのメモリセルの回路構成例を示す。本明細書等において、1OSトランジスタ1容量素子型のメモリセルを用いたDRAMを、DOSRAM (Dynamic Oxide Semiconductor Random Access Memory) と呼ぶ場合がある。図34Aに示す、メモリセル1471は、トランジスタM1と、容量素子CAと、を有する。なお、トランジスタM1は、ゲート（トップゲートと呼ぶ場合がある。）、及びバックゲートを有する。

[0469]

トランジスタM1の第1端子は、容量素子CAの第1端子と接続され、トランジスタM1の第2端子は、配線BILと接続され、トランジスタM1のゲートは、配線WOLと接続され、トランジスタM1のバックゲートは、配線BGLと接続されている。容量素子CAの第2端子は、配線CALと接続されている。

[0470]

配線BILは、ビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CAの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM1のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM1のしきい値電圧を増減することができる。

[0471]

ここで、図34Aに示すメモリセル1471は、図29に示す記憶装置に対応している。つまり、トランジスタM1はトランジスタ200に、容量素子CAは容量デバイス292に対応している。

[0472]

また、メモリセルMCは、メモリセル1471に限定されず、回路構成の変更を行うことができる。例えば、メモリセルMCは、図34Bに示すメモリセル1472のように、トランジスタM1のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図34Cに示すメモリセル1473のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM1で構成されたメモリセルとしてもよい。

[0473]

上記実施の形態に示す半導体装置をメモリセル1471等に用いる場合、トランジスタM1としてトランジスタ200を用い、容量素子CAとして容量素子100を用いることができる。トランジスタM1としてOSトランジスタを用いることによって、トランジスタM1のリーク電流を非常に小さくすることができる。つまり、書き込んだデータをトランジスタM1によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1471、メモリセル1472、メモリセル1473に対して多値データ、又はアナログデータを保持することができる。

[0474]

また、DOSRAMにおいて、上記のように、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

[0475]

[NOSRAM]

図34D乃至図34Gに、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。図34Dに示す、メモリセル1474は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、トップゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。本明細書等において、トランジスタM2にOSトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM（Nonvolatile Oxide Semiconductor RAM）と呼ぶ場合がある。

[0476]

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続され、トランジスタM2のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

[0477]

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM2のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印

加することによって、トランジスタM2のしきい値電圧を増減することができる。

[0478]

ここで、図34Dに示すメモリセル1474は、図27に示す記憶装置に対応している。つまり、トランジスタM2はトランジスタ200に、容量素子CBは容量素子100に、トランジスタM3はトランジスタ300に、配線WBLは配線1003に、配線WOLは配線1004に、配線BGLは配線1006に、配線CALは配線1005に、配線RBLは配線1002に、配線SLは配線1001に対応している。

[0479]

また、メモリセルMCは、メモリセル1474に限定されず、回路の構成を適宜変更することができる。例えば、メモリセルMCは、図34Eに示すメモリセル1475のように、トランジスタM2のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図34Fに示すメモリセル1476のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM2で構成されたメモリセルとしてもよい。また、例えば、メモリセルMCは、図34Gに示すメモリセル1477のように、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。

[0480]

上記実施の形態に示す半導体装置をメモリセル1474等に用いる場合、トランジスタM2としてトランジスタ200を用い、トランジスタM3としてトランジスタ300を用い、容量素子CBとして容量素子100を用いることができる。トランジスタM2としてOSトランジスタを用いることによって、トランジスタM2のリーク電流を非常に小さくすることができる。これにより、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1474に多値データ、又はアナログデータを保持することができる。メモリセル1475乃至メモリセル1477も同様である。

[0481]

なお、トランジスタM3は、チャネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタと呼ぶ場合がある）であってもよい。Siトランジスタの導電型は、nチャネル型としてもよいし、pチャネル型としてもよい。Siトランジスタは、OSトランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタM3として、Siトランジスタを用いてもよい。また、トランジスタM3にSiトランジスタを用いることで、トランジスタM3の上に積層してトランジスタM2を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

[0482]

また、トランジスタM3はOSトランジスタであってもよい。トランジスタM2およびトランジスタM3にOSトランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0483]

また、図34Hに3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す。図34Hに示すメモリセル1478は、トランジスタM4乃至トランジスタM6、および容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、配線RWL、配線

WWL、配線BGL、および配線GNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、配線WBLに電氣的に接続してもよい。

[0484]

トランジスタM4は、バックゲートを有するOSトランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

[0485]

なお、トランジスタM5、トランジスタM6はそれぞれ、nチャネル型Siトランジスタまたはpチャネル型Siトランジスタでもよい。或いは、トランジスタM4乃至トランジスタM6がOSトランジスタでもよい。この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0486]

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4としてトランジスタ200を用い、トランジスタM5、トランジスタM6としてトランジスタ300を用い、容量素子CCとして容量素子100を用いることができる。トランジスタM4としてOSトランジスタを用いることによって、トランジスタM4のリーク電流を非常に小さくすることができる。

[0487]

なお、本実施の形態に示す、周辺回路1411、メモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

[0488]

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置（メモリ）が用いられる。図35に、各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速いアクセス速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図35では、最上層から順に、CPUなどの演算処理装置にレジスタとして混載されるメモリ、SRAM (Static Random Access Memory)、DRAM (Dynamic Random Access Memory)、3D NANDメモリを示している。

[0489]

CPUなどの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

[0490]

SRAMは、例えばキャッシュに用いられる。キャッシュは、メインメモリに保持されている情報の一部を複製して保持する機能を有する。使用頻度が高いデータをキャッシュに複製しておくことで、データへのアクセス速度を高めることができる。

[0491]

DRAMは、例えばメインメモリに用いられる。メインメモリは、ストレージから読み出されたプログラムやデータを保持する機能を有する。DRAMの記録密度は、およそ0.1乃至0.3 Gbit/mm²である。

[0492]

3D NANDメモリは、例えばストレージに用いられる。ストレージは、長期保存が必要なデータや、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。ストレージに用いられる記憶装置の記録密度は、おおよそ0.6乃至6.0 Gbit/mm²である。

[0493]

本発明の一態様の記憶装置は、動作速度が速く、長期間のデータ保持が可能である。本発明の一態様の記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方を含む境界領域901に位置する記憶装置として好適に用いることができる。また、本発明の一態様の記憶装置は、メインメモリが位置する階層とストレージが位置する階層の双方を含む境界領域902に位置する記憶装置として好適に用いることができる。

[0494]

本実施の形態に示す構成は、他の実施の形態または実施例に示す構成と適宜組み合わせて用いることができる。

[0495]

(実施の形態4)

本実施の形態では、図36Aおよび図36Bを用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip : SoC）と呼ぶ場合がある。

[0496]

図36Aに示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

[0497]

チップ1200には、バンプ（図示しない）が設けられ、図36Bに示すように、プリント基板（Printed Circuit Board : PCB）1201の第1の面と接続する。また、PCB1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

[0498]

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すDOSRAMを用いることができる。また、例えば、フラッシュメモリ1222に先の実施の形態に示すNOSRAMを用いることができる。

[0499]

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、およびGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、およびGPU1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、前述したNOSRAMや、DOSRAMを用いることができる。また、GPU1212は、多数のデータの並

列計算に適しており、画像処理や積和演算に用いることができる。GPU 1212に、本発明の酸化半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

[0500]

また、CPU 1211、およびGPU 1212が同一チップに設けられていることで、CPU 1211およびGPU 1212間の配線を短くすることができ、CPU 1211からGPU 1212へのデータ転送、CPU 1211、およびGPU 1212が有するメモリ間のデータ転送、およびGPU 1212での演算後に、GPU 1212からCPU 1211への演算結果の転送を高速に行うことができる。

[0501]

アナログ演算部 1213はA/D（アナログ／デジタル）変換回路、およびD/A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部 1213に上記積和演算回路を設けてもよい。

[0502]

メモリコントローラ 1214は、DRAM 1221のコントローラとして機能する回路、およびフラッシュメモリ 1222のインターフェースとして機能する回路を有する。

[0503]

インターフェース 1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

[0504]

ネットワーク回路 1216は、LAN（Local Area Network）などのネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0505]

チップ 1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ 1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ 1200を低コストで作製することができる。

[0506]

GPU 1212を有するチップ 1200が設けられたPCB 1201、DRAM 1221、およびフラッシュメモリ 1222が設けられたマザーボード 1203は、GPUモジュール 1204と呼ぶことができる。

[0507]

GPUモジュール 1204は、SoC技術を用いたチップ 1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU 1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）

などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

[0508]

本実施の形態に示す構成は、他の実施の形態または実施例に示す構成と適宜組み合わせる用いることができる。

[0509]

(実施の形態5)

本実施の形態は、上記実施の形態に示す記憶装置などが組み込まれた電子部品および電子機器の一例を示す。

[0510]

<電子部品>

まず、記憶装置720が組み込まれた電子部品の例を、図37Aおよび図37Bを用いて説明を行う。

[0511]

図37Aに電子部品700および電子部品700が実装された基板（実装基板704）の斜視図を示す。図37Aに示す電子部品700は、モールド711内に記憶装置720を有している。図37Aは、電子部品700の内部を示すために、一部を省略している。電子部品700は、モールド711の外側にランド712を有する。ランド712は電極パッド713と電氣的に接続され、電極パッド713は記憶装置720とワイヤ714によって電氣的に接続されている。電子部品700は、例えばプリント基板702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板702上で電氣的に接続されることで実装基板704が完成する。

[0512]

記憶装置720は、駆動回路層721と、記憶回路層722と、を有する。

[0513]

図37Bに電子部品730の斜視図を示す。電子部品730は、SiP（System in package）またはMCM（Multi Chip Module）の一例である。電子部品730は、パッケージ基板732（プリント基板）上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、および複数の記憶装置720が設けられている。

[0514]

電子部品730では、記憶装置720を広帯域メモリ（HBM：High Bandwidth Memory）として用いる例を示している。また、半導体装置735は、CPU、GPU、FPGAなどの集積回路（半導体装置）を用いることができる。

[0515]

パッケージ基板732は、セラミック基板、プラスチック基板、ガラスエポキシ基板などを用いることができる。インターポーザ731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0516]

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電

氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ 731 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 732 を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV (Through Silicon Via) を用いることも出来る。

[0517]

インターポーザ 731 としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0518]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0519]

また、シリコンインターポーザを用いたSiPやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ(2.5次元実装)では、シリコンインターポーザを用いることが好ましい。

[0520]

また、電子部品 730 と重ねてヒートシンク(放熱板)を設けてもよい。ヒートシンクを設ける場合は、インターポーザ 731 上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品 730 では、記憶装置 720 と半導体装置 735 の高さを揃えることが好ましい。

[0521]

電子部品 730 を他の基板に実装するため、パッケージ基板 732 の底部に電極 733 を設けてもよい。図 37B では、電極 733 を半田ボールで形成する例を示している。パッケージ基板 732 の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極 733 を導電性のピンで形成してもよい。パッケージ基板 732 の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。

[0522]

電子部品 730 は、BGA および PGA に限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QFJ (Quad Flat J-leaded package)、またはQFN (Quad Flat Non-leaded package) などの実装方法を用いることができる。

[0523]

本実施の形態は、他の実施の形態または実施例などに記載した構成と適宜組み合わせる

ことが可能である。

[0524]

(実施の形態6)

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図38A乃至図38Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

[0525]

図38AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

[0526]

図38BはSDカードの外観の模式図であり、図38Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。メモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

[0527]

図38DはSSDの外観の模式図であり、図38Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。メモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

[0528]

本実施の形態は、他の実施の形態または実施例に記載した構成と適宜組み合わせることで実施することが可能である。

[0529]

(実施の形態 7)

本発明の一態様に係る半導体装置は、CPUやGPUなどのプロセッサ、またはチップに用いることができる。図39A乃至図39Hに、本発明の一態様に係るCPUやGPUなどのプロセッサ、またはチップを備えた電子機器の具体例を示す。

[0530]

<電子機器・システム>

本発明の一態様に係るGPUまたはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ(Digital Signage: 電子看板)、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係るGPUまたはチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

[0531]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[0532]

本発明の一態様の電子機器は、センサ(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの)を有していてもよい。

[0533]

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア(プログラム)を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図39A乃至図39Hに、電子機器の例を示す。

[0534]

[情報端末]

図39Aには、情報端末の一種である携帯電話(スマートフォン)が図示されている。情報端末5100は、筐体5101と、表示部5102と、を有しており、入力用インターフェースとして、タッチパネルが表示部5102に備えられ、ボタンが筐体5101に備えられている。

[0535]

情報端末5100は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5102に表示するアプリケーション、表示部5102に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5102に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

[0536]

図39Bには、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情

報端末の本体 5 2 0 1 と、表示部 5 2 0 2 と、キーボード 5 2 0 3 と、を有する。

[0 5 3 7]

ノート型情報端末 5 2 0 0 は、先述した情報端末 5 1 0 0 と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末 5 2 0 0 を用いることで、新規の人工知能の開発を行うことができる。

[0 5 3 8]

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図 3 9 A、図 3 9 B に図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、デスクトップ型情報端末、ワークステーションなどが挙げられる。

[0 5 3 9]

[ゲーム機]

図 3 9 C は、ゲーム機の一例である携帯ゲーム機 5 3 0 0 を示している。携帯ゲーム機 5 3 0 0 は、筐体 5 3 0 1、筐体 5 3 0 2、筐体 5 3 0 3、表示部 5 3 0 4、接続部 5 3 0 5、操作キー 5 3 0 6 等を有する。筐体 5 3 0 2、および筐体 5 3 0 3 は、筐体 5 3 0 1 から取り外すことが可能である。筐体 5 3 0 1 に設けられている接続部 5 3 0 5 を別の筐体（図示せず）に取り付けることで、表示部 5 3 0 4 に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体 5 3 0 2、および筐体 5 3 0 3 は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体 5 3 0 1、筐体 5 3 0 2、および筐体 5 3 0 3 の基板に設けられているチップなどに先の実施の形態に示すチップを組み込むことができる。

[0 5 4 0]

また、図 3 9 D は、ゲーム機の一例である据え置き型ゲーム機 5 4 0 0 を示している。据え置き型ゲーム機 5 4 0 0 には、無線または有線でコントローラ 5 4 0 2 が接続されている。

[0 5 4 1]

携帯ゲーム機 5 3 0 0、据え置き型ゲーム機 5 4 0 0 などのゲーム機に本発明の一態様の GPU またはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0 5 4 2]

更に、携帯ゲーム機 5 3 0 0 に本発明の一態様の GPU またはチップを適用することによって、人工知能を有する携帯ゲーム機 5 3 0 0 を実現することができる。

[0 5 4 3]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機 5 3 0 0 に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表

現が可能となる。

[0544]

また、携帯ゲーム機5300で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

[0545]

図39C、図39Dでは、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のGPUまたはチップを適用するゲーム機はこれに限定されない。本発明の一態様のGPUまたはチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0546]

[大型コンピュータ]

本発明の一態様のGPUまたはチップは、大型コンピュータに適用することができる。

[0547]

図39Eは、大型コンピュータの一例である、スーパーコンピュータ5500を示す図である。図39Fは、スーパーコンピュータ5500が有するラックマウント型の計算機5502を示す図である。

[0548]

スーパーコンピュータ5500は、ラック5501と、複数のラックマウント型の計算機5502と、を有する。なお、複数の計算機5502は、ラック5501に格納されている。また、計算機5502には、複数の基板5504が設けられ、当該基板上に上記実施の形態で説明したGPUまたはチップを搭載することができる。

[0549]

スーパーコンピュータ5500は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ5500に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0550]

図39E、図39Fでは、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様のGPUまたはチップを適用する大型コンピュータはこれに限定されない。本発明の一態様のGPUまたはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

[0551]

[移動体]

本発明の一態様のGPUまたはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

[0552]

図39Gは、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図39Gでは、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

[0553]

表示パネル5701乃至表示パネル5703は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、その他様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

[0554]

表示パネル5704には、自動車に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5704は、照明装置として用いることもできる。

[0555]

本発明の一態様のGPUまたはチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル5701乃至表示パネル5704には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0556]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

[0557]

[電化製品]

図39Hは、電化製品の一例である電気冷凍冷蔵庫5800を示している。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

[0558]

電気冷凍冷蔵庫5800に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫5800を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫5800に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

[0559]

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0560]

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

[0561]

本実施の形態は、他の実施の形態または実施例に記載した構成と適宜組み合わせることで実施することが可能である。

[実施例]

[0562]

本実施例では、先の実施の形態に示すトランジスタを作製し、透過型電子顕微鏡（TEM：Transmission Electron Microscope）を用いて観察を行い、電気特性の測定を行った結果について説明する。

[0563]

本実施例では、図6に示す、トランジスタ200と同様の構成を有するトランジスタを2.0個/ μm^2 の密度で配置したサンプル1を作製した。

[0564]

まず、サンプル1を構成するトランジスタの構成について説明する。図6に示すように、サンプル1のトランジスタは、絶縁体212、絶縁体214、絶縁体216、導電体205、絶縁体222、絶縁体224、酸化物230a、酸化物230b、酸化物243（酸化物243a、酸化物243b）、導電体242（導電体242a、導電体242b）、絶縁体272、絶縁体273、絶縁体280、酸化物230c、酸化物230d、絶縁体250、導電体260（導電体260a、導電体260b）、絶縁体282、絶縁体287、絶縁体283、絶縁体284、絶縁体274、導電体240、および絶縁体241を有する。

[0565]

以下にサンプル1の各構成要素の詳細について説明する。なお、サンプル1のトランジスタは、上記実施の形態で図8乃至図25を用いて説明した作製方法を用いて作製された。

[0566]

絶縁体212として、窒化シリコンを用いた。窒化シリコンは、RFスパッタリング法を用いて、膜厚20nmで成膜した。また、絶縁体214として、酸化アルミニウムを用いた。酸化アルミニウムは、RFスパッタリング法を用いて、膜厚40nmで成膜した。

[0567]

また、絶縁体216として、PECVD法で成膜した、酸化窒化シリコンを用いた。また、導電体205aとして、DCスパッタリング法で成膜した窒化タンタルを用いた。また、導電体205bとして、メタルCVD装置で、窒化チタン、タングステンの順に積層した導電膜を用いた。

[0568]

絶縁体222として、ALD法を用いて成膜した、膜厚20nmの酸化ハフニウムを用いた。絶縁体224として、PECVD法を用いて成膜した、膜厚30nmの酸化窒化シリコンを用いた。

[0569]

酸化物230aとして、DCスパッタリング法で成膜した、膜厚が5nmのIn-Ga-Zn酸化物を用いた。なお、酸化物230aの成膜には、In:Ga:Zn=1:3:4〔原子数比〕のターゲットを用い、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Pa（キャノ

ンアネルバ製ミニチュアゲージMG-2によって計測した。)とし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットと基板との間隔を60mmとした。

[0570]

酸化物230bとして、DCスパッタリング法で成膜した、膜厚が15nmのIn-Ga-Zn酸化物を用いた。なお、酸化物230bの成膜には、In:Ga:Zn=4:2:4.1[原子数比]のターゲットを用い、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Pa(キャノンアネルバ製ミニチュアゲージMG-2によって計測した。)とし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットと基板との間隔を60mmとした。酸化物230bは、酸化物230aの成膜後、外気にさらさず、連続して成膜した。

[0571]

酸化物243として、DCスパッタリング法で成膜した、膜厚が2nmのIn-Ga-Zn酸化物を用いた。なお、酸化物243の成膜には、In:Ga:Zn=1:3:4[原子数比]のターゲットを用い、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Pa(キャノンアネルバ製ミニチュアゲージMG-2によって計測した。)とし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットと基板との間隔を60mmとした。酸化物243は、酸化物230bの成膜後、外気にさらさず、連続して成膜した。また、酸化物243となる酸化膜の成膜後、窒素雰囲気温度400℃、1時間の熱処理を行い、さらに酸素雰囲気400℃1時間の熱処理を行った。

[0572]

導電体242は、DCスパッタリング法で成膜した、膜厚25nmの窒化タンタルを用いた。また、絶縁体272は、RFスパッタリング法で成膜した、膜厚5nmの酸化アルミニウムを用いた。また、絶縁体273は、ALD法で成膜した、膜厚3nmの酸化アルミニウムを用いた。

[0573]

絶縁体280は、第1層と第1層上の第2層の積層膜とした。絶縁体280の第1層は、RFスパッタリング法で成膜した、膜厚が60nmの酸化シリコンを用いた。絶縁体280の第1層の成膜には、SiO₂ターゲットを用い、成膜ガスとして、酸素ガス50sccmを用い、成膜圧力を0.7Paとし、成膜電力を1500Wとし、基板温度を170℃とし、ターゲットと基板との間隔を60mmとした。絶縁体280の第2層は、PECVD法で成膜した酸化窒化シリコンを用いた。

[0574]

サンプル1の作製工程においても、図11に示すように、絶縁体280などに酸化物230bに達する開口を形成し、チャンネルエッチを行って導電体242aおよび導電体242bを形成した。当該開口の形成では、絶縁体280をドライエッチングで除去し、絶縁体272および絶縁体273をウェットエッチングで除去した。導電体242、酸化物243、および酸化物230bのエッチングは、エッチングガスとしてCl₂ガス80sccmおよびArガス20sccmを用い、圧力を1.00Paとし、ICP電力を1000Wとし、バイアス電力を100Wとし、電極間距離を200mmとし、処理時間を16secとした。このとき、バイアスの電力密度は、0.06W/cm²であった。また、導電体242および酸化物243のエッチング後に、外気にさらさず、連続して酸素プラズマ処理を行った。

[0575]

上記エッチング後に、フッ化水素濃度が2 ppmである希釈フッ化水素酸を用いて、30秒間洗浄を行った。

[0576]

酸化物230cとして、DCスパッタリング法を用いて成膜した、膜厚が3nmのIn-Ga-Zn酸化物を用いた。なお、酸化物230cの第1層の成膜には、In:Ga:Zn=4:2:4.1 [原子数比] のターゲットを用い、成膜ガスとして、酸素ガス45 sccmを用い、成膜圧力を0.7 Pa (キャノンアネルバ製ミニチュアゲージMG-2によって計測した。)とし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットと基板との間隔を60mmとした。酸化物230cの成膜前に、減圧下で、200℃、5分の熱処理を行った。熱処理後、外気にさらさず、連続して酸化物230cを成膜した。なお、本実施例では、酸化物230cのパターン形成(図13参照。)は行っていない。

[0577]

酸化物230dとして、DCスパッタリング法を用いて成膜した、膜厚が3nmのIn-Ga-Zn酸化物を用いた。なお、酸化物230cの第2層の成膜には、In:Ga:Zn=1:3:4 [原子数比] のターゲットを用い、成膜ガスとして酸素ガス45 sccmを用い、成膜圧力を0.7 Pa (キャノンアネルバ製ミニチュアゲージMG-2によって計測した。)とし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットと基板との間隔を60mmとした。酸化物230dは、酸化物230cの成膜後、外気にさらさず、連続して成膜した。

[0578]

絶縁体250として、PECVD法で成膜した、膜厚6nmの酸化窒化シリコンを用いた。絶縁体250の成膜前に、減圧下で、200℃、5分の熱処理を行った。熱処理後、外気にさらさず、連続して絶縁体250を成膜した。また、導電体260aとして、膜厚5nmの窒化チタンを用いた。また、導電体260bとして、タングステンを用いた。なお、絶縁体250の成膜後にマイクロ波処理を行った。マイクロ波処理は、処理ガスとしてArガス150 sccmおよびO₂ガス50 sccmを用い、圧力を400 Paとし、電力を4000Wとし、処理温度を400℃とし、処理時間を600秒とした。

[0579]

なお、酸化物230c、酸化物230d、絶縁体250、および導電体260の形成後に、窒素雰囲気、温度400℃、1時間の熱処理を行った。

[0580]

絶縁体282として、RFスパッタリング法で成膜した、膜厚が40nmの酸化アルミニウムを用いた。絶縁体282には、Al₂O₃ターゲットを用い、成膜ガスとして、アルゴンガス25 sccm、酸素ガス25 sccmを用い、成膜圧力を0.4 Paとし、成膜電力を2500Wとし、基板温度を250℃とし、ターゲットと基板との間隔を60mmとした。絶縁体282の成膜前に、減圧下で、200℃、5分の熱処理を行った。

[0581]

絶縁体287として、RFスパッタリング法で成膜した、酸化アルミニウムを用いた。絶縁体287は、絶縁体282と同条件で成膜した酸化アルミニウムを、エッチングガスとしてBCl₃を用いたドライエッチング処理でエッチバックして形成した。

[0582]

絶縁体 283 として、RF スパッタリング法で成膜した、膜厚が 20 nm の窒化シリコンを用いた。また、絶縁体 284 として、PECVD 法で成膜した、膜厚 20 nm の窒化シリコンを用いた。また、絶縁体 274 として、APCVD 法で成膜した、酸化シリコンを用いた。

[0583]

絶縁体 241 として、ALD 法で成膜した、膜厚が 13 nm の酸化アルミニウムを用いた。また、導電体 240 として、メタル CVD 装置で、窒化チタン、タングステンの順に積層した導電膜を用いた。

[0584]

以上のような構成を有するサンプル 1 は、チャンネル長 60 nm、チャンネル幅 60 nm を狙って設計した。また、サンプル 1 は、作製後に、窒素雰囲気、温度 400°C、8 時間の熱処理を行った。

[0585]

作製したサンプル 1 について、日立ハイテクノロジーズ製「H-9500」を用いて、加速電圧を 300 kV として、断面 TEM 像の撮影を行った。図 40A、図 40B に撮影した断面 TEM 像を示す。図 40A は、先の実施の形態に示す、図 4C に対応する領域の TEM 像である。図 40B は、図 40A の四角枠の拡大 TEM 像である。

[0586]

図 40A に示すように、サンプル 1 において、酸化物 230b 上に酸化物 243 が配置され、酸化物 243 の上に導電体 242 が配置されている。酸化物 230b、酸化物 243、および導電体 242 で形成される開口の中に、酸化物 230c、酸化物 230d、および絶縁体 250 が積層して配置されている。図 40B に酸化物 230c と酸化物 230d の界面 42 と、酸化物 230b と酸化物 230c の界面 44 と、酸化物 243 と導電体 242 の界面 46 と、酸化物 230b と酸化物 243 の界面 48 と、を示す。

[0587]

図 40B に示すように、界面 42 と界面 48 の高さが概略一致しており、酸化物 230b の表面に形成された溝部を埋め込まれるように酸化物 230c が形成されていることが分かる。ここで、サンプル 1 における溝部の深さ（界面 44 と界面 48 の高さの差）は、2.6 nm であった。さらに、酸化物 230b、酸化物 230d、および酸化物 230c の基板面に概略平行な領域では、層状の結晶構造が見られ、CAAC-OS が形成されていることが推測される。よって、本実施例のサンプル 1 においても、酸化物 230c は酸化物 230b の溝部において、CAAC-OS を有し、当該 CAAC-OS の層は、酸化物 230b の CAAC-OS の層と概略平行であると推測される。

[0588]

また、図 40B に示すように、酸化物 230b、酸化物 230c、酸化物 243、および導電体 242 の界面近傍で、層状の結晶構造が形成されていない領域 40 が観察された。領域 40 は、図 4C に示す酸化物 230e に相当し、非 CAAC 領域であると推測される。ここで、領域 40 について、日立ハイテクノロジーズ製「HD-2700」を用いて、加速電圧を 200 kV として、エネルギー分散型 X 線分光法（EDX: Energy Dispersive X-ray spectroscopy）によるポイント分析を行った。EDX 分析による領域 40 における、アルミニウム原子の濃度の定量値は、1.0 原子% だった。

[0589]

また、図 40A に示す TEM 像の、領域 40、酸化物 230b、および酸化物 230d に対応す

る部分でFFT (Fast Fourier Transform) 解析を行った。TEM像にFFT解析を行うことで、電子回折パターンと同様の逆格子空間情報を反映したパターンを有する、FFT像を得ることができる。例えば、上記のCAAC-OSをc軸に垂直な方向から撮影した断面TEM像の場合、FFT像には強い強度の2点のスポットが見られる場合がある。この2点のスポットの強度がCAAC-OSの結晶化度を表し、この2点のスポットを結んだ線分の角度がCAAC-OSの結晶の配向性を表す。

[0590]

FFT解析の結果を図41A、図41Bに示す。図41Aは、図40Bと同じTEM像であり、領域51は領域40の一部であり、領域52は酸化物230bの一部であり、領域53は酸化物230dの一部である。図41Bは領域51のTEM像のFFT像であり、図41Cは領域52のTEM像のFFT像であり、図41Dは領域53のTEM像のFFT像である。ここで、領域51、領域52、および領域53は、それぞれ2.7nm×2.7nmの領域である。

[0591]

図41Cに示すように、領域52のFFT像には強い強度の2点のスポットが見えており、酸化物230bが少なくとも領域52において、c軸配向性を有するCAAC-OSであることが分かる。また、図41Dに示すように、領域53のFFT像にも同様に、強い強度の2点のスポットが見えており、酸化物230dが少なくとも領域52において、c軸配向性を有するCAAC-OSであることが分かる。

[0592]

一方、図41Bに示すように、領域51のFFT像では強い強度のスポットは見られず、領域52および領域53より結晶性が低いことが分かる。つまり、領域40は、非CAAC領域であると考えられる。

[0593]

以上のように、FFT解析を行うことで、サンプル1の、酸化物230b、酸化物243、酸化物230c、および酸化物230dの界面近傍の領域40が非CAAC領域であることが確認できた。

[0594]

次に、サンプル1のトランジスタについて、キーサイトテクノロジー製半導体パラメータアナライザーを用いて、 I_d-V_g 特性（ドレイン電流-ゲート電圧特性）を測定した。 I_d-V_g 特性の測定は、ドレイン電圧（ V_d ）を0.1Vまたは1.2Vとし、バックゲート電圧（ V_{bg} ）を0Vとし、ゲート電圧を-4.0Vから4.0Vまで0.1Vステップで掃引させた。

[0595]

図42にサンプル1の I_d-V_g 特性の測定結果を示す。図35は、横軸にゲート電圧 V_g [V]、第1の縦軸にドレイン電流 I_d [A]、第2の縦軸に $V_d=1.2$ Vにおける電界効果移動度 μ_{FE} [cm^2/Vs]をとる。また、 $V_d=0.1$ Vのドレイン電流を実線で示し、 $V_d=1.2$ Vのドレイン電流を破線で示し、 $V_d=0.1$ Vの電界効果移動度を点線で示している。図42に示すように、本実施例のサンプル1のトランジスタは良好な電気特性を示した。

[0596]

また、サンプル1に含まれる、27個のトランジスタで、同様に I_d-V_g 特性の測定を行い、 V_{sh} およびS値を算出した。図43Aにサンプル1の V_{sh} [V]のバラツキを示す。また、図

43Bにサンプル1のS値[mV/d e c.]のばらつきを示す。図43A、図43Bに示すように、サンプル1のトランジスタのV_{s h}およびS値のばらつきは、小さいことが分かる。つまり、上記実施の形態に示す構造にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。

[0597]

また、サンプル1とは、一部構造が異なるサンプル1A、サンプル1B、およびサンプル1Cを作製し、アルミニウム濃度の定量値を測定した。サンプル1A乃至1Cは、絶縁体212、絶縁体214、絶縁体216、絶縁体222、絶縁体224、絶縁体272、絶縁体273、絶縁体280、および絶縁体282がパターニングされていない点において、サンプル1と異なる。

[0598]

つまり、サンプル1A乃至サンプル1Cは、図2に示すトランジスタ200と同様の構造を有しており、絶縁体212、絶縁体214、絶縁体216、導電体205、絶縁体222、絶縁体224、酸化物230a、酸化物230b、酸化物243（酸化物243a、酸化物243b）、導電体242（導電体242a、導電体242b）、絶縁体272、絶縁体273、絶縁体280、酸化物230c、酸化物230d、絶縁体250、導電体260（導電体260a、導電体260b）、絶縁体282、絶縁体283、絶縁体284、導電体240、および絶縁体241を有する。

[0599]

また、サンプル1A乃至サンプル1Cは、絶縁体280などに酸化物230bに達する開口を形成するドライエッチングにおいて、バイアス電力を50Wにした点、酸化物230cを成膜する前に、酸素雰囲気中で350℃、1時間の熱処理を行い、さらに窒素雰囲気中で350℃10分の熱処理を行った点、などにおいてもサンプル1と異なる。

[0600]

サンプル1Cについて、サンプル1と同様の方法で、断面TEM像を撮影した。図44A、図44B、図44Cに撮影した断面TEM像を示す。図44Aは導電体242a近傍、図44Bはチャネル形成領域近傍、図44Cは導電体242b近傍、の断面TEM像を示す。

[0601]

さらに、図44Aの領域61、図44Bの領域62、および図44Cの領域63について、サンプル1と同様の方法で、EDXによるポイント分析を行った。なお、サンプル1Aおよびサンプル1Bも同様に、領域61乃至領域63に相当する領域について、EDXによるポイント分析を行った。ここで、領域61は、トランジスタのソース電極およびドレイン電極の一方の下端部近傍に相当し、領域62は、酸化物230cと酸化物230dの界面近傍のチャネル形成領域に相当し、領域63は、トランジスタのソース電極およびドレイン電極の他方の下端部近傍に相当する。

[0602]

サンプル1A乃至サンプル1Cの領域61乃至領域63のEDX分析の結果を図45に示す。図45は、縦軸にアルミニウム濃度の定量値[at om i c %]をとる。図45に示すように、領域61および領域63では、アルミニウム原子の濃度が1.8原子%～2.7原子%程度になっているが、領域62では、0.4原子%～0.9原子%程度になっている。

[0603]

つまり、本実施例にかかるトランジスタのチャネル形成領域の中央部は、ソース電極およびドレイン電極の下端部近傍と比較して、アルミニウム原子の濃度が顕著に低くなっていることがわかる。

このように、当該トランジスタのチャネル形成領域の中央部は、CAAC-Os化を阻害するアルミニウム原子の濃度が顕著に低いので、良好な結晶性を有するCAAC-Osが形成されていることが推測される。

[0604]

本実施例に示す構成、方法などは、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[符号の説明]

[0605]

20：ナノクラスター、22：横成長部、23：粒子、26：領域、27：連結部、32：基板、40：領域、42：界面、44：界面、46：界面、48：界面、51：領域、52：領域、53：領域、61：領域、62：領域、63：領域、100：容量素子、110：導電体、112：導電体、115：導電体、120：導電体、125：導電体、130：絶縁体、140：導電体、142：絶縁体、145：絶縁体、150：絶縁体、152：絶縁体、153：導電体、154：絶縁体、156：絶縁体、200：トランジスタ、200_n：トランジスタ、200₁：トランジスタ、200_a：トランジスタ、200_b：トランジスタ、200_T：トランジスタ、205：導電体、205_a：導電体、205_b：導電体、210：絶縁体、211：絶縁体、212：絶縁体、214：絶縁体、216：絶縁体、217：絶縁体、218：導電体、222：絶縁体、224：絶縁体、230：酸化物、230_a：酸化物、230_A：酸化膜、230_b：酸化物、230_{b1}：酸化物、230_{b2}：酸化物、230_B：酸化膜、230_c：酸化物、230_C：酸化膜、230_d：酸化物、230_D：酸化膜、230_e：酸化物、232：界面、240：導電体、240_a：導電体、240_b：導電体、241：絶縁体、241_a：絶縁体、241_b：絶縁体、242：導電体、242_a：導電体、242_A：導電膜、242_b：導電体、242_B：導電層、242_c：導電体、243：酸化物、243_a：酸化物、243_A：酸化膜、243_b：酸化物、243_B：酸化物層、246：導電体、246_a：導電体、246_b：導電体、250：絶縁体、250_A：絶縁膜、260：導電体、260_a：導電体、260_A：導電膜、260_b：導電体、260_B：導電膜、265：封止部、265_a：封止部、265_b：封止部、272：絶縁体、273：絶縁体、274：絶縁体、280：絶縁体、282：絶縁体、283：絶縁体、284：絶縁体、286：絶縁体、287：絶縁体、287_A：絶縁体、290：メモリデバイス、292：容量デバイス、292_a：容量デバイス、292_b：容量デバイス、294：導電体、294_a：導電体、294_b：導電体、296：絶縁体、300：トランジスタ、311：基板、313：半導体領域、314_a：低抵抗領域、314_b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、411：素子層、413：トランジスタ層、415：メモリデバイス層、415₁：メモリデバイス層、415₃：メモリデバイス層、415₄：メモリデバイス層、420：メモリデバイス、424：導電体、440：導電体、470：メモリユニット、600：半導体装置、601：半導体装置、610：セルアレイ、610_n：セルアレイ、610₁：セルアレイ、700：電子部品、702：プリント基板、704：実装基板、711：モールド、712：ランド、713：電極パッド、714：ワイヤ、720：記憶装置、721：駆動回路層、722：記憶回路層、730：電子部品、731：インターポーザ、732：パッケージ基板、733：電極、735：半導体装置、9

01 : 境界領域、902 : 境界領域、1001 : 配線、1002 : 配線、1003 : 配線、1004 : 配線、1005 : 配線、1006 : 配線、1100 : USBメモリ、1101 : 筐体、1102 : キャップ、1103 : USBコネクタ、1104 : 基板、1105 : メモリチップ、1106 : コントローラチップ、1110 : SDカード、1111 : 筐体、1112 : コネクタ、1113 : 基板、1114 : メモリチップ、1115 : コントローラチップ、1150 : SSD、1151 : 筐体、1152 : コネクタ、1153 : 基板、1154 : メモリチップ、1155 : メモリチップ、1156 : コントローラチップ、1200 : チップ、1201 : PCB、1202 : バンプ、1203 : マザーボード、1204 : GPUモジュール、1211 : CPU、1212 : GPU、1213 : アナログ演算部、1214 : メモリコントローラ、1215 : インターフェース、1216 : ネットワーク回路、1221 : DRAM、1222 : フラッシュメモリ、1400 : 記憶装置、1411 : 周辺回路、1420 : 行回路、1430 : 列回路、1440 : 出力回路、1460 : コントロールロジック回路、1470 : メモリセルアレイ、1471 : メモリセル、1472 : メモリセル、1473 : メモリセル、1474 : メモリセル、1475 : メモリセル、1476 : メモリセル、1477 : メモリセル、1478 : メモリセル、5100 : 情報端末、5101 : 筐体、5102 : 表示部、5200 : ノート型情報端末、5201 : 本体、5202 : 表示部、5203 : キーボード、5300 : 携帯ゲーム機、5301 : 筐体、5302 : 筐体、5303 : 筐体、5304 : 表示部、5305 : 接続部、5306 : 操作キー、5400 : 据え置き型ゲーム機、5402 : コントローラ、5500 : スーパーコンピュータ、5501 : ラック、5502 : 計算機、5504 : 基板、5701 : 表示パネル、5702 : 表示パネル、5703 : 表示パネル、5704 : 表示パネル、5800 : 電気冷凍冷蔵庫、5801 : 筐体、5802 : 冷蔵室用扉、5803 : 冷凍室用扉

請求の範囲

[請求項 1]

第 1 の酸化物と、
前記第 1 の酸化物上の、第 2 の酸化物、および第 3 の酸化物と、
前記第 2 の酸化物上の、第 1 の導電体と、
前記第 3 の酸化物上の、第 2 の導電体と、
前記第 1 の酸化物上、かつ、前記第 2 の酸化物と前記第 3 の酸化物の間、の第 4 の酸化物と、
前記第 4 の酸化物上の第 1 の絶縁体と、
前記第 1 の絶縁体上の第 3 の導電体と、を有し、
前記第 1 の酸化物は、前記第 2 の酸化物および前記第 3 の酸化物と重畳しない領域に溝部を有し、
前記第 1 の酸化物は、前記第 1 の酸化物の被形成面に概略平行な第 1 の層状の結晶を有し、
前記溝部において、前記第 4 の酸化物は、前記第 1 の酸化物の被形成面に概略平行な第 2 の層状の結晶を有し、
前記第 1 の酸化物と前記第 4 の酸化物の界面、およびその近傍の、アルミニウム原子の濃度は 5.0 原子%以下である、半導体装置。

[請求項 2]

第 1 の酸化物と、
前記第 1 の酸化物上の、第 2 の酸化物、および第 3 の酸化物と、
前記第 2 の酸化物上の、第 1 の導電体と、
前記第 3 の酸化物上の、第 2 の導電体と、
前記第 1 の酸化物上、かつ、前記第 2 の酸化物と前記第 3 の酸化物の間、の第 4 の酸化物と、
前記第 4 の酸化物上の第 5 の酸化物と、
前記第 5 の酸化物上の第 1 の絶縁体と、
前記第 1 の絶縁体上の第 3 の導電体と、を有し、
前記第 1 の酸化物は、前記第 2 の酸化物および前記第 3 の酸化物と重畳しない領域に溝部を有し、
前記第 1 の酸化物は、前記第 1 の酸化物の被形成面に概略平行な第 1 の層状の結晶を有し、
前記溝部において、前記第 4 の酸化物は、前記第 1 の酸化物の被形成面に概略平行な第 2 の層状の結晶を有し、
前記第 1 の酸化物と前記第 4 の酸化物の界面、およびその近傍の、アルミニウム原子の濃度は 2.0 原子%以下である、半導体装置。

[請求項 3]

第 1 の酸化物と、
前記第 1 の酸化物上の、第 2 の酸化物、および第 3 の酸化物と、
前記第 2 の酸化物上の、第 1 の導電体と、
前記第 3 の酸化物上の、第 2 の導電体と、
前記第 1 の酸化物上、かつ、前記第 2 の酸化物と前記第 3 の酸化物の間、の第 4 の酸化物と、
前記第 4 の酸化物上の第 5 の酸化物と、
前記第 5 の酸化物上の第 1 の絶縁体と、
前記第 1 の絶縁体上の第 3 の導電体と、を有し、
前記第 1 の酸化物は、前記第 2 の酸化物および前記第 3 の酸化物と重畳しない領域に溝部を有し、

前記第1の酸化物は、前記第1の酸化物の被形成面に概略平行な第1の層状の結晶を有し、
前記溝部において、前記第4の酸化物は、前記第1の酸化物の被形成面に概略平行な第2の層状の結晶を有し、

前記溝部の側壁において、前記第1の層状の結晶と前記第2の層状の結晶は、a－b面が連続的に接合し、

前記第1の酸化物と前記第4の酸化物の界面、およびその近傍の、アルミニウム原子の濃度は2.0原子%以下である、半導体装置。

[請求項4]

請求項2または請求項3において、

前記第1の酸化物と前記第2の酸化物の界面の高さと、前記第4の酸化物と前記第5の酸化物の界面の高さの差が、前記第4の酸化物の膜厚以下である、半導体装置。

[請求項5]

請求項2乃至請求項4のいずれか一項において、

前記第1の酸化物、前記第4の酸化物、および前記第5の酸化物は、インジウムと、元素M（Mは、ガリウム、アルミニウム、イットリウム、または錫）と、亜鉛と、を有し、

前記第1の酸化物の元素Mに対するインジウムの原子数比は、前記第5の酸化物の元素Mに対するインジウムの原子数比より大きく、

前記第4の酸化物の元素Mに対するインジウムの原子数比は、前記第5の酸化物の元素Mに対するインジウムの原子数比より大きい、半導体装置。

[請求項6]

請求項5において、

前記第4の酸化物は、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物である、半導体装置。

[請求項7]

請求項1乃至請求項6のいずれか一項において、

前記第1の層状の結晶、および前記第2の層状の結晶は、前記第1の酸化物の被形成面に概略垂直なc軸を有する、半導体装置。

[請求項8]

請求項1乃至請求項7のいずれか一項において、

前記第1の導電体の下端部近傍、及び前記第2の導電体の下端部近傍において、前記第1の酸化物、及び前記第4の酸化物のいずれか一方または双方はCAAC構造を有する、半導体装置。

1A

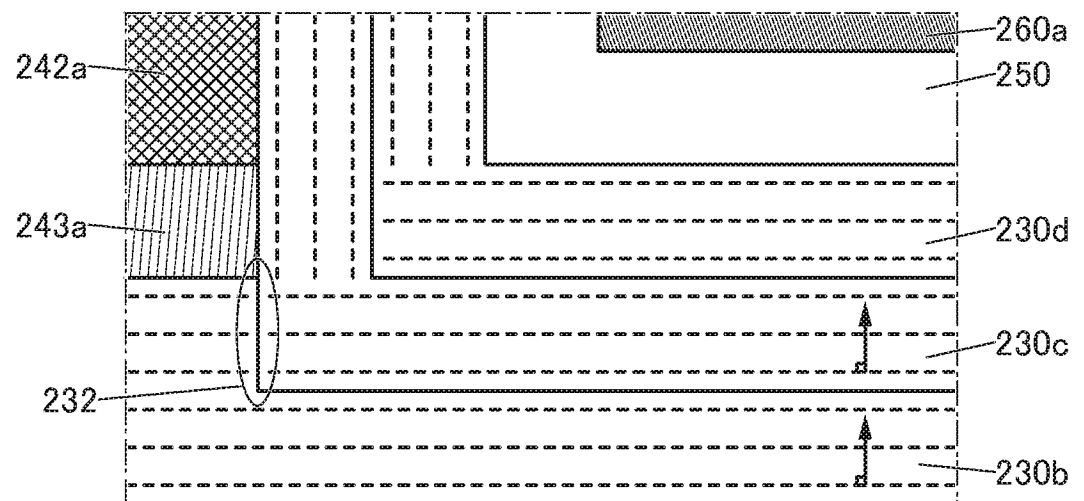
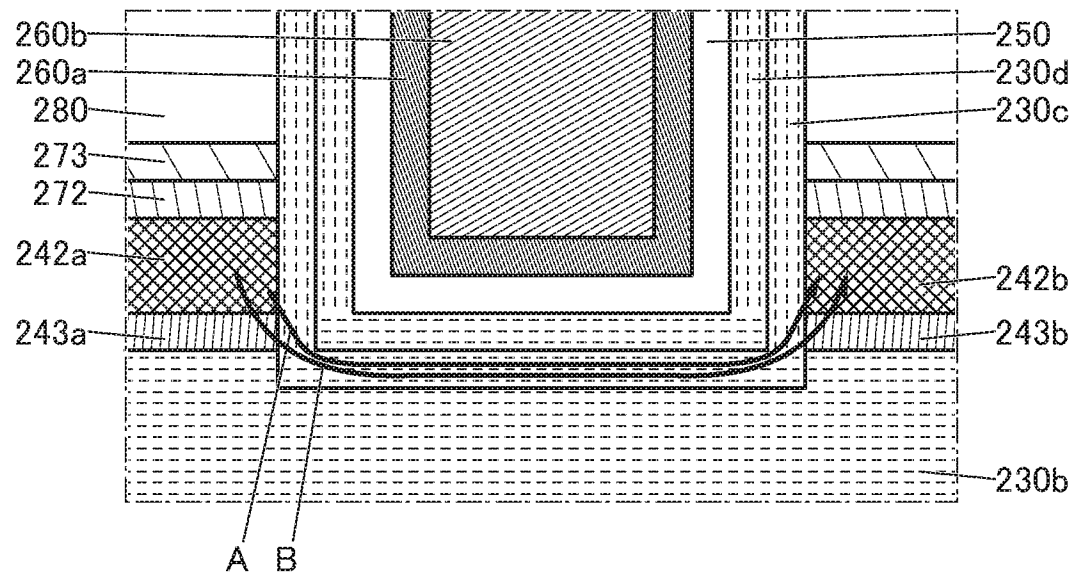


図2A

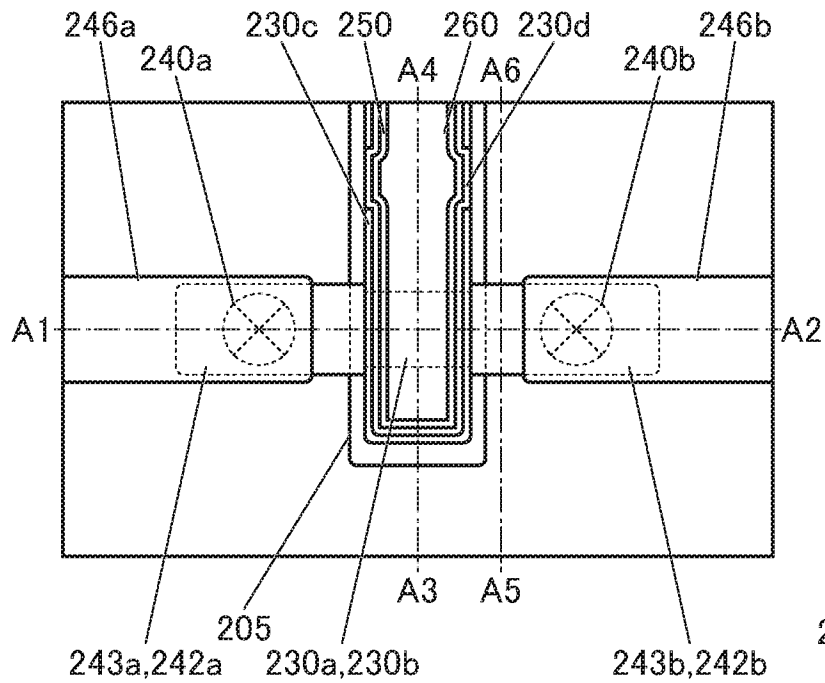


図2C

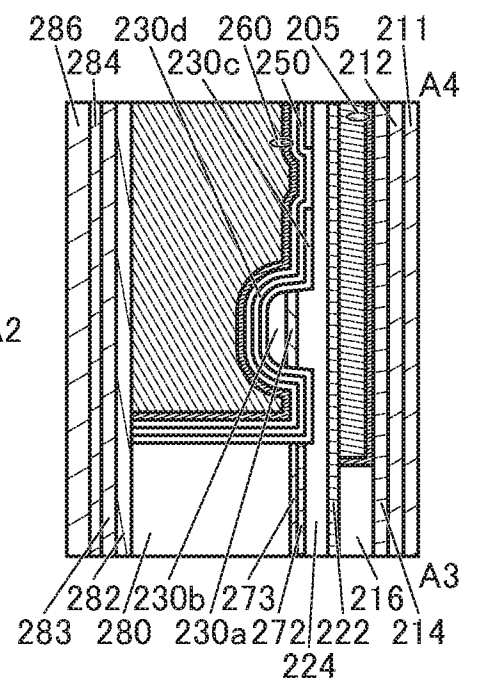


図2B

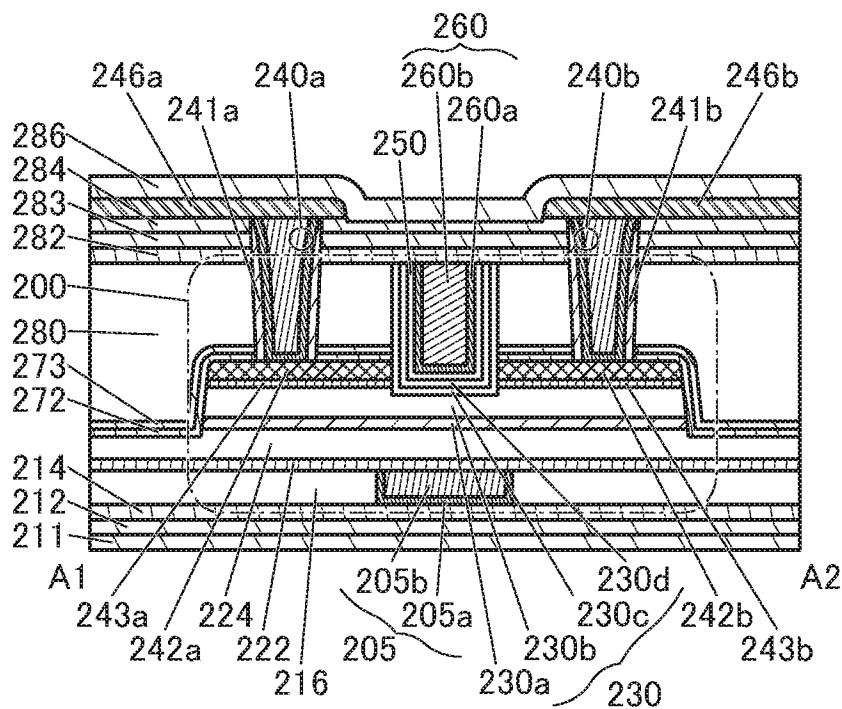


図2D

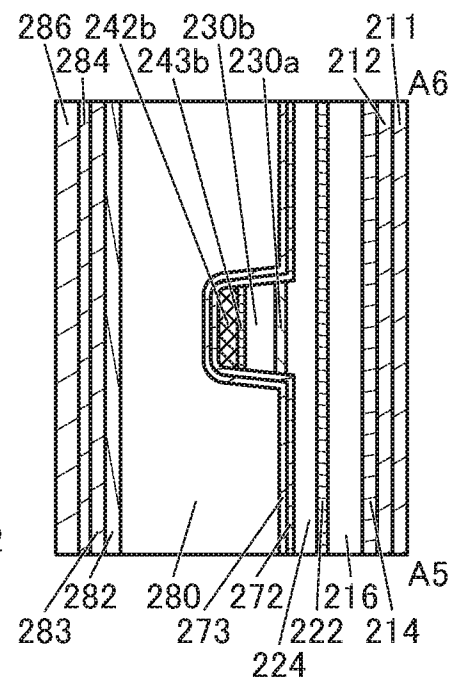


図3A

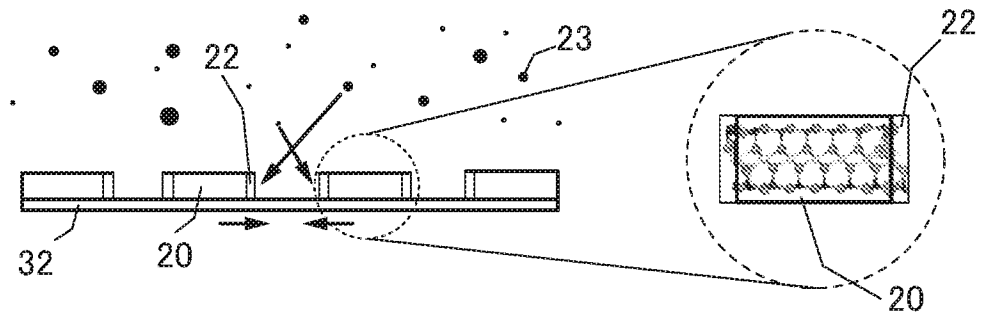


図3B

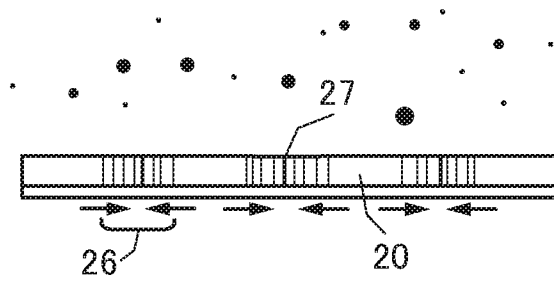


図3C

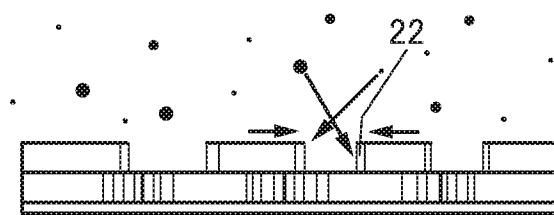


図3D

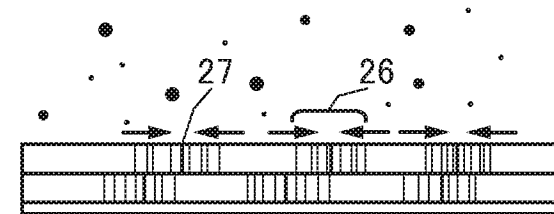


図4A

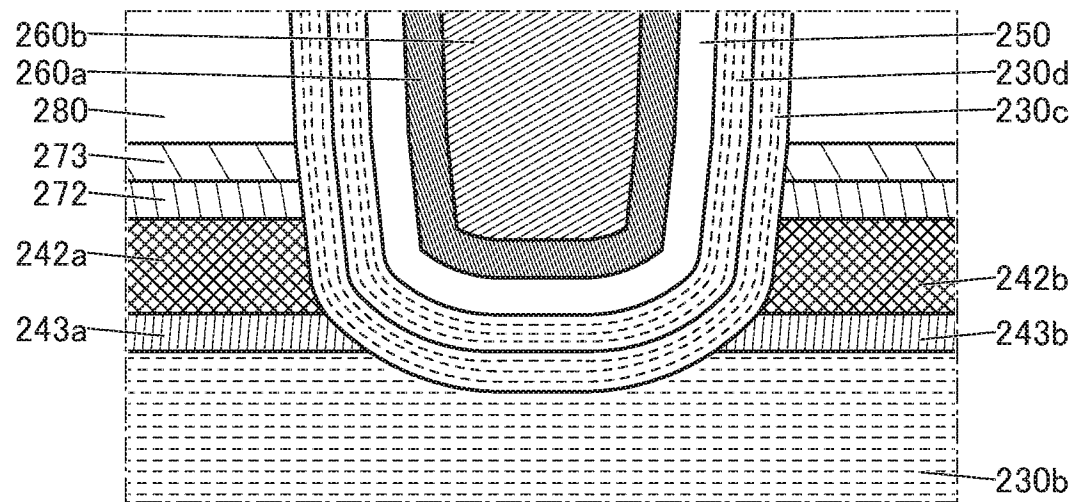


図4B

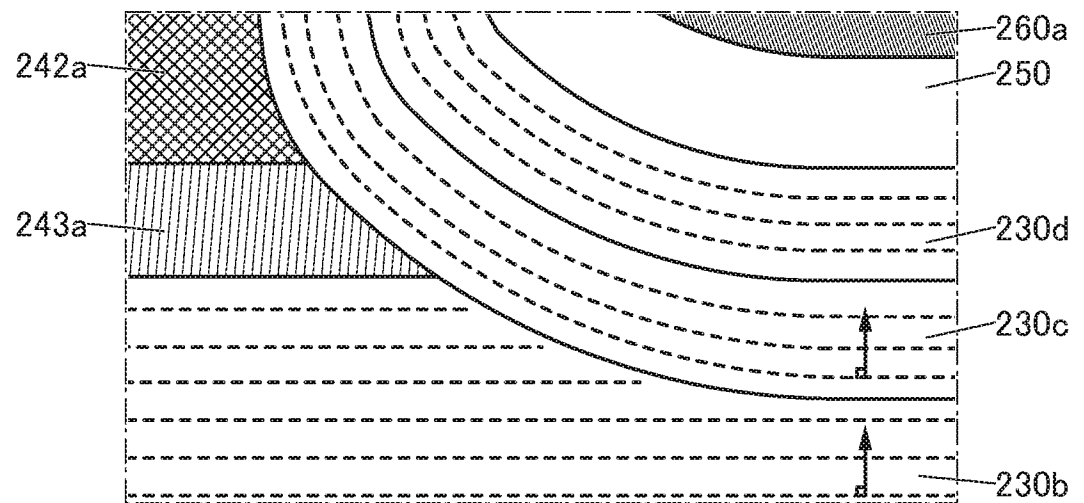


図4C

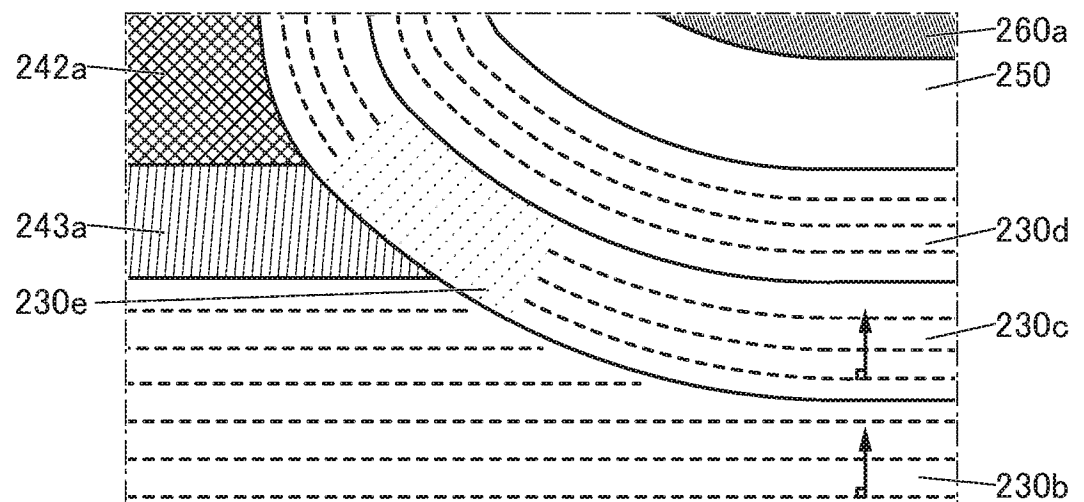


図5A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
completely amorphous	・CAAC ・nc ・CAC excluding single crystal and poly crystal	・single crystal ・poly crystal

図5B

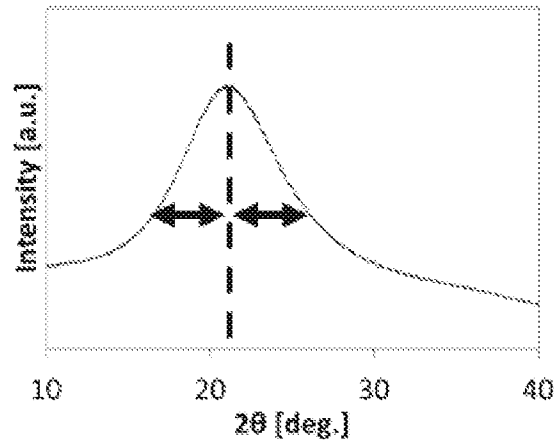


図5C

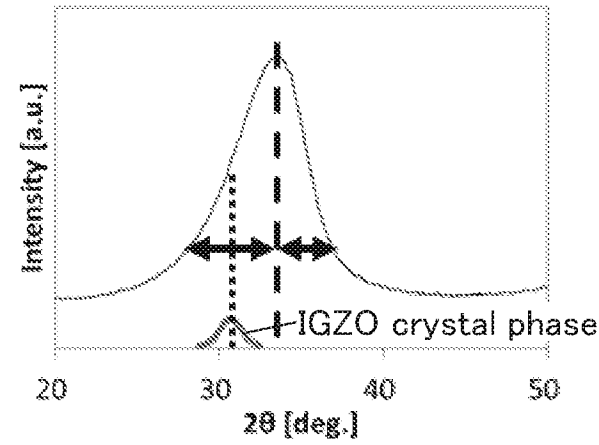


図5D

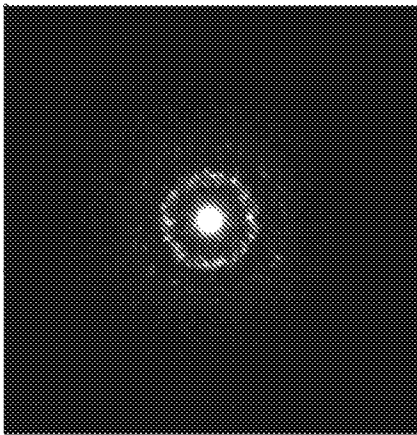


図6A

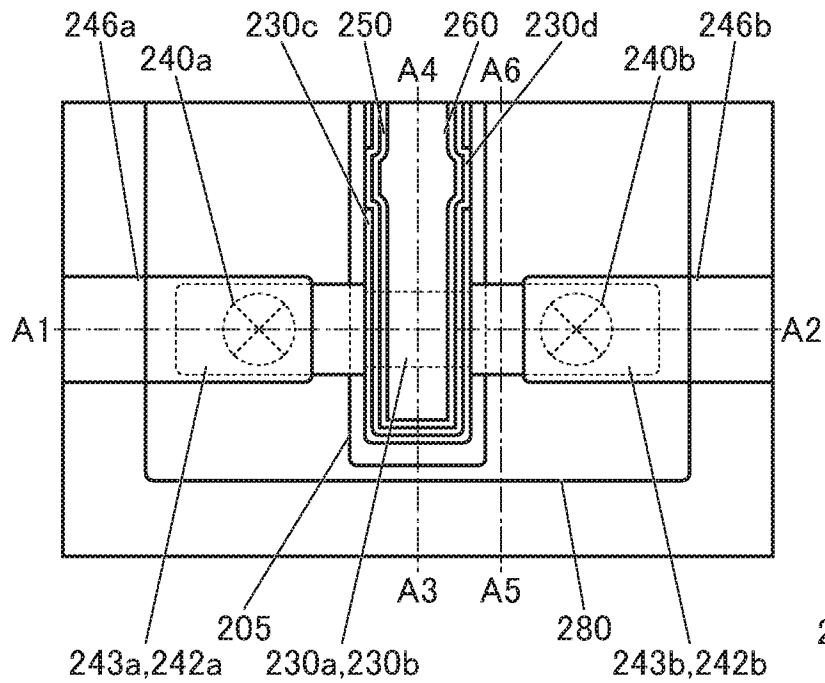


図6C

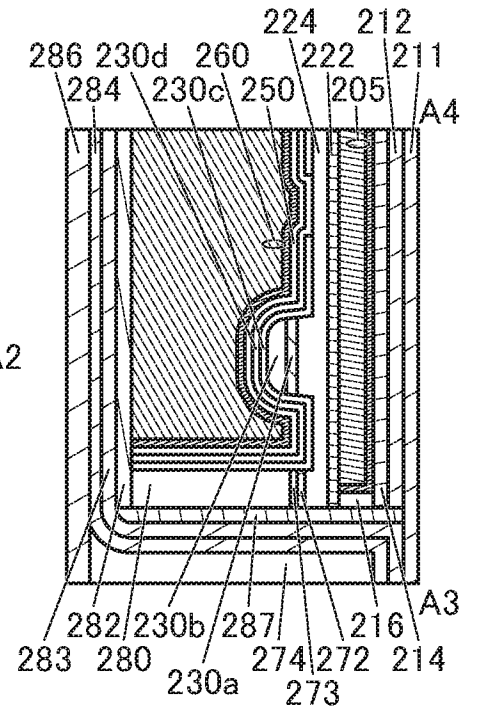


図6B

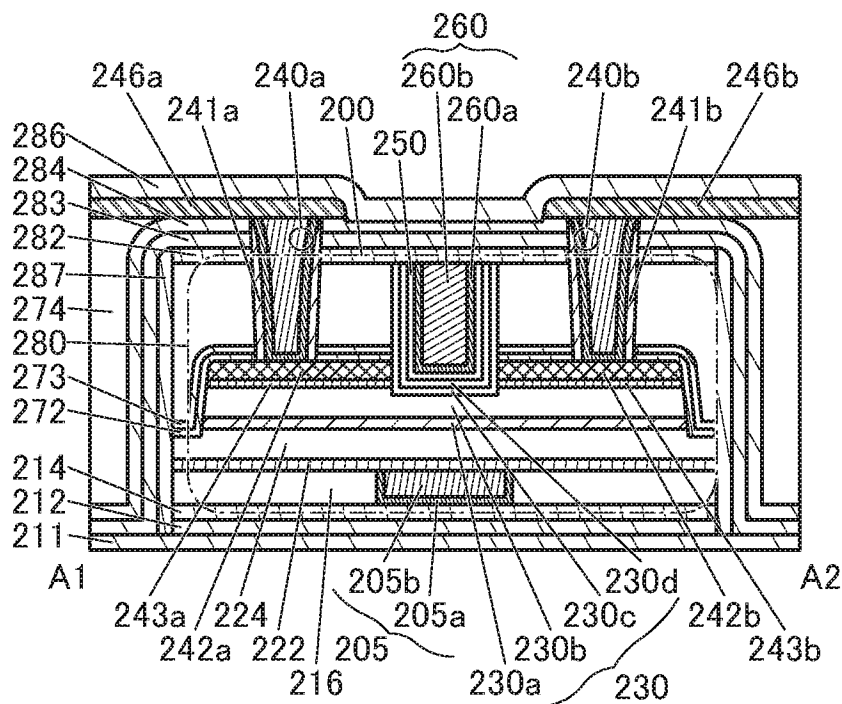


図6D

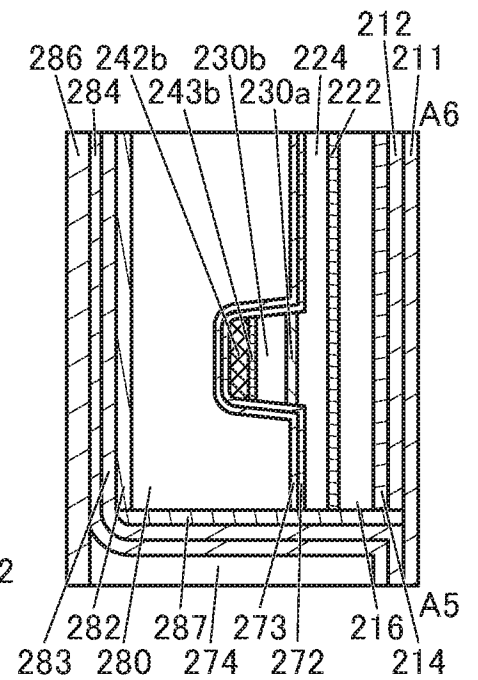


図7A

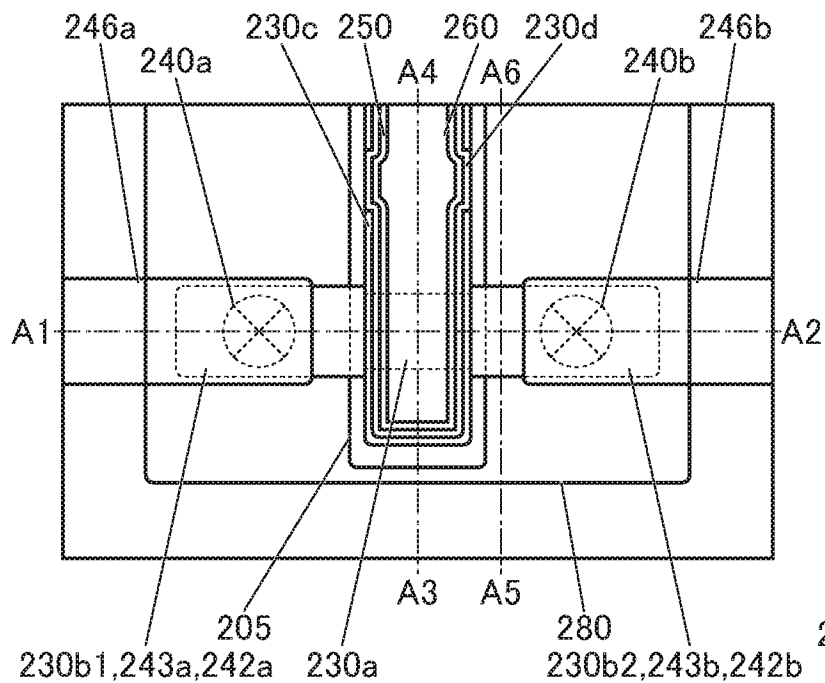


図7C

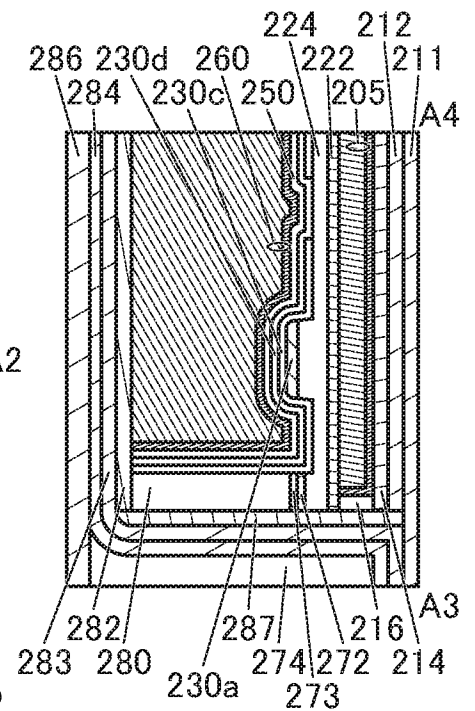


図7B

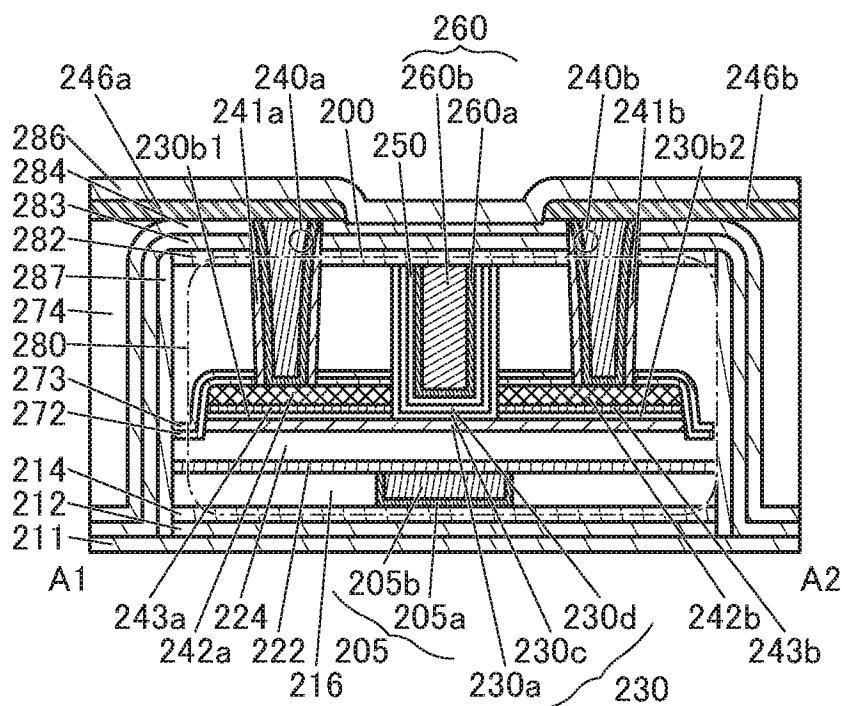


図7D

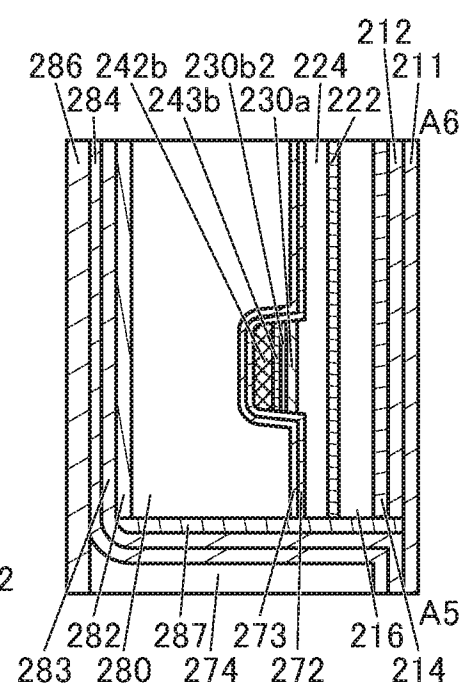


図8A

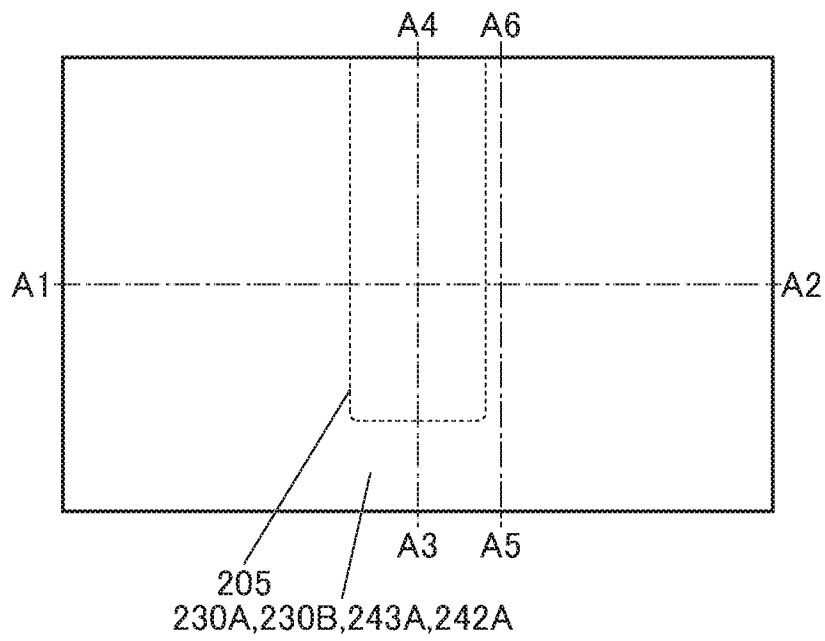


図8C

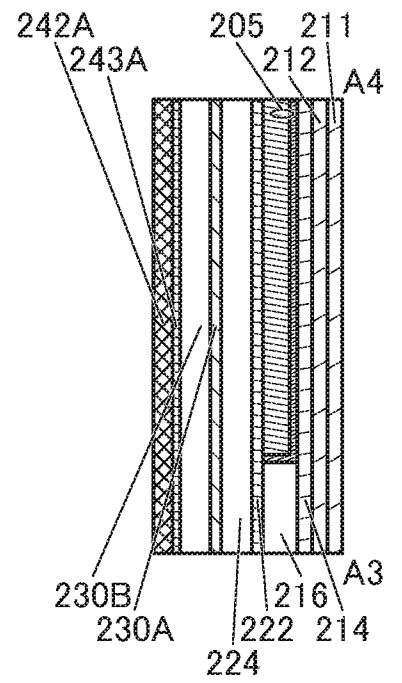


図8B

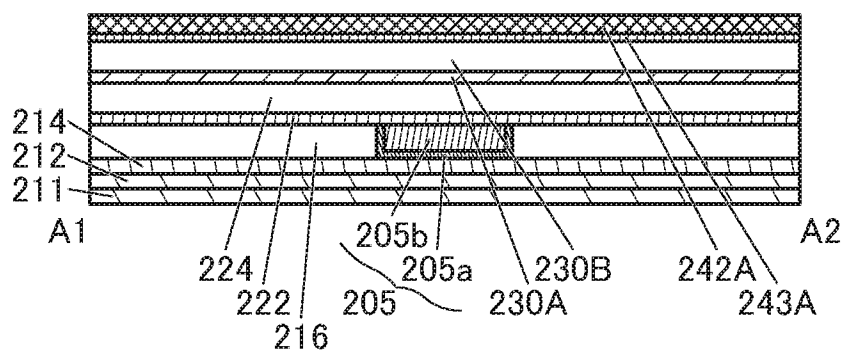


図8D

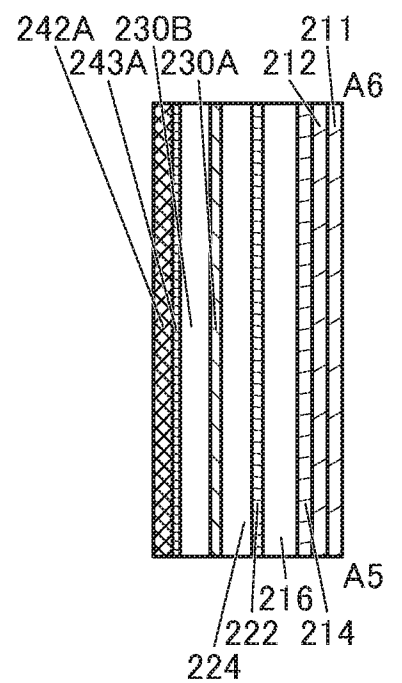


図9A

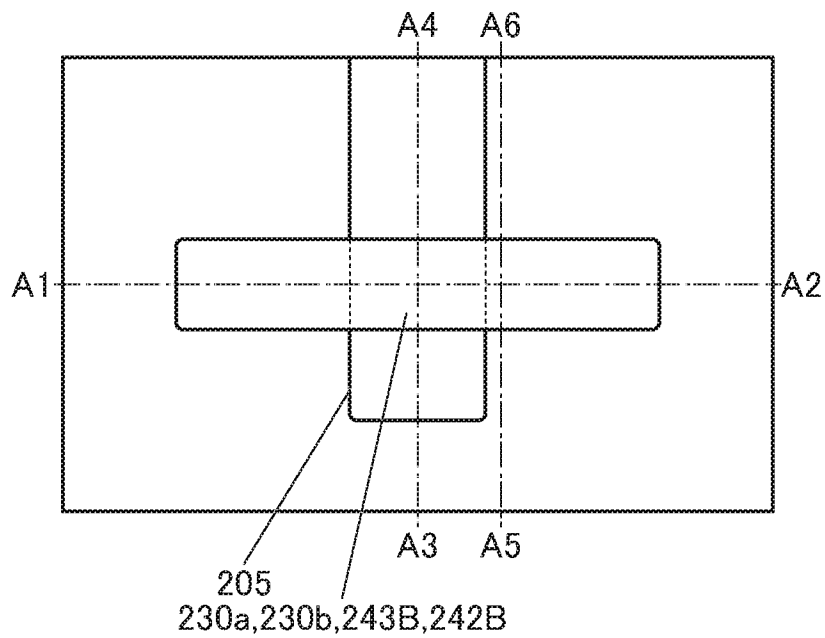


図9C

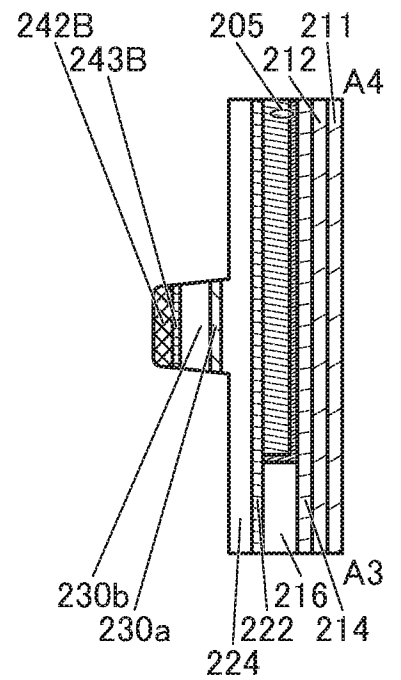


図9B

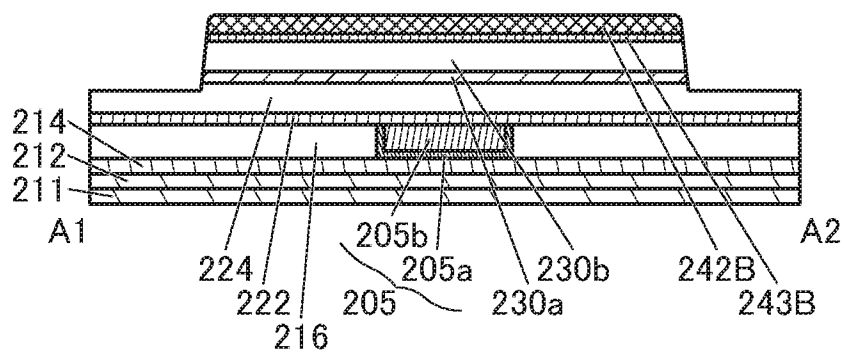


図9D

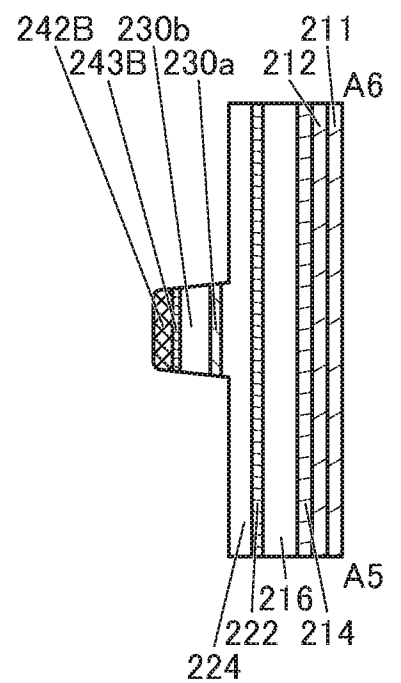


図10A

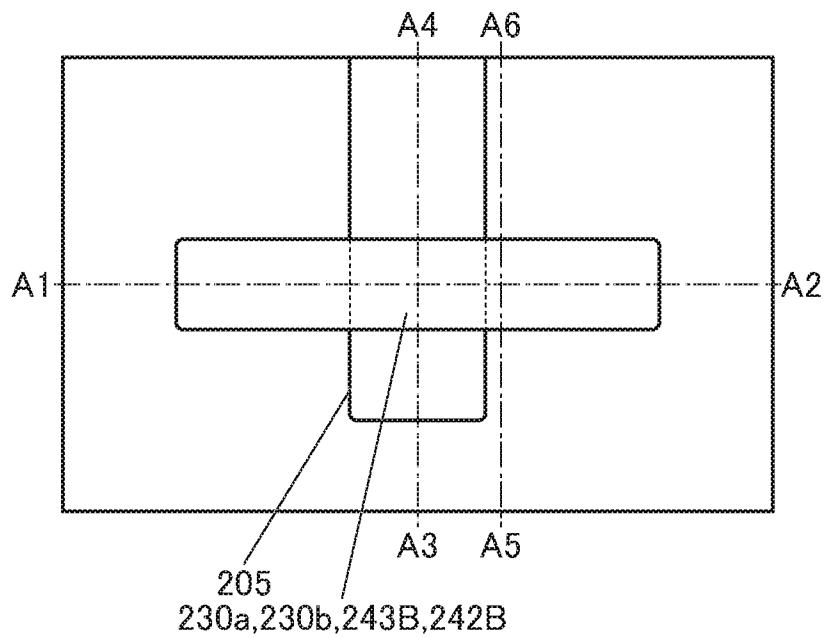


図10C

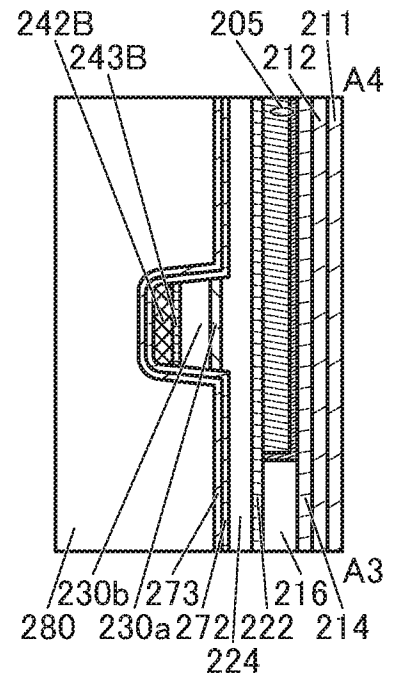


図10B

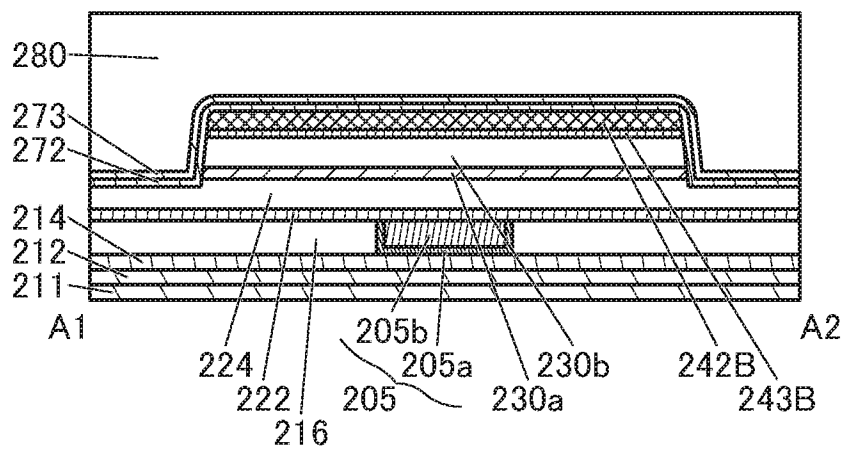


図10D

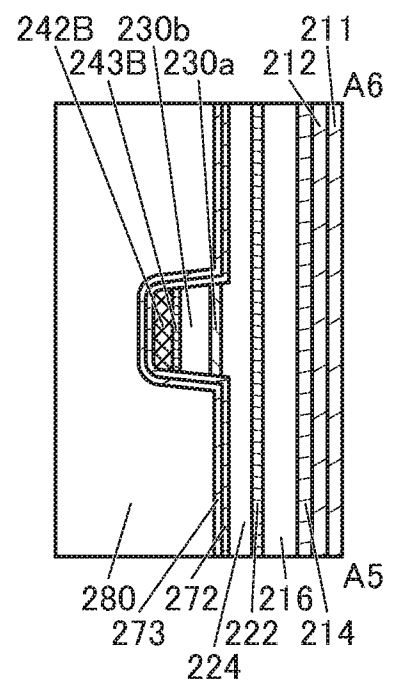


図11A

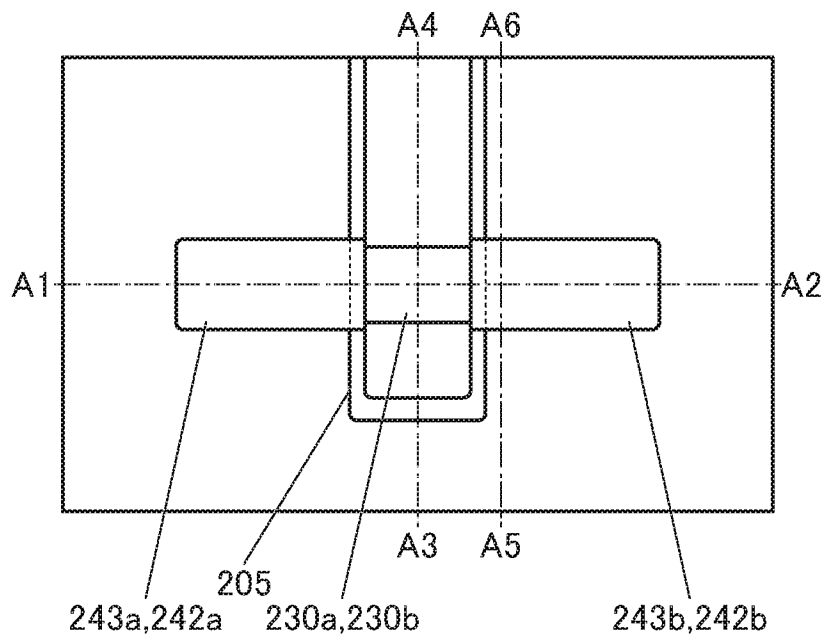


図11C

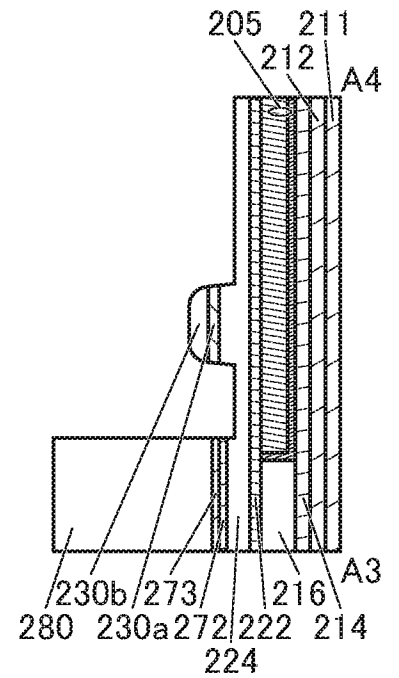


図11B

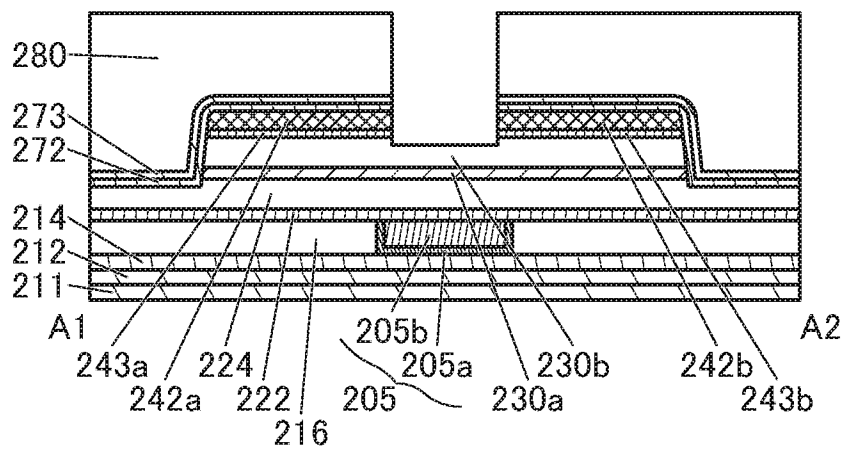


図11D

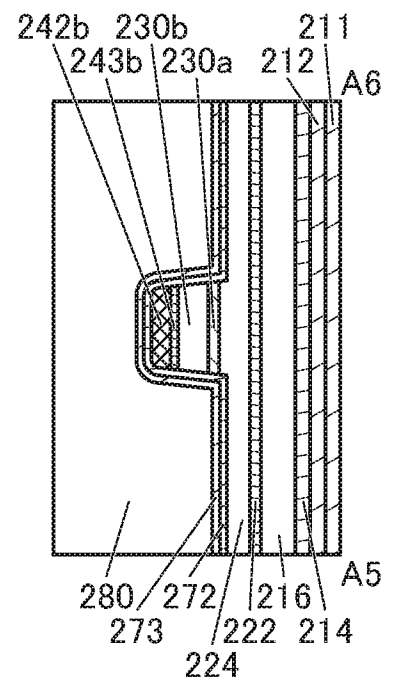


図12A

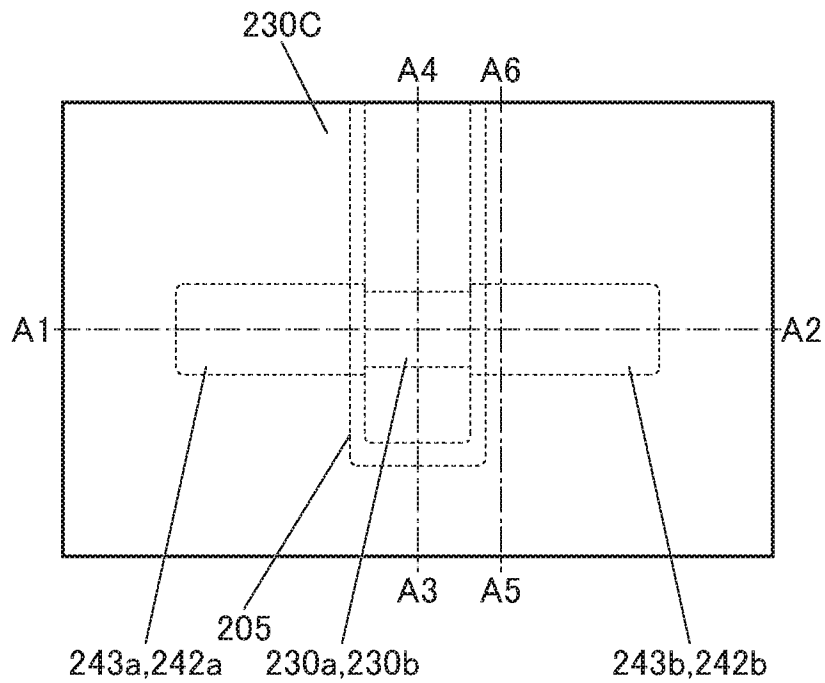


図12C

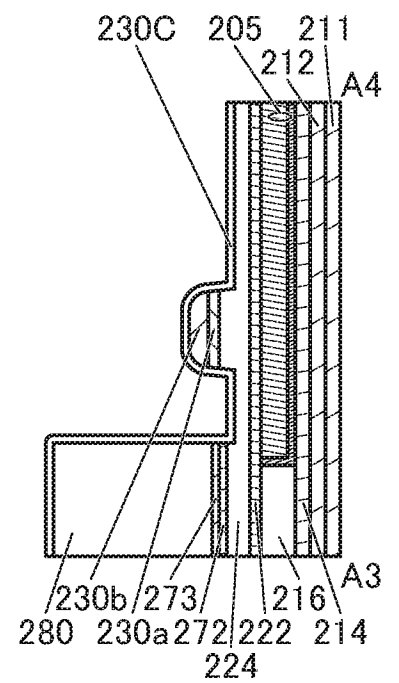


図12B

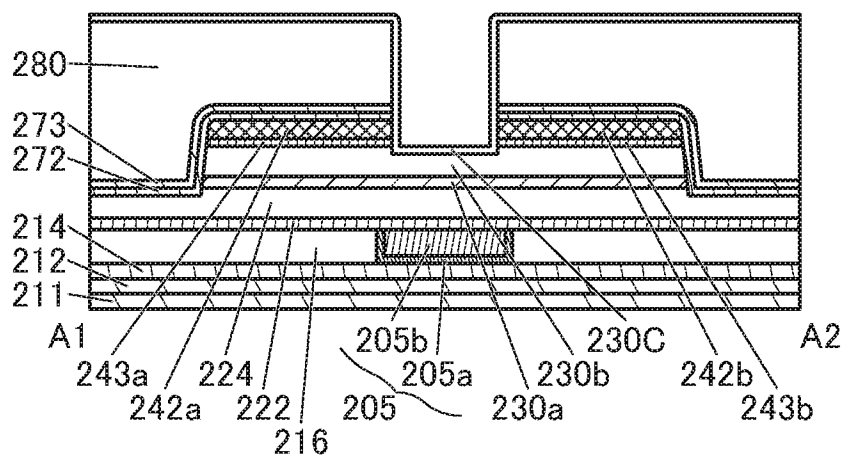


図12D

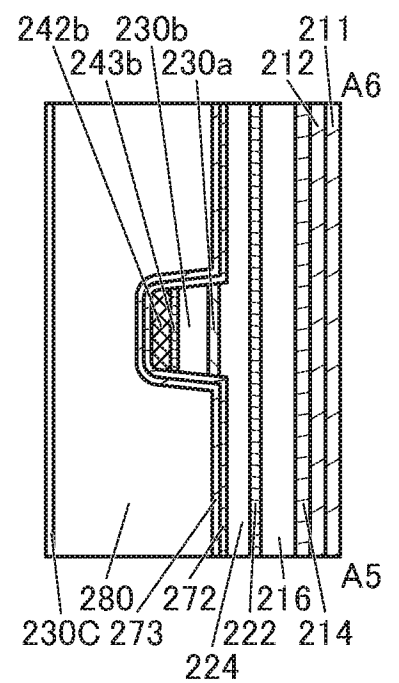


図13A

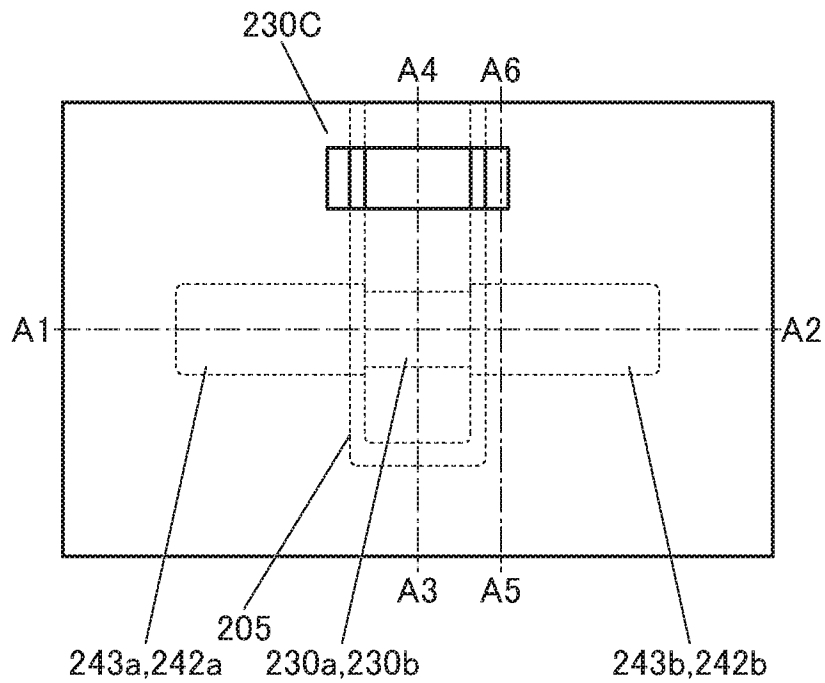


図13C

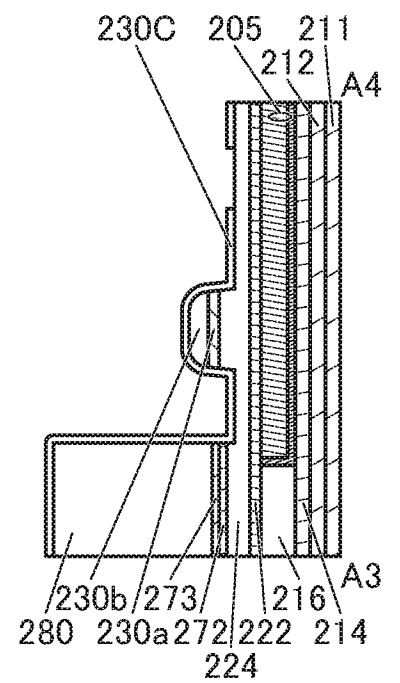


図13B

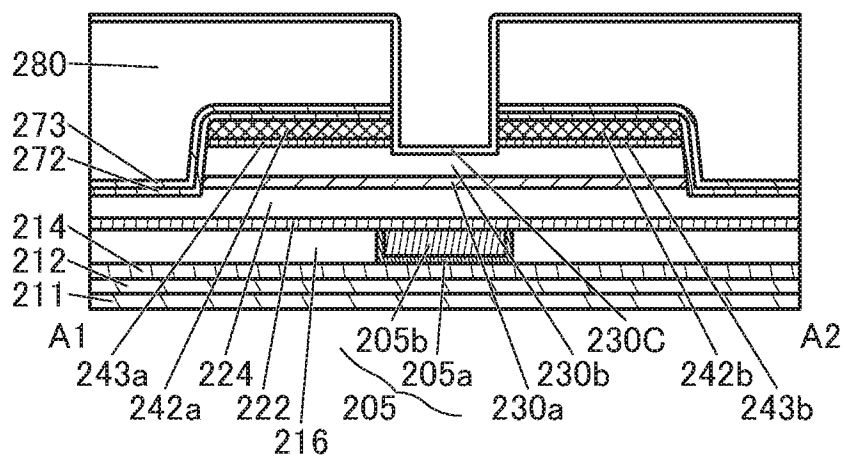


図13D

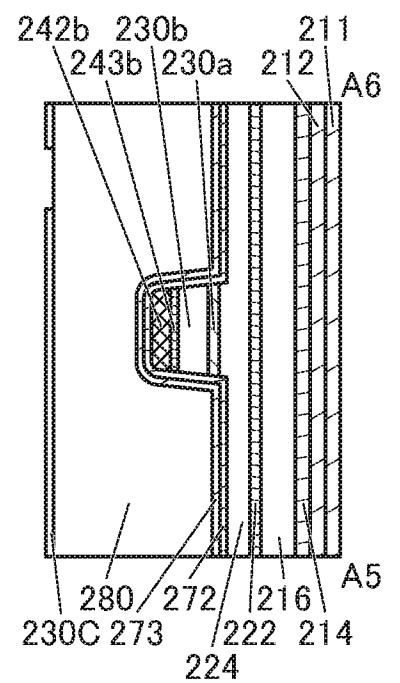


図14A

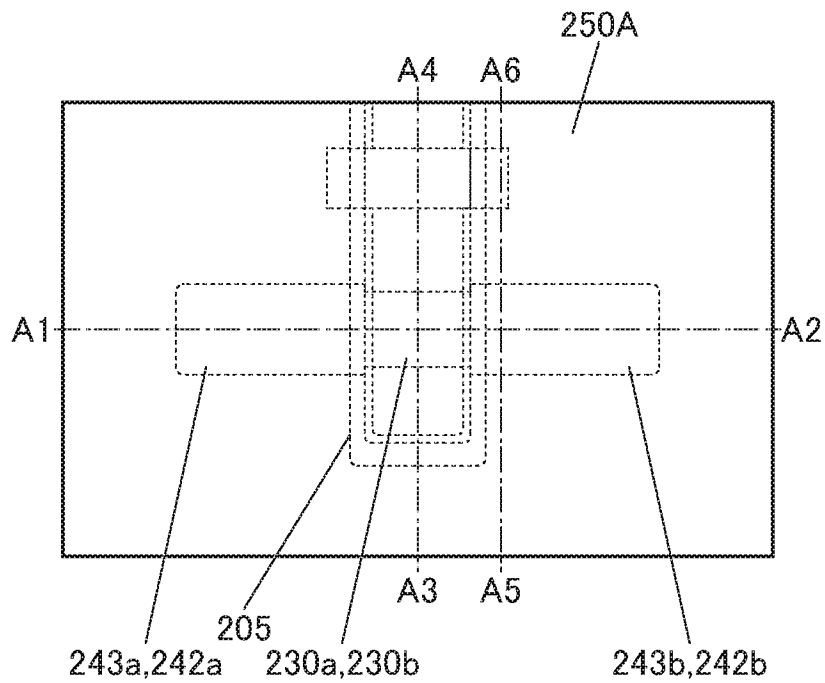


図14C

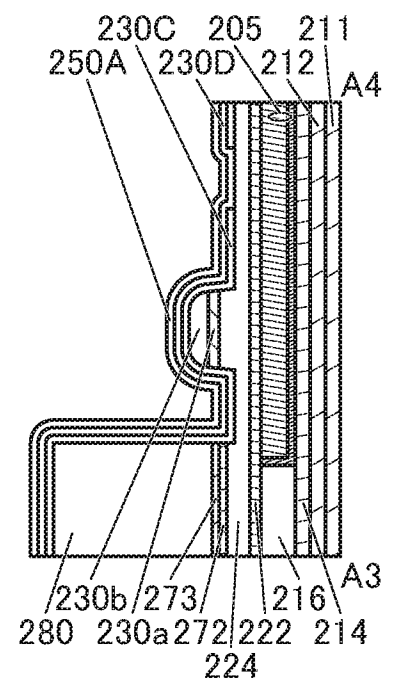


図14B

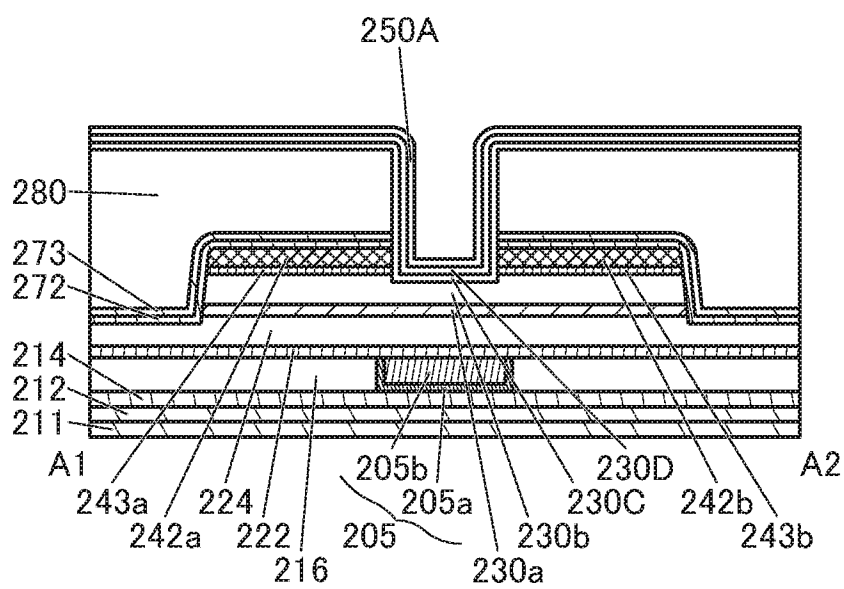


図14D

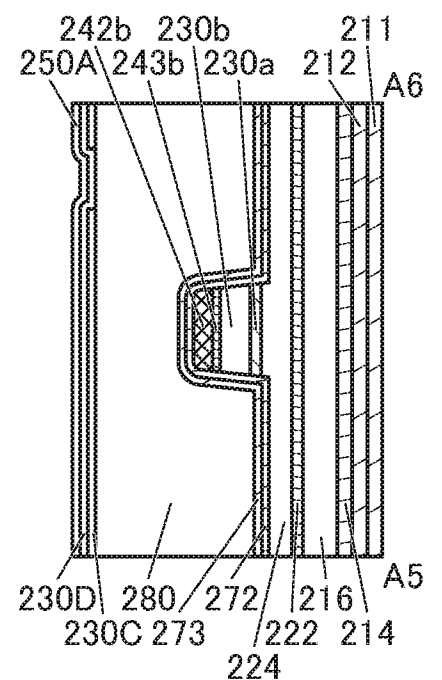


図15A

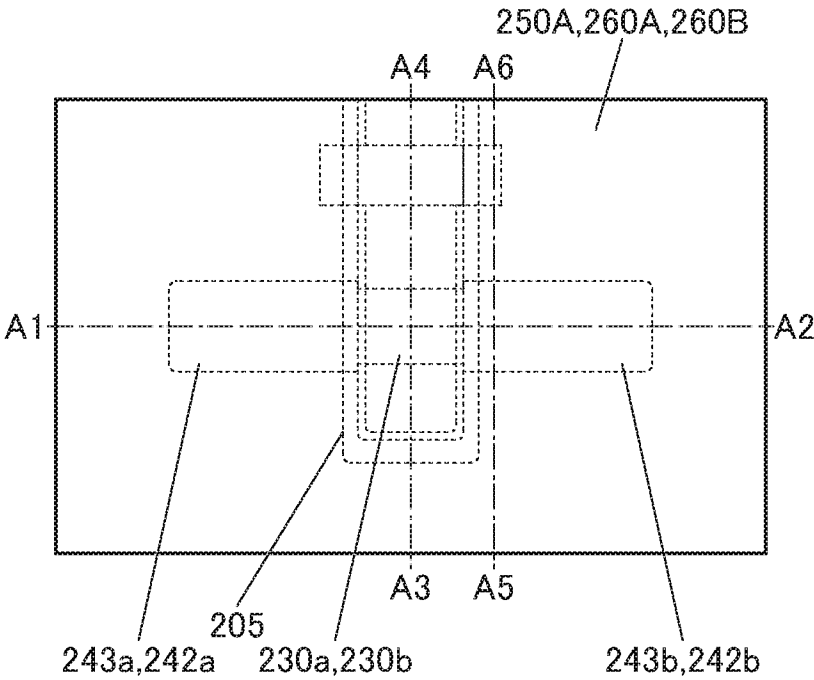


図15C

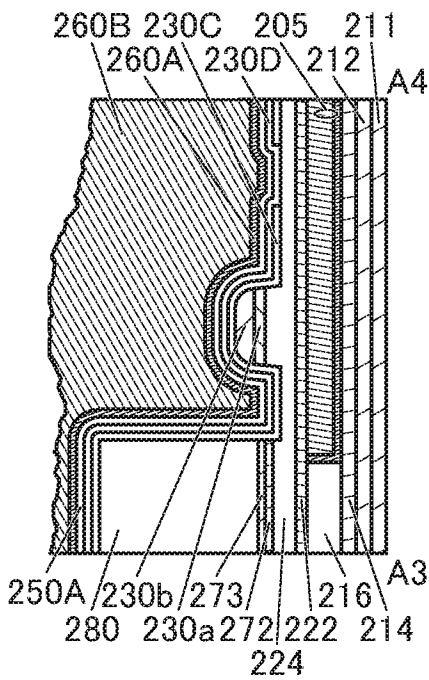


図15B

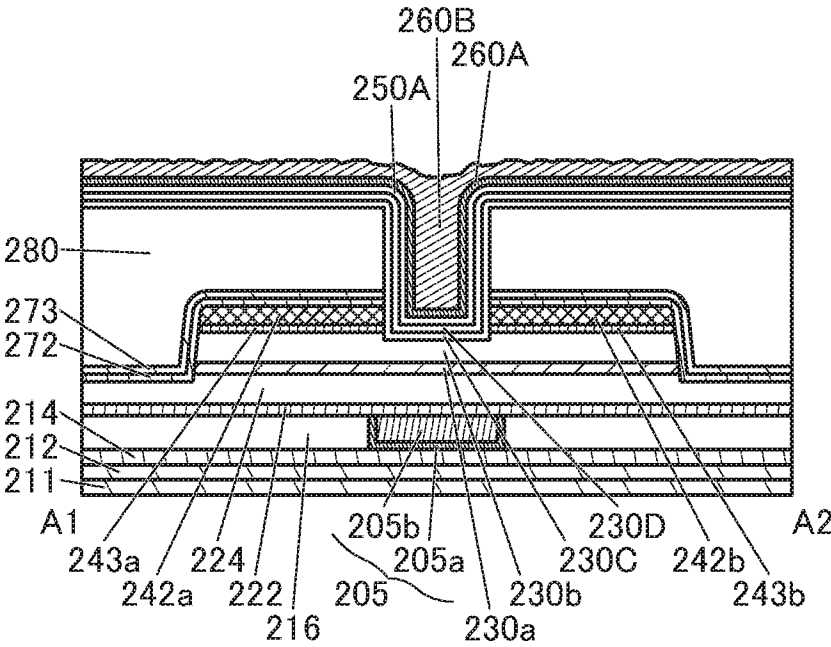


図15D

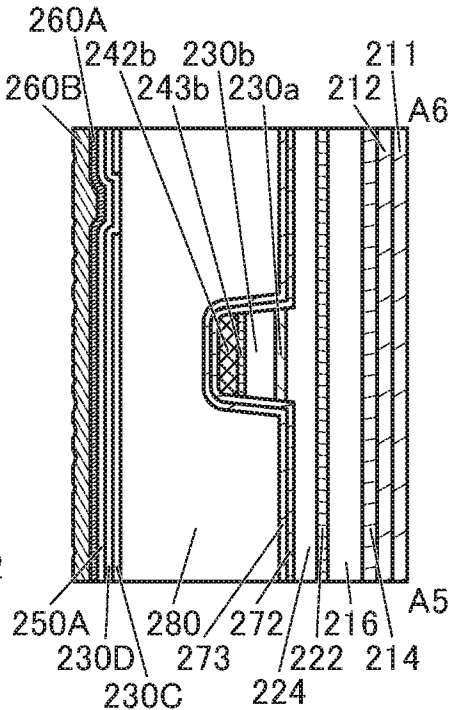


図16A

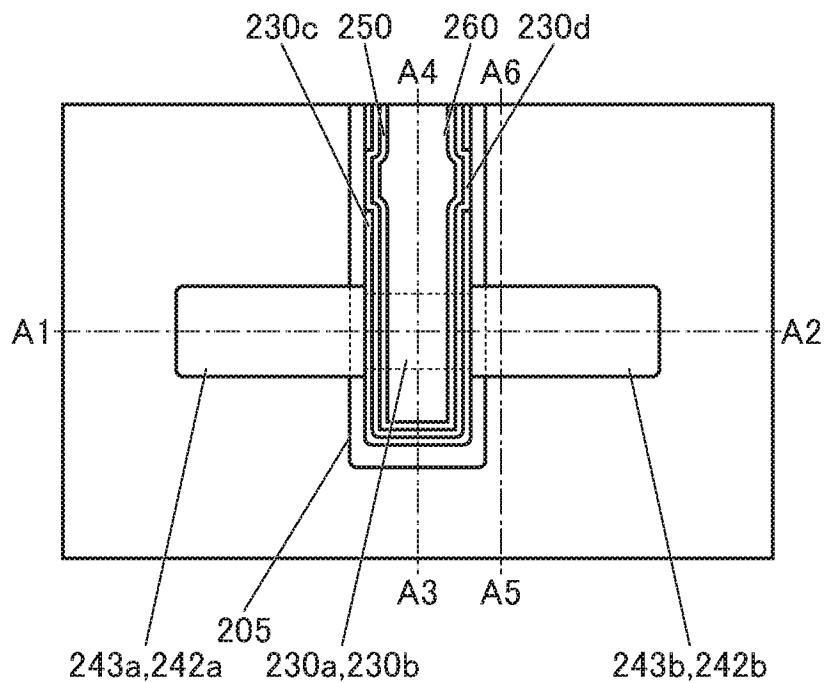


図16C

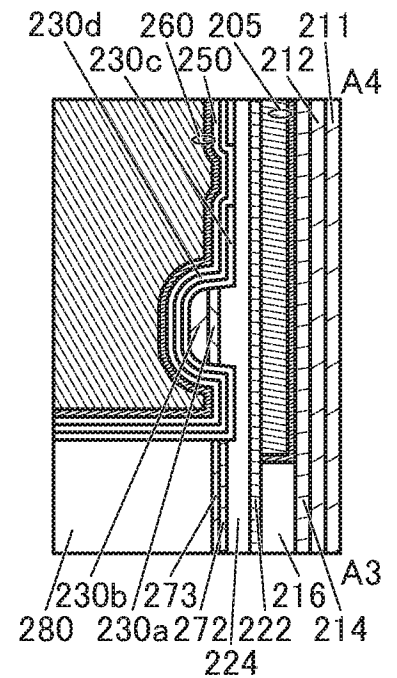


図16B

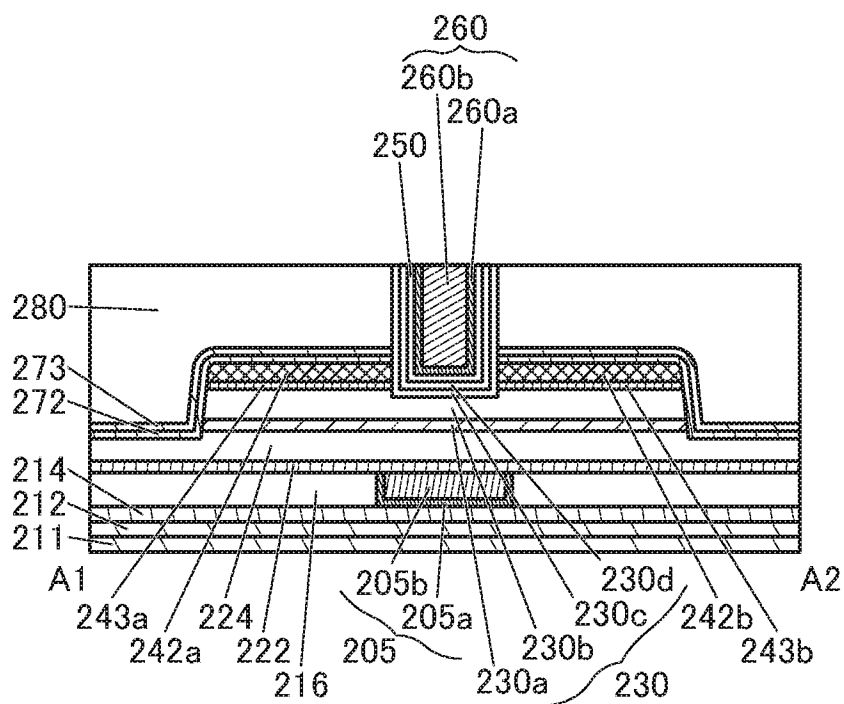


図16D

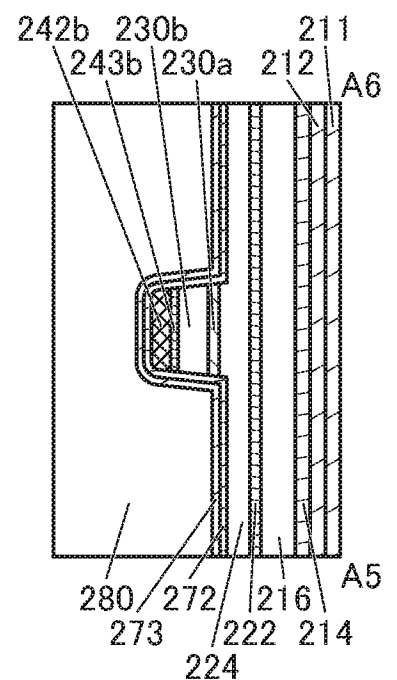


図17A

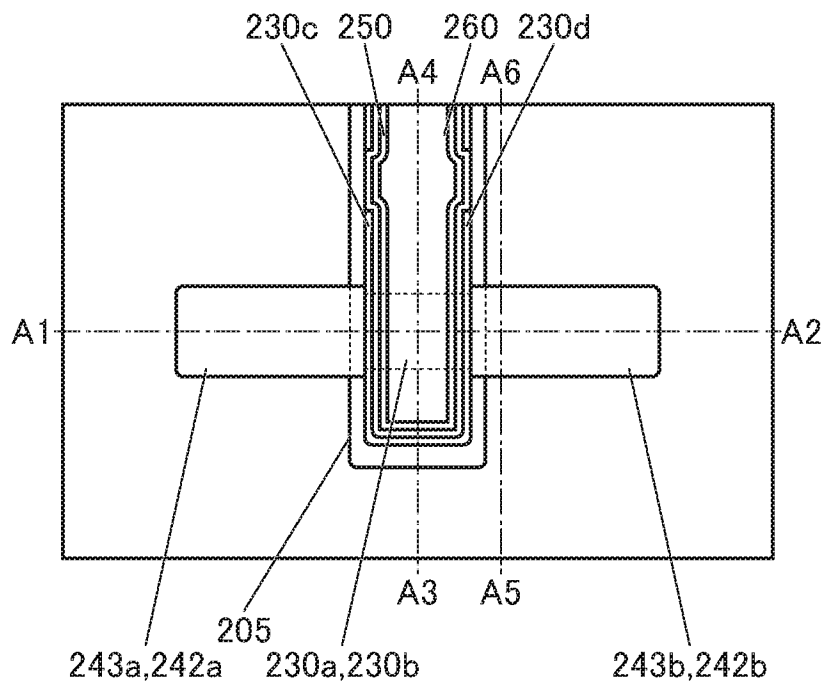


図17C

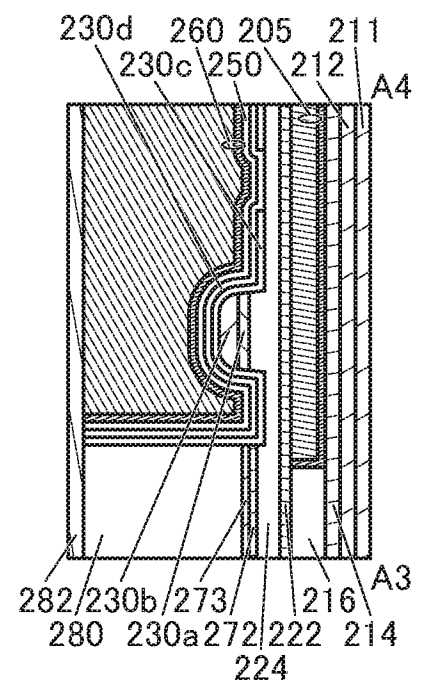


図17B

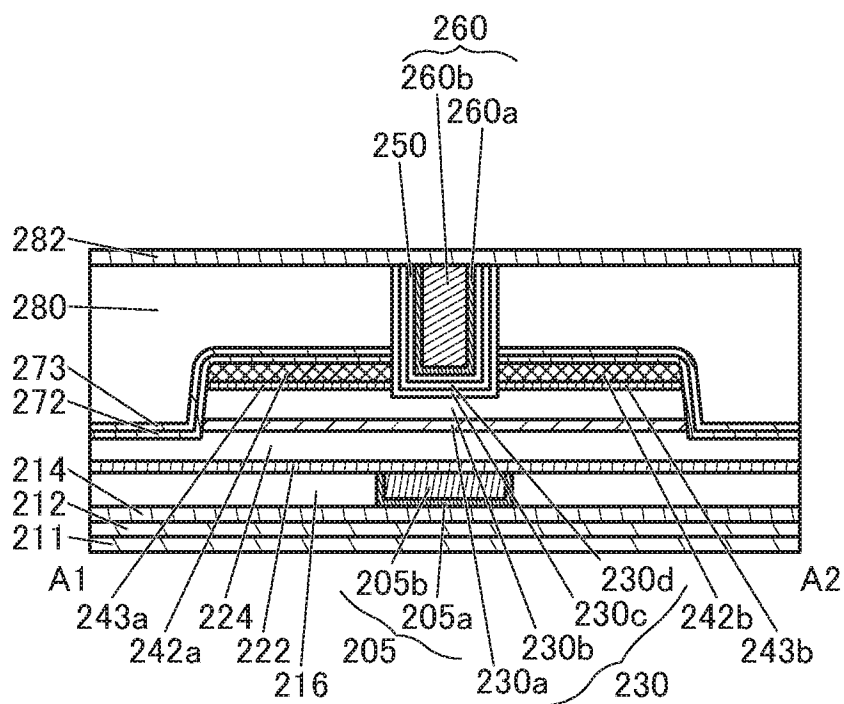


図17D

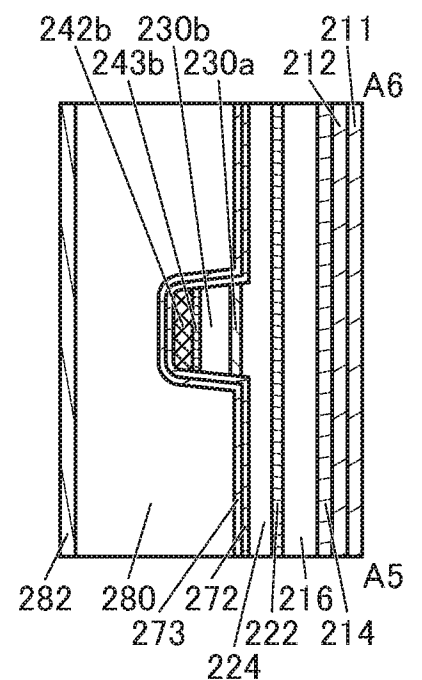


図18A

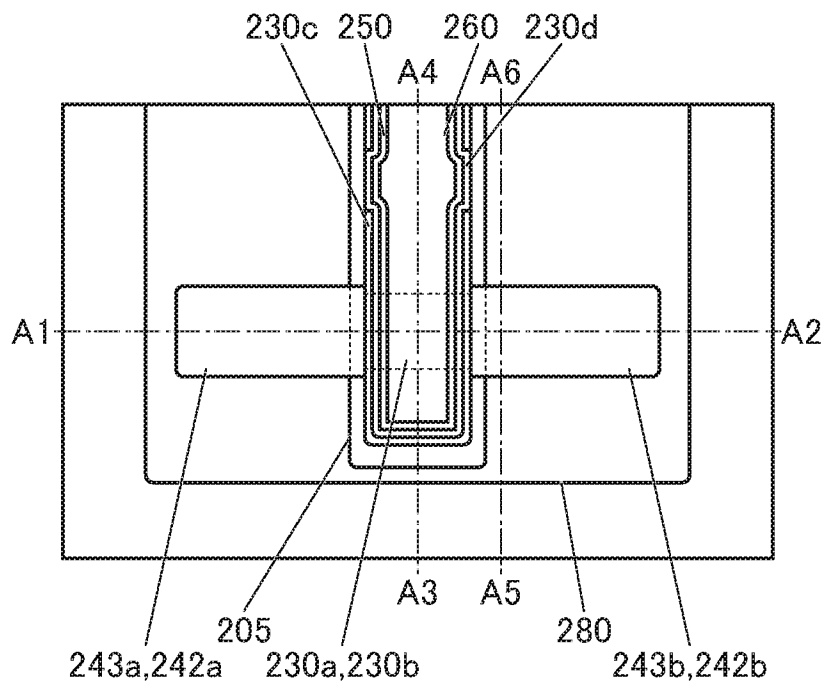


図18C

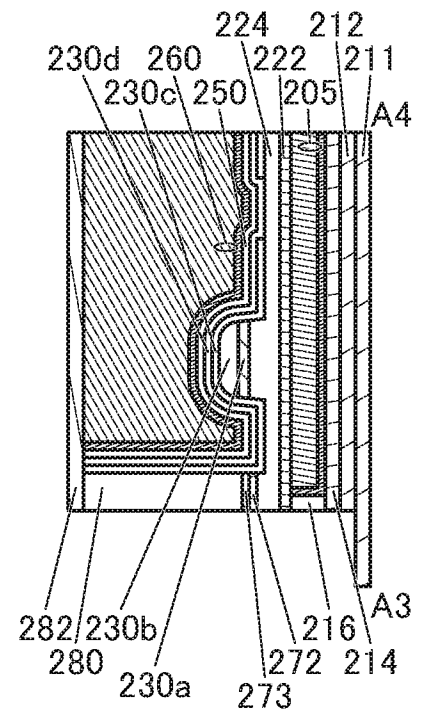


図18B

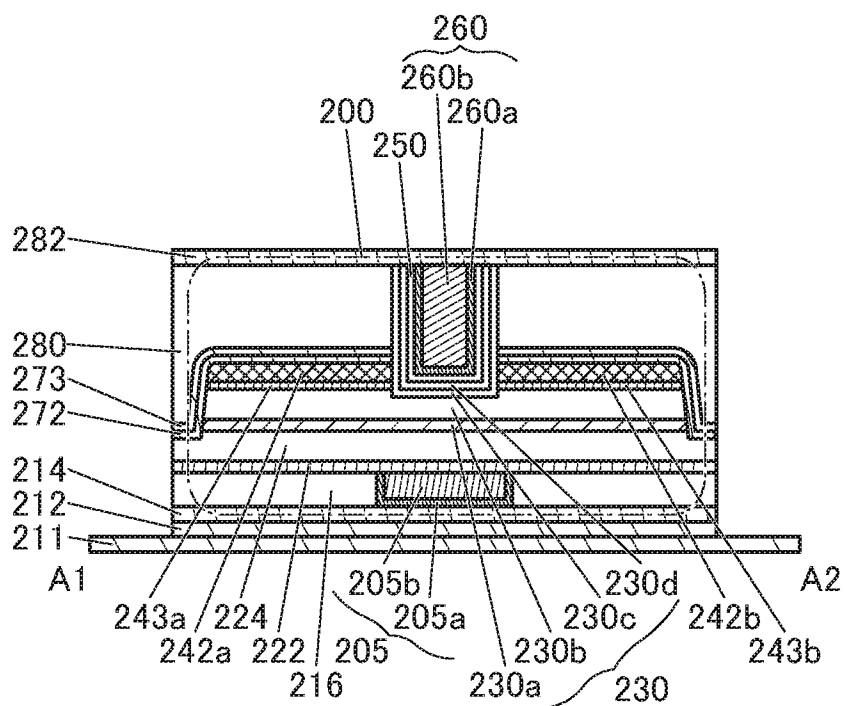


図18D

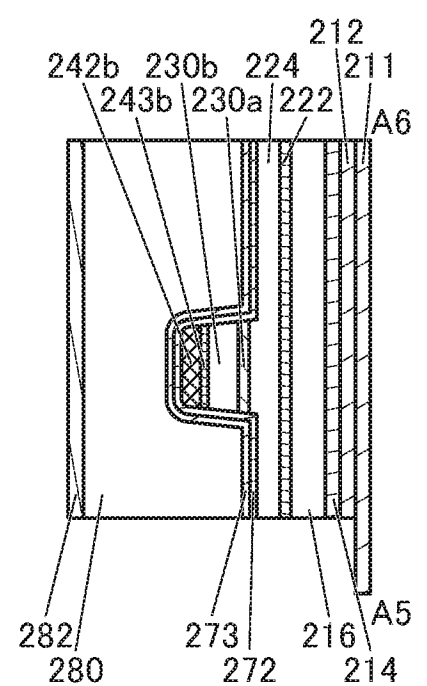


图 19A

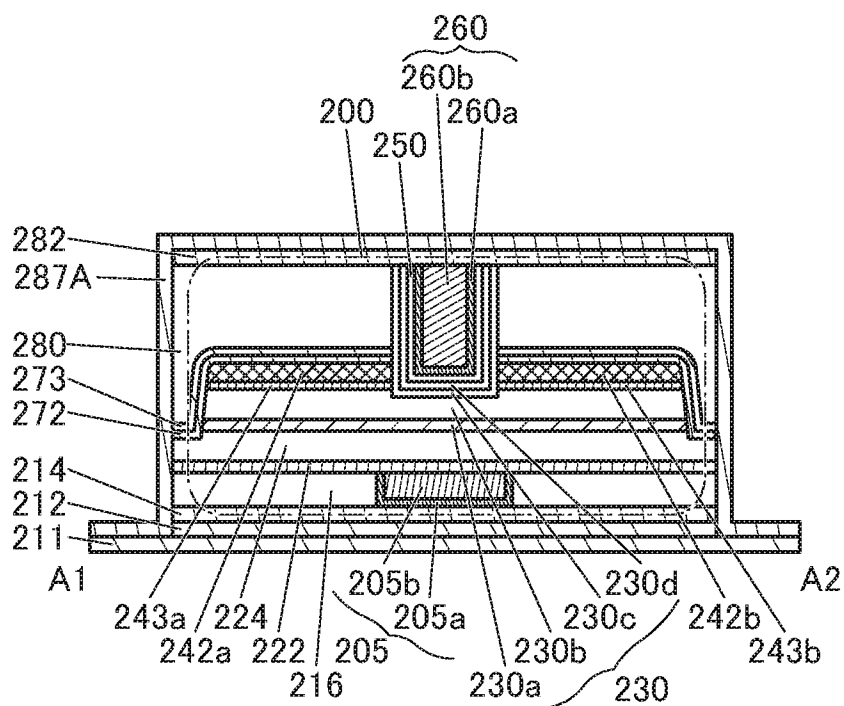
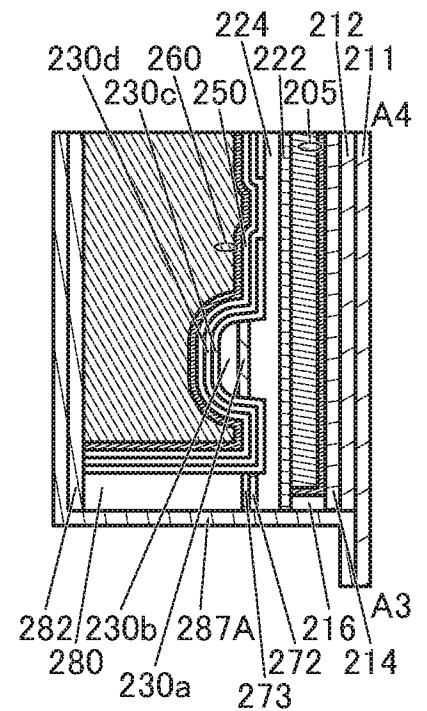
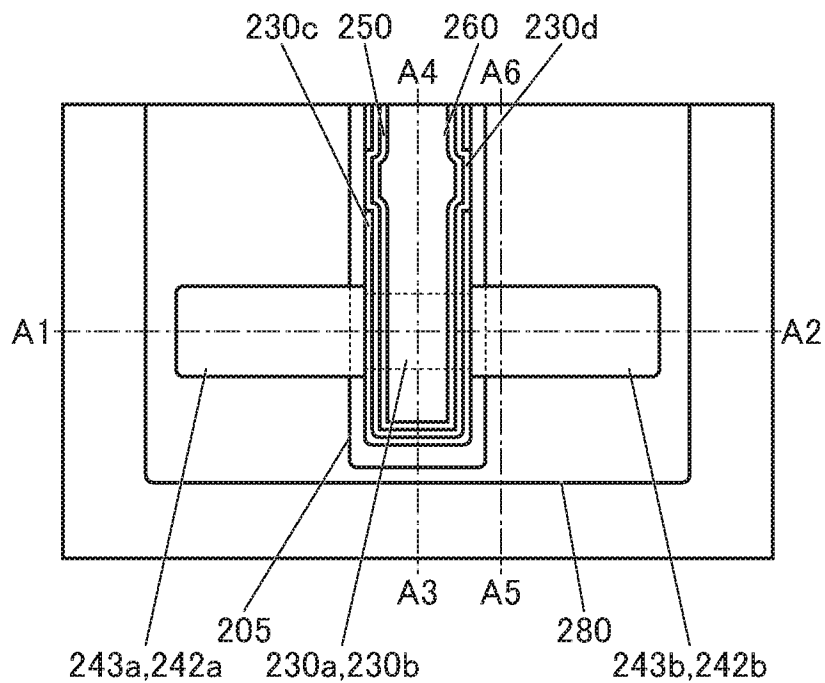
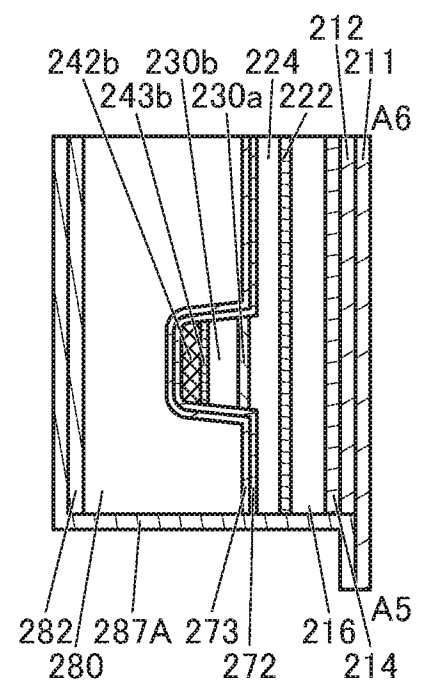
 19D

図20A

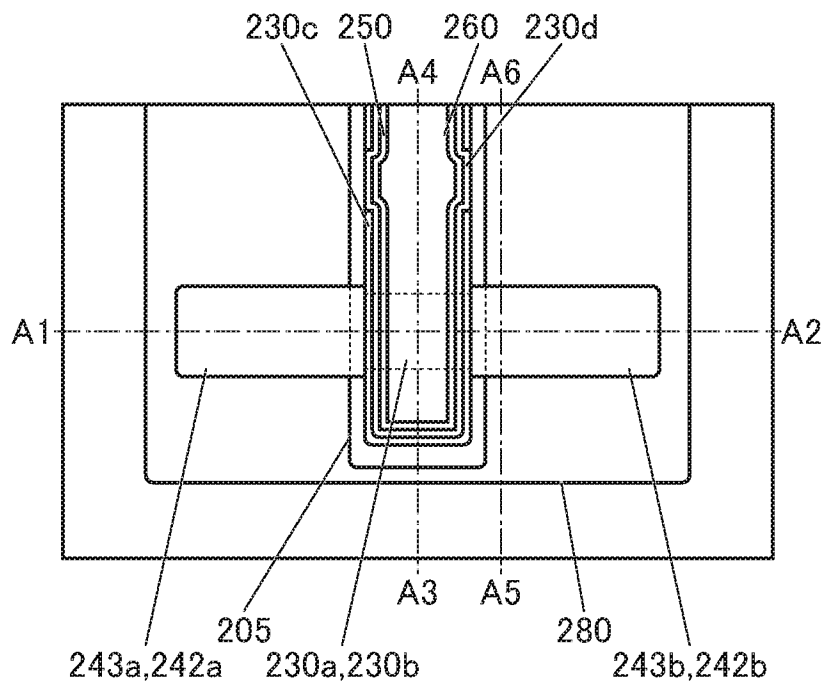


図20C

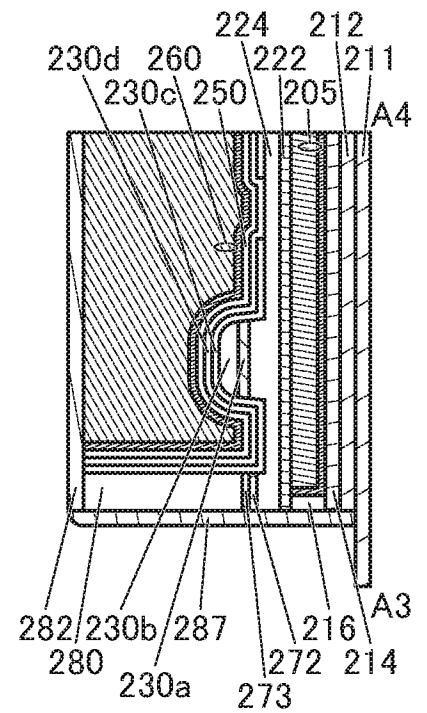


図20B

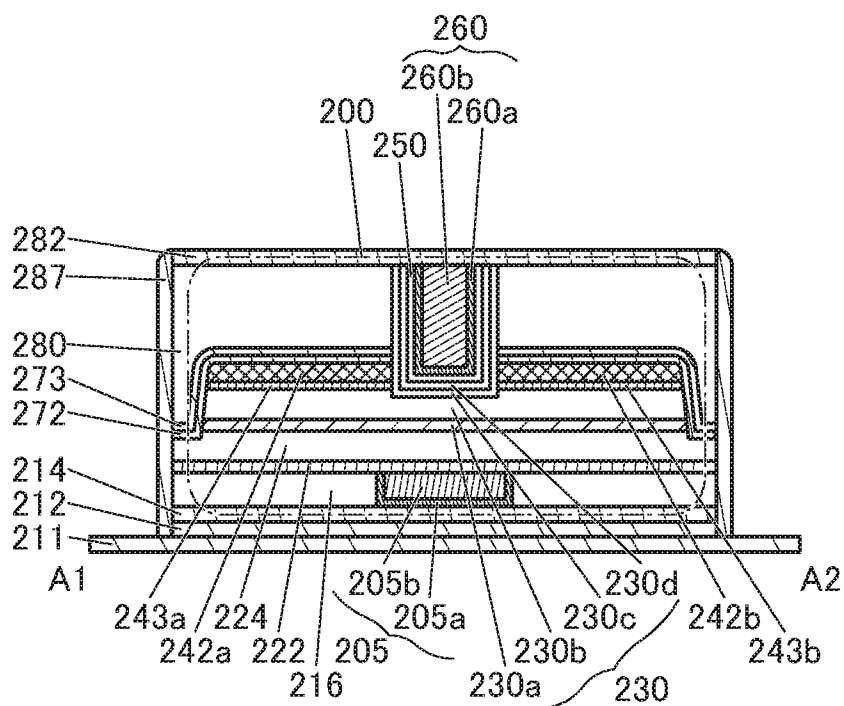


図20D

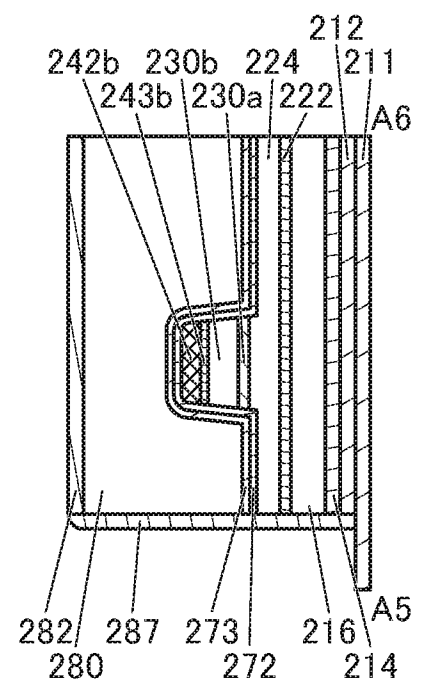


図21A

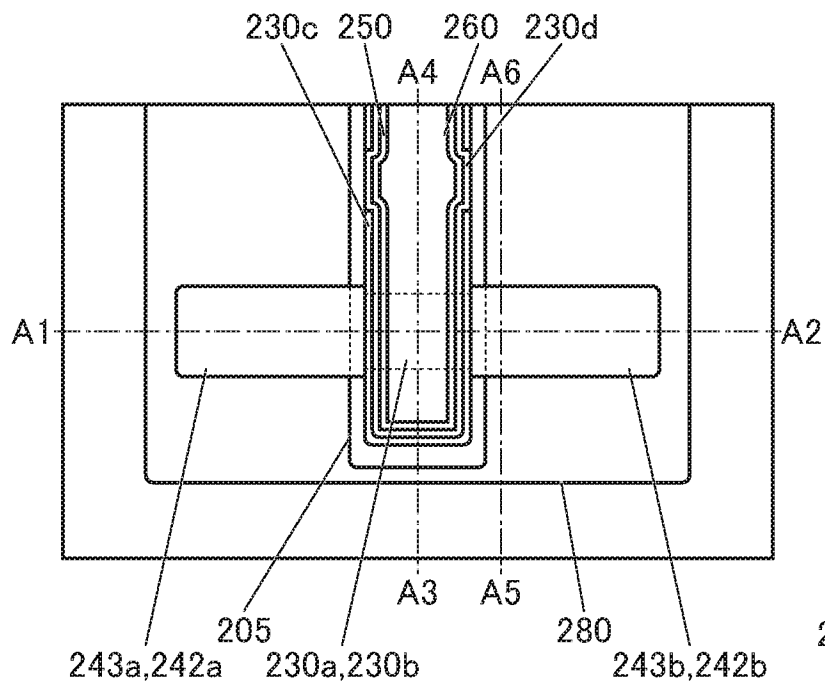


図21C

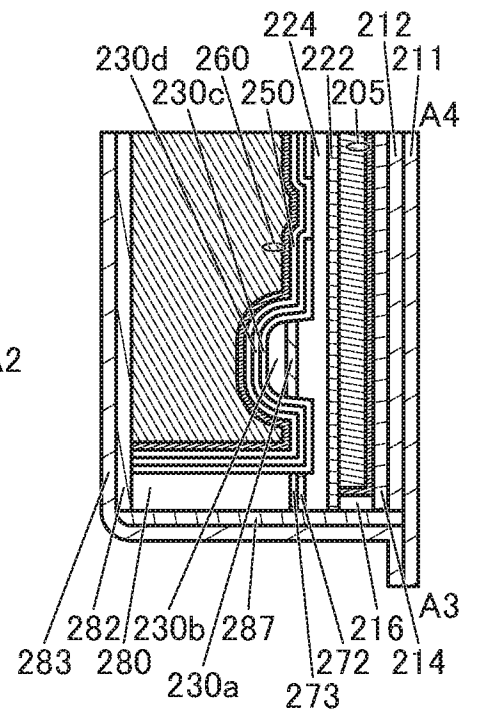


図21B

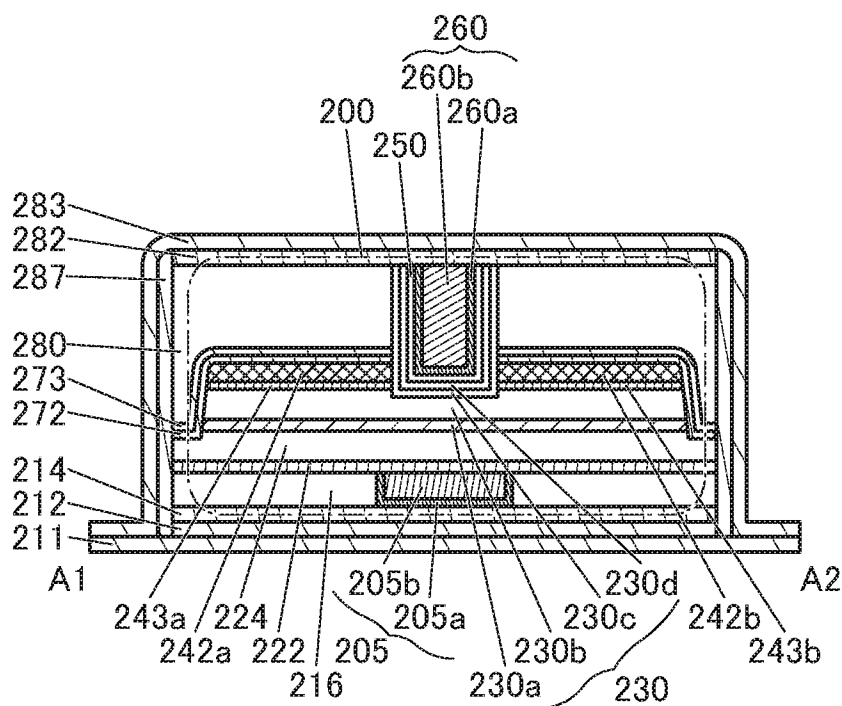


図21D

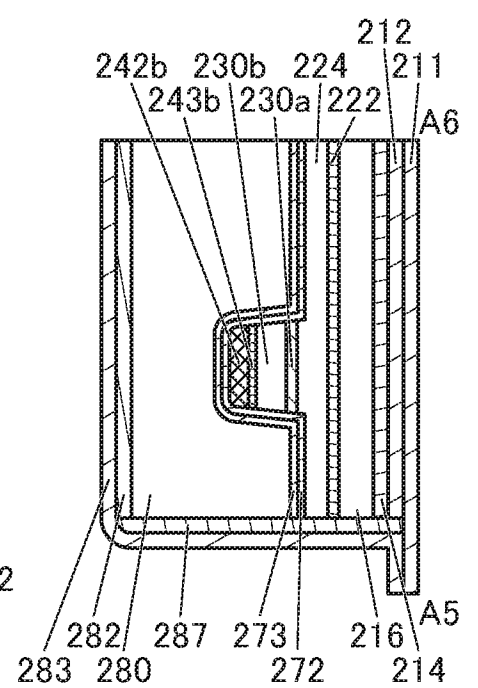
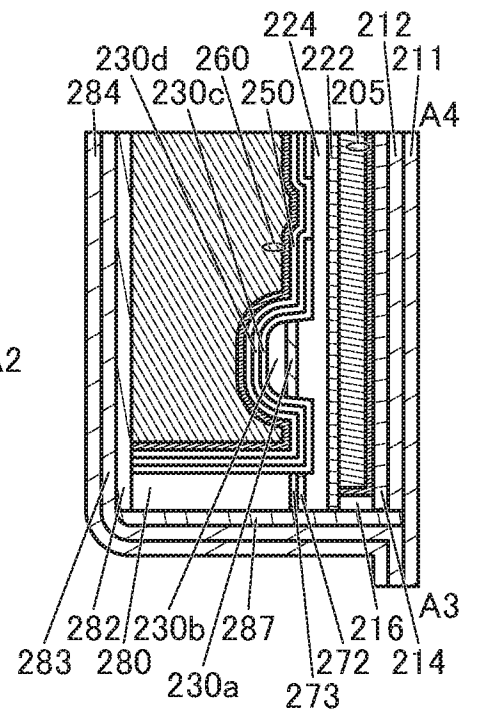
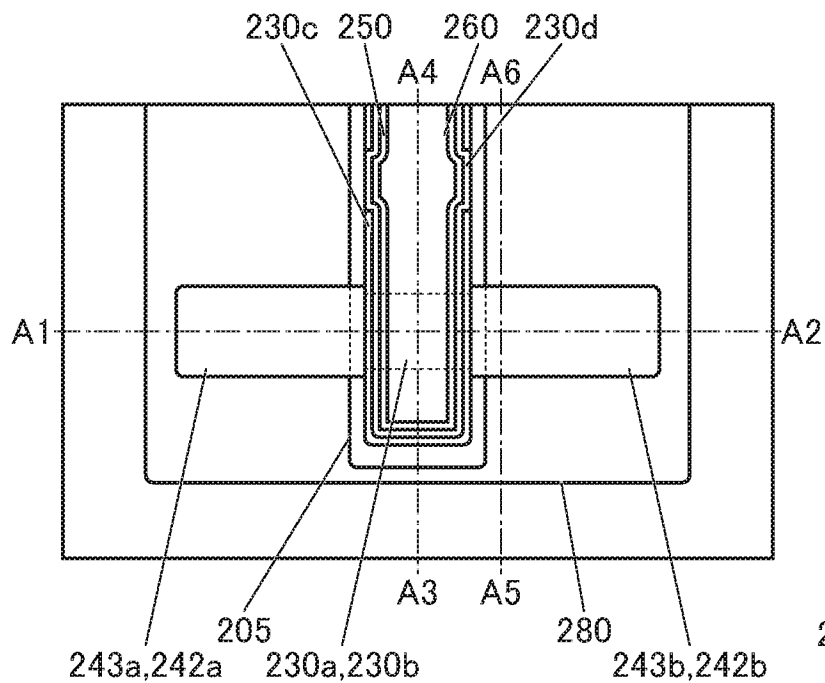


图 22A



22B

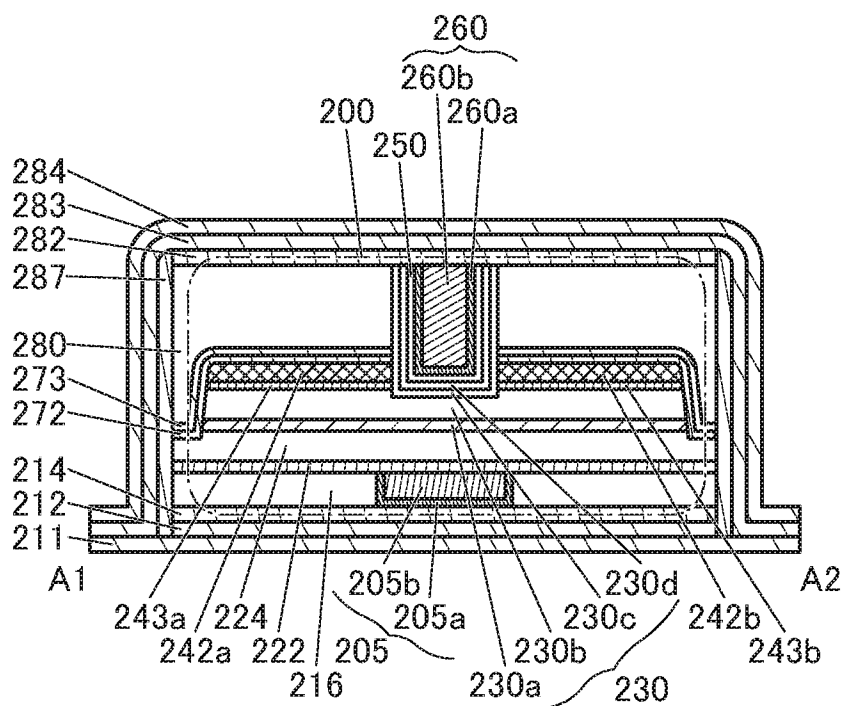
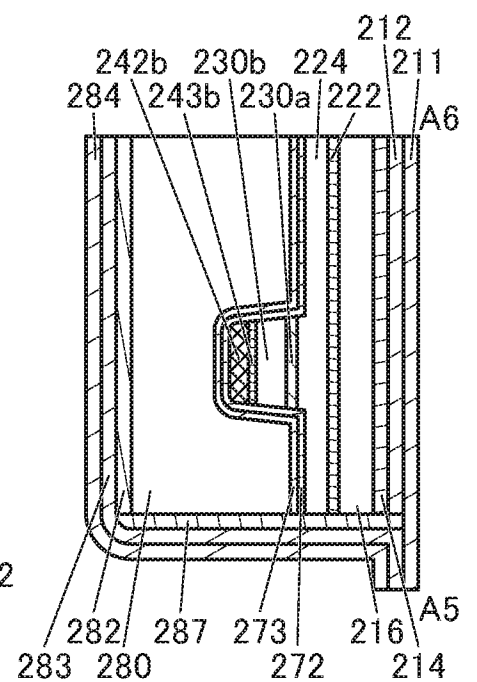
 22D

図23A

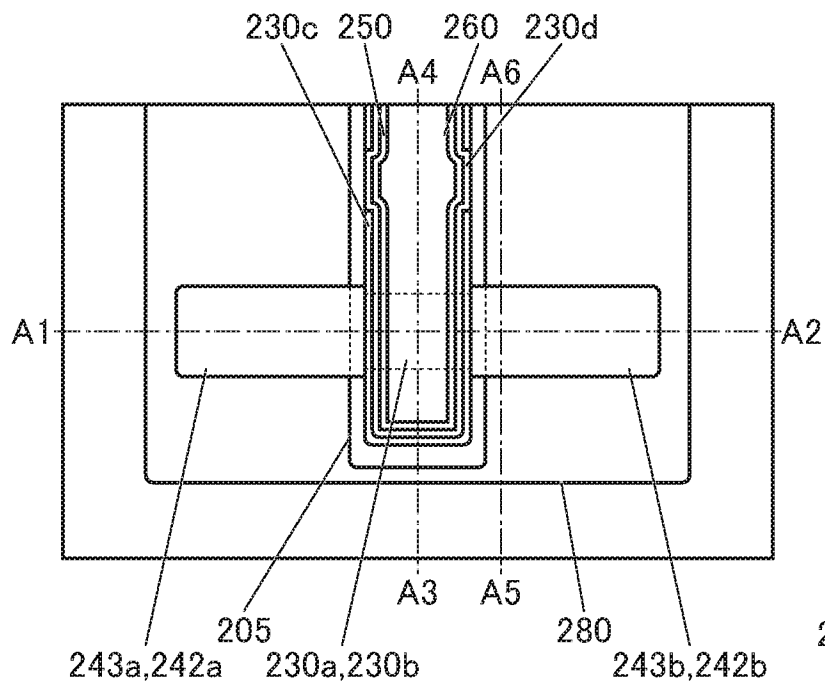


図23C

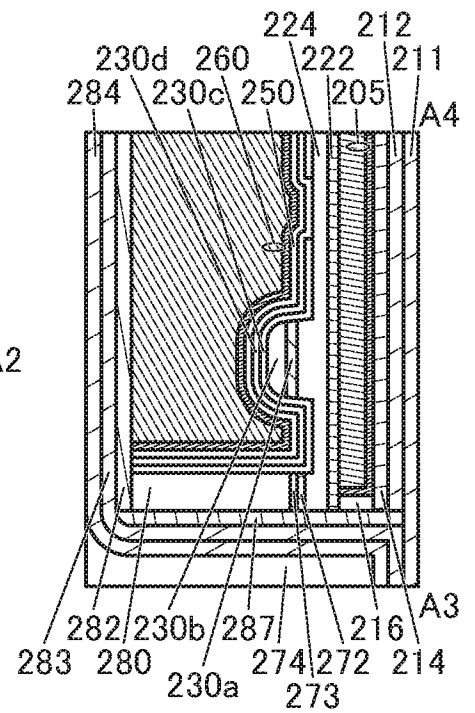


図23B

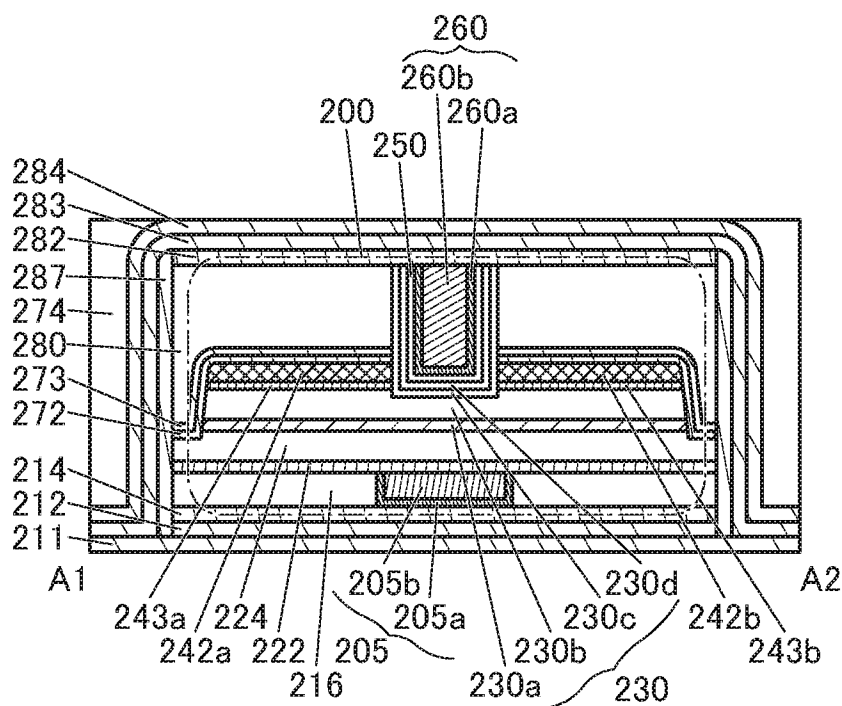


図23D

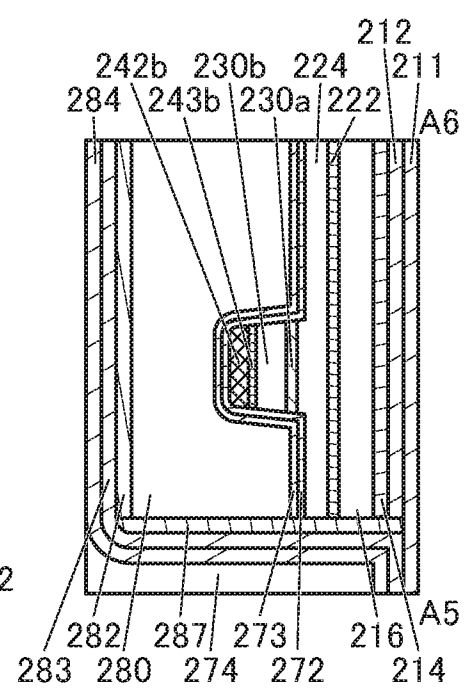


图 24A

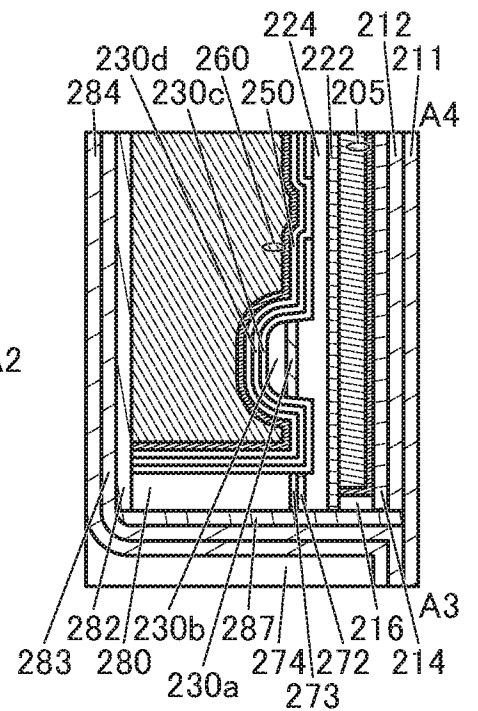
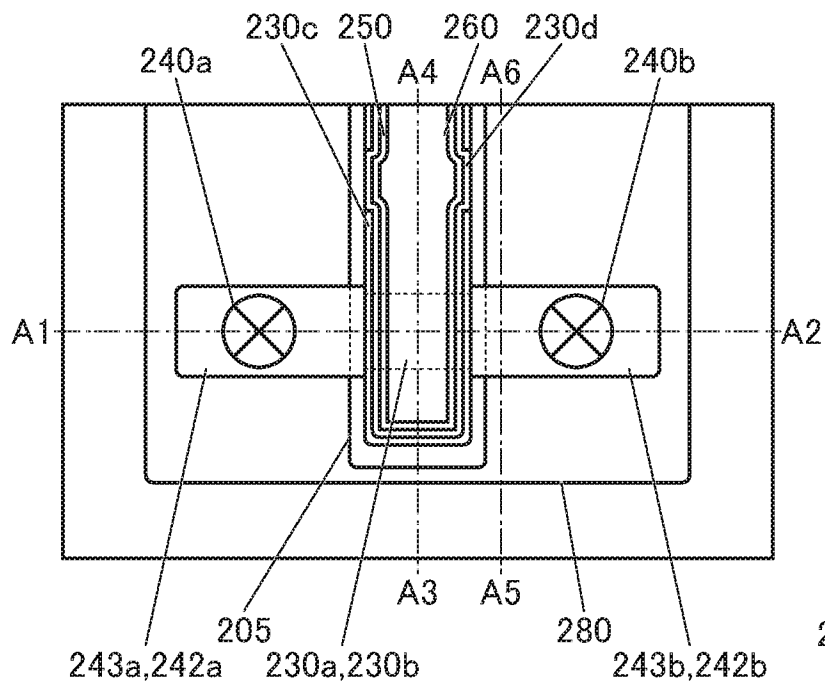
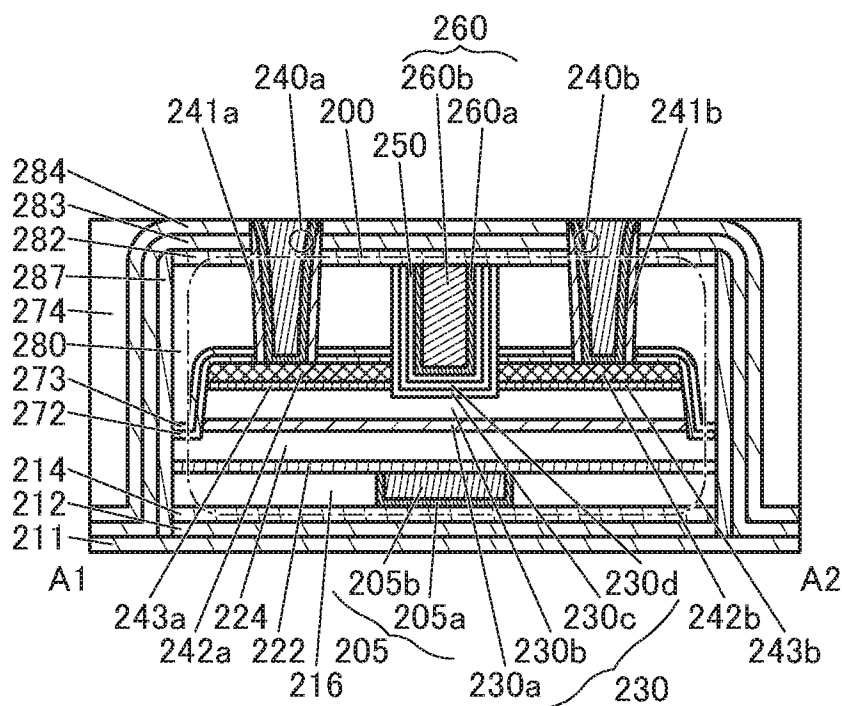
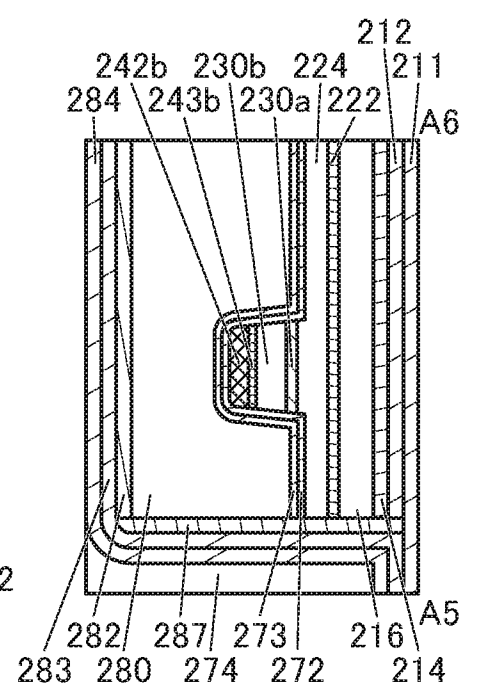
 24B 24D

図25A

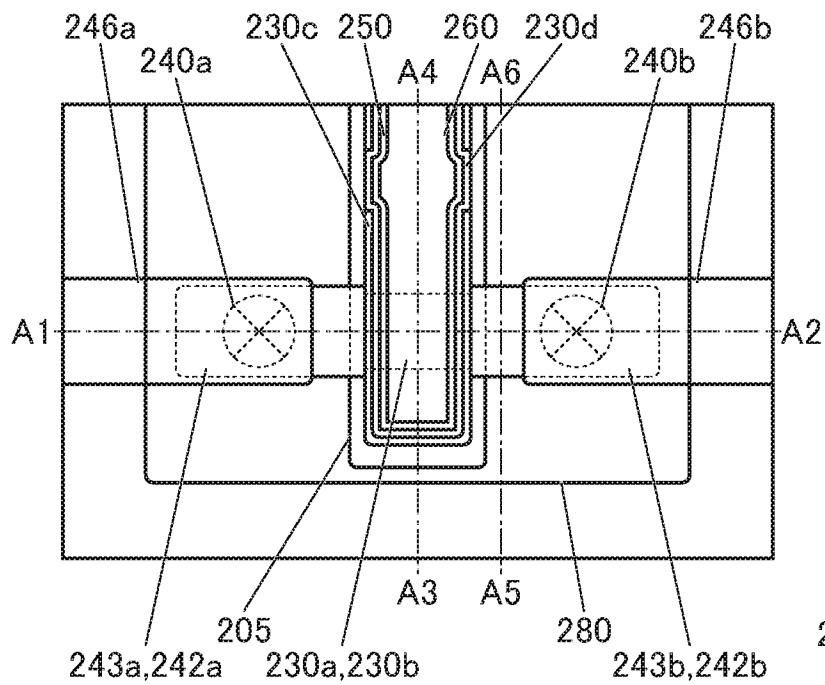


図25C

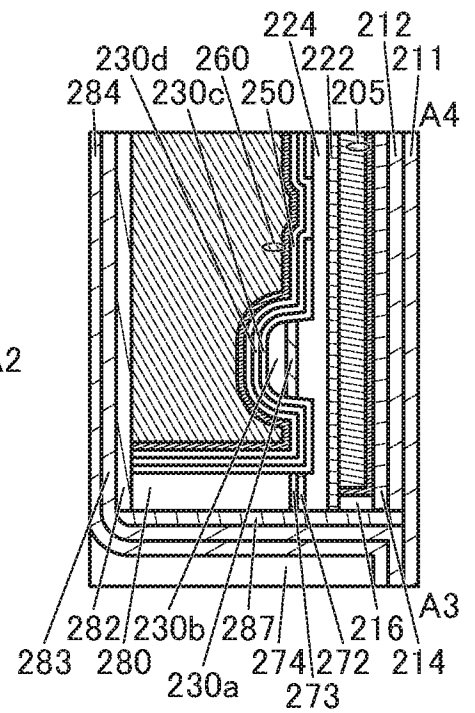


図25B

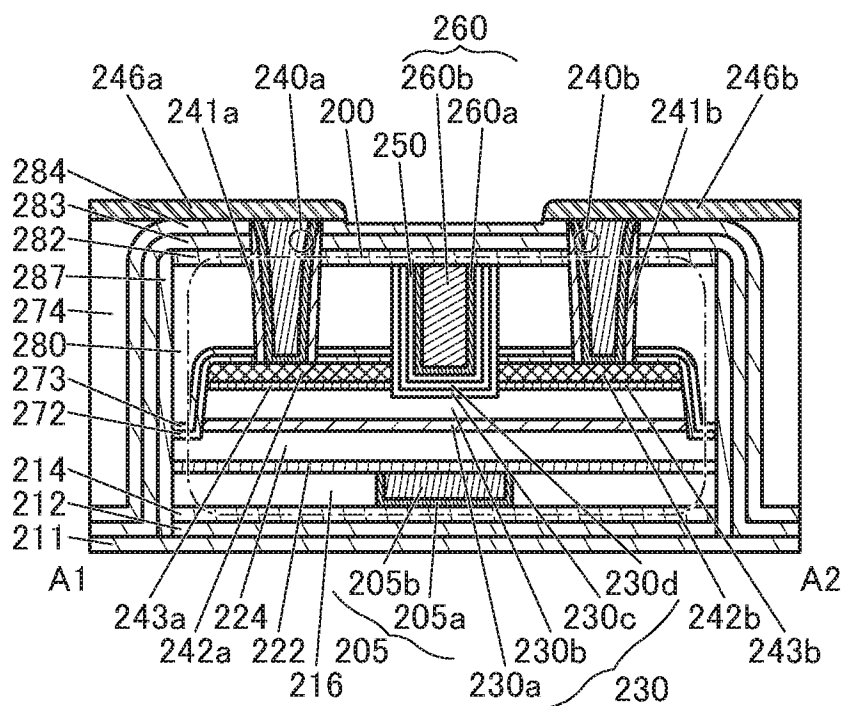
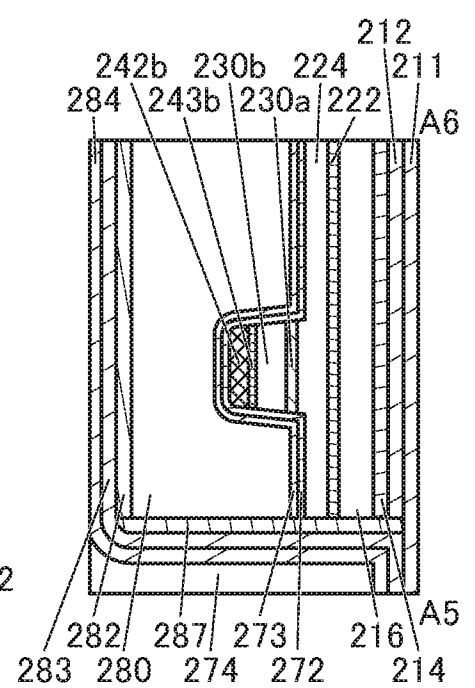
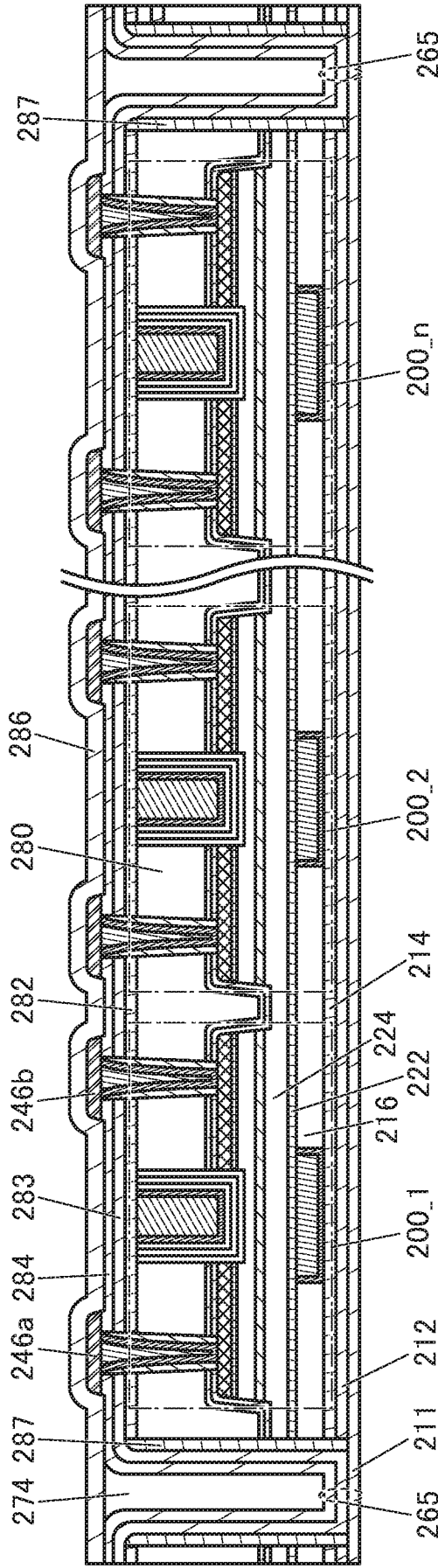


図25D



26A



26B

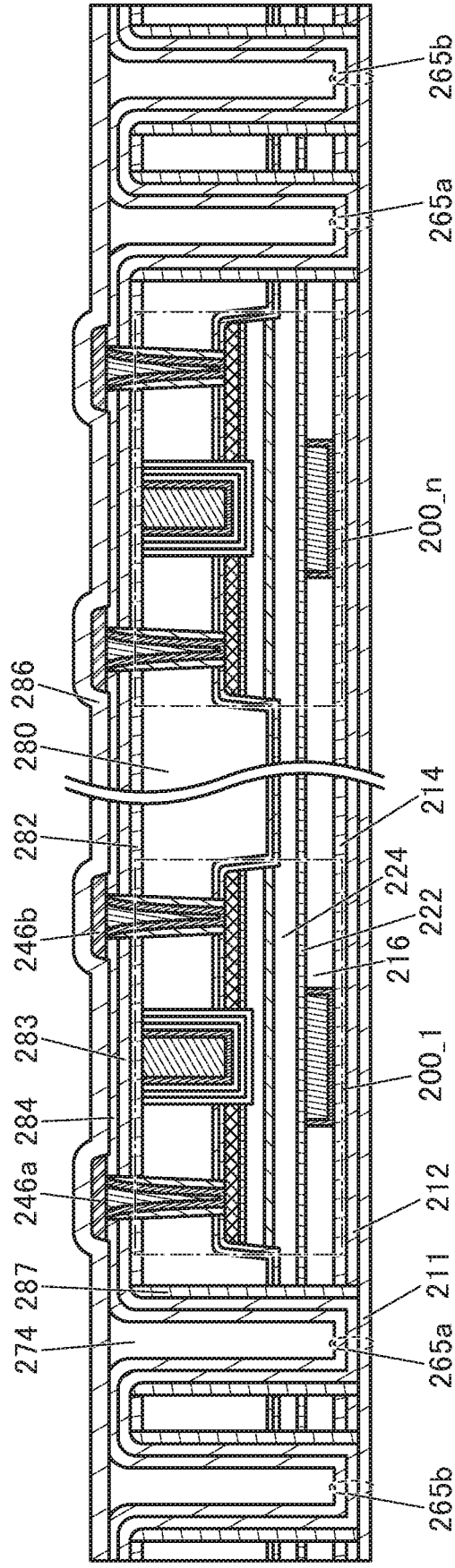


图27

27/45

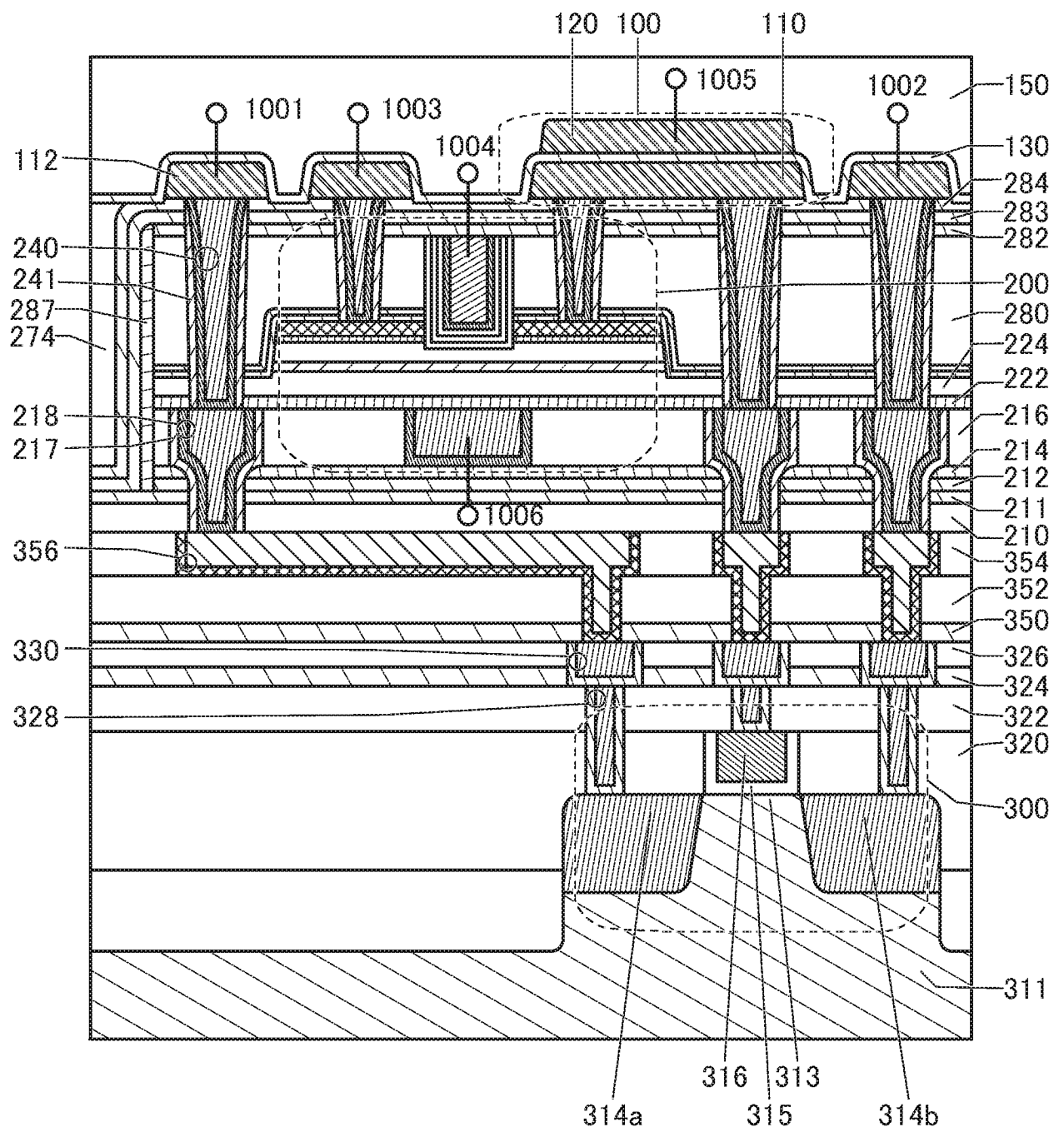
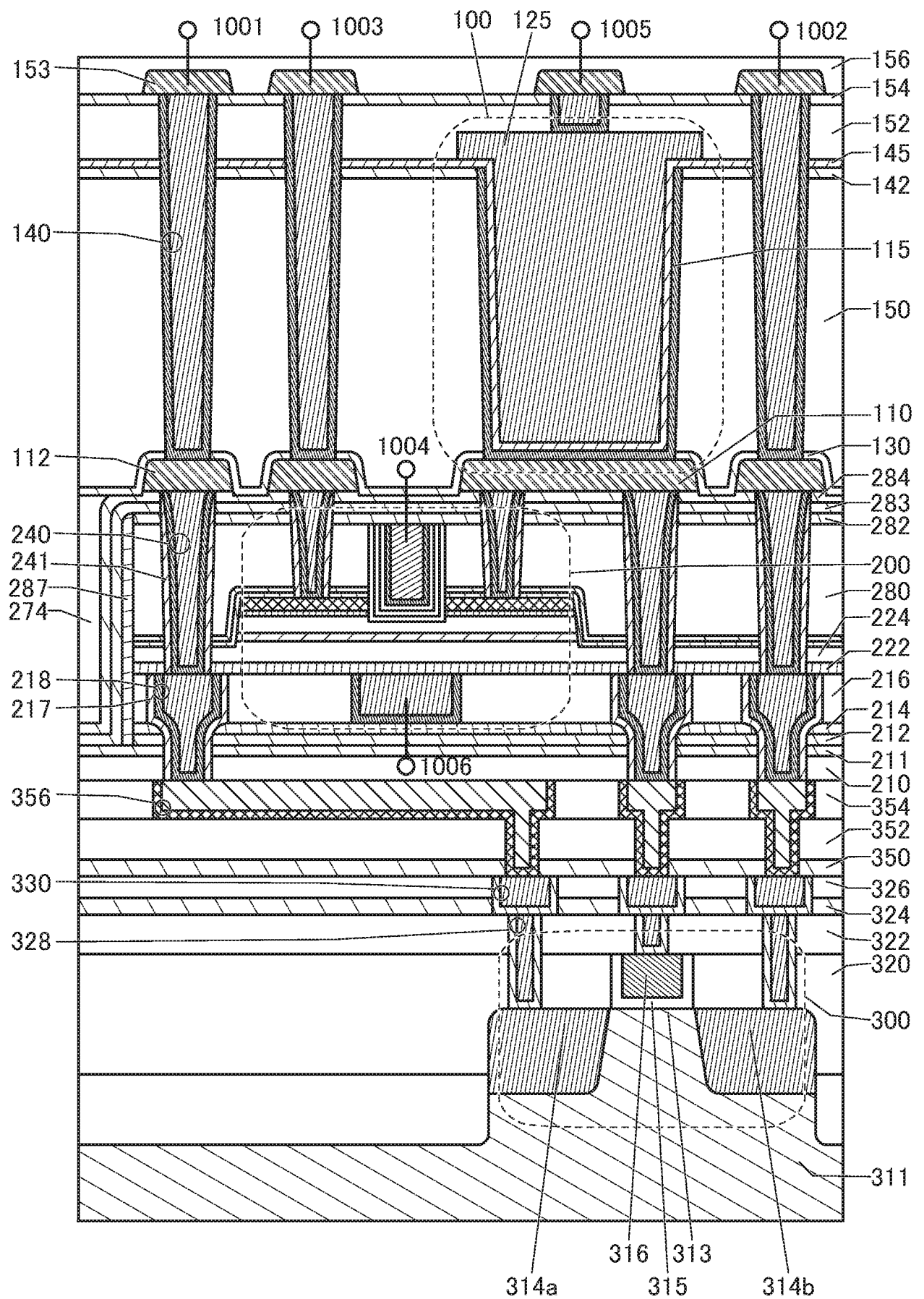


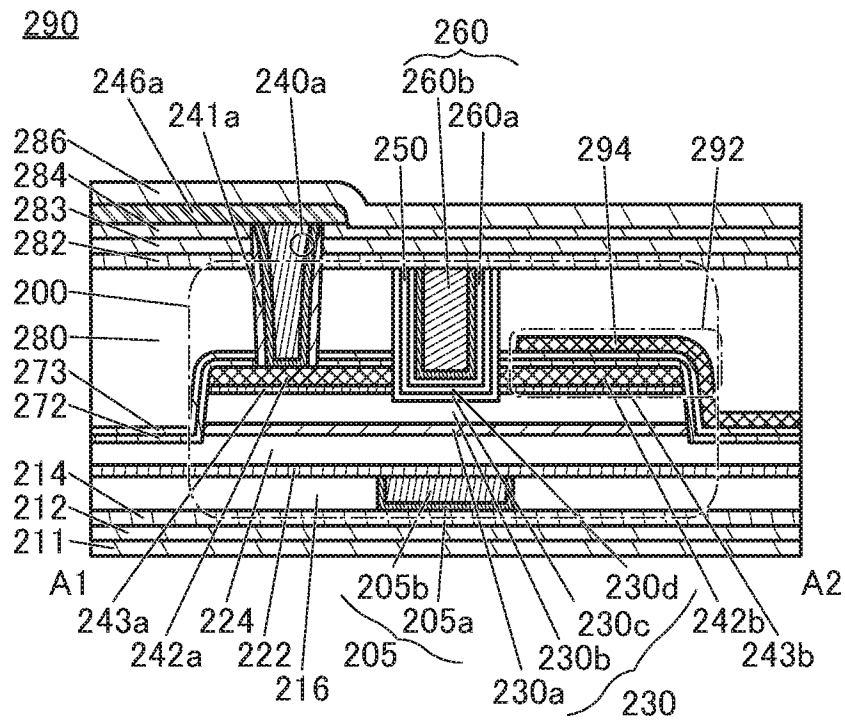
图28

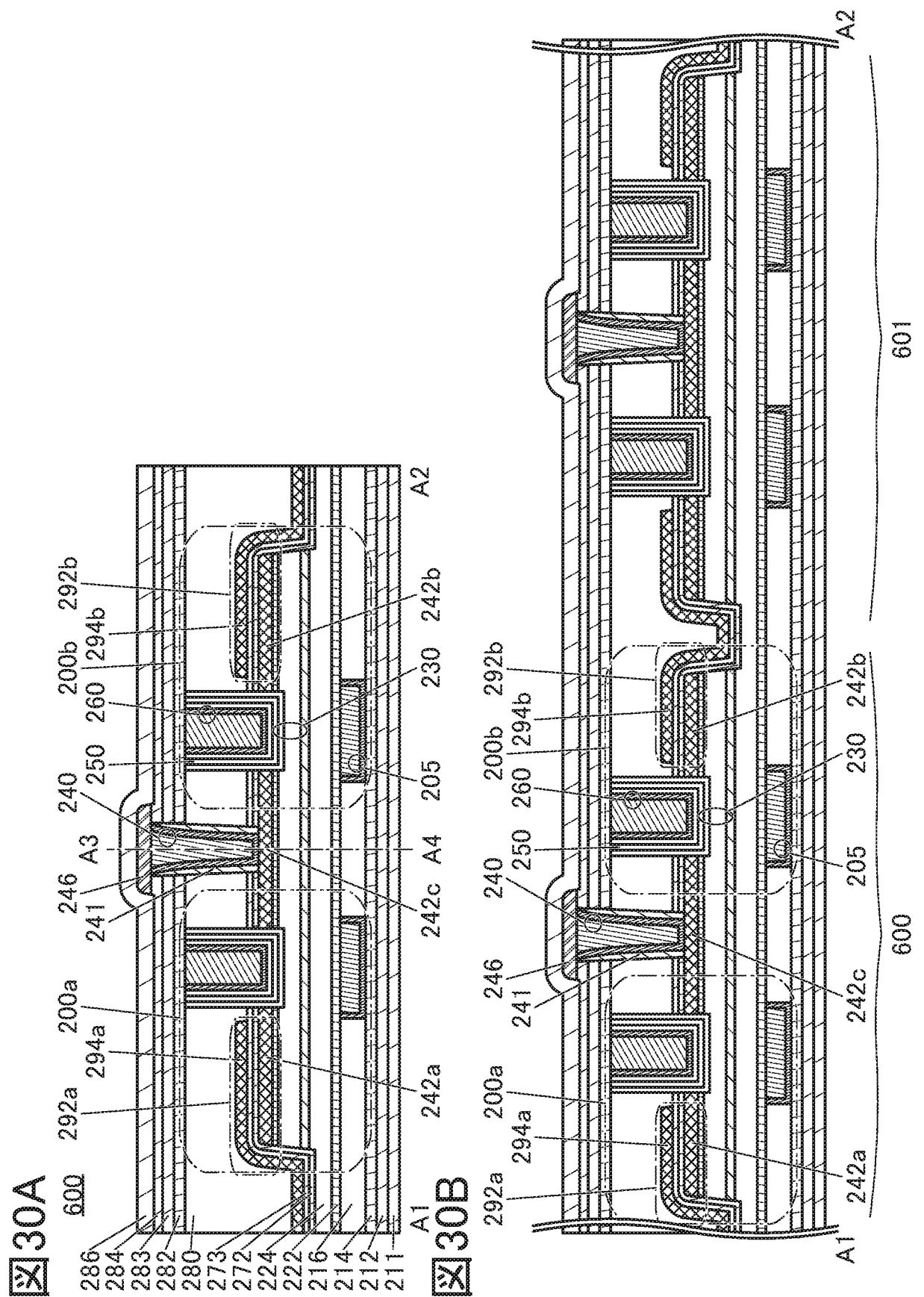
28/45



29

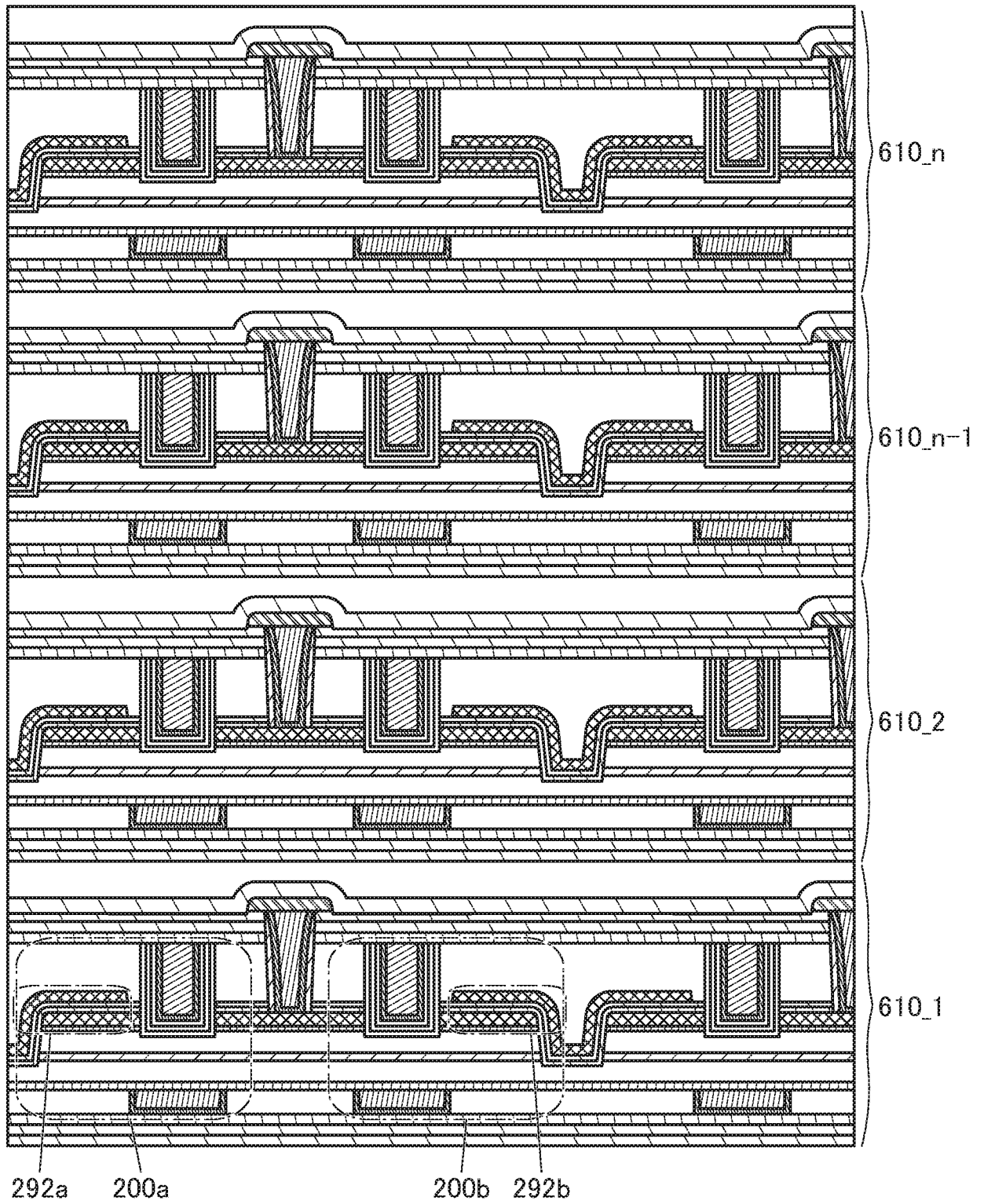
29/45

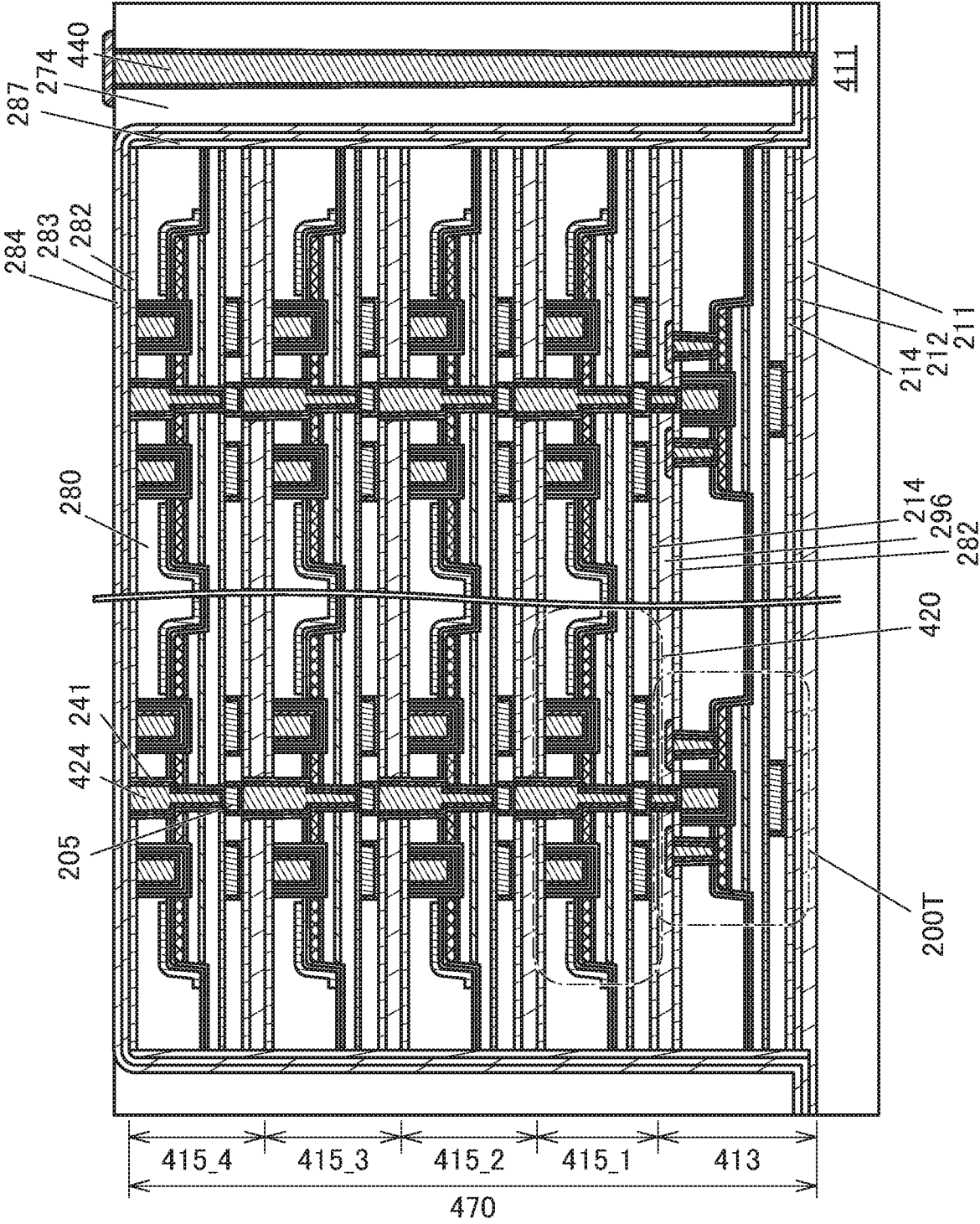




31

31/45





33/45

図33A

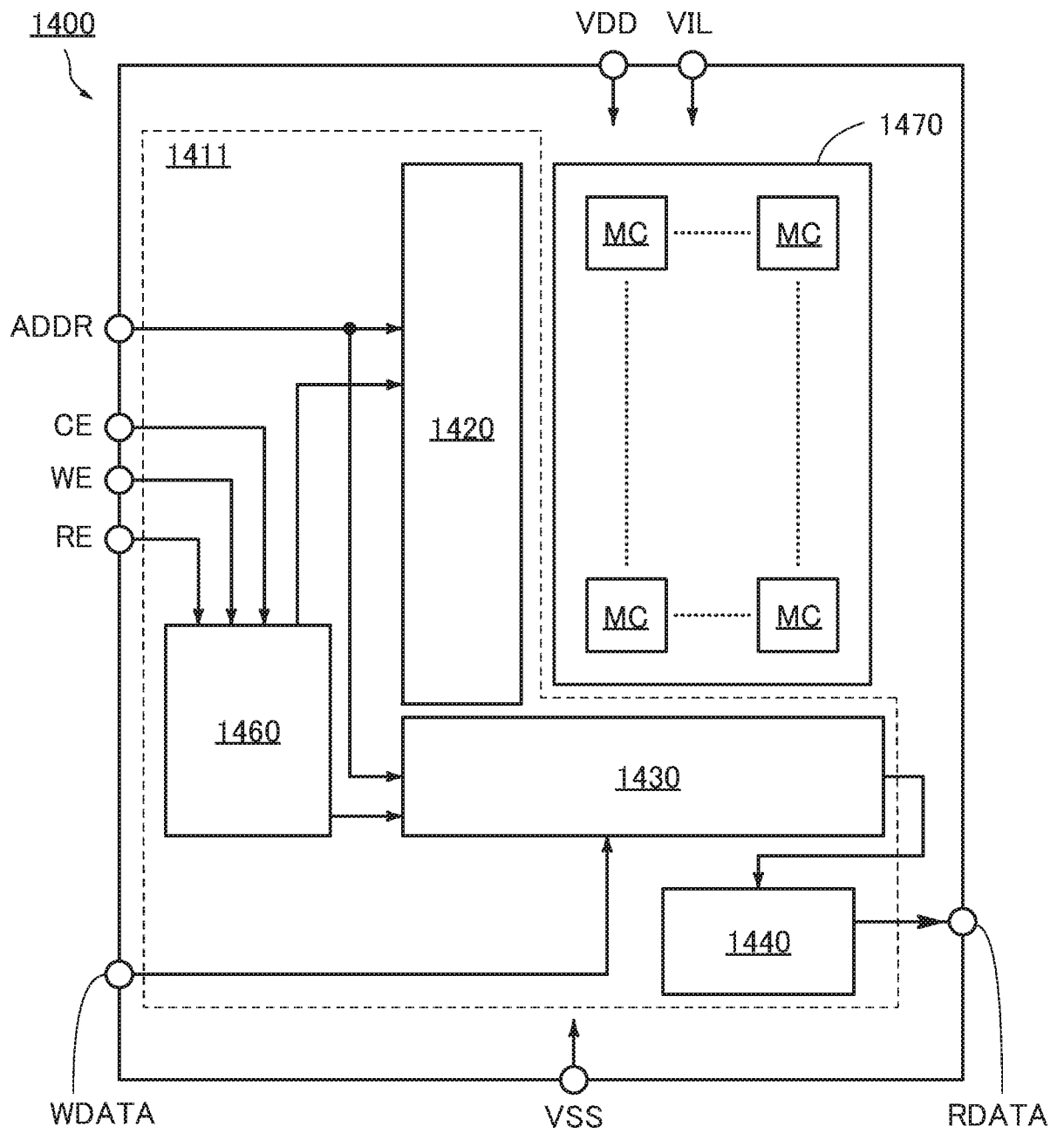
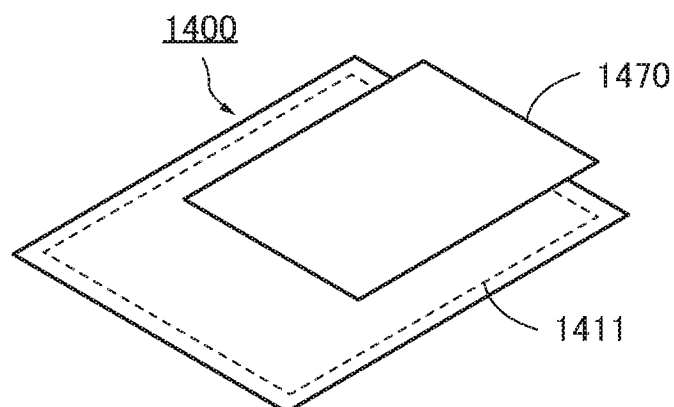
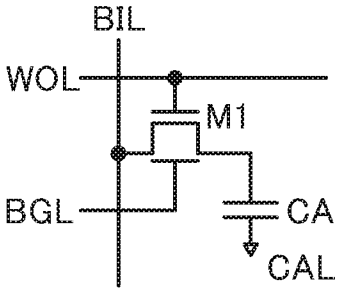


図33B



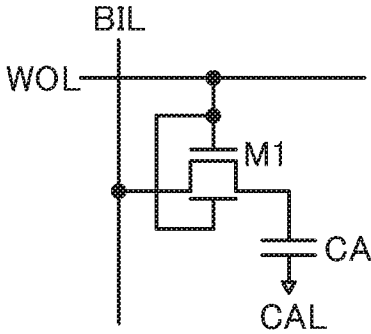
34A

1471



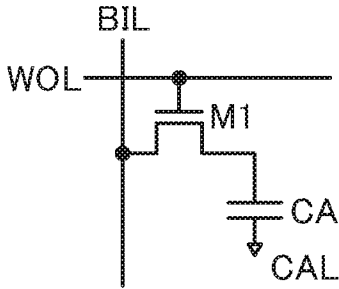
34B

1472



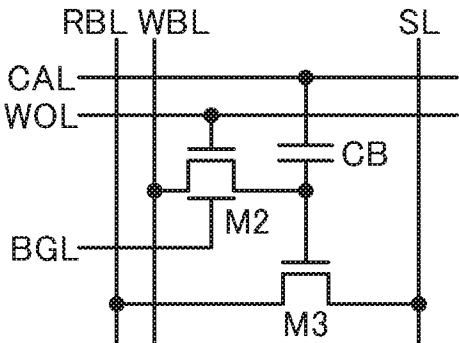
34C

1473



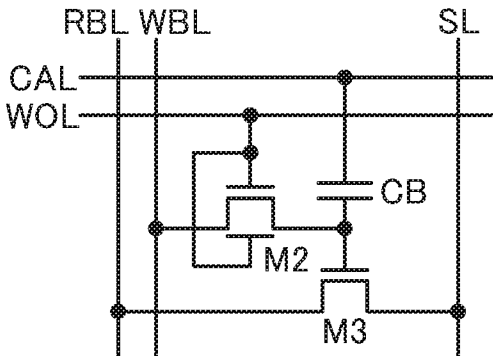
34D

1474



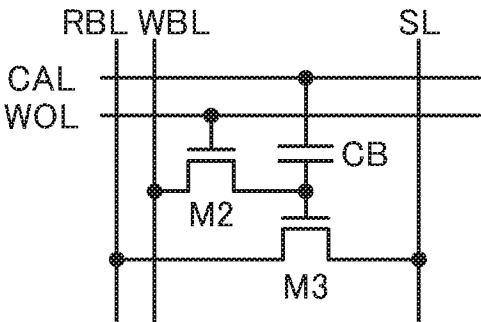
34E

1475



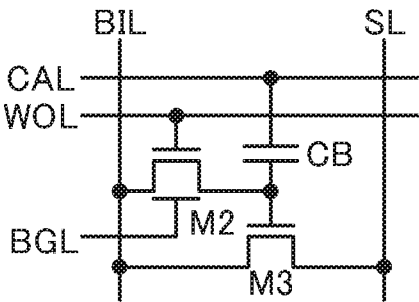
34F

1476



34G

1477



34H

1478

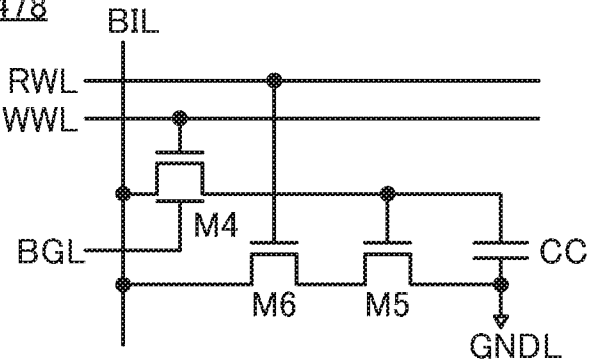


図35

35/45

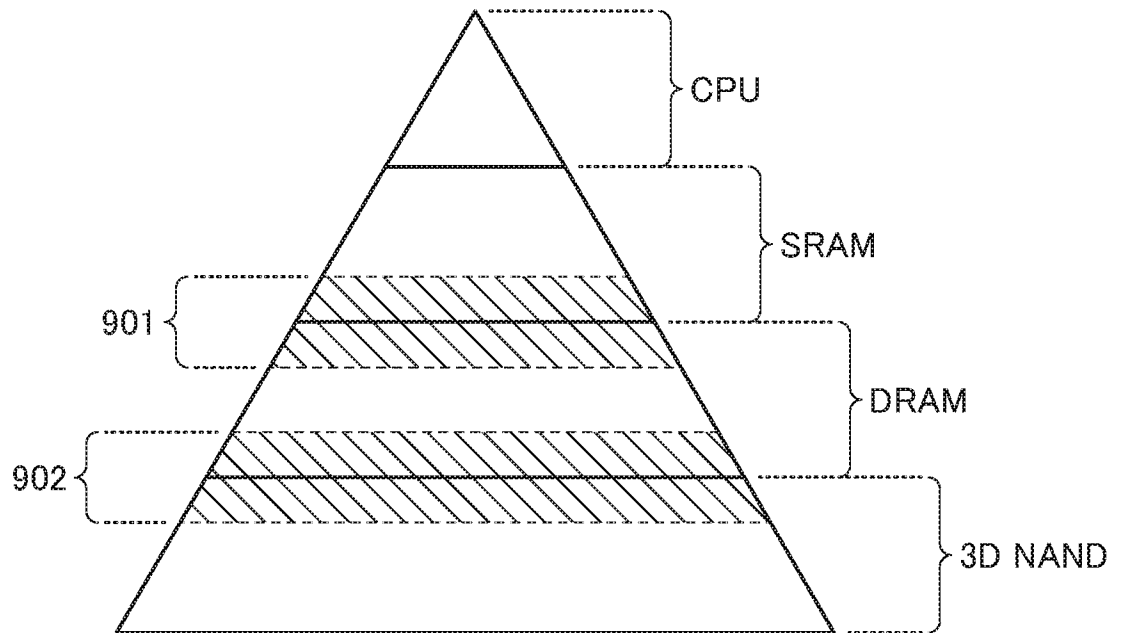


図36A

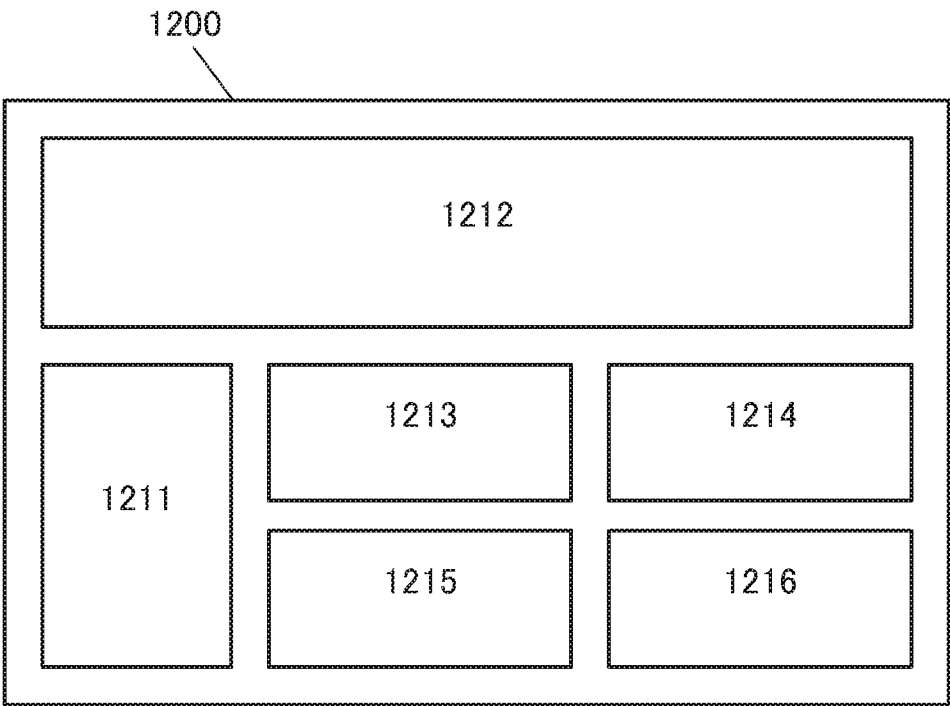
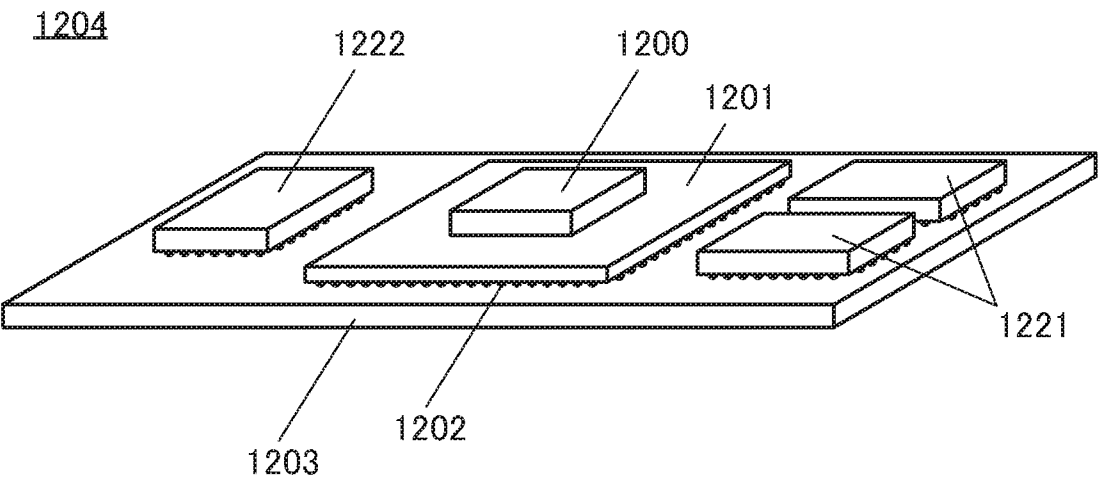


図36B



37/45

図37A

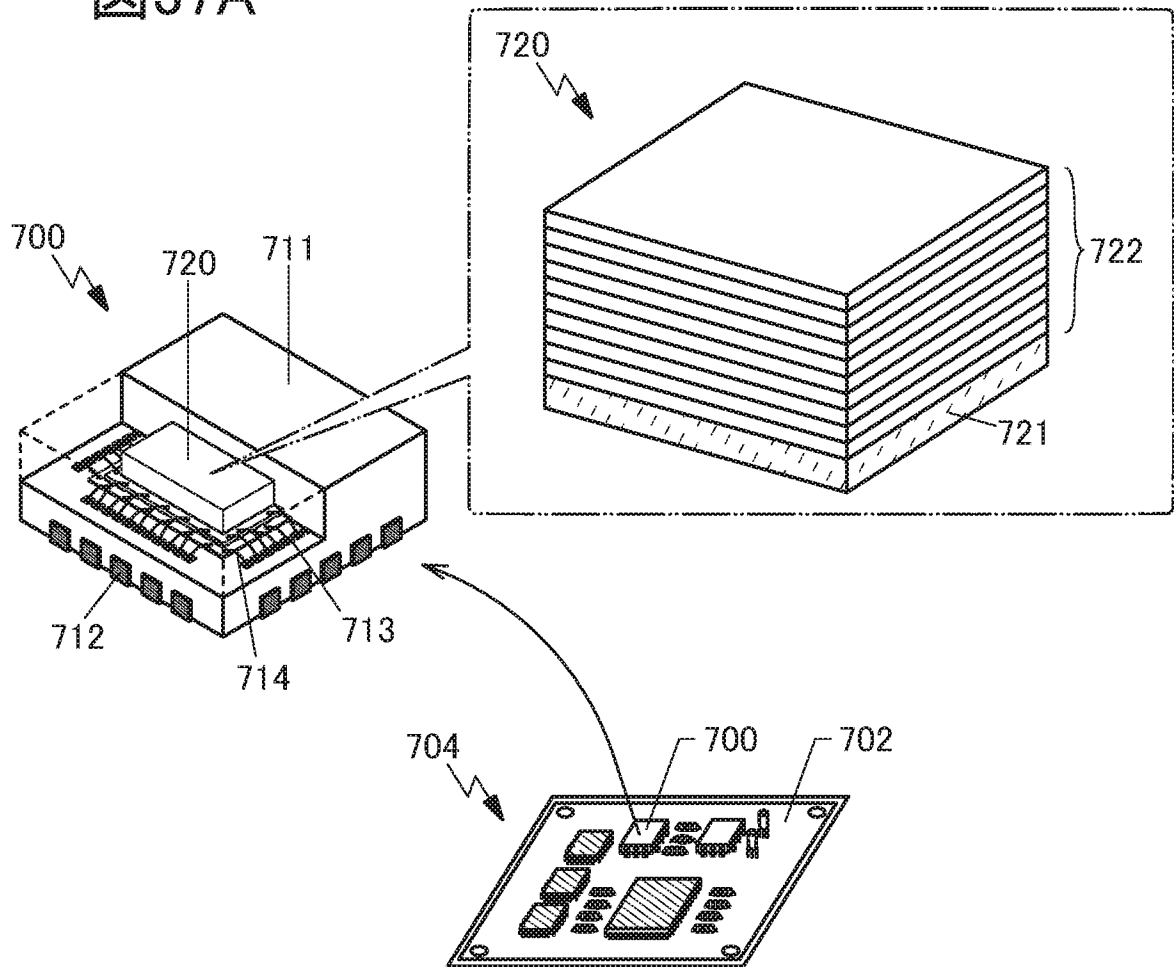
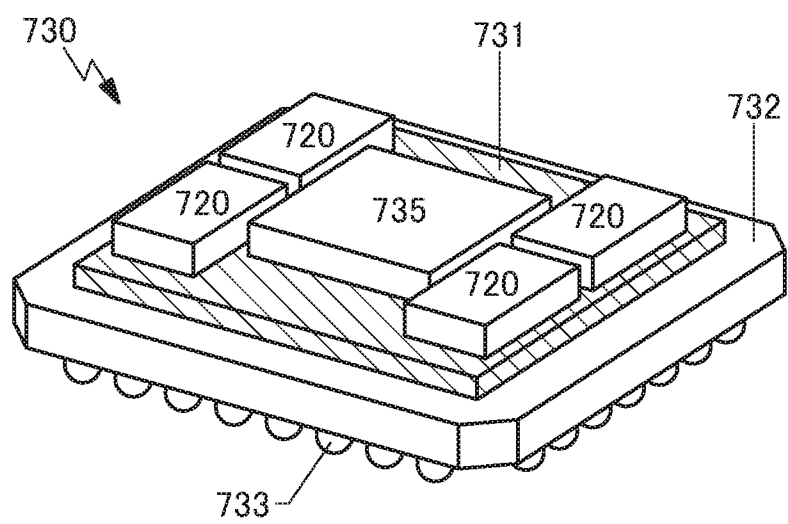


図37B



38/45

図38A

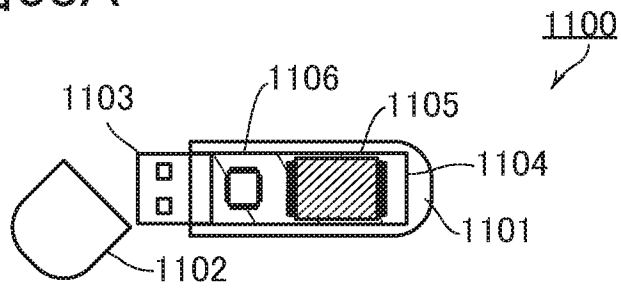


図38B

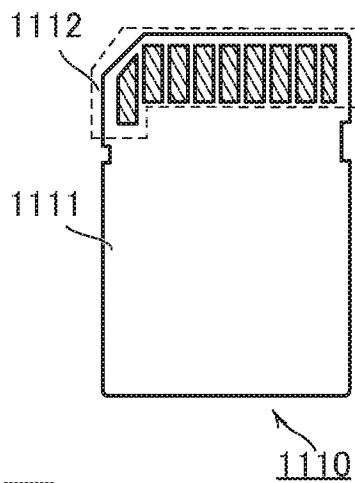


図38C

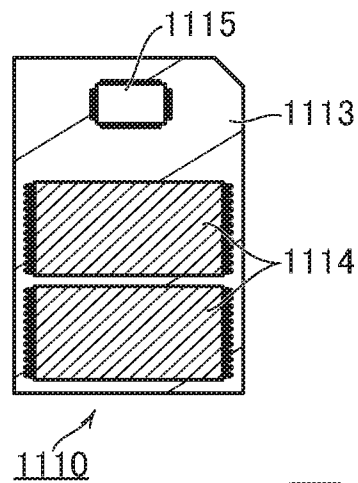


図38D

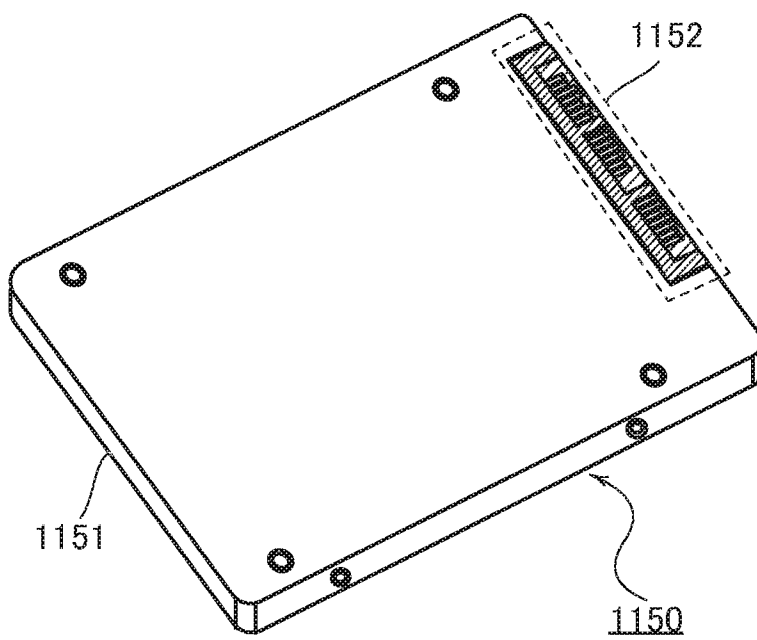
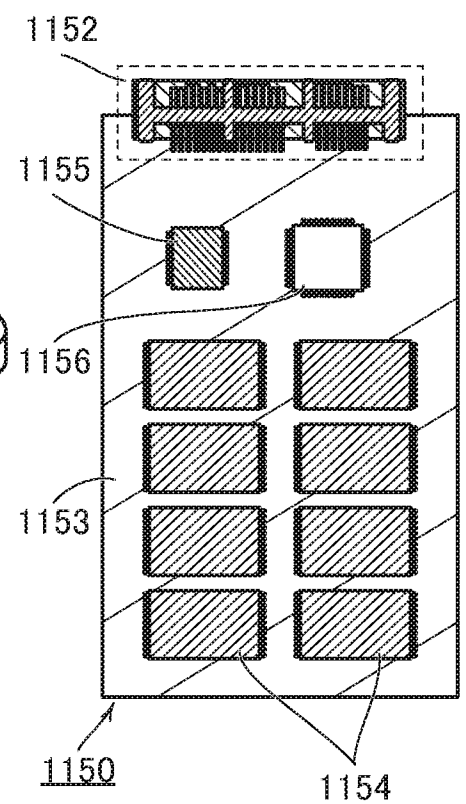


図38E



39/45

図 39A

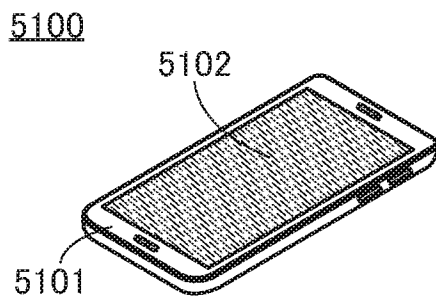


図 39B

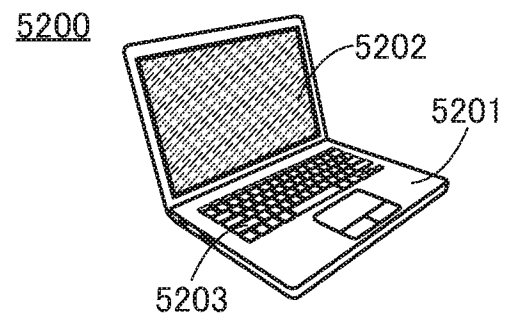


図 39C

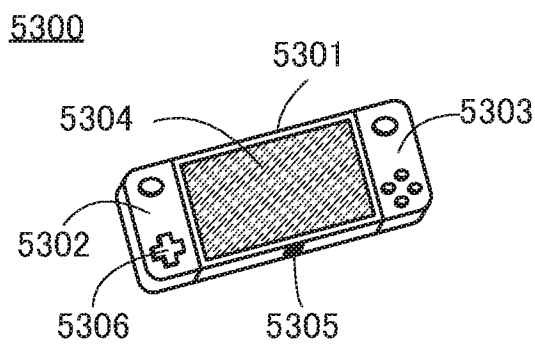


図 39D

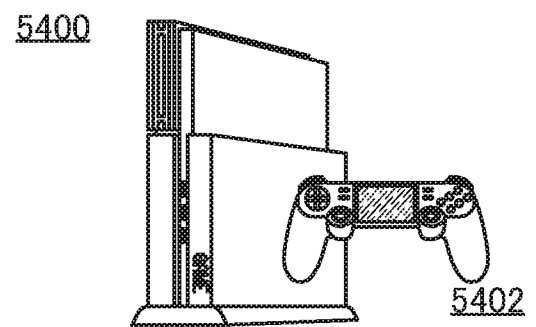


図 39E

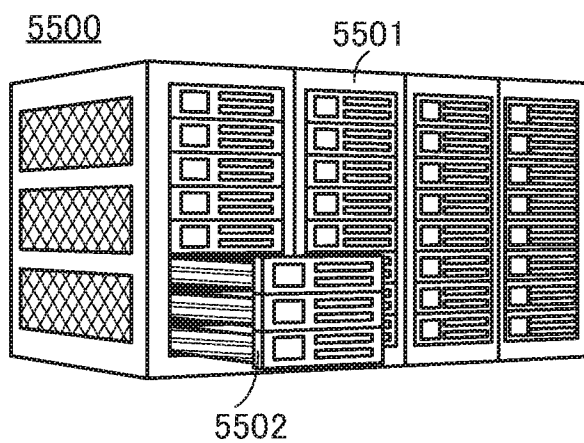


図 39F

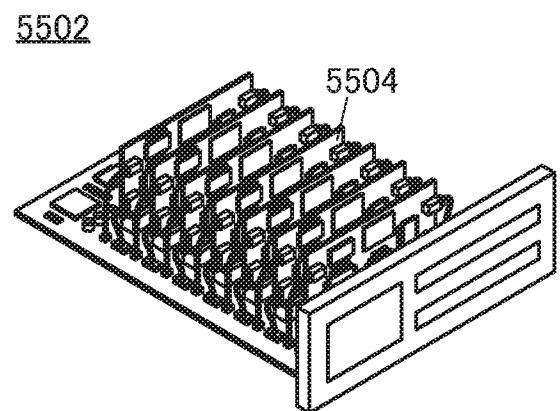


図 39G

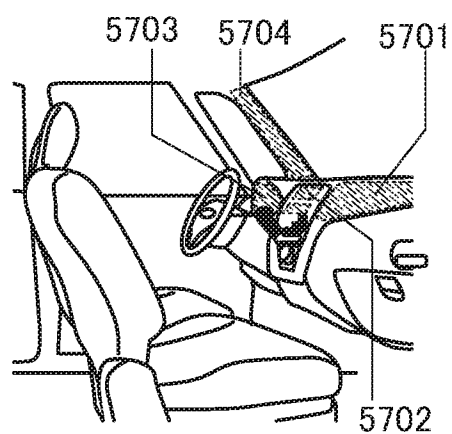


図 39H

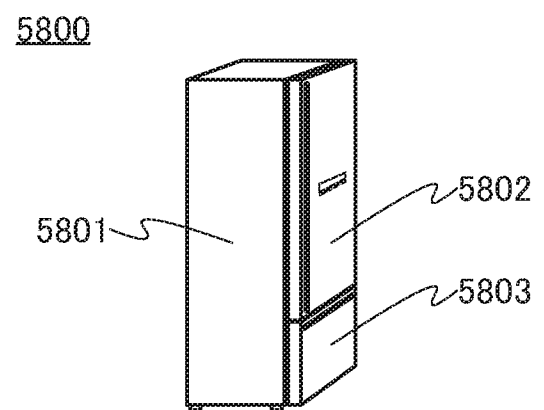


図40A

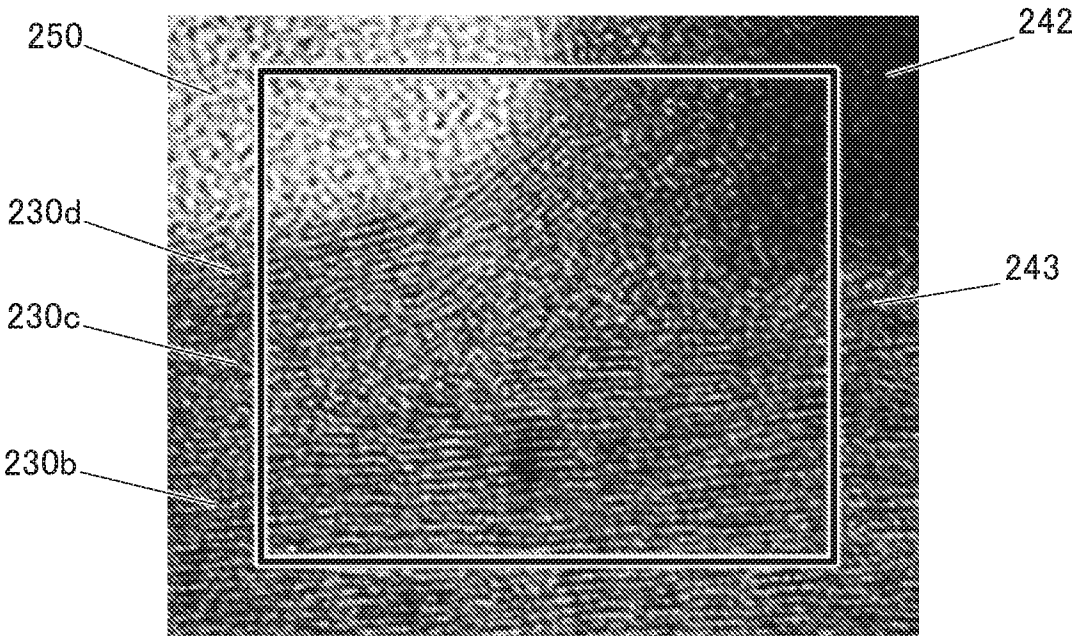
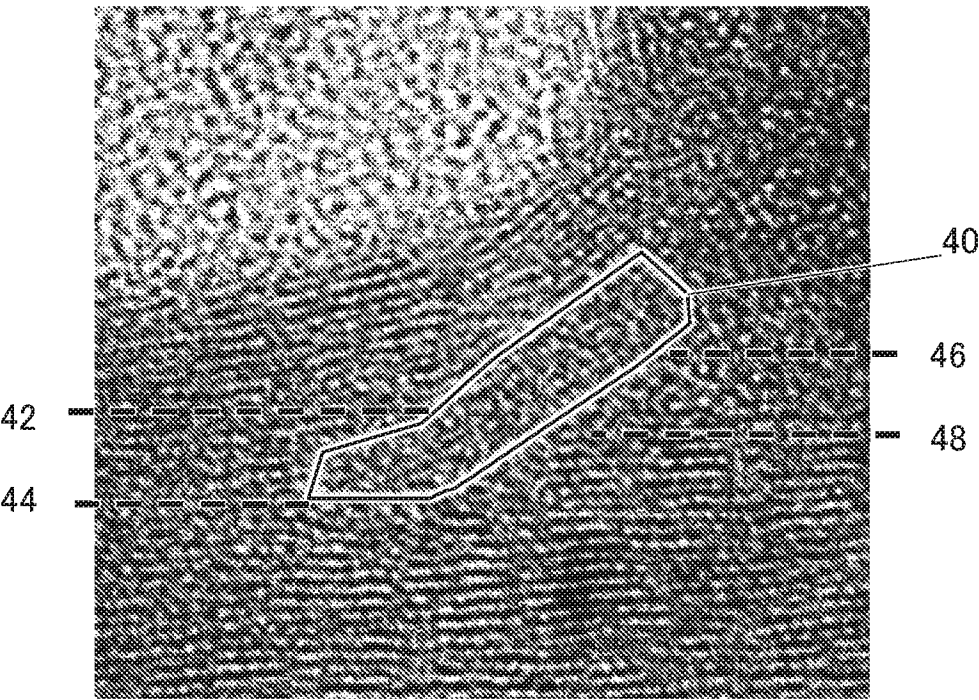


図40B



41/45

図41A

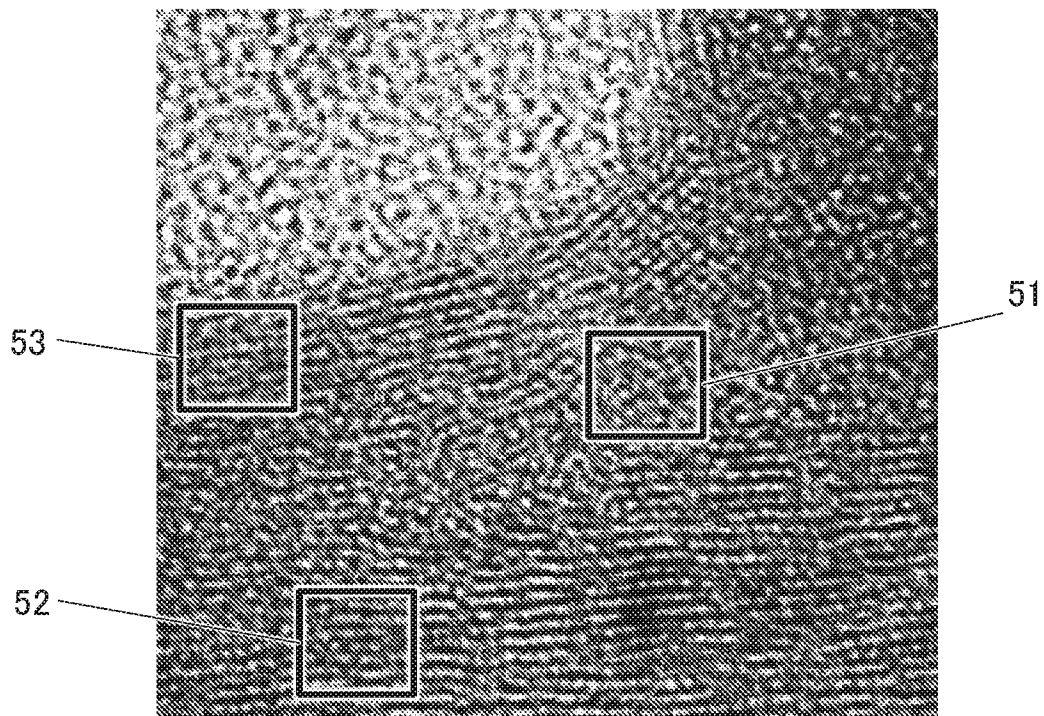


図41B

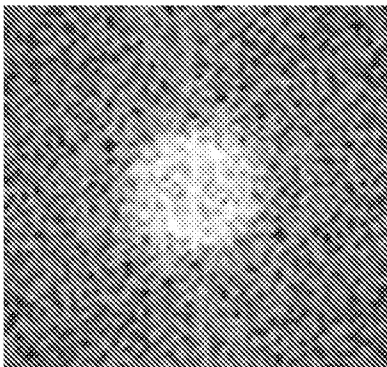


図41C

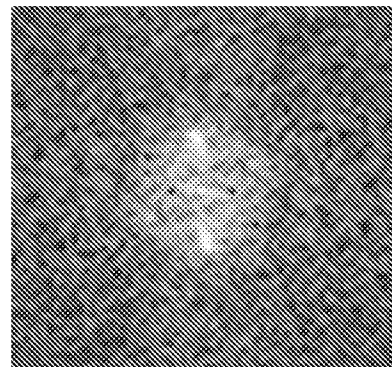


図41D

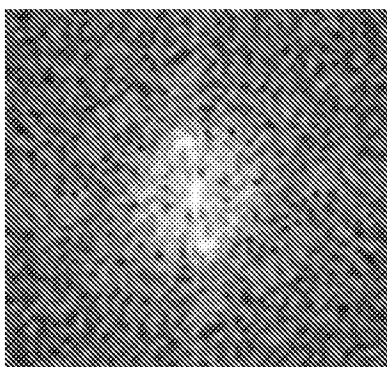


図42

42/45

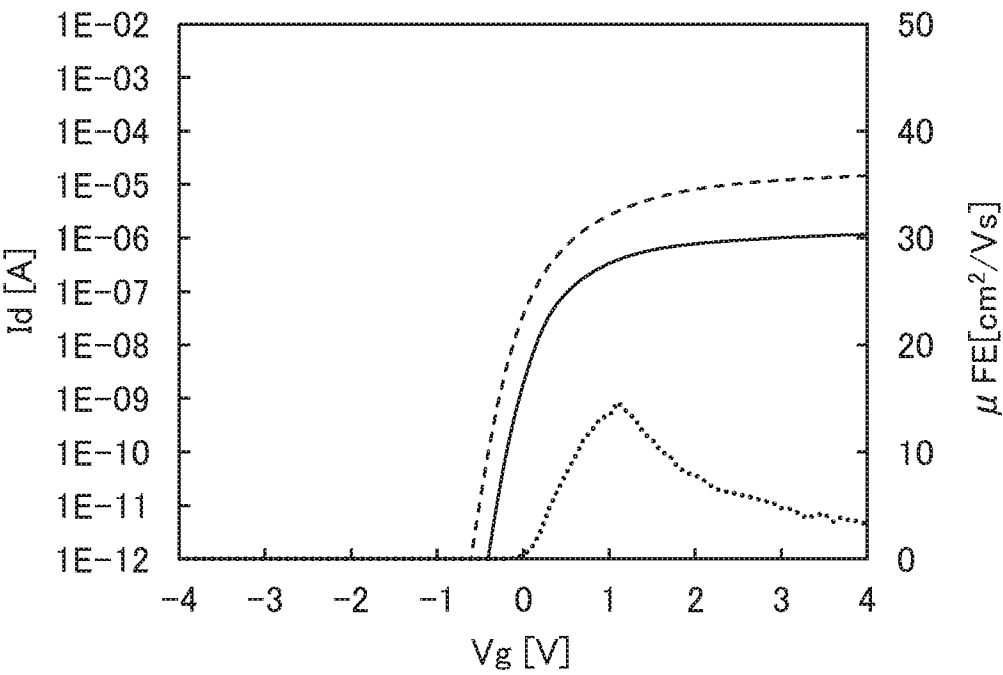


図43A

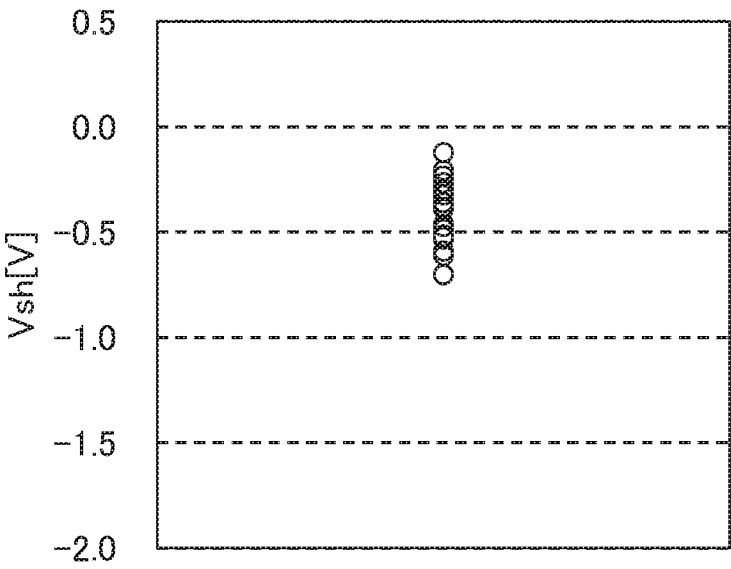
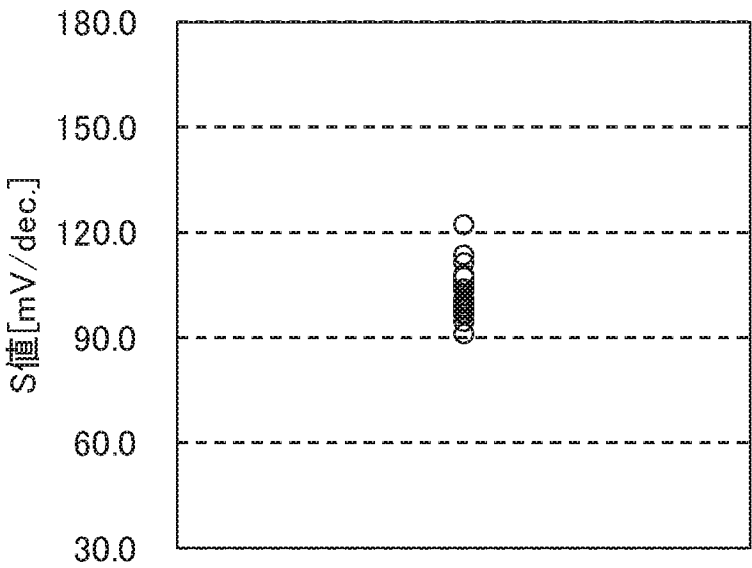
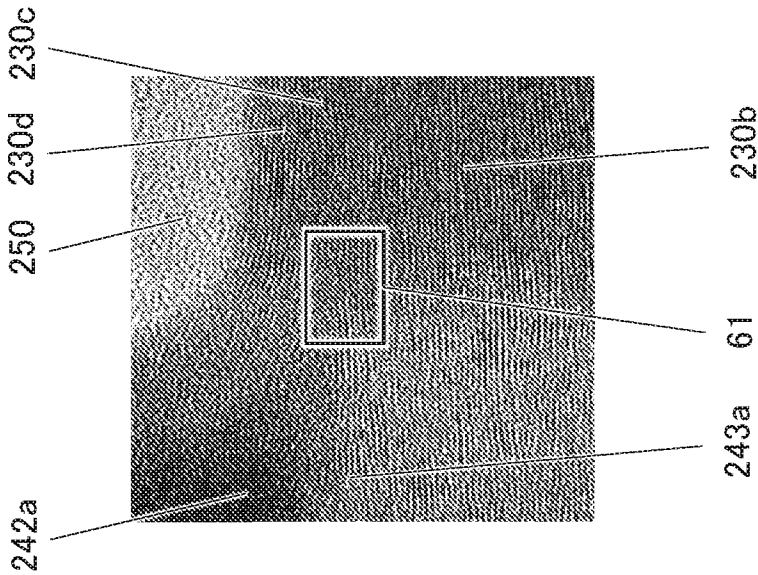


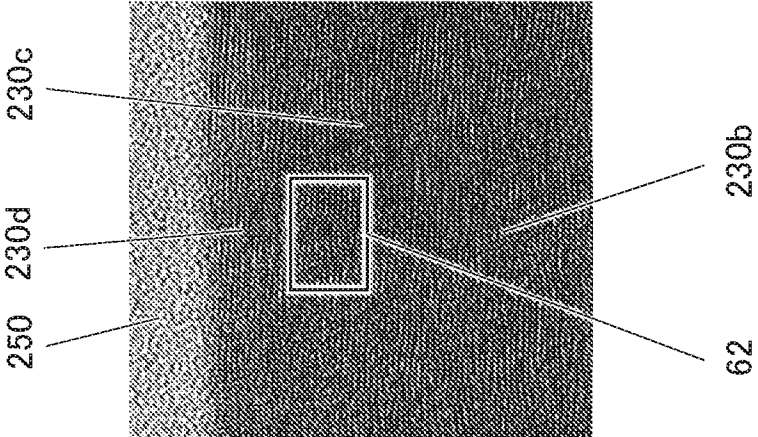
図43B



44A



44B



44C

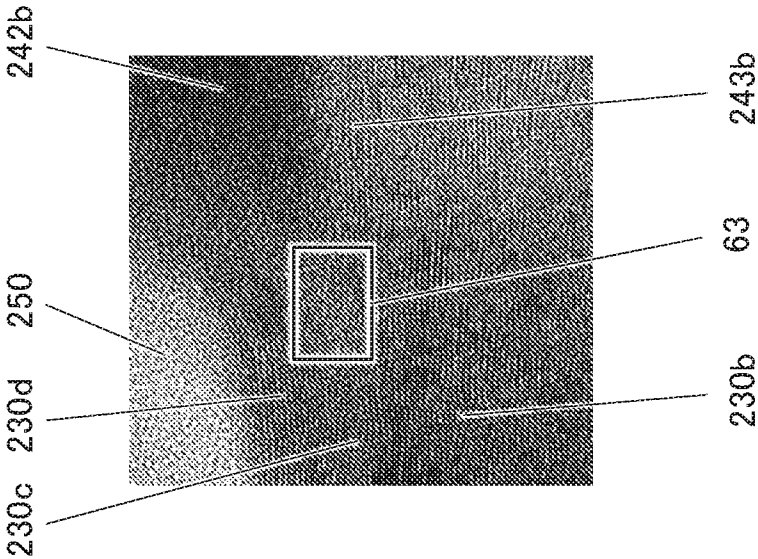
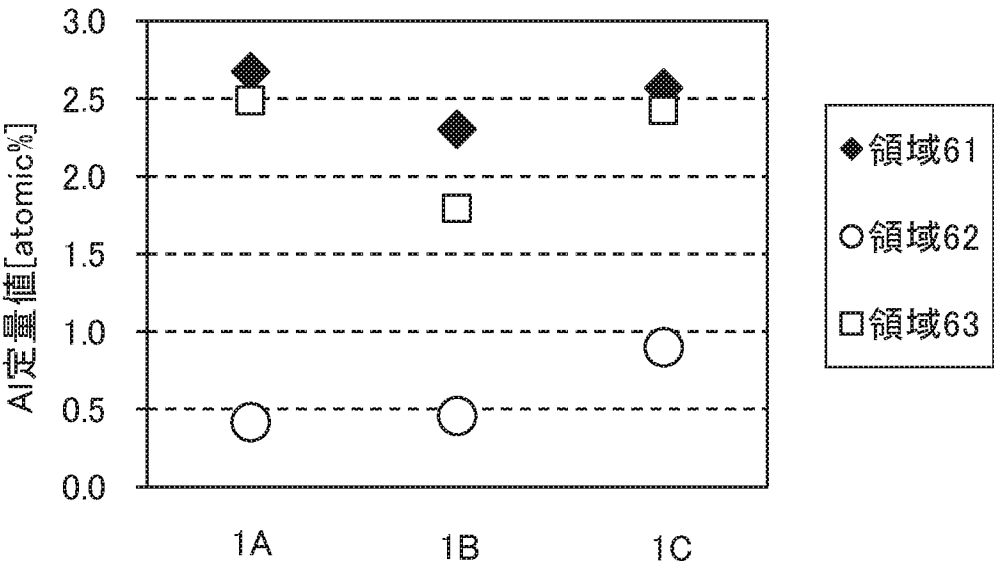


図45

45/45



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/051160

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i;
H01L 21/8242(2006.01)i; H01L 27/088(2006.01)i; H01L 27/108(2006.01)i;
H01L 27/1156(2017.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i
FI: H01L29/78 618B; H01L27/1156; H01L27/088 H; H01L27/088 E;
H01L27/088 331E; H01L27/108 321; H01L27/108 671Z; H01L29/78 618C;
H01L29/78 618F; H01L27/108 621Z; H01L27/108 671C; H01L29/78 371;
H01L29/78 620; H01L29/78 618E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; H01L21/336; H01L21/8234; H01L21/8242; H01L27/088; H01L27/108;
H01L27/1156; H01L29/788; H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-199901 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 02.11.2017 (2017-11-02)	1-8
A	JP 2017-175129 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 28.09.2017 (2017-09-28)	1-8
A	JP 2017-98535 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 01.06.2017 (2017-06-01)	1-8
A	WO 2017/072627 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04.05.2017 (2017-05-04)	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

26 May 2020 (26.05.2020)

Date of mailing of the international search report

02 June 2020 (02.06.2020)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/051160

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	WO 2019/111105 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 13.06.2019 (2019-06-13)	1-8

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/IB2020/051160

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2017-199901 A	02 Nov. 2017	US 2017/0309752 A1	
JP 2017-175129 A	28 Sep. 2017	US 2017/0271517 A1	
JP 2017-98535 A	01 Jun. 2017	(Family: none)	
WO 2017/072627 A1	04 May 2017	(Family: none)	
WO 2019/111105 A1	13 Jun. 2019	TW 201941438 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/088(2006.01)i; H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i FI: H01L29/78 618B; H01L27/1156; H01L27/088 H; H01L27/088 E; H01L27/088 331E; H01L27/108 321; H01L27/108 671Z; H01L29/78 618C; H01L29/78 618F; H01L27/108 621Z; H01L27/108 671C; H01L29/78 371; H01L29/78 620; H01L29/78 618E																				
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/786; H01L21/336; H01L21/8234; H01L21/8242; H01L27/088; H01L27/108; H01L27/1156; H01L29/788; H01L29/792 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1 9 2 2 - 1 9 9 6 年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1 9 7 1 - 2 0 2 0 年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1 9 9 6 - 2 0 2 0 年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1 9 9 4 - 2 0 2 0 年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1 9 2 2 - 1 9 9 6 年	日本国公開実用新案公報	1 9 7 1 - 2 0 2 0 年	日本国実用新案登録公報	1 9 9 6 - 2 0 2 0 年	日本国登録実用新案公報	1 9 9 4 - 2 0 2 0 年										
日本国実用新案公報	1 9 2 2 - 1 9 9 6 年																			
日本国公開実用新案公報	1 9 7 1 - 2 0 2 0 年																			
日本国実用新案登録公報	1 9 9 6 - 2 0 2 0 年																			
日本国登録実用新案公報	1 9 9 4 - 2 0 2 0 年																			
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2017-199901 A（株式会社半導体エネルギー研究所）02.11.2017（2017-11-02）</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>JP 2017-175129 A（株式会社半導体エネルギー研究所）28.09.2017（2017-09-28）</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>JP 2017-98535 A（株式会社半導体エネルギー研究所）01.06.2017（2017-06-01）</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>WO 2017/072627 A1（株式会社半導体エネルギー研究所）04.05.2017（2017-05-04）</td> <td>1-8</td> </tr> <tr> <td>P, A</td> <td>WO 2019/111105 A1（株式会社半導体エネルギー研究所）13.06.2019（2019-06-13）</td> <td>1-8</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2017-199901 A（株式会社半導体エネルギー研究所）02.11.2017（2017-11-02）	1-8	A	JP 2017-175129 A（株式会社半導体エネルギー研究所）28.09.2017（2017-09-28）	1-8	A	JP 2017-98535 A（株式会社半導体エネルギー研究所）01.06.2017（2017-06-01）	1-8	A	WO 2017/072627 A1（株式会社半導体エネルギー研究所）04.05.2017（2017-05-04）	1-8	P, A	WO 2019/111105 A1（株式会社半導体エネルギー研究所）13.06.2019（2019-06-13）	1-8
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
A	JP 2017-199901 A（株式会社半導体エネルギー研究所）02.11.2017（2017-11-02）	1-8																		
A	JP 2017-175129 A（株式会社半導体エネルギー研究所）28.09.2017（2017-09-28）	1-8																		
A	JP 2017-98535 A（株式会社半導体エネルギー研究所）01.06.2017（2017-06-01）	1-8																		
A	WO 2017/072627 A1（株式会社半導体エネルギー研究所）04.05.2017（2017-05-04）	1-8																		
P, A	WO 2019/111105 A1（株式会社半導体エネルギー研究所）13.06.2019（2019-06-13）	1-8																		
☐ C欄の続きにも文献が列举されている。 ☒ パテントファミリーに関する別紙を参照。																				
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																				
国際調査を完了した日 26.05.2020		国際調査報告の発送日 02.06.2020																		
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 岩本 勉 5F 9355 電話番号 03-3581-1101 内線 3516																		

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/IB2020/051160

引用文献			公表日	パテントファミリー文献			公表日
JP	2017-199901	A	02.11.2017	US	2017/0309752	A1	
JP	2017-175129	A	28.09.2017	US	2017/0271517	A1	
JP	2017-98535	A	01.06.2017	(ファミリーなし)			
WO	2017/072627	A1	04.05.2017	(ファミリーなし)			
WO	2019/111105	A1	13.06.2019	TW	201941438	A	