

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 12 月 19 日 (19.12.2024)



(10) 国际公布号
WO 2024/255519 A1

- (51) 国际专利分类号:
G09G 3/3266 (2016.01)
- (21) 国际申请号: PCT/CN2024/093524
- (22) 国际申请日: 2024 年 5 月 16 日 (16.05.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202310720909.3 2023年6月16日 (16.06.2023) CN
- (71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号, Sichuan 611731 (CN)。
- (72) 发明人: 于子阳(YU, Ziyang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176

(CN)。邱海军(QIU, Haijun); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。胡明(HU, Ming); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。蒋志亮(JIANG, Zhiliang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。承天一(CHENG, Tianyi); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。吴建鹏(WU, Jianpeng); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王梦奇(WANG, Mengqi); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。魏齐(WEI, Qi); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。陈文波(CHEN, Wenbo); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。燕青青(YAN, Qingqing); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王明芳(WANG, Mingfang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。赵

(54) Title: DRIVE CIRCUIT, DRIVING METHOD, AND DISPLAY APPARATUS

(54) 发明名称: 驱动电路、驱动方法和显示装置

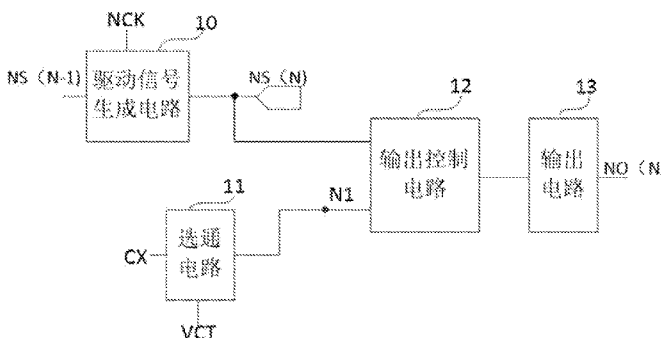


图 1

(57) Abstract: Provided in the present disclosure are a drive circuit, a driving method, and a display apparatus. The drive circuit comprises a drive signal generation circuit, M output drive ends and M control circuits, wherein an mth control circuit comprises an mth gating circuit, an mth output control circuit and an mth output circuit, M being a positive integer, and m being a positive integer less than or equal to M; the drive signal generation circuit outputs an Nth-stage drive signal; under the control of an mth gating control signal, the mth gating circuit controls to write an mth gating input signal into an mth first node; the mth output control circuit performs a NOT-AND operation on the Nth-stage drive signal and the potential at a second end of the mth output control circuit, so as to obtain an mth first output signal; and the mth output circuit inverts the mth first output signal, so as to obtain an mth output drive signal, N being a positive integer. The present disclosure can implement the update of a local picture of a display screen.

攀(ZHAO, Pan); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京银龙知识产权代理有限公司(DRAGON INTELLECTUAL PROPERTY LAW FIRM); 中国北京市海淀区西直门北大街32号院枫蓝国际中心2号楼10层, Beijing 100082 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开提供一种驱动电路、驱动方法和显示装置。驱动电路包括驱动信号生成电路、M个输出驱动端和M个控制电路; 第m控制电路包括第m选通电路、第m输出控制电路和第m输出电路; M为正整数; m为小于或等于M的正整数; 驱动信号生成电路输出第N级驱动信号; 第m选通电路在第m选通控制信号的控制下, 控制将第m选通输入信号写入第m个第一节点; 第m输出控制电路于对第N级驱动信号和第m输出控制电路的第二端的电位进行与非操作, 得到第m个第一输出信号; 第m输出电路对第m个第一输出信号进行反相, 得到第m输出驱动信号; N为正整数。本公开能实现显示屏幕局部画面的更新。

驱动电路、驱动方法和显示装置

相关申请的交叉引用

本申请主张在 2023 年 6 月 16 日在中国提交的中国专利申请号 No. 202310720909.3 的优先权，其全部内容通过引用包含于此。

技术领域

本公开涉及显示技术领域，尤其涉及一种驱动电路、驱动方法和显示装置。

背景技术

在相关技术中，在 OLED（有机发光二极管）显示器更新画面时，需要在一帧时间内，对所有行像素电路进行像素电压的初始化和写入。而在某些特殊画面下（如息屏 AOD 显示画面（息屏 AOD 显示画面为在不点亮整个手机屏幕的情况下，控制屏幕局部点亮的画面）、静态画面或较少更新的画面），整屏绝大部分像素电路不需要更新像素电压，即绝大部分像素电路可以通过低漏电的 LTPO（低温多晶氧化物）TFT（薄膜晶体管）维持在原有的显示亮度，对这些像素电路的反复刷写造成了功耗的浪费。

发明内容

在一个方面中，本公开提供一种驱动电路，包括驱动信号生成电路、M 个输出驱动端和 M 个控制电路；第 m 控制电路包括第 m 选通电路、第 m 输出控制电路和第 m 输出电路；M 为正整数；m 为小于或等于 M 的正整数；

所述驱动信号生成电路分别与控制时钟信号端、第 N-1 级驱动信号输出端和第 N 级驱动信号输出端电连接，用于在所述控制时钟信号端提供的控制时钟信号的控制下，对所述第 N-1 级驱动信号输出端提供的第 N-1 级驱动信号进行移位操作，得到并通过第 N 级驱动信号输出端输出第 N 级驱动信号；

第 m 选通电路分别与第 m 个第一节点、第 m 选通输入端和第 m 选通控制端电连接，用于在所述第 m 选通控制端提供的第 m 选通控制信号的控制下，控制将所述第 m 选通输入端提供的第 m 选通输入信号写入所述第 m 个第一节点；

所述第 m 输出控制电路的第一端与所述第 N 级驱动信号输出端电连接，所述第 m 输出控制电路的第二端与所述第 m 个第一节点电连接，用于对所述第 N 级驱动信号和所述第 m 输出控制电路的第二端的电位进行与非操作，得到第 m 个第一输出信号；

所述第 m 输出电路用于对所述第 m 个第一输出信号进行反相，得到并通过第 m 输出驱动端提供第 m 输出驱动信号；

N 为正整数。

可选的，本公开至少一实施例所述的驱动电路还包括第一反相电路；

所述第一反相电路分别与所述控制时钟信号端和反相时钟信号端电连接，用于对所述控制时钟信号进行反相，得到反相时钟信号，并通过所述反相时钟信号端输出所述反相时钟信号；

所述驱动信号生成电路还与所述反相时钟信号端电连接，还用于在所述反相时钟信号的控制下，对所述第 N-1 级驱动信号输出端提供的第 N-1 级驱动信号进行移位操作，得到并通过第 N 级驱动信号输出端输出第 N 级驱动信号。

可选的，所述第 m 选通电路用于在第 N-1 级驱动信号的电位为第一电压，并第 N 级驱动信号的电位为第二电压时，控制将所述第 m 选通输入端提供的第 m 选通输入信号写入所述第 m 个第一节点。

可选的，所述第 m 选通控制端包括第 m 个第一控制端、第 m 个第二控制端、第 m 个第三控制端和第 m 个第四控制端，所述第 m 选通电路包括第 m 个第一选通晶体管、第 m 个第二选通晶体管、第 m 个第三选通晶体管和第 m 个第四选通晶体管；

所述第 m 个第一选通晶体管的栅极与所述第 m 个第一控制端电连接，所述第 m 个第一选通晶体管的第一极与所述第 m 选通输入端电连接；

所述第 m 个第二选通晶体管的栅极与所述第 m 个第二控制端电连接，所述第 m 个第二选通晶体管的第一极与所述第 m 选通输入端电连接；

所述第 m 个第三选通晶体管的栅极与所述第 m 个第三控制端电连接，所述第 m 个第三选通晶体管的第一极与所述第 m 个第一选通晶体管的第二极电连接，所述第 m 个第三选通晶体管的第二极与所述第 m 个第一节点电连接；

所述第 m 个第四选通晶体管的栅极与所述第 m 个第四控制端电连接，所述第 m 个第四选通晶体管的第一极与所述第 m 个第二选通晶体管的第二极电连接，所述第 m 个第四选通晶体管的第二极与所述第 m 个第一节点电连接；

所述第 m 个第一选通晶体管为 p 型晶体管，所述第 m 个第二选通晶体管为 n 型晶体管，所述第 m 个第三选通晶体管为 p 型晶体管，所述第 m 个第四选通晶体管为 n 型晶体管；

所述第 m 个第一控制端接入第 N-1 级驱动信号的反相信号，所述第 m 个第二控制端为第 N-1 级驱动信号输出端，所述第 m 个第三控制端为第 N 级驱动信号输出端，所述第 m 个第四控制端接入第 N 级驱动信号的反相信号；或者，所述第 m 个第一控制端接入第 N 级驱动信号的反相信号，所述第 m 个第二控制端为第 N 级驱动信号输出端，所述第 m 个第三控制端为第 N-1 级驱动信号输出端，所述第 m 个第四控制端接入第 N-1 级驱动信号的反相信号。

可选的，所述第 m 个第一选通晶体管的第二极与所述第 m 个第二选通晶体管的第二极电连接。

可选的，所述第 m 选通电路包括第 m 个第一选通晶体管；

所述第 m 个第一选通晶体管的栅极与所述第 m 选通控制端电连接，所述第 m 个第一

选通晶体管的第一极与所述第 m 个第一节点电连接, 所述第 m 个第一选通晶体管的第二极与所述第 m 选通输入端电连接。

可选的, 所述第 m 选通控制端包括第 m 个第一控制端和第 m 个第二控制端; 所述第 m 选通电路包括第 m 个第一选通晶体管和第 m 个第二选通晶体管;

所述第 m 个第一选通晶体管的栅极与第 m 个第一控制端电连接, 所述第 m 个第一选通晶体管的第一极与所述第 m 个第一节点电连接, 所述第 m 个第一选通晶体管的第二极与所述第 m 个第二选通晶体管的第一极电连接;

所述第 m 个第二选通晶体管的栅极与第 m 个第二控制端电连接, 所述第 m 个第二选通晶体管的第二极与所述第 m 选通输入端电连接;

所述第 m 个第一控制端为第 $N-1$ 级驱动信号输出端, 所述第 m 个第二控制端为第 N 级驱动信号输出端, 第 m 个第一选通晶体管为 n 型晶体管, 第 m 个第二选通晶体管为 p 型晶体管; 或者,

所述第 m 个第一控制端为第 N 级驱动信号输出端, 所述第 m 个第二控制端为第 $N-1$ 级驱动信号输出端, 第 m 个第一选通晶体管为 p 型晶体管, 第 m 个第二选通晶体管为 n 型晶体管; 或者,

所述第 m 个第一控制端接入第 $N-1$ 级驱动信号的反相信号, 所述第 m 个第二控制端为第 N 级驱动信号输出端, 所述第 m 个第一选通晶体管和所述第 m 个第二选通晶体管都为 p 型晶体管; 或者,

所述第 m 个第一控制端为第 N 级驱动信号输出端, 所述第 m 个第二控制端接入第 $N-1$ 级驱动信号的反相信号; 所述第 m 个第一选通晶体管和所述第 m 个第二选通晶体管都为 p 型晶体管; 或者,

所述第 m 个第一控制端为第 $N-1$ 级驱动信号端, 所述第 m 个第二控制端接入第 N 级驱动信号的反相信号, 所述第 m 个第一选通晶体管和所述第 m 个第二选通晶体管都为 n 型晶体管; 或者,

所述第 m 个第一控制端接入第 N 级驱动信号的反相信号, 所述第 m 个第二控制端为第 $N-1$ 级驱动信号端, 所述第 m 个第一选通晶体管和所述第 m 个第二选通晶体管都为 n 型晶体管。

可选的, 所述第 m 控制电路还包括第 m 个第一初始化电路;

所述第 m 个第一初始化电路分别与初始控制端、第一电压端和第 m 个第一节点电连接, 用于在所述初始控制端提供的初始控制信号的控制下, 控制所述第 m 个第一节点与所述第一电压端之间连通。

可选的, 所述第 m 控制电路还包括第 m 复位电路;

所述第 m 复位电路分别与第一电压端、第 $N-1$ 级驱动信号输出端、第 N 级驱动信号输出端和第 m 个第一节点电连接, 用于在第 N 级驱动信号和所述第 $N-1$ 级驱动信号输出端提供的第 $N-1$ 级驱动信号的控制下, 控制所述第 m 个第一节点与所述第一电压端之间

连通。

可选的，所述第 m 控制电路还包括第 m 个第一电压维持电路；

所述第 m 个第一电压维持电路的第一端与所述第 m 个第一节点电连接，所述第 m 个第一电压维持电路的第二端与直流电压端电连接，所述第 m 电压维持电路用于维持第 m 个第一节点的电位。

可选的，所述第 m 控制电路还包括第 m 个第二电压维持电路；所述第 m 个第一节点通过所述第 m 个第二电压维持电路与所述第 m 输出控制电路的第二端电连接；

所述第 m 个第二电压维持电路包括第 m 个第一反相器、第 m 个第二反相器和第 m 维持控制电路；

所述第 m 个第一反相器的输入端与所述第 m 个第一节点电连接，所述第 m 个第一反相器的输出端与第 m 个第二节点电连接，所述第 m 个第二反相器的输入端与所述第 m 个第二节点电连接，所述第 m 个第二反相器的输出端与第 m 个第三节点和所述第 m 输出控制电路的第二端电连接；

所述第 m 个第一反相器用于对所述第 m 个第一节点的电位进行反相，并通过第 m 个第一反相器的输出端输出反相后的第 m 个第一节点的电位，所述第 m 个第二反相器用于对其输入端的电位进行反相，并通过所述第 m 个第二反相器的输出端输出反相后的电位；

所述第 m 维持控制电路分别与第 m 维持控制端、所述第 m 个第三节点和所述第 m 个第一节点电连接，用于在所述第 m 维持控制端提供的第 m 维持控制信号的控制下，控制所述第 m 个第三节点与所述第 m 个第一节点之间连通或断开。

可选的，所述第 m 复位电路包括第 m 个第一晶体管 and 第 m 个第二晶体管；

所述第 m 个第一晶体管的栅极与所述第 $N-1$ 级驱动信号输出端电连接，所述第 m 个第一晶体管的第一极与所述第一电压端电连接，所述第 m 个第一晶体管的第二极与所述第 m 个第二晶体管的第一极电连接；

所述第 m 个第二晶体管的栅极与所述第 N 级驱动信号输出端电连接，所述第 m 个第二晶体管的第二极与所述第 m 个第一节点电连接。

可选的，所述第 m 维持控制端包括第 m 个第一维持控制端和第 m 个第二维持控制端；

所述第 m 维持控制电路包括第 m 个第三晶体管 and 第 m 个第四晶体管；

所述第 m 个第三晶体管的栅极与所述第 m 个第一维持控制端电连接，所述第 m 个第三晶体管的第一极与所述第 m 个第一节点电连接，所述第 m 个第三晶体管的第二极与所述第 m 个第三节点电连接；

所述第 m 个第四晶体管的栅极与第 m 个第二维持控制端电连接，所述第 m 个第四晶体管的第一极与所述第 m 个第三节点电连接，所述第 m 个第四晶体管的第二极与所述第 m 个第一节点电连接；

所述第 m 个第三晶体管为 p 型晶体管，所述第 m 个第四晶体管为 n 型晶体管；

所述第 m 个第一维持控制端为第 $N-1$ 级驱动信号端，所述第 m 个第二维持控制端为

控制时钟信号端；或者，

所述第 m 个第一维持控制端为反相时钟信号端，所述第 m 个第二维持控制端为控制时钟信号端。

可选的，所述第 m 个第一反相器包括第 m 个第五晶体管和第 m 个第六晶体管，所述第 m 个第二反相器包括第 m 个第七晶体管和第 m 个第八晶体管；

所述第 m 个第五晶体管的栅极与所述第 m 个第一节点电连接，所述第 m 个第五晶体管的第一极与第一电压端电连接，所述第 m 个第五晶体管的第二极与第 m 个第二节点电连接；

所述第 m 个第六晶体管的栅极与所述第 m 个第一节点电连接，所述第 m 个第六晶体管的第一极与所述第 m 个第二节点电连接，所述第 m 个第六晶体管的第二极与第二电压端电连接；

所述第 m 个第五晶体管为 p 型晶体管，所述第 m 个第六晶体管为 n 型晶体管；

所述第 m 个第七晶体管的栅极与所述第 m 个第二节点电连接，所述第 m 个第七晶体管的第一极与所述第一电压端电连接，所述第 m 个第七晶体管的第二极与第 m 个第三节点电连接；

所述第 m 个第八晶体管的栅极与所述第 m 个第二节点电连接，所述第 m 个第八晶体管的第一极与所述第 m 个第三节点电连接，所述第 m 个第八晶体管的第二极与第二电压端电连接；

所述第 m 个第七晶体管为 p 型晶体管，所述第 m 个第八晶体管为 n 型晶体管。

可选的，所述第 m 个第一初始化电路包括第 m 个第九晶体管；

所述第 m 个第九晶体管的栅极与所述初始控制端电连接，所述第 m 个第九晶体管的第一极与所述第一电压端电连接，所述第 m 个第九晶体管的第二极与所述第 m 个第一节点电连接。

可选的，所述第 m 个第一电压维持电路包括第 m 电容；

所述第 m 电容的第一端与所述第 m 个第一节点电连接，所述第 m 电容的第二端与直流电压端电连接。

可选的，所述第 m 输出控制电路包括第 m 个第十晶体管、第 m 个第十一晶体管、第 m 个第十二晶体管和第 m 个第十三晶体管；

所述第 m 个第十晶体管的栅极与所述第 m 个第一节点电连接，所述第 m 个第十晶体管的第一极与第一电压端电连接，所述第 m 个第十晶体管的第二极与第 m 个第二节点电连接；

所述第 m 个第十一晶体管的栅极与所述第 N 级驱动信号输出端电连接，所述第 m 个第十一晶体管的第一极与所述第一电压端电连接，所述第 m 个第十一晶体管的第二极所述第 m 个第二节点电连接；

所述第 m 个第十二晶体管的栅极与所述第 m 个第一节点电连接，所述第 m 个第十二

晶体管的第一极与所述第 m 个第二节点电连接, 所述第 m 个第十二晶体管的第二极与所述第 m 个第十三晶体管的第一极电连接;

所述第 m 个第十三晶体管的栅极与所述 N 级驱动信号输出端电连接, 所述第 m 个第十三晶体管的第二极与第二电压端电连接;

所述第 m 个第十晶体管和所述第 m 个第十一晶体管为 p 型晶体管, 所述第 m 个第十二晶体管和所述第 m 个第十三晶体管为 n 型晶体管。

可选的, 所述第 m 输出电路包括第 m 个第十四晶体管和第 m 个第十五晶体管;

所述第 m 个第十四晶体管的栅极与第 m 个第二节点电连接, 所述第 m 个第十四晶体管的第一极与第一电压端电连接, 所述第 m 个第十四晶体管的第二极与第 m 输出驱动端电连接;

所述第 m 个第十五晶体管的栅极与所述第 m 个第二节点电连接, 所述第 m 个第十五晶体管的第一极与所述第 m 输出驱动端电连接, 所述第 m 个第十五晶体管的第二极与第二电压端电连接。

可选的, 所述驱动信号生成电路包括第一驱动控制电路、第二驱动控制电路、第二反相电路和第二初始化电路;

所述第一驱动控制电路分别与所述控制时钟信号端、所述反相时钟信号端、第 $N-1$ 级驱动信号输出端和第四节点电连接, 用于在所述控制时钟信号端提供的控制时钟信号和所述反相时钟信号端提供的反相时钟信号的控制下, 对所述第 $N-1$ 级驱动信号输出端提供的第 $N-1$ 驱动信号进行移位并反相, 得到并通过所述第四节点输出反相后的信号;

所述第二驱动控制电路分别与所述控制时钟信号端、所述反相时钟信号端、第 N 级驱动信号输出端和所述第四节点电连接, 用于在所述控制时钟信号和所述反相时钟信号的控制下, 对所述第 N 级驱动信号输出端提供的第 N 级驱动信号进行反相, 得到并通过所述第四节点输出反相后的信号;

所述第二反相电路分别与所述第四节点和所述第 N 级驱动信号输出端电连接, 用于对所述第四节点的电位进行反相, 并通过所述第 N 级驱动信号输出端输出反相后的信号;

所述第二初始化电路分别与初始控制端、第一电压端和所述第 N 级驱动信号输出端电连接, 用于在所述初始控制端提供的初始控制信号的控制下, 控制所述第 N 级驱动信号输出端与所述第一电压端之间连通。

可选的, 所述第一驱动控制电路包括第十六晶体管、第十七晶体管、第十八晶体管和第十九晶体管;

所述第十六晶体管的栅极与所述反相时钟信号端电连接, 所述第十六晶体管的第一极与所述第一电压端电连接, 所述第十六晶体管的第二极与所述第十七晶体管的第一极电连接;

所述第十七晶体管的栅极与所述第 $N-1$ 级驱动信号输出端电连接, 所述第十七晶体管的第二极与所述第四节点电连接;

所述第十八晶体管的栅极与所述第 N-1 级驱动信号输出端电连接, 所述第十八晶体管的第一极与所述第四节点电连接, 所述第十八晶体管的第二极与所述第十九晶体管的第一极电连接;

所述第十九晶体管的栅极与所述控制时钟信号端电连接, 所述第十九晶体管的第二极与第三电压端电连接;

所述第十六晶体管和所述第十七晶体管为 p 型晶体管, 所述第十八晶体管和所述第十九晶体管为 n 型晶体管。

可选的, 所述第二驱动控制电路包括第二十晶体管、第二十一晶体管、第二十二晶体管和第二十三晶体管;

所述第二十晶体管的栅极与所述第 N 级驱动信号输出端电连接, 所述第二十晶体管的第一极与第一电压端电连接, 所述第二十晶体管的第二极与所述第二十一晶体管的第一极电连接;

所述第二十一晶体管的栅极与所述控制时钟信号端电连接, 所述第二十一晶体管的第二极与所述第四节点电连接;

所述第二十二晶体管的栅极与所述反相时钟信号端电连接, 所述第二十二晶体管的第一极与所述第四节点电连接, 所述第二十二晶体管的第二极与所述第二十三晶体管的第一极电连接;

所述第二十三晶体管的栅极与所述第 N 级驱动信号输出端电连接, 所述第二十三晶体管的第二极与第三电压端电连接;

所述第二十晶体管和所述第二十一晶体管为 p 型晶体管, 所述第二十二晶体管和所述第二十三晶体管为 n 型晶体管。

可选的, 所述第二反相电路包括第二十四晶体管和第二十五晶体管; 所述第二初始化电路包括第二十六晶体管;

所述第二十四晶体管的栅极与所述第四节点电连接, 所述第二十四晶体管的第一极与所述第一电压端电连接, 所述第二十四晶体管的第二极与所述第二十五晶体管的第一极和所述第 N 级驱动信号输出端电连接;

所述第二十五晶体管的栅极与所述第四节点电连接, 所述第二十五晶体管的第二极与第三电压端电连接;

所述第二十四晶体管为 p 型晶体管, 所述第二十五晶体管为 n 型晶体管;

所述第二十六晶体管的栅极与所述初始控制端电连接, 所述第二十六晶体管的第一极与所述第一电压端电连接, 所述第二十六晶体管的第二极与所述第 N 级驱动信号输出端电连接。

可选的, 所述第一反相电路包括第二十七晶体管和第二十八晶体管;

所述第二十七晶体管的栅极与所述控制时钟信号端电连接, 所述第二十七晶体管的第一极与第一电压端电连接, 所述第二十七晶体管的第二极与所述第二十八晶体管的第一极

和反相时钟信号端电连接；

所述第二十八晶体管的栅极与所述控制时钟信号端电连接，所述第二十八晶体管的第二极与第三电压端电连接。

在第二个方面中，本公开实施例提供一种驱动方法，应用于上述的驱动电路，所述驱动方法包括：

驱动信号生成电路在控制时钟信号的控制下，对第 $N-1$ 级驱动信号进行移位操作，得到并通过第 N 级驱动信号输出端输出第 N 级驱动信号；

第 m 选通电路在第 m 选通控制信号的控制下，控制将第 m 选通输入信号写入第 m 个第一节点；

第 m 输出控制电路对所述第 N 级驱动信号和所述第 m 输出控制电路的第二端的电位进行与非操作，得到第 m 个第一输出信号；

第 m 输出电路用于对所述第 m 个第一输出信号进行反相，得到并通过第 m 输出驱动端提供第 m 输出驱动信号；

M 为正整数； m 为小于或等于 M 的正整数， N 为正整数。

在第三个方面中，本公开实施例提供一种显示装置，包括上述的驱动电路。

附图说明

图 1 是本公开至少一实施例所述的驱动电路的结构图；

图 2 是本公开至少一实施例所述的驱动电路的结构图；

图 3 是本公开至少一实施例所述的驱动电路的结构图；

图 4 是本公开至少一实施例所述的驱动电路的结构图；

图 5 是相关的像素电路的电路图；

图 6 是图 5 所示的相关的像素电路的工作时序图；

图 7 是相关的像素电路的电路图；

图 8 是本公开实施例所述的驱动电路中的选通电路的至少一实施例的电路图；

图 9 是本公开实施例所述的驱动电路中的选通电路的至少一实施例的电路图；

图 10 是本公开实施例所述的驱动电路中的选通电路的至少一实施例的电路图；

图 11 是本公开实施例所述的驱动电路中的选通电路的至少一实施例的电路图；

图 12 是本公开实施例所述的驱动电路中的选通电路的至少一实施例的电路图；

图 13 是本公开实施例所述的驱动电路中的选通电路的至少一实施例的电路图；

图 14 是本公开实施例所述的驱动电路中的选通电路的至少一实施例的电路图；

图 15 是本公开实施例所述的驱动电路中的选通电路的至少一实施例的电路图；

图 16 是本公开实施例所述的驱动电路中的选通电路的至少一实施例的电路图；

图 17 是本公开实施例所述的驱动电路中的选通电路的至少一实施例的电路图；

图 18 是第一反相模块的至少一实施例的电路图；

图 19 是第二反相模块的至少一实施例的电路图；

图 20 是本公开至少一实施例所述的驱动电路的结构图；

图 21 是本公开至少一实施例所述的驱动电路的结构图；

图 22 是本公开至少一实施例所述的驱动电路的结构图；

图 23 是本公开至少一实施例所述的驱动电路的结构图；

图 24 是本公开至少一实施例所述的驱动电路的结构图；

图 25 是控制时钟信号端 NCK 提供的控制时钟信号的波形图和第一时钟信号端 NCB 提供的第一时钟信号的波形图；

图 26 是本公开至少一实施例所述的驱动电路的结构图；

图 27 是本公开至少一实施例所述的驱动电路的结构图；

图 28 是本公开至少一实施例所述的驱动电路的结构图；

图 29 是本公开至少一实施例所述的驱动电路的电路图；

图 30 是本公开至少一实施例所述的驱动电路的结构图；

图 31 是图 30 所示的驱动电路的至少一实施例的工作时序图；

图 32 是各级输出驱动端输出的信号的时序图；

图 33 是第二电压维持电路的至少一实施例的电路图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本公开实施例中，为区分晶体管除栅极之外的两极，将其中一极称为第一极，另一极称为第二极。

在实际操作时，当所述晶体管为薄膜晶体管或场效应管时，所述第一极可以为漏极，所述第二极可以为源极；或者，所述第一极可以为源极，所述第二极可以为漏极。

本公开实施例所述的驱动电路，包括驱动信号生成电路、M 个输出驱动端和 M 个控制电路；第 m 控制电路包括第 m 选通电路、第 m 输出控制电路和第 m 输出电路；M 为正整数；m 为小于或等于 M 的正整数；

所述驱动信号生成电路分别与控制时钟信号端、第 N-1 级驱动信号输出端和第 N 级驱动信号输出端电连接，用于在所述控制时钟信号端提供的控制时钟信号的控制下，对所述第 N-1 级驱动信号输出端提供的第 N-1 级驱动信号进行移位操作，得到并通过第 N 级驱动信号输出端输出第 N 级驱动信号；

第 m 选通电路分别与第 m 个第一节点、第 m 选通输入端和第 m 选通控制端电连接，

用于在所述第 m 选通控制端提供的第 m 选通控制信号的控制下，控制将所述第 m 选通输入端提供的第 m 选通输入信号写入所述第 m 个第一节点；

所述第 m 输出控制电路的第一端与所述第 N 级驱动信号输出端电连接，所述第 m 输出控制电路的第二端与所述第 m 个第一节点电连接，用于对所述第 N 级驱动信号和所述第 m 输出控制电路的第二端的电位进行与非操作，得到第 m 个第一输出信号；

所述第 m 输出电路用于对所述第 m 个第一输出信号进行反相，得到并通过第 m 输出驱动端提供第 m 输出驱动信号；

N 为正整数。

在本公开实施例所述的驱动电路中，一个驱动信号生成电路可以对应至少一个控制电路，驱动信号生成电路在控制时钟信号的控制下，对第 $N-1$ 级驱动信号进行移位操作，以得到第 N 级驱动信号，第 m 控制电路根据所述第 N 级驱动信号生成第 m 输出驱动信号。

在本公开至少一实施例中，以 m 等于 1 或 m 等于 2 为例进行说明，但不以此为限，在实际操作时， m 也可以为大于 2 的整数。

如图 1 所示，本公开至少一实施例所述的驱动电路包括驱动信号生成电路 10、输出驱动端 NO (N) 和控制电路；所述控制电路包括选通电路 11、输出控制电路 12 和输出电路 13；

所述驱动信号生成电路 10 分别与控制时钟信号端 NCK、第 $N-1$ 级驱动信号输出端 NS ($N-1$) 和第 N 级驱动信号输出端 NS (N) 电连接，用于在所述控制时钟信号端 NCK 提供的控制时钟信号的控制下，对所述第 $N-1$ 级驱动信号输出端 NS ($N-1$) 提供的第 $N-1$ 级驱动信号进行移位操作，得到并通过第 N 级驱动信号输出端 NS (N) 输出第 N 级驱动信号；

所述选通电路 11 分别与第一节点 N1、选通输入端 VCT 和选通控制端 CX 电连接，用于在所述选通控制端 CX 提供的选通控制信号的控制下，控制将所述选通输入端 VCT 提供的选通输入信号写入所述第一节点 N1；

所述输出控制电路 12 的第一端与所述第 N 级驱动信号输出端 NS (N) 电连接，所述输出控制电路 12 的第二端与所述第一节点 N1 电连接，用于对所述第 N 级驱动信号和所述输出控制电路 12 的第二端的电位进行与非操作，得到第一输出信号；

所述输出电路 13 分别与所述输出控制电路 12 和输出驱动端 NO (N) 电连接，用于对所述第一输出信号进行反相，得到并通过所述输出驱动端 NO (N) 提供输出驱动信号；

N 为正整数。

本公开图 1 所示的驱动电路的实施例可以为第 N 级驱动电路。

本公开图 1 所示的驱动电路的实施例在工作时，在一帧时间内，

在第 N 级驱动信号提供阶段之前，选通电路 11 在选通控制信号的控制下，将选通输入端 VCT 提供的选通输入信号写入第一节点 N1；

当所述选通输入信号为高电压信号时，在第 N 级驱动信号提供阶段，第 N 级驱动信

号输出端 NS (N) 输出高电压信号, 则所述输出控制电路 12 输出的第一输出信号为低电压信号, 输出电路 13 通过输出驱动端 NO (N) 提供高电压信号, 可以控制相应行像素电路更新像素电压;

当所述选通输入信号为低电压信号时, 在第 N 级驱动信号提供阶段, 第 N 级驱动信号输出端 NS (N) 输出高电压信号, 则所述输出控制电路 12 输出的第一输出信号为高电压信号, 输出电路 13 通过输出驱动端 NO (N) 提供低电压信号, 可以控制相应行像素电路不更新像素电压。

本公开至少一实施例可以通过控制所述选通输入端 VCT 提供的选通输入信号, 实现显示屏幕局部画面的更新, 从而降低功耗, 或通过显示画面局部更新实现穿戴产品、移动终端、NB (笔记本电脑) 等 OLED (有机发光二极管) 显示产品的超低功耗。

如图 2 所示, 本公开至少一实施例所述的驱动电路包括驱动信号生成电路 10、第一输出驱动端 NO1 (N)、第二输出驱动端 NO2 (N)、第一控制电路和第二控制电路; 所述第一控制电路包括第一选通电路 111、第一输出控制电路 121 和第一输出电路 131; 所述第二控制电路包括第二选通电路 112、第二输出控制电路 122 和第二输出电路 132;

所述驱动信号生成电路 10 分别与控制时钟信号端 NCK、第 N-1 级驱动信号输出端 NS (N-1) 和第 N 级驱动信号输出端 NS (N) 电连接, 用于在所述控制时钟信号端 NCK 提供的控制时钟信号的控制下, 对所述第 N-1 级驱动信号输出端 NS (N-1) 提供的第 N-1 级驱动信号进行移位操作, 得到并通过第 N 级驱动信号输出端 NS (N) 输出第 N 级驱动信号;

所述第一选通电路 111 分别与第一个第一节点 N11、第一选通输入端 VCT1 和第一选通控制端 CX1 电连接, 用于在所述第一选通控制端 CX1 提供的第一选通控制信号的控制下, 控制将所述第一选通输入端 VCT1 提供的第一选通输入信号写入所述第一个第一节点 N11;

所述第一输出控制电路 121 的第一端与所述第 N 级驱动信号输出端 NS (N) 电连接, 所述第一输出控制电路 121 的第二端与所述第一个第一节点 N11 电连接, 用于对所述第 N 级驱动信号和所述第一输出控制电路 121 的第二端的电位进行与非操作, 得到第一个第一输出信号;

所述第一输出电路 131 分别与所述第一输出控制电路 121 和第一输出驱动端 NO1 (N) 电连接, 用于对所述第一个第一输出信号进行反相, 得到并通过所述第一输出驱动端 NO1 (N) 提供第一输出驱动信号;

所述第二选通电路 112 分别与第二个第一节点 N21、第二选通输入端 VCT2 和第二选通控制端 CX2 电连接, 用于在所述第二选通控制端 CX2 提供的第二选通控制信号的控制下, 控制将所述第二选通输入端 VCT2 提供的第二选通输入信号写入所述第二个第一节点 N21;

所述第二输出控制电路 122 的第一端与所述第 N 级驱动信号输出端 NS (N) 电连接,

所述第二输出控制电路 122 的第二端与所述第二个第一节点 N21 电连接,用于对所述第 N 级驱动信号和所述第二输出控制电路 122 的第二端的电位进行与非操作,得到第二个第一输出信号;

所述第二输出电路 132 分别与所述第二输出控制电路 122 和第二输出驱动端 NO2(N) 电连接,用于对所述第二个第一输出信号进行反相,得到并通过所述第二输出驱动端 NO2(N) 提供第二输出驱动信号;

N 为正整数。

本公开图 2 所示的驱动电路的实施例可以为第 N 级驱动电路。

本公开图 2 所示的驱动电路的实施例在工作时,在一帧时间内,

在第 N 级驱动信号提供阶段之前,第一选通电路 111 在第一选通控制信号的控制下,将第一选通输入端 VCT1 提供的第一选通输入信号写入第一个第一节点 N11;第二选通电路 112 在第二选通控制信号的控制下,将第二选通输入端 VCT2 提供的第二选通输入信号写入第二个第一节点 N21;

当所述第一选通输入信号为高电压信号时,在第 N 级驱动信号提供阶段,第 N 级驱动信号输出端 NS(N) 输出高电压信号,则所述第一输出控制电路 121 输出的第一个第一输出信号为低电压信号,第一输出电路 131 通过第一输出驱动端 NO1(N) 提供高电压信号,可以控制相应行像素电路更新像素电压;

当所述第一选通输入信号为低电压信号时,在第 N 级驱动信号提供阶段,第 N 级驱动信号输出端 NS(N) 输出高电压信号,则所述第一输出控制电路 121 输出的第一个第一输出信号为高电压信号,第一输出电路 131 通过第一输出驱动端 NO1(N) 提供低电压信号,可以控制相应行像素电路不更新像素电压;

当所述第二选通输入信号为高电压信号时,在第 N 级驱动信号提供阶段,第 N 级驱动信号输出端 NS(N) 输出高电压信号,则所述第二输出控制电路 122 输出的第二个第一输出信号为低电压信号,第二输出电路 132 通过第二输出驱动端 NO2(N) 提供高电压信号,可以控制相应行像素电路更新像素电压;

当所述第二选通输入信号为低电压信号时,在第 N 级驱动信号提供阶段,第 N 级驱动信号输出端 NS(N) 输出高电压信号,则所述第二输出控制电路 122 输出的第二个第一输出信号为高电压信号,第二输出电路 132 通过第二输出驱动端 NO2(N) 提供低电压信号,可以控制相应行像素电路不更新像素电压。

本公开至少一实施例可以通过控制所述第一选通输入端 VCT1 提供的第一选通输入信号和所述第二选通输入端 VCT2 提供的第二选通输入信号,实现显示屏幕局部画面的更新,从而降低功耗,或通过显示画面局部更新实现穿戴产品、移动终端、NB(笔记本电脑)等 OLED(有机发光二极管)显示产品的超低功耗。

在本公开至少一实施例中,所述驱动电路还包括第一反相电路;

所述第一反相电路分别与所述控制时钟信号端和反相时钟信号端电连接,用于对所述

控制时钟信号进行反相，得到反相时钟信号，并通过所述反相时钟信号端输出所述反相时钟信号；

所述驱动信号生成电路还与所述反相时钟信号端电连接，还用于在所述反相时钟信号的控制下，对所述第 N-1 级驱动信号输出端提供的第 N-1 级驱动信号进行移位操作，得到并通过第 N 级驱动信号输出端输出第 N 级驱动信号。

在具体实施时，所述驱动电路还可以包括第一反相电路，所述第一反相电路对控制时钟信号进行反相，得到反相时钟信号，驱动信号生成电路在所述控制时钟信号和所述反相时钟信号的控制下，对第 N-1 级驱动信号进行移位操作，得到第 N 级驱动信号。

如图 3 所示，在图 1 所示的驱动电路的至少一实施例的基础上，所述驱动电路还包括第一反相电路 31；

所述第一反相电路 31 分别与所述控制时钟信号端 NCK 和反相时钟信号端 NCKI 电连接，用于对所述控制时钟信号进行反相，得到反相时钟信号，并通过所述反相时钟信号端 NCKI 输出所述反相时钟信号；

所述驱动信号生成电路 10 还与所述反相时钟信号端 NCKI 电连接，还用于在所述反相时钟信号的控制下，对所述第 N-1 级驱动信号输出端 NS (N-1) 提供的第 N-1 级驱动信号进行移位操作，得到并通过第 N 级驱动信号输出端 NS (N) 输出第 N 级驱动信号。

如图 4 所示，在图 2 所示的驱动电路的至少一实施例的基础上，所述驱动电路还包括第一反相电路 31；

所述第一反相电路 31 分别与所述控制时钟信号端 NCK 和反相时钟信号端 NCKI 电连接，用于对所述控制时钟信号进行反相，得到反相时钟信号，并通过所述反相时钟信号端 NCKI 输出所述反相时钟信号；

所述驱动信号生成电路 10 还与所述反相时钟信号端 NCKI 电连接，还用于在所述反相时钟信号的控制下，对所述第 N-1 级驱动信号输出端 NS (N-1) 提供的第 N-1 级驱动信号进行移位操作，得到并通过第 N 级驱动信号输出端 NS (N) 输出第 N 级驱动信号。

如图 5 所示，相关的像素电路可以包括第一显示控制晶体管 M1、第二显示控制晶体管 M2、驱动晶体管 M3、第四显示控制晶体管 M4、第五显示控制晶体管 M5、第六显示控制晶体管 M6、第七显示控制晶体管 M7、存储电容 Cst 和有机发光二极管 O1；

M1 的栅极与第一复位端 NR (N) 电连接，M1 的源极与初始电压端 I1 电连接，M1 的漏极与 M3 的栅极电连接；

M2 的栅极与第一扫描端 NG (N) 电连接，M2 的源极与 M3 的栅极电连接，M2 的漏极与 M3 的漏极电连接；

M4 的栅极与第二扫描端 PG (N) 电连接，M4 的源极与数据线 D1 电连接，M4 的漏极与 M3 的源极电连接；

M5 的栅极与发光控制端 E (N) 电连接，M5 的源极与电源电压端 ELVDD 电连接，M5 的漏极与 M3 的源极电连接；

M6 的栅极与发光控制端 E (N) 电连接, M6 的源极与 M3 的漏极电连接, M6 的漏极与 O1 的阳极电连接; O1 的阴极与低电平端 ELVSS 电连接;

M7 的栅极与第二扫描端 PG (N) 电连接, M7 的源极与初始电压端 I1 电连接, M7 的漏极与 O1 的阳极电连接。

在具体实施时, 所述第一复位端 NR (N) 可以为第 N-1 级第一扫描端 NG (N), 但不以此为限。

在图 5 所示的相关的像素电路中, M1 和 M2 为 n 型晶体管, M3、M4、M5、M6 和 M7 都为 p 型晶体管, M1 和 M2 为漏电流较小的 IGZO (铟镓锌氧化物) TFT (薄膜晶体管), M3、M4、M5、M6 和 M7 都为 LTPS (低温多晶硅) TFT。

在图 5 所示的相关的像素电路中, M1 和 M2 为 IGZO TFT, 在使用低频显示时, IGZO TFT 可以保证 Cst 能够在较长时间内维持 M3 的栅极的电压。

在图 5 所示的相关的像素电路中, 第二扫描端 PG (N) 负责 O1 的阳极的电压的复位和数据线上的数据电压写入驱动晶体管的源极, 第一扫描端 NG (N) 负责实现 Cst 的复位, V_{th} (V_{th} 为驱动晶体管的阈值电压) 提取和数据电压写入驱动晶体管的栅极。

在具体实施时, 所述第一扫描端 NG (N) 提供的第一扫描信号与所述第二扫描端 PG (N) 提供的第二扫描信号可以相互反相, 但不以此为限。

本公开至少一实施例所述的驱动电路可以通过输出驱动端 NO (N) 为第一扫描端 NG (N) 提供第一扫描信号, 但不以此为限。

如图 6 所示, 图 5 所示的相关的像素电路在工作时, 显示周期可以包括先后设置的第一显示控制阶段 t1、第二显示控制阶段 t2 和第三显示控制阶段 t3;

在第一显示控制阶段 t1, E (N) 输出高电压信号, NR (N) 提供高电压信号, PG (N) 提供高电压信号, NG (N) 提供低电压信号, M5 和 M6 关断, M1 打开, 将 M3 的栅极的电位拉低为初始电压 Vinit; 所述初始电压端 I1 用于提供所述初始电压 Vinit;

在第二显示控制阶段 t2, E (N) 输出高电压信号, NR (N) 提供低电压信号, PG (N) 提供低电压信号, NG (N) 提供高电压信号, M5 和 M6 关断, M1 关断, M2 打开, M4 打开, M2 与 M3 形成二极管结构, 通过数据线 D1 提供的的数据电压 Vdata 为 Cst 充电, 直至 M3 关断, 此时 M3 的栅极电压为 $V_{data} + V_{th}$, V_{th} 为 M3 的阈值电压; M7 打开, 以对 O1 的阳极电压进行复位操作;

在第三显示控制阶段 t3, E (N) 输出低电压信号, NR (N) 提供低电压信号, PG (N) 提供高电压信号, NG (N) 提供低电压信号, M5 和 M6 打开, M3 驱动 O1 发光; O1 依据 Vdata 的电压设定进行发光。

由以上相关的像素电路的工作过程可知, NG (N) 可以在第二显示控制阶段控制数据电压 Vdata (所述数据电压 Vdata 可以为所述像素电压) 是否写入 M3 的栅极。

图 7 是相关的像素电路的电路图。

如图 7 所示, 相关的像素电路可以包括第一显示控制晶体管 M1、第二显示控制晶体

管 M2、驱动晶体管 M3、第四显示控制晶体管 M4、第五显示控制晶体管 M5、第六显示控制晶体管 M6、第七显示控制晶体管 M7、存储电容 Cst 和有机发光二极管 O1；

M1 的栅极与第三复位端 RST1 电连接，M1 的源极与初始电压端 I1 电连接，M1 的漏极与 M3 的漏极电连接；

M2 的栅极与第一扫描端 NG (N) 电连接，M2 的源极与 M3 的栅极电连接，M2 的漏极与 M3 的漏极电连接；

M4 的栅极与第二扫描端 PG (N) 电连接，M4 的源极与数据线 D1 电连接，M4 的漏极与 M3 的源极电连接；

M5 的栅极与发光控制端 E (N) 电连接，M5 的源极与电源电压端 ELVDD 电连接，M5 的漏极与 M3 的源极电连接；

M6 的栅极与发光控制端 E (N) 电连接，M6 的源极与 M3 的漏极电连接，M6 的漏极与 O1 的阳极电连接；O1 的阴极与低电平端 ELVSS 电连接；

M7 的栅极与第四复位端 RST2 电连接，M7 的源极与初始电压端 I1 电连接，M7 的漏极与 O1 的阳极电连接。

图 7 所示的相关的像素电路在工作时，NG (N) 可以控制数据线 D1 上的数据电压 Vdata 是否写入驱动晶体管 M3 的栅极。

在具体实施时，可以通过 NG (N) 提供的第一扫描信号以控制打开第二晶体管或关断第二晶体管，以控制数据线上的数据电压是否写入驱动晶体管的栅极，从而控制是否对本行像素电路的亮度进行更新；当 NG (N) 输出高电压信号时，第二晶体管打开，可以对本行像素电路的亮度进行更新；当 NG (N) 输出低电压信号时，第二晶体管始终关闭，数据线上的数据电压的变化不会写入驱动晶体管的栅极，有机发光二极管的发光亮度不会变化，即当前行像素电路在当前帧的显示亮度维持不变。综上可知，可以通过控制 N 型晶体管的打开或关闭，即可实现像素亮度的刷新，因此当想实现部分像素不刷新时，保证 N 型晶体管关闭即可。

可选的，所述第 m 选通电路用于在第 N-1 级驱动信号的电位为第一电压，并第 N 级驱动信号的电位为第二电压时，控制将所述第 m 选通输入端提供的第 m 选通输入信号写入所述第 m 个第一节点。

在具体实施时，所述第 m 选通电路可以在第 N-1 级驱动信号的电位为第一电压，并第 N 级驱动信号的电位为第二电压时，控制将第 m 选通输入信号写入所述第 m 个第一节点。

可选的，所述第一电压可以为高电压，所述第二电压可以为低电压，但不以此为限。在本公开至少一实施例中，所述第一电压也可以为低电压，所述第二电压可以为高电压。

可选的，所述第 m 选通控制端包括第 m 个第一控制端、第 m 个第二控制端、第 m 个第三控制端和第 m 个第四控制端，所述第 m 选通电路包括第 m 个第一选通晶体管、第 m 个第二选通晶体管、第 m 个第三选通晶体管和第 m 个第四选通晶体管；

所述第 m 个第一选通晶体管的栅极与所述第 m 个第一控制端电连接, 所述第 m 个第一选通晶体管的第一极与所述第 m 选通输入端电连接;

所述第 m 个第二选通晶体管的栅极与所述第 m 个第二控制端电连接, 所述第 m 个第二选通晶体管的第一极与所述第 m 选通输入端电连接;

所述第 m 个第三选通晶体管的栅极与所述第 m 个第三控制端电连接, 所述第 m 个第三选通晶体管的第一极与所述第 m 个第一选通晶体管的第二极电连接, 所述第 m 个第三选通晶体管的第二极与所述第 m 个第一节点电连接;

所述第 m 个第四选通晶体管的栅极与所述第 m 个第四控制端电连接, 所述第 m 个第四选通晶体管的第一极与所述第 m 个第二选通晶体管的第二极电连接, 所述第 m 个第四选通晶体管的第二极与所述第 m 个第一节点电连接;

所述第 m 个第一选通晶体管为 p 型晶体管, 所述第 m 个第二选通晶体管为 n 型晶体管, 所述第 m 个第三选通晶体管为 p 型晶体管, 所述第 m 个第四选通晶体管为 n 型晶体管;

所述第 m 个第一控制端接入第 $N-1$ 级驱动信号的反相信号, 所述第 m 个第二控制端为第 $N-1$ 级驱动信号输出端, 所述第 m 个第三控制端为第 N 级驱动信号输出端, 所述第 m 个第四控制端接入第 N 级驱动信号的反相信号; 或者, 所述第 m 个第一控制端接入第 N 级驱动信号的反相信号, 所述第 m 个第二控制端为第 N 级驱动信号输出端, 所述第 m 个第三控制端为第 $N-1$ 级驱动信号输出端, 所述第 m 个第四控制端接入第 $N-1$ 级驱动信号的反相信号。

如图 8 所示, 选通控制端可以包括第一控制端 CT1、第二控制端 CT2、第三控制端 CT3 和第四控制端 CT4, 选通电路的至少一实施例可以包括第一选通晶体管 TX1、第二选通晶体管 TX2、第三选通晶体管 TX3 和第四选通晶体管 TX4;

所述第一选通晶体管 TX1 的栅极与第一控制端 CT1 电连接, 所述第一选通晶体管 TX1 的漏极与选通输入端 VCT 电连接;

所述第二选通晶体管 TX2 的栅极与第二控制端 CT2 电连接, 所述第二选通晶体管 TX2 的漏极与所述选通输入端 VCT 电连接;

所述第三选通晶体管 TX3 的栅极与所述第三控制端 CT3 电连接, 所述第三选通晶体管 TX3 的漏极与所述第一选通晶体管 TX1 的源极电连接, 所述第三选通晶体管 TX3 的源极与第一节点 N1 电连接;

所述第四选通晶体管 TX4 的栅极与所述第四控制端 CT4 电连接, 所述第四选通晶体管 TX4 的漏极与所述第二选通晶体管 TX2 的源极电连接, 所述第四选通晶体管 TX4 的源极与所述第一节点 N1 电连接;

所述第一选通晶体管 TX1 为 p 型晶体管, 所述第二选通晶体管 TX2 为 n 型晶体管, 所述第三选通晶体管 TX3 为 p 型晶体管, 所述第四选通晶体管 TX4 为 n 型晶体管;

所述第一控制端 CT1 可以接入第 $N-1$ 级驱动信号的反相信号, 所述第二控制端 CT2

可以为第 N-1 级驱动信号输出端，所述第三控制端 CT3 可以为第 N 级驱动信号输出端，所述第四控制端 CT4 可以接入第 N 级驱动信号的反相信号；或者，所述第一控制端 CT1 可以接入第 N 级驱动信号的反相信号，所述第二控制端 CT2 可以为第 N 级驱动信号输出端，所述第三控制端 CT3 可以为第 N-1 级驱动信号输出端，所述第四控制端 CT4 可以接入第 N-1 级驱动信号的反相信号。

在本公开至少一实施例中，所述第 m 个第一选通晶体管的第二极与所述第 m 个第二选通晶体管的第二极电连接。

如图 9 所示，在图 8 所示的选通电路的至少一实施例的基础上，所述第一选通晶体管 TX1 的源极与所述第二选通晶体管 TX2 的源极电连接。

可选的，所述第 m 选通电路包括第 m 个第一选通晶体管；

所述第 m 个第一选通晶体管的栅极与所述第 m 选通控制端电连接，所述第 m 个第一选通晶体管的第一极与所述第 m 个第一节点电连接，所述第 m 个第一选通晶体管的第二极与所述第 m 选通输入端电连接。

如图 10 所示，所述选通电路的至少一实施例可以包括第一选通晶体管 TX1；

所述第一选通晶体管 TX1 的栅极与选通控制端 S0 电连接，所述第一选通晶体管 TX1 的漏极与第一节点 N1 电连接，所述第一选通晶体管 TX1 的源极与选通输入端 VCT 电连接；

TX1 为 p 型晶体管。

如图 11 所示，所述选通电路的至少一实施例可以包括第一选通晶体管 TX1；

所述第一选通晶体管 TX1 的栅极与选通控制端 S0 电连接，所述第一选通晶体管 TX1 的源极与第一节点 N1 电连接，所述第一选通晶体管 TX1 的漏极与选通输入端 VCT 电连接；

TX1 为 n 型晶体管。

可选的，所述第 m 选通控制端包括第 m 个第一控制端和第 m 个第二控制端；所述第 m 选通电路包括第 m 个第一选通晶体管和第 m 个第二选通晶体管；

所述第 m 个第一选通晶体管的栅极与第 m 个第一控制端电连接，所述第 m 个第一选通晶体管的第一极与所述第 m 个第一节点电连接，所述第 m 个第一选通晶体管的第二极与所述第 m 个第二选通晶体管的第一极电连接；

所述第 m 个第二选通晶体管的栅极与第 m 个第二控制端电连接，所述第 m 个第二选通晶体管的第二极与所述第 m 选通输入端电连接；

所述第 m 个第一控制端为第 N-1 级驱动信号输出端，所述第 m 个第二控制端为第 N 级驱动信号输出端，第 m 个第一选通晶体管为 n 型晶体管，第 m 个第二选通晶体管为 p 型晶体管；或者，

所述第 m 个第一控制端为第 N 级驱动信号输出端，所述第 m 个第二控制端为第 N-1 级驱动信号输出端，第 m 个第一选通晶体管为 p 型晶体管，第 m 个第二选通晶体管为 n

型晶体管；或者，

所述第 m 个第一控制端接入第 $N-1$ 级驱动信号的反相信号，所述第 m 个第二控制端为第 N 级驱动信号输出端，所述第 m 个第一选通晶体管和所述第 m 个第二选通晶体管都为 p 型晶体管；或者，

所述第 m 个第一控制端为第 N 级驱动信号输出端，所述第 m 个第二控制端接入第 $N-1$ 级驱动信号的反相信号；所述第 m 个第一选通晶体管和所述第 m 个第二选通晶体管都为 p 型晶体管；或者，

所述第 m 个第一控制端为第 $N-1$ 级驱动信号端，所述第 m 个第二控制端接入第 N 级驱动信号的反相信号，所述第 m 个第一选通晶体管和所述第 m 个第二选通晶体管都为 n 型晶体管；或者，

所述第 m 个第一控制端接入第 N 级驱动信号的反相信号，所述第 m 个第二控制端为第 $N-1$ 级驱动信号端，所述第 m 个第一选通晶体管和所述第 m 个第二选通晶体管都为 n 型晶体管。

如图 12 所示，所述选通电路的至少一实施例可以包括第一选通晶体管 TX1 和第二选通晶体管 TX2；

所述第一选通晶体管 TX1 的栅极与第 $N-1$ 级驱动信号输出端 NS ($N-1$) 电连接，所述第一选通晶体管 TX1 的源极与所述第一节点 N1 电连接，所述第一选通晶体管 TX1 的漏极与所述第二选通晶体管 TX2 的漏极电连接；

所述第二选通晶体管 TX2 的栅极与第 N 级驱动信号输出端 NS (N) 电连接，所述第二选通晶体管 TX2 的源极与所述选通输入端 VCT 电连接；

TX1 为 n 型晶体管，TX2 为 p 型晶体管。

如图 13 所示，所述选通电路的至少一实施例可以包括第一选通晶体管 TX1 和第二选通晶体管 TX2；

所述第一选通晶体管 TX1 的栅极与第 N 级驱动信号输出端 NS (N) 电连接，所述第一选通晶体管 TX1 的漏极与所述第一节点 N1 电连接，所述第一选通晶体管 TX1 的源极与所述第二选通晶体管 TX2 的源极电连接；

所述第二选通晶体管 TX2 的栅极与第 $N-1$ 级驱动信号输出端 NS ($N-1$) 电连接，所述第二选通晶体管 TX2 的漏极与所述选通输入端 VCT 电连接；

TX1 为 p 型晶体管，TX2 为 n 型晶体管。

如图 14 所示，所述选通电路的至少一实施例可以包括第一选通晶体管 TX1 和第二选通晶体管 TX2；

所述第一选通晶体管 TX1 的栅极与第一反相驱动信号端 NGI1 电连接，所述第一选通晶体管 TX1 的漏极与所述第一节点 N1 电连接，所述第一选通晶体管 TX1 的源极与所述第二选通晶体管 TX2 的漏极电连接；所述第一反相驱动信号端 NGI1 提供的第一反相驱动信号与第 $N-1$ 级驱动信号输出端 NS ($N-1$) 提供的第 $N-1$ 级驱动信号反相；

所述第二选通晶体管 TX2 的栅极与第 N 级驱动信号输出端 NS (N) 电连接, 所述第二选通晶体管 TX2 的源极与所述选通输入端 VCT 电连接;

TX1 为 p 型晶体管, TX2 为 p 型晶体管。

如图 15 所示, 所述选通电路的至少一实施例可以包括第一晶体管 TX1 和第二晶体管 TX2;

所述第一选通晶体管 TX1 的栅极与第 N 级驱动信号输出端 NS (N) 电连接, 所述第一选通晶体管 TX1 的漏极与所述第一节点 N1 电连接, 所述第一选通晶体管 TX1 的源极与所述第二选通晶体管 TX2 的漏极电连接;

所述第二选通晶体管 TX2 的栅极与第一反相驱动信号端 NGI1 电连接, 所述第二选通晶体管 TX2 的源极与所述选通输入端 VCT 电连接; 所述第一反相驱动信号端 NGI1 提供的第一反相驱动信号与第 N-1 级驱动信号输出端 NS(N-1) 提供的第 N-1 级驱动信号反相;

TX1 为 p 型晶体管, TX2 为 p 型晶体管。

如图 16 所示, 所述选通电路的至少一实施例可以包括第一选通晶体管 TX1 和第二选通晶体管 TX2;

所述第一选通晶体管 TX1 的栅极与第 N-1 级驱动信号输出端 NS (N-1) 电连接, 所述第一选通晶体管 TX1 的源极与所述第一节点 N1 电连接, 所述第一选通晶体管 TX1 的漏极与所述第二选通晶体管 TX2 的源极电连接;

所述第二选通晶体管 TX2 的栅极与第二反相驱动信号端 NGI2 电连接, 所述第二选通晶体管 TX2 的漏极与所述选通输入端 VCT 电连接; 所述第二反相驱动信号端 NGI2 提供的第二反相驱动信号与第 N 级驱动信号输出端 NS (N) 提供的第 N 级驱动信号反相;

TX1 为 n 型晶体管, TX2 为 n 型晶体管。

如图 17 所示, 所述选通电路的至少一实施例可以包括第一选通晶体管 TX1 和第二选通晶体管 TX2;

所述第一选通晶体管 TX1 的栅极与第二反相驱动信号端 NGI2 电连接, 所述第一选通晶体管 TX1 的源极与所述第一节点 N1 电连接, 所述第一选通晶体管 TX1 的漏极与所述第二选通晶体管 TX2 的源极电连接; 所述第二反相驱动信号端 NGI2 提供的第二反相驱动信号与第 N 级驱动信号输出端 NS (N) 提供的第 N 级驱动信号反相;

所述第二选通晶体管 TX2 的栅极与第 N-1 级驱动信号输出端 NS (N-1) 电连接, 所述第二选通晶体管 TX2 的漏极与所述选通输入端 VCT 电连接;

TX1 为 n 型晶体管, TX2 为 n 型晶体管。

如图 18 所示, 可以通过第一反相模块对第 N-1 级驱动信号输出端 NS (N-1) 提供的第 N-1 级驱动信号进行反相, 得到第一反相驱动信号端 NGI1 提供的第一反相驱动信号;

所述第一反相模块包括第一反相控制晶体管 T01 和第二反相控制晶体管 T02;

T01 为 p 型晶体管, T02 为 n 型晶体管。

如图 19 所示, 可以通过第二反相模块对第 N 级驱动信号输出端 NS (N) 提供的第 N

级驱动信号进行反相，得到第二反相驱动信号端 NGI2 提供的第二反相驱动信号；

所述第二反相模块包括第三反相控制晶体管 T03 和第四反相控制晶体管 T04；

T03 为 p 型晶体管，T04 为 n 型晶体管。

在本公开至少一实施例中，所述第 m 控制电路还包括第 m 个第一初始化电路；

所述第 m 个第一初始化电路分别与初始控制端、第一电压端和第 m 个第一节点电连接，用于在所述初始控制端提供的初始控制信号的控制下，控制所述第 m 个第一节点与所述第一电压端之间连通。

在具体实施时，所述第 m 控制电路还可以包括第 m 个第一初始化电路，第 m 个第一初始化电路在初始控制信号的控制下，控制第 m 个第一节点与第一电压端之间连通。

在本公开至少一实施例中，所述第一电压端可以为高电压端，但不以此为限。

如图 20 所示，在图 3 所示的驱动电路的至少一实施例的基础上，所述控制电路还可以包括第一初始化电路 21；

所述第一初始化电路 21 分别与初始控制端 NCX、第一电压端 V1 和第一节点 N1 电连接，用于在所述初始控制端 NCX 提供的初始控制信号的控制下，控制所述第一节点 N1 与所述第一电压端 V1 之间连通。

图 20 所示的驱动电路的至少一实施例在工作时，在一帧时间开始时，NCX 提供有效电压信号，所述第一初始化电路 21 控制第一节点 N1 与第一电压端 V1 之间连通。

如图 21 所示，在图 4 所示的驱动电路的至少一实施例的基础上，所述第一控制电路还可以包括第一个第一初始化电路 211，所述第二控制电路还可以包括第二个第一初始化电路 212；

所述第一个第一初始化电路 211 分别与初始控制端 NCX、第一电压端 V1 和第一个第一节点 N11 电连接，用于在所述初始控制端 NCX 提供的初始控制信号的控制下，控制所述第一个第一节点 N11 与所述第一电压端 V1 之间连通；

所述第二个第一初始化电路 212 分别与初始控制端 NCX、第一电压端 V1 和第二个第一节点 N21 电连接，用于在所述初始控制端 NCX 提供的初始控制信号的控制下，控制所述第二个第一节点 N21 与所述第一电压端 V1 之间连通。

在本公开至少一实施例中，所述第 m 控制电路还包括第 m 复位电路；

所述第 m 复位电路分别与第一电压端、第 N-1 级驱动信号输出端、第 N 级驱动信号输出端和第 m 个第一节点电连接，用于在第 N 级驱动信号和所述第 N-1 级驱动信号输出端提供的第 N-1 级驱动信号的控制下，控制所述第 m 个第一节点与所述第一电压端之间连通。

在具体实施时，所述第 m 控制电路还可以包括第 m 复位电路，第 m 复位电路在第 N 级驱动信号和第 N-1 级驱动信号的控制下，在所述第 m 输出电路通过第 m 输出驱动端提供第 m 输出驱动信号后，对所述第 m 个第一节点的电位进行复位。

在本公开至少一实施例中，所述第 m 控制电路还包括第 m 个第一电压维持电路；

所述第 m 个第一电压维持电路的第一端与所述第 m 个第一节点电连接, 所述第 m 个第一电压维持电路的第二端与直流电压端电连接, 所述第 m 电压维持电路用于维持第 m 个第一节点的电位。

在具体实施时, 所述第 m 控制电路还可以包括第 m 个第一电压维持电路, 所述第 m 个第一电压维持电路可以用于维持第 m 个第一节点的电位。

可选的, 所述直流电压端可以为第一电压端、第二电压端或第三电压端, 但不以此为限。

在本公开至少一实施例中, 所述第一电压端可以为高电压端, 所述第二电压端可以为第一低电压端, 所述第三电压端可以为第二低电压端, 但不以此为限。

如图 22 所示, 在图 20 所示的驱动电路的至少一实施例的基础上, 所述控制电路还可以包括第一电压维持电路 22 和复位电路 23;

所述复位电路 23 分别与第一电压端 $V1$ 、第 $N-1$ 级驱动信号输出端 $NS(N-1)$ 、第 N 级驱动信号输出端 $NS(N)$ 和第一节点 $N1$ 电连接, 用于在第 N 级驱动信号和所述第 $N-1$ 级驱动信号输出端 $NS(N-1)$ 提供的第 $N-1$ 级驱动信号的控制下, 控制所述第一节点 $N1$ 与所述第一电压端 $V1$ 之间连通;

所述第一电压维持电路 22 的第一端与所述第一节点 $N1$ 电连接, 所述第一电压维持电路 22 的第二端与第二电压端 $V2$ 电连接, 所述第一电压维持电路 22 用于维持所述第一节点 $N1$ 的电位。

如图 23 所示, 在图 21 所示的驱动电路的至少一实施例的基础上, 所述第一控制电路还可以包括第一个第一电压维持电路 221 和第一复位电路 231; 所述第二控制电路还可以包括第二个第一电压维持电路 222 和第二复位电路 232;

所述第一复位电路 231 分别与第一电压端 $V1$ 、第 $N-1$ 级驱动信号输出端 $NS(N-1)$ 、第 N 级驱动信号输出端 $NS(N)$ 和第一个第一节点 $N11$ 电连接, 用于在第 N 级驱动信号和所述第 $N-1$ 级驱动信号输出端 $NS(N-1)$ 提供的第 $N-1$ 级驱动信号的控制下, 控制所述第一个第一节点 $N11$ 与所述第一电压端 $V1$ 之间连通;

所述第一个第一电压维持电路 221 的第一端与所述第一个第一节点 $N11$ 电连接, 所述第一个第一电压维持电路 221 的第二端与第二电压端 $V2$ 电连接, 所述第一个第一电压维持电路 221 用于维持所述第一个第一节点 $N11$ 的电位;

所述第二复位电路 232 分别与第一电压端 $V1$ 、第 $N-1$ 级驱动信号输出端 $NS(N-1)$ 、第 N 级驱动信号输出端 $NS(N)$ 和第二个第一节点 $N21$ 电连接, 用于在第 N 级驱动信号和所述第 $N-1$ 级驱动信号输出端 $NS(N-1)$ 提供的第 $N-1$ 级驱动信号的控制下, 控制所述第二个第一节点 $N21$ 与所述第一电压端 $V1$ 之间连通;

所述第二个第一电压维持电路 222 的第一端与所述第二个第一节点 $N21$ 电连接, 所述第二个第一电压维持电路 222 的第二端与第二电压端 $V2$ 电连接, 所述第二个第一电压维持电路 222 用于维持所述第二个第一节点 $N21$ 的电位。

可选的,所述第 m 控制电路还包括第 m 个第二电压维持电路;所述第 m 个第一节点通过所述第 m 个第二电压维持电路与所述第 m 输出控制电路的第二端电连接;

所述第 m 个第二电压维持电路包括第 m 个第一反相器、第 m 个第二反相器和第 m 维持控制电路;

所述第 m 个第一反相器的输入端与所述第 m 个第一节点电连接,所述第 m 个第一反相器的输出端与第 m 个第二节点电连接,所述第 m 个第二反相器的输入端与所述第 m 个第二节点电连接,所述第 m 个第二反相器的输出端与第 m 个第三节点和所述第 m 输出控制电路的第二端电连接;

所述第 m 个第一反相器用于对所述第 m 个第一节点的电位进行反相,并通过第 m 个第一反相器的输出端输出反相后的第 m 个第一节点的电位,所述第 m 个第二反相器用于对其输入端的电位进行反相,并通过所述第 m 个第二反相器的输出端输出反相后的电位;

所述第 m 维持控制电路分别与第 m 维持控制端、所述第 m 个第三节点和所述第 m 个第一节点电连接,用于在所述第 m 维持控制端提供的第 m 维持控制信号的控制下,控制所述第 m 个第三节点与所述第 m 个第一节点之间连通或断开。

在具体实施时,所述第 m 控制电路还可以包括第 m 个第二电压维持电路,所述第 m 个第一节点可以通过所述第 m 个第二电压维持电路与所述第 m 输出控制电路的第二端电连接,所述第 m 个第二电压维持电路可以包括第 m 个第一反相器、第 m 个第二反相器和第 m 维持控制电路;第 m 个第一反相器对所述第 m 个第一节点的电位进行反相,第 m 个第二反相器对其输入端的电位进行反相;所述第 m 维持控制电路在所述第 m 维持控制端提供的维持控制信号的控制下,控制所述第 m 个第三节点与所述第 m 个第一节点之间连通或断开;

所述第 m 维持控制电路可以在所述第 m 选通电路控制将所述第 m 选通输入信号写入所述第 m 个第一节点时,控制第 m 个第三节点与第 m 个第一节点之间断开。

本公开至少一实施例所述的驱动电路在工作时,通过增设第 m 个第二电压维持电路,第 m 个第二电压维持电路包括的第 m 个第一反相器和第 m 个第二反相器可以当第 m 个第一节点的电位为高电压时,控制第 m 个第三节点与高电压端之间连通,可以使得第 m 个第三节点的电位高于第 m 个第一节点的电位,并可以当第 m 个第一节点的电位为低电压时,控制第 m 个第三节点与低电压端之间连通,可以使得第 m 个第三节点的电位低于第 m 个第一节点的电位,使得第 m 个第三节点能够更好的控制第 m 输出控制电路包括的栅极与第 m 个第三节点电连接的晶体管。

如图 24 所示,在图 22 所示的驱动电路的至少一实施例的基础上,所述控制电路还可以包括第二电压维持电路;维持控制端包括第 $N-1$ 级驱动信号输出端 $NS(N-1)$ 和控制时钟信号端 NCK ;所述第一节点 $N1$ 通过所述第二电压维持电路与所述输出控制电路 12 的第二端电连接;

所述第二电压维持电路包括第一反相器 $F1$ 、第二反相器 $F2$ 和维持控制电路 $W1$;

所述第一反相器 F1 的输入端与所述第一节点 N1 电连接, 所述第一反相器 F1 的输出端与第二节点 N2 电连接;

所述第二反相器 F2 的输入端与所述第二节点 N2 电连接, 所述第二反相器 F2 的输出端与第三节点 N3 和所述输出控制电路 12 的第二端电连接;

所述第一反相器 F1 用于对所述第一节点 N1 的电位进行反相, 并通过第一反相器 F1 的输出端输出反相后的第一节点 N1 的电位;

所述第二反相器 F2 用于对其输入端的电位进行反相, 并通过所述第二反相器 F2 的输出端输出反相后的电位;

所述维持控制电路 W1 分别与第 N-1 级驱动信号输出端 NS (N-1)、控制时钟信号端 NCK、所述第三节点 N3 和所述第一节点 N1 电连接, 用于在第 N-1 级驱动信号输出端 NS (N-1) 提供的第 N-1 级驱动信号的控制下, 控制所述第三节点 N3 与所述第一节点 N1 之间连通或断开, 在所述控制时钟信号端 NCK 提供的控制时钟信号的控制下, 控制所述第三节点 N3 与所述第一节点 N1 之间连通或断开。

在图 24 所示的至少一实施例中, 第 N-1 级驱动信号输出端可以被替换为反相时钟信号端或第一时钟信号端, 但不以此为限。

图 25 示出了控制时钟信号端 NCK 提供的控制时钟信号的波形和第一时钟信号端 NCB 提供的第一时钟信号的波形。

在本公开至少一实施例中, 所述驱动信号生成电路包括第一驱动控制电路、第二驱动控制电路、第二反相电路和第二初始化电路;

所述第一驱动控制电路分别与所述控制时钟信号端、所述反相时钟信号端、第 N-1 级驱动信号输出端和第四节点电连接, 用于在所述控制时钟信号端提供的控制时钟信号和所述反相时钟信号端提供的反相时钟信号的控制下, 对所述第 N-1 级驱动信号输出端提供的第 N-1 驱动信号进行移位并反相, 得到并通过所述第四节点输出反相后的信号;

所述第二驱动控制电路分别与所述控制时钟信号端、所述反相时钟信号端、第 N 级驱动信号输出端和所述第四节点电连接, 用于在所述控制时钟信号和所述反相时钟信号的控制下, 对所述第 N 级驱动信号输出端提供的第 N 级驱动信号进行反相, 得到并通过所述第四节点输出反相后的信号;

所述第二反相电路分别与所述第四节点和所述第 N 级驱动信号输出端电连接, 用于对所述第四节点的电位进行反相, 并通过所述第 N 级驱动信号输出端输出反相后的信号;

所述第二初始化电路分别与初始控制端、第一电压端和所述第 N 级驱动信号输出端电连接, 用于在所述初始控制端提供的初始控制信号的控制下, 控制所述第 N 级驱动信号输出端与所述第一电压端之间连通。

在本公开至少一实施例中, 当 M 等于 1 时, 所述控制电路可以包括第一电压维持电路和/或第二电压维持电路, 以维持第一节点的电位;

当 M 大于 1 时, 第 m 控制电路可以包括第 m 个第一电压维持电路和/或第 m 个第二

电压维持电路，以维持第 m 个第一节点的电位。

可选的，所述第 m 复位电路包括第 m 个第一晶体管和第 m 个第二晶体管；

所述第 m 个第一晶体管的栅极与所述第 $N-1$ 级驱动信号输出端电连接，所述第 m 个第一晶体管的第一极与所述第一电压端电连接，所述第 m 个第一晶体管的第二极与所述第 m 个第二晶体管的第一极电连接；

所述第 m 个第二晶体管的栅极与所述第 N 级驱动信号输出端电连接，所述第 m 个第二晶体管的第二极与所述第 m 个第一节点电连接。

可选的，所述第 m 维持控制端包括第 m 个第一维持控制端和第 m 个第二维持控制端；

所述第 m 维持控制电路包括第 m 个第三晶体管和第 m 个第四晶体管；

所述第 m 个第三晶体管的栅极与所述第 m 个第一维持控制端电连接，所述第 m 个第三晶体管的第一极与所述第 m 个第一节点电连接，所述第 m 个第三晶体管的第二极与所述第 m 个第三节点电连接；

所述第 m 个第四晶体管的栅极与第 m 个第二维持控制端电连接，所述第 m 个第四晶体管的第一极与所述第 m 个第三节点电连接，所述第 m 个第四晶体管的第二极与所述第 m 个第一节点电连接；

所述第 m 个第三晶体管为 p 型晶体管，所述第 m 个第四晶体管为 n 型晶体管；

所述第 m 个第一维持控制端为第 $N-1$ 级驱动信号端，所述第 m 个第二维持控制端为控制时钟信号端；或者，

所述第 m 个第一维持控制端为反相时钟信号端，所述第 m 个第二维持控制端为控制时钟信号端。

可选的，所述第 m 个第一反相器包括第 m 个第五晶体管和第 m 个第六晶体管，所述第 m 个第二反相器包括第 m 个第七晶体管和第 m 个第八晶体管；

所述第 m 个第五晶体管的栅极与所述第 m 个第一节点电连接，所述第 m 个第五晶体管的第一极与第一电压端电连接，所述第 m 个第五晶体管的第二极与第 m 个第二节点电连接；

所述第 m 个第六晶体管的栅极与所述第 m 个第一节点电连接，所述第 m 个第六晶体管的第一极与所述第 m 个第二节点电连接，所述第 m 个第六晶体管的第二极与第二电压端电连接；

所述第 m 个第五晶体管为 p 型晶体管，所述第 m 个第六晶体管为 n 型晶体管；

所述第 m 个第七晶体管的栅极与所述第 m 个第二节点电连接，所述第 m 个第七晶体管的第一极与所述第一电压端电连接，所述第 m 个第七晶体管的第二极与第 m 个第三节点电连接；

所述第 m 个第八晶体管的栅极与所述第 m 个第二节点电连接，所述第 m 个第八晶体管的第一极与所述第 m 个第三节点电连接，所述第 m 个第八晶体管的第二极与第二电压端电连接；

所述第 m 个第七晶体管为 p 型晶体管, 所述第 m 个第八晶体管为 n 型晶体管。

可选的, 所述第 m 个第一初始化电路包括第 m 个第九晶体管;

所述第 m 个第九晶体管的栅极与所述初始控制端电连接, 所述第 m 个第九晶体管的第一极与所述第一电压端电连接, 所述第 m 个第九晶体管的第二极与所述第 m 个第一节点电连接。

可选的, 所述第 m 个第一电压维持电路包括第 m 电容;

所述第 m 电容的第一端与所述第 m 个第一节点电连接, 所述第 m 电容的第二端与直流电压端电连接。

可选的, 所述第 m 输出控制电路包括第 m 个第十晶体管、第 m 个第十一晶体管、第 m 个第十二晶体管和第 m 个第十三晶体管;

所述第 m 个第十晶体管的栅极与所述第 m 个第一节点电连接, 所述第 m 个第十晶体管的第一极与第一电压端电连接, 所述第 m 个第十晶体管的第二极与第 m 个第二节点电连接;

所述第 m 个第十一晶体管的栅极与所述第 N 级驱动信号输出端电连接, 所述第 m 个第十一晶体管的第一极与所述第一电压端电连接, 所述第 m 个第十一晶体管的第二极所述第 m 个第二节点电连接;

所述第 m 个第十二晶体管的栅极与所述第 m 个第一节点电连接, 所述第 m 个第十二晶体管的第一极与所述第 m 个第二节点电连接, 所述第 m 个第十二晶体管的第二极与所述第 m 个第十三晶体管的第一极电连接;

所述第 m 个第十三晶体管的栅极与所述第 N 级驱动信号输出端电连接, 所述第 m 个第十三晶体管的第二极与第二电压端电连接;

所述第 m 个第十晶体管和所述第 m 个第十一晶体管为 p 型晶体管, 所述第 m 个第十二晶体管和所述第 m 个第十三晶体管为 n 型晶体管。

可选的, 所述第 m 输出电路包括第 m 个第十四晶体管和第 m 个第十五晶体管;

所述第 m 个第十四晶体管的栅极与第 m 个第二节点电连接, 所述第 m 个第十四晶体管的第一极与第一电压端电连接, 所述第 m 个第十四晶体管的第二极与第 m 输出驱动端电连接;

所述第 m 个第十五晶体管的栅极与所述第 m 个第二节点电连接, 所述第 m 个第十五晶体管的第一极与所述第 m 输出驱动端电连接, 所述第 m 个第十五晶体管的第二极与第二电压端电连接。

在本公开至少一实施例中, 所述驱动信号生成电路包括第一驱动控制电路、第二驱动控制电路、第二反相电路和第二初始化电路;

所述第一驱动控制电路分别与所述控制时钟信号端、所述反相时钟信号端、第 $N-1$ 级驱动信号输出端和第四节点电连接, 用于在所述控制时钟信号端提供的控制时钟信号和所述反相时钟信号端提供的反相时钟信号的控制下, 对所述第 $N-1$ 级驱动信号输出端提供

的第 N-1 驱动信号进行移位并反相，得到并通过所述第四节点输出反相后的信号；

所述第二驱动控制电路分别与所述控制时钟信号端、所述反相时钟信号端、第 N 级驱动信号输出端和所述第四节点电连接，用于在所述控制时钟信号和所述反相时钟信号的控制下，对所述第 N 级驱动信号输出端提供的第 N 级驱动信号进行反相，得到并通过所述第四节点输出反相后的信号；

所述第二反相电路分别与所述第四节点和所述第 N 级驱动信号输出端电连接，用于对所述第四节点的电位进行反相，并通过所述第 N 级驱动信号输出端输出反相后的信号；

所述第二初始化电路分别与初始控制端、第一电压端和所述第 N 级驱动信号输出端电连接，用于在所述初始控制端提供的初始控制信号的控制下，控制所述第 N 级驱动信号输出端与所述第一电压端之间连通。

在具体实施时，所述驱动信号生成电路可以包括第一驱动控制电路、第二驱动控制电路、第二反相电路和第二初始化电路；所述第一驱动控制电路在控制时钟信号和反相时钟信号的控制下，对第 N-1 驱动信号进行移位并反相操作，通过第四节点输出反相后的信号，第二驱动控制电路在控制时钟信号和反相时钟信号的控制下，对第 N 级驱动信号进行反相，通过第四节点输出反相后的信号，第二反相电路对第四节点的电位进行反相，通过第 N 级驱动信号输出端输出反相后的信号；第二初始化电路在初始控制信号的控制下，控制第 N 级驱动信号输出端与第一电压端之间连通。

如图 26 所示，在图 24 所示的驱动电路的至少一实施例的基础上，所述驱动信号生成电路可以包括第一驱动控制电路 41、第二驱动控制电路 42、第二反相电路 44 和第二初始化电路 40；

所述第一驱动控制电路 41 分别与控制时钟信号端 NCK、反相时钟信号端 NCKI、第 N-1 级驱动信号输出端 NS(N-1) 和第四节点 N4 电连接，用于在所述控制时钟信号端 NCK 提供的控制时钟信号和所述反相时钟信号端 NCKI 提供的反相时钟信号的控制下，对所述第 N-1 级驱动信号输出端 NS(N-1) 提供的第 N-1 驱动信号进行移位并反相，得到并通过所述第四节点 N4 输出反相后的信号；

所述第二驱动控制电路 42 分别与所述控制时钟信号端 NCK、所述反相时钟信号端 NCKI、第 N 级驱动信号输出端 NS(N) 和第四节点 N4 电连接，用于在所述控制时钟信号和所述反相时钟信号的控制下，对所述第 N 级驱动信号输出端 NS(N) 提供的第 N 级驱动信号进行反相，得到并通过所述第四节点 N4 输出反相后的信号；

所述第二反相电路 44 分别与所述第四节点 N4 和所述第 N 级驱动信号输出端 NS(N) 电连接，用于对所述第四节点 N4 的电位进行反相，并通过所述第 N 级驱动信号输出端 NS(N) 输出反相后的信号；

所述第二初始化电路 40 分别与初始控制端 NCX、第一电压端 V1 和所述第 N 级驱动信号输出端 NS(N) 电连接，用于在所述初始控制端 NCX 提供的初始控制信号的控制下，控制所述第 N 级驱动信号输出端 NS(N) 与所述第一电压端 V1 之间连通。

如图 27 所示,在图 23 所示的驱动电路的至少一实施例的基础上,所述驱动信号生成电路可以包括第一驱动控制电路 41、第二驱动控制电路 42、第二反相电路 44 和第二初始化电路 40;

所述第一驱动控制电路 41 分别与控制时钟信号端 NCK、反相时钟信号端 NCKI、第 N-1 级驱动信号输出端 NS(N-1)和第四节点 N4 电连接,用于在所述控制时钟信号端 NCK 提供的控制时钟信号和所述反相时钟信号端 NCKI 提供的反相时钟信号的控制下,对所述第 N-1 级驱动信号输出端 NS(N-1)提供的第 N-1 驱动信号进行移位并反相,得到并通过所述第四节点 N4 输出反相后的信号;

所述第二驱动控制电路 42 分别与所述控制时钟信号端 NCK、所述反相时钟信号端 NCKI、第 N 级驱动信号输出端 NS(N)和第四节点 N4 电连接,用于在所述控制时钟信号和所述反相时钟信号的控制下,对所述第 N 级驱动信号输出端 NS(N)提供的第 N 级驱动信号进行反相,得到并通过所述第四节点 N4 输出反相后的信号;

所述第二反相电路 44 分别与所述第四节点 N4 和所述第 N 级驱动信号输出端 NS(N)电连接,用于对所述第四节点 N4 的电位进行反相,并通过所述第 N 级驱动信号输出端 NS(N)输出反相后的信号;

所述第二初始化电路 40 分别与初始控制端 NCX、第一电压端 V1 和所述第 N 级驱动信号输出端 NS(N)电连接,用于在所述初始控制端 NCX 提供的初始控制信号的控制下,控制所述第 N 级驱动信号输出端 NS(N)与所述第一电压端 V1 之间连通。

图 28 所示的驱动电路的至少一实施例与图 26 所示的驱动电路的至少一实施例的区别在于:不包含第二电压维持电路。

可选的,所述第一驱动控制电路包括第十六晶体管、第十七晶体管、第十八晶体管和第十九晶体管;

所述第十六晶体管的栅极与所述反相时钟信号端电连接,所述第十六晶体管的第一极与所述第一电压端电连接,所述第十六晶体管的第二极与所述第十七晶体管的第一极电连接;

所述第十七晶体管的栅极与所述第 N-1 级驱动信号输出端电连接,所述第十七晶体管的第二极与所述第四节点电连接;

所述第十八晶体管的栅极与所述第 N-1 级驱动信号输出端电连接,所述第十八晶体管的第一极与所述第四节点电连接,所述第十八晶体管的第二极与所述第十九晶体管的第一极电连接;

所述第十九晶体管的栅极与所述控制时钟信号端电连接,所述第十九晶体管的第二极与第三电压端电连接;

所述第十六晶体管和所述第十七晶体管为 p 型晶体管,所述第十八晶体管和所述第十九晶体管为 n 型晶体管。

可选的,所述第二驱动控制电路包括第二十晶体管、第二十一晶体管、第二十二晶

体管和第二十三晶体管；

所述第二十晶体管的栅极与所述第 N 级驱动信号输出端电连接，所述第二十晶体管的第一极与第一电压端电连接，所述第二十晶体管的第二极与所述第二十一晶体管的第一极电连接；

所述第二十一晶体管的栅极与所述控制时钟信号端电连接，所述第二十一晶体管的第二极与所述第四节点电连接；

所述第二十二晶体管的栅极与所述反相时钟信号端电连接，所述第二十二晶体管的第一极与所述第四节点电连接，所述第二十二晶体管的第二极与所述第二十三晶体管的第一极电连接；

所述第二十三晶体管的栅极与所述第 N 级驱动信号输出端电连接，所述第二十三晶体管的第二极与第三电压端电连接；

所述第二十晶体管和所述第二十一晶体管为 p 型晶体管，所述第二十二晶体管和所述第二十三晶体管为 n 型晶体管。

可选的，所述第二反相电路包括第二十四晶体管和第二十五晶体管；所述第二初始化电路包括第二十六晶体管；

所述第二十四晶体管的栅极与所述第四节点电连接，所述第二十四晶体管的第一极与所述第一电压端电连接，所述第二十四晶体管的第二极与所述第二十五晶体管的第一极和所述第 N 级驱动信号输出端电连接；

所述第二十五晶体管的栅极与所述第四节点电连接，所述第二十五晶体管的第二极与第三电压端电连接；

所述第二十四晶体管为 p 型晶体管，所述第二十五晶体管为 n 型晶体管；

所述第二十六晶体管的栅极与所述初始控制端电连接，所述第二十六晶体管的第一极与所述第一电压端电连接，所述第二十六晶体管的第二极与所述第 N 级驱动信号输出端电连接。

可选的，所述第一反相电路包括第二十七晶体管和第二十八晶体管；

所述第二十七晶体管的栅极与所述控制时钟信号端电连接，所述第二十七晶体管的第一极与第一电压端电连接，所述第二十七晶体管的第二极与所述第二十八晶体管的第一极和所述反相时钟信号端电连接；

所述第二十八晶体管的栅极与所述控制时钟信号端电连接，所述第二十八晶体管的第二极与第三电压端电连接。

如图 29 所示，在图 28 所示的驱动电路的至少一实施例的基础上，

所述选通控制端包括第一控制端、第二控制端、第三控制端和第四控制端，所述选通电路包括第一选通晶体管 TX1、第二选通晶体管 TX2、第三选通晶体管 TX3 和第四选通晶体管 TX4；

所述第一选通晶体管 TX1 的栅极与所述第一控制端电连接，所述第一选通晶体管 TX1

的漏极与所述选通输入端 VCT 电连接；

所述第二选通晶体管 TX2 的栅极与所述第二控制端电连接，所述第二选通晶体管 TX2 的漏极与所述选通输入端 VCT 电连接；

所述第三选通晶体管 TX3 的栅极与所述第三控制端电连接，所述第三选通晶体管 TX3 的漏极与所述第一选通晶体管 TX1 的源极电连接，所述第三选通晶体管 TX3 的源极与所述第一节点 N1 电连接；

所述第四选通晶体管 TX4 的栅极与所述第四控制端电连接，所述第四选通晶体管 TX4 的漏极与所述第二选通晶体管 TX2 的源极电连接，所述第四选通晶体管 TX4 的源极与所述第一节点 N1 电连接；

所述第一选通晶体管 TX1 为 p 型晶体管，所述第二选通晶体管 TX2 为 n 型晶体管，所述第三选通晶体管 TX3 为 p 型晶体管，所述第四选通晶体管 TX4 为 n 型晶体管；

所述第一控制端接入第 N-1 级驱动信号的反相信号 NSI (N-1)，所述第二控制端为第 N-1 级驱动信号输出端 NS (N-1)，所述第三控制端为第 N 级驱动信号输出端 NS (N)，所述第四控制端接入第 N 级驱动信号的反相信号 NSI (N)；

所述复位电路包括第一晶体管 T1 和第二晶体管 T2；

所述第一晶体管 T1 的栅极与所述第 N-1 级驱动信号输出端 NS (N-1) 电连接，所述第一晶体管 T1 的漏极与高电压端 VGHN 电连接，所述第一晶体管 T1 的源极与所述第二晶体管 T2 的漏极电连接；

所述第二晶体管 T2 的栅极与所述第 N 级驱动信号输出端 NS (N) 电连接，所述第二晶体管 T2 的源极与所述第一节点 N1 电连接；

T1 和 T2 为 p 型晶体管；

所述第一初始化电路包括第九晶体管 T9；

所述第九晶体管 T9 的栅极与所述初始控制端 NCX 电连接，所述第九晶体管 T9 的漏极与所述高电压端 VGHN 电连接，所述第九晶体管 T9 的源极与所述第一节点 N1 电连接；

T9 为 p 型晶体管；

所述第一电压维持电路包括电容 C0；

所述电容 C0 的第一端与所述第一节点 N1 电连接，所述电容 C0 的第二端与第一低电压端 VGL 电连接；

所述输出控制电路包括第十晶体管 T10、第十一晶体管 T11、第十二晶体管 T12 和第十三晶体管 T13；

所述第十晶体管 T10 的栅极与所述第一节点 N1 电连接，所述第十晶体管 T10 的漏极与所述高电压端 VGHN 电连接，所述第十晶体管 T10 的源极与第二节点 N2 电连接；

所述第十一晶体管 T11 的栅极与所述第 N 级驱动信号输出端 NS (N) 电连接，所述第十一晶体管 T11 的漏极与所述高电压端 VGHN 电连接，所述第十一晶体管 T11 的源极与所述第二节点 N2 电连接；

所述第十二晶体管 T12 的栅极与所述第一节点 N1 电连接, 所述第十二晶体管 T12 的漏极与所述第二节点 N2 电连接, 所述第十二晶体管 T12 的源极与所述第十三晶体管 T13 的漏极电连接;

所述第十三晶体管 T13 的栅极与所述 N 级驱动信号输出端 NS (N) 电连接, 所述第十三晶体管 T13 的源极与第一低电压端 VGL 电连接;

所述第十晶体管 T10 和所述第十一晶体管 T11 为 p 型晶体管, 所述第十二晶体管 T12 和所述第十三晶体管 T13 为 n 型晶体管;

所述输出电路包括第十四晶体管 T14 和第十五晶体管 T15;

所述第十四晶体管 T14 的栅极与第二节点 N2 电连接, 所述第十四晶体管 T14 的漏极与高电压端 VGHN 电连接, 所述第十四晶体管 T14 的源极与输出驱动端 NO (N) 电连接;

所述第十五晶体管 T15 的栅极与所述第二节点 N2 电连接, 所述第十五晶体管 T15 的漏极与所述输出驱动端 NO (N) 电连接, 所述第十五晶体管 T15 的源极与第一低电压端 VGL 电连接;

T14 为 p 型晶体管, T15 为 p 型晶体管;

所述第一驱动控制电路包括第十六晶体管 T16、第十七晶体管 T17、第十八晶体管 T18 和第十九晶体管 T19;

所述第十六晶体管 T16 的栅极与所述反相时钟信号端 NCKI 电连接, 所述第十六晶体管 T16 的漏极与所述高电压端 VGHN 电连接, 所述第十六晶体管 T16 的源极与所述第十七晶体管 T17 的漏极电连接;

所述第十七晶体管 T17 的栅极与所述第 N-1 级驱动信号输出端 NS (N-1) 电连接, 所述第十七晶体管 T17 的源极与所述第四节点 N4 电连接;

所述第十八晶体管 T18 的栅极与所述第 N-1 级驱动信号输出端 NS (N-1) 电连接, 所述第十八晶体管 T18 的漏极与所述第四节点 N4 电连接, 所述第十八晶体管 T18 的源极与所述第十九晶体管 T19 的漏极电连接;

所述第十九晶体管 T19 的栅极与所述控制时钟信号端 NCK 电连接, 所述第十九晶体管 T19 的源极与第二低电压端 VGLN 电连接;

所述第十六晶体管 T16 和所述第十七晶体管 T17 为 p 型晶体管, 所述第十八晶体管 T18 和所述第十九晶体管 T19 为 n 型晶体管;

所述第二驱动控制电路包括第二十晶体管 T20、第二十一晶体管 T21、第二十二晶体管 T22 和第二十三晶体管 T23;

所述第二十晶体管 T20 的栅极与所述第 N 级驱动信号输出端 NS (N) 电连接, 所述第二十晶体管 T20 的漏极与高电压端 VGHN 电连接, 所述第二十晶体管 T20 的源极与所述第二十一晶体管 T21 的漏极电连接;

所述第二十一晶体管 T21 的栅极与所述控制时钟信号端 NCK 电连接, 所述第二十一晶体管 T21 的源极与所述第四节点 N4 电连接;

所述第二十二晶体管 T22 的栅极与所述反相时钟信号端 NCKI 电连接, 所述第二十二晶体管 T22 的漏极与所述第四节点 N4 电连接, 所述第二十二晶体管 T22 的源极与所述第二十三晶体管 T23 的漏极电连接;

所述第二十三晶体管 T23 的栅极与所述第 N 级驱动信号输出端 NS (N) 电连接, 所述第二十三晶体管 T23 的源极与第二低电压端 VGLN 电连接;

所述第二十晶体管 T20 和所述第二十一晶体管 T21 为 p 型晶体管, 所述第二十二晶体管 T22 和所述第二十三晶体管 T23 为 n 型晶体管;

所述第二反相电路包括第二十四晶体管 T24 和第二十五晶体管 T25; 所述第二初始化电路包括第二十六晶体管 T26;

所述第二十四晶体管 T24 的栅极与所述第四节点 N4 电连接, 所述第二十四晶体管 T24 的漏极与所述高电压端 VGHN 电连接, 所述第二十四晶体管 T24 的源极与所述第二十五晶体管 T25 的漏极和所述第 N 级驱动信号输出端 NS (N) 电连接;

所述第二十五晶体管 T25 的栅极与所述第四节点 N4 电连接, 所述第二十五晶体管 T25 的源极与第二低电压端 VGLN 电连接;

所述第二十四晶体管 T24 为 p 型晶体管, 所述第二十五晶体管 T25 为 n 型晶体管;

所述第二十六晶体管 T26 的栅极与所述初始控制端 NCX 电连接, 所述第二十六晶体管 T26 的漏极与所述高电压端 VGHN 电连接, 所述第二十六晶体管 T26 的源极与所述第 N 级驱动信号输出端 NS (N) 电连接;

所述第二十六晶体管 T26 为 p 型晶体管;

所述第一反相电路包括第二十七晶体管 T27 和第二十八晶体管 T28;

所述第二十七晶体管 T27 的栅极与所述控制时钟信号端 NCK 电连接, 所述第二十七晶体管 T27 的漏极与所述高电压端 VGHN 电连接, 所述第二十七晶体管 T27 的源极与所述第二十八晶体管 T28 的漏极和反相时钟信号端 NCKI 电连接;

所述第二十八晶体管 T28 的栅极与所述控制时钟信号端 NCK 电连接, 所述第二十八晶体管 T28 的源极与第二低电压端 VGLN 电连接;

所述第二十七晶体管 T27 为 p 型晶体管, 所述第二十八晶体管 T28 为 n 型晶体管。

在图 29 所示的驱动电路的至少一实施例中, VGLN 提供的第二低电压信号的电压值可以小于 VGL 提供的第一低电压信号的电压值, 以使得当所述 N 级驱动信号输出端 NS (N) 输出低电压信号, 并第一节点 N1 的电位为低电压时, T12 和 T13 能够很好的关断。

在图 29 所示的驱动电路的至少一实施例中, 第一电压端为高电压端 VGHN, 第二电压端为第一低电压端 VGL, 第三电压端为第二低电压端 VGLN。

本公开图 29 所述的驱动电路的至少一实施例在工作时,

1、当 GCK 提供高电压信号时, T19 打开, T20 关闭, GCB 提供低电压信号, T16 打开, T23 关闭, 此时驱动信号生成电路处于传输状态;

当 NS (N) 提供低电压信号时, 打开 T17, 关闭 T18, N6 的电位为高电压, 打开 T25,

关闭 T24, NS (N) 提供低电压信号, NS (N-1) 提供低电压信号;

当 NS (N) 提供高电压信号时, 关闭 T17, 打开 T18, N6 的电位为低电压, 关闭 T25, 打开 T24, NS (N) 和 NS (N-1) 都提供高电压信号;

2、当 GCK 提供低电压信号时, 关闭 T19, 打开 T20, GCB 提供高电压信号, 关闭 T16, 打开 T23, 此时电路处于寄存状态, T21、T22、T23 和 T11 组成锁存电路, N6 的电位与 NS (N) 提供的信号维持之前状态不变;

3、当 NS (N-1) 提供的信号由低电压信号切换为高电压信号时, GCK 提供低电压信号, 关闭 T19, 打开 T20, GCB 提供高电压信号, 关闭 T16, 打开 T23, 此时电路处于寄存状态, T21、T22、T23 和 T11 组成锁存电路, N6 的电位与 NS (N) 提供的信号维持之前的低电压状态不变, 完成移位。在下一个时刻, GCK 提供高电压信号, 打开 T19, 关闭 T20, GCB 提供低电压信号, 打开 T16, 关闭 T23, 此时电路处于传输状态, NS (N-1) 提供高电压信号, 关闭 T17, 打开 T18, N6 的电位为低电压, 关闭 T25, 打开 T24, NS (N) 和 NS (N-1) 都提供高电压信号, 实现 NS (N-1) 向 NS (N) 的移位寄存;

4、当 NS (N-1) 从提供高电压信号切换为提供低电压信号时, GCK 提供低电压信号, 关闭 T19, 打开 T20, GCB 提供高电压信号, 关闭 T16, 打开 T23, 此时电路处于寄存状态, T21、T22、T23 和 T11 组成锁存电路, N6 的电位和 NS (N) 提供的信号维持为之前的高电压状态不变, 完成移位; 在下一个时刻, GCK 提供高电压信号, 打开 T19, 关闭 T20, GCB 提供低电压信号, 打开 T16, 关闭 T23, 此时电路处于传输状态, NS (N-1) 提供低电压信号, 打开 T17, 关闭 T18, N6 的电位为高电压, 打开 T25, 关闭 T24, NS (N) 和 NS (N-1) 都提供低电压信号, 实现 NS (N-1) 向 NS (N) 的移位寄存。

本公开图 29 所示的驱动电路的至少一实施例在工作时,

当 NS (N-1) 提供高电压信号时, 打开 TX1 和 TX2, NS (N) 提供低电压信号时, 打开 TX3 和 TX4, 通过两个信号同时选通, 可以获取一个高低频切换周期 H 内的 VCT 提供的选通输入信号的状态, 并写入第一节点 N1, 然后 TX1、TX2、TX3 和 TX4 在其他时间不会同时打开, 防止 N1 的电位被 VCT 提供的选通输入信号的电位变化影响。T10、T11、T12 和 T13 组成一个与非门, 该与非门的输入信号分别为 NS (N) 提供的信号、N1 的电位, 该与非门的输出端与第二节点 N2 电连接。T24 和 T25 组成第二反相电路, 所述第二反相电路的输入端与第四节点 N4 电连接, 第二反相电路的输出端与 NS (N) 电连接;

如果 VCT 在 TX1、TX2、TX3 和 TX4 打开时提供高电压信号时, N1 会被写入高电压, 该与非门的选通状态可以保证 NS (N) 正常传递给 NO (N);

如果 VCT 在 TX1、TX2、TX3 和 TX4 打开时提供低电压信号时, N1 会被写入低电压, 该与非门处于截止状态, 保证 NO (N) 提供低电压信号, 从而实现 NO (N) 的低电平维持。

可选的, 在开始显示时 (也即在显示装置开机时), 在第一阶段之前的开机阶段, NCX 输出低电压信号, T9 打开, 以控制 N1 的电位为高电压, T26 打开, 以使得 NS (N) 提供

高电压信号；此时，T12 和 T13 都打开，N2 的电位为低电压，T14 导通，T15 关断，NO (N) 输出高电压信号，可以将有效显示区域中的所有像素电路包括的第二显示控制晶体管 M2 都打开，清空存储电容 Cst 中残留的电荷，改善开机屏闪不良；

之后，当 NS (N-1) 输出高电压信号，NS (N) 输出低电压信号时，TX1、TX2、TX3 和 TX4 打开，

当 VCT 提供低电压信号时，N1 的电位为低电压信号，C0 维持 N1 的电位；T11 导通，T10 导通，N2 的电位为高电压，T15 打开，NO (N) 输出低电压信号；

当 VCT 提供高电压信号时，N1 的电位为高电压信号，C0 维持 N1 的电位，T11 关断，T10 导通，N2 的电位为高电压，T15 打开，NO (N) 输出低电压信号；

之后，在第 N 级驱动信号提供阶段，NS (N) 输出高电压信号，

当 N1 的电位为低电压时，T10 关断，T11 打开，N2 的电位为高电压，T15 打开，NO (N) 输出低电压信号；

当 N1 的电位为高电压时，T10 关断，T11 关断，T12 和 T13 导通，N2 的电位为低电压，T14 打开，NO (N) 输出高电压信号；

在第 N 级驱动信号提供阶段之后，NS (N) 输出低电压信号，

当 N1 的电位为低电压信号时，T10 导通，T11 导通，N2 的电位为高电压，NO (N) 输出低电压信号；

当 N1 的电位为高电压信号时，T10 导通，T11 关断，N2 的电位为高电压，NO (N) 输出低电压信号。

本公开图 29 所示的驱动电路的至少一实施例在工作时，当 NS (N-1) 输出高电压信号，NS (N) 输出低电压信号时，TX1、TX2、TX3 和 TX4 打开，通过以上两个信号同时选通，可以获取一个高低频切换周期内的选通输入信号状态。

如图 30 所示，在图 27 所示的驱动电路的至少一实施例的基础上，

所述第一选通电路包括第一个第一选通晶体管 TX11、第一个第二选通晶体管 TX12、第一个第三选通晶体管 TX13 和第一个第四选通晶体管 TX14；

所述第二选通电路包括第二个第一选通晶体管 TX21、第二个第二选通晶体管 TX22、第二个第三选通晶体管 TX23 和第二个第四选通晶体管 TX24；

所述第一个第一选通晶体管 TX11 的栅极接入第 N-1 级驱动信号的反相信号 NSI(N-1)，所述第一个第一选通晶体管 TX11 的漏极与所述第一选通输入端 VCT1 电连接；

所述第一个第二选通晶体管 TX12 的栅极与所述第 N-1 级驱动信号输出端 NS (N-1) 电连接，所述第一个第二选通晶体管 TX12 的漏极与所述第一选通输入端 VCT1 电连接；

所述第一个第三选通晶体管 TX13 的栅极与所述第 N 级驱动信号输出端 NS (N) 电连接，所述第一个第三选通晶体管 TX13 的漏极与所述第一个第一选通晶体管 TX11 的源极电连接，所述第一个第三选通晶体管 TX13 的源极与所述第一个第一节点 N11 电连接；

所述第一个第四选通晶体管 TX14 的栅极接入第 N 级驱动信号的反相信号 NSI (N)，

所述第一个第四选通晶体管 TX14 的漏极与所述第一个第二选通晶体管 TX12 的源极电连接, 所述第一个第四选通晶体管 TX14 的源极与所述第一个第一节点 N11 电连接;

所述第一个第一选通晶体管 TX11 为 p 型晶体管, 所述第一个第二选通晶体管 TX12 为 n 型晶体管, 所述第一个第三选通晶体管 TX13 为 p 型晶体管, 所述第一个第四选通晶体管 TX14 为 n 型晶体管;

所述第二个第一选通晶体管 TX21 的栅极接入第 N-1 级驱动信号的反相信号 NSI(N-1), 所述第二个第一选通晶体管 TX21 的漏极与所述第二选通输入端 VCT2 电连接;

所述第二个第二选通晶体管 TX22 的栅极与所述第 N-1 级驱动信号输出端 NS(N-1) 电连接, 所述第二个第二选通晶体管 TX22 的漏极与所述第二选通输入端 VCT2 电连接;

所述第二个第三选通晶体管 TX23 的栅极与所述第 N 级驱动信号输出端 NS(N) 电连接, 所述第二个第三选通晶体管 TX23 的漏极与所述第二个第一选通晶体管 TX21 的源极电连接, 所述第二个第三选通晶体管 TX23 的源极与所述第二个第一节点 N21 电连接;

所述第二个第四选通晶体管 TX24 的栅极接入第 N 级驱动信号的反相信号 NSI(N), 所述第二个第四选通晶体管 TX24 的漏极与所述第二个第二选通晶体管 TX22 的源极电连接, 所述第二个第四选通晶体管 TX24 的源极与所述第二个第一节点 N21 电连接;

所述第二个第一选通晶体管 TX21 为 p 型晶体管, 所述第二个第二选通晶体管 TX22 为 n 型晶体管, 所述第二个第三选通晶体管 TX23 为 p 型晶体管, 所述第二个第四选通晶体管 TX24 为 n 型晶体管;

所述第一复位电路包括第一个第一晶体管 T011 和第一个第二晶体管 T012;

所述第一个第一晶体管 T011 的栅极与所述第 N-1 级驱动信号输出端 NS(N-1) 电连接, 所述第一个第一晶体管 T011 的漏极与高电压端 VGHN 电连接, 所述第一个第一晶体管 T011 的源极与所述第一个第二晶体管 T012 的漏极电连接;

所述第一个第二晶体管 T012 的栅极与所述第 N 级驱动信号输出端 NS(N) 电连接, 所述第一个第二晶体管 T012 的源极与所述第一个第一节点 N11 电连接;

T011 和 T012 为 p 型晶体管;

所述第二复位电路包括第二个第一晶体管 T021 和第二个第二晶体管 T022;

所述第二个第一晶体管 T021 的栅极与所述第 N-1 级驱动信号输出端 NS(N-1) 电连接, 所述第二个第一晶体管 T021 的漏极与高电压端 VGHN 电连接, 所述第二个第一晶体管 T021 的源极与所述第二个第二晶体管 T022 的漏极电连接;

所述第二个第二晶体管 T022 的栅极与所述第 N 级驱动信号输出端 NS(N) 电连接, 所述第二个第二晶体管 T022 的源极与所述第二个第一节点 N21 电连接;

T021 和 T022 为 p 型晶体管;

所述第一个第一初始化电路包括第一个第九晶体管 T019;

所述第一个第九晶体管 T019 的栅极与所述初始控制端 NCX 电连接, 所述第一个第九晶体管 T019 的漏极与所述高电压端 VGHN 电连接, 所述第一个第九晶体管 T019 的源极

与所述第一个第一节点 N11 电连接；

T019 为 p 型晶体管；

所述第一个第一电压维持电路包括第一电容 C1；所述第二个第一电压维持电路包括第二电容 C2；

所述第一电容 C1 的第一端与所述第一个第一节点 N11 电连接，所述第一电容 C1 的第二端与第一低电压端 VGL 电连接；

所述第二电容 C2 的第一端与所述第二个第一节点 N21 电连接，所述第二电容 C2 的第二端与第一低电压端 VGL 电连接；

所述第一输出控制电路包括第一个第十晶体管 T110、第一个第十一晶体管 T111、第一个第十二晶体管 T112 和第一个第十三晶体管 T113；

所述第一个第十晶体管 T110 的栅极与所述第一个第一节点 N11 电连接，所述第一个第十晶体管 T110 的漏极与所述高电压端 VGHN 电连接，所述第一个第十晶体管 T110 的源极与第一个第二节点 N12 电连接；

所述第一个第十一晶体管 T111 的栅极与所述第 N 级驱动信号输出端 NS(N) 电连接，所述第一个第十一晶体管 T111 的漏极与所述高电压端 VGHN 电连接，所述第一个第十一晶体管 T111 的源极所述第一个第二节点 N12 电连接；

所述第一个第十二晶体管 T112 的栅极与所述第一个第一节点 N11 电连接，所述第一个第十二晶体管 T112 的漏极与所述第一个第二节点 N12 电连接，所述第一个第十二晶体管 T112 的源极与所述第一个第十三晶体管 T113 的漏极电连接；

所述第一个第十三晶体管 T113 的栅极与所述第 N 级驱动信号输出端 NS(N) 电连接，所述第一个第十三晶体管 T113 的源极与第一低电压端 VGL 电连接；

所述第一个第十晶体管 T110 和所述第一个第十一晶体管 T111 为 p 型晶体管，所述第一个第十二晶体管 T112 和所述第一个第十三晶体管 T113 为 n 型晶体管；

所述第一输出电路包括第一个第十四晶体管 T114 和第一个第十五晶体管 T115；

所述第一个第十四晶体管 T114 的栅极与第一个第二节点 N12 电连接，所述第一个第十四晶体管 T114 的漏极与高电压端 VGHN 电连接，所述第一个第十四晶体管 T114 的源极与第一输出驱动端 NO1(N) 电连接；

所述第一个第十五晶体管 T115 的栅极与所述第一个第二节点 N12 电连接，所述第一个第十五晶体管 T115 的漏极与所述第一输出驱动端 NO1(N) 电连接，所述第一个第十五晶体管 T115 的源极与第一低电压端 VGL 电连接；

T114 为 p 型晶体管，T115 为 p 型晶体管；

所述第一个第一初始化电路包括第一个第九晶体管 T019；

所述第一个第九晶体管 T019 的栅极与所述初始控制端 NCX 电连接，所述第一个第九晶体管 T019 的漏极与所述高电压端 VGHN 电连接，所述第一个第九晶体管 T019 的源极与所述第一个第一节点 N11 电连接；

T019 为 p 型晶体管；

所述第二个第一初始化电路包括第二个第九晶体管 T029；

所述第二个第九晶体管 T029 的栅极与所述初始控制端 NCX 电连接，所述第二个第九晶体管 T029 的漏极与所述高电压端 VGHN 电连接，所述第二个第九晶体管 T029 的源极与所述第二个第一节点 N21 电连接；

T029 为 p 型晶体管；

所述第一个第一电压维持电路包括第一电容 C1；所述第二个第一电压维持电路包括第二电容 C2；

所述第一电容 C1 的第一端与所述第一个第一节点 N11 电连接，所述第一电容 C1 的第二端与第一低电压端 VGL 电连接；

所述第二电容 C2 的第一端与所述第二个第一节点 N21 电连接，所述第二电容 C2 的第二端与第一低电压端 VGL 电连接；

所述第一输出控制电路包括第一个第十晶体管 T110、第一个第十一晶体管 T111、第一个第十二晶体管 T112 和第一个第十三晶体管 T113；

所述第一个第十晶体管 T110 的栅极与所述第一个第一节点 N11 电连接，所述第一个第十晶体管 T110 的漏极与所述高电压端 VGHN 电连接，所述第一个第十晶体管 T110 的源极与第一个第二节点 N12 电连接；

所述第一个第十一晶体管 T111 的栅极与所述第 N 级驱动信号输出端 NS(N) 电连接，所述第一个第十一晶体管 T111 的漏极与所述高电压端 VGHN 电连接，所述第一个第十一晶体管 T111 的源极与第一个第二节点 N12 电连接；

所述第一个第十二晶体管 T112 的栅极与所述第一个第一节点 N11 电连接，所述第一个第十二晶体管 T112 的漏极与所述第一个第二节点 N12 电连接，所述第一个第十二晶体管 T112 的源极与所述第一个第十三晶体管 T113 的漏极电连接；

所述第一个第十三晶体管 T113 的栅极与所述第 N 级驱动信号输出端 NS(N) 电连接，所述第一个第十三晶体管 T113 的源极与第一低电压端 VGL 电连接；

所述第一个第十晶体管 T110 和所述第一个第十一晶体管 T111 为 p 型晶体管，所述第一个第十二晶体管 T112 和所述第一个第十三晶体管 T113 为 n 型晶体管；

所述第一输出电路包括第一个第十四晶体管 T114 和第一个第十五晶体管 T115；

所述第一个第十四晶体管 T114 的栅极与第一个第二节点 N12 电连接，所述第一个第十四晶体管 T114 的漏极与高电压端 VGHN 电连接，所述第一个第十四晶体管 T114 的源极与第一输出驱动端 NO1(N) 电连接；

所述第一个第十五晶体管 T115 的栅极与所述第一个第二节点 N12 电连接，所述第一个第十五晶体管 T115 的漏极与所述第一输出驱动端 NO1(N) 电连接，所述第一个第十五晶体管 T115 的源极与第一低电压端 VGL 电连接；

T114 为 p 型晶体管，T115 为 p 型晶体管；

所述第二输出控制电路包括第二个第十晶体管 T210、第二个第十一晶体管 T211、第二个第十二晶体管 T212 和第二个第十三晶体管 T213；

所述第二个第十晶体管 T210 的栅极与所述第二个第一节点 N21 电连接，所述第二个第十晶体管 T210 的漏极与所述高电压端 VGHN 电连接，所述第二个第十晶体管 T210 的源极与第二个第二节点 N22 电连接；

所述第二个第十一晶体管 T211 的栅极与所述第 N 级驱动信号输出端 NS(N) 电连接，所述第二个第十一晶体管 T211 的漏极与所述高电压端 VGHN 电连接，所述第二个第十一晶体管 T211 的源极与第二个第二节点 N22 电连接；

所述第二个第十二晶体管 T212 的栅极与所述第二个第一节点 N21 电连接，所述第二个第十二晶体管 T212 的漏极与所述第二个第二节点 N22 电连接，所述第二个第十二晶体管 T212 的源极与所述第二个第十三晶体管 T213 的漏极电连接；

所述第二个第十三晶体管 T213 的栅极与所述 N 级驱动信号输出端 NS(N) 电连接，所述第二个第十三晶体管 T213 的源极与第一低电压端 VGL 电连接；

所述第二个第十晶体管 T210 和所述第二个第十一晶体管 T211 为 p 型晶体管，所述第二个第十二晶体管 T212 和所述第二个第十三晶体管 T213 为 n 型晶体管；

所述第二输出电路包括第二个第十四晶体管 T214 和第二个第十五晶体管 T215；

所述第二个第十四晶体管 T214 的栅极与第二个第二节点 N22 电连接，所述第二个第十四晶体管 T214 的漏极与高电压端 VGHN 电连接，所述第二个第十四晶体管 T214 的源极与第二输出驱动端 NO2(N) 电连接；

所述第二个第十五晶体管 T215 的栅极与所述第二个第二节点 N22 电连接，所述第二个第十五晶体管 T215 的漏极与所述第二输出驱动端 NO2(N) 电连接，所述第二个第十五晶体管 T215 的源极与第一低电压端 VGL 电连接；

T114 为 p 型晶体管，T115 为 p 型晶体管；

所述第一驱动控制电路包括第十六晶体管 T16、第十七晶体管 T17、第十八晶体管 T18 和第十九晶体管 T19；

所述第十六晶体管 T16 的栅极与所述反相时钟信号端 NCKI 电连接，所述第十六晶体管 T16 的漏极与所述高电压端 VGHN 电连接，所述第十六晶体管 T16 的源极与所述第十七晶体管 T17 的漏极电连接；

所述第十七晶体管 T17 的栅极与所述第 N-1 级驱动信号输出端 NS(N-1) 电连接，所述第十七晶体管 T17 的源极与所述第四节点 N4 电连接；

所述第十八晶体管 T18 的栅极与所述第 N-1 级驱动信号输出端 NS(N-1) 电连接，所述第十八晶体管 T18 的漏极与所述第四节点 N4 电连接，所述第十八晶体管 T18 的源极与所述第十九晶体管 T19 的漏极电连接；

所述第十九晶体管 T19 的栅极与所述控制时钟信号端 NCK 电连接，所述第十九晶体管 T19 的源极与第二低电压端 LVGL 电连接；

所述第十六晶体管 T16 和所述第十七晶体管 T17 为 p 型晶体管, 所述第十八晶体管 T18 和所述第十九晶体管 T19 为 n 型晶体管;

所述第二驱动控制电路包括第二十晶体管 T20、第二十一晶体管 T21、第二十二晶体管 T22 和第二十三晶体管 T23;

所述第二十晶体管 T20 的栅极与所述控制时钟信号端 NCK 电连接, 所述第二十晶体管 T20 的漏极与高电压端 VGHN 电连接, 所述第二十晶体管 T20 的源极与所述第二十一晶体管 T21 的漏极电连接;

所述第二十一晶体管 T21 的栅极与所述第 N 级驱动信号输出端 NS (N) 电连接, 所述第二十一晶体管 T21 的源极与所述第四节点 N4 电连接;

所述第二十二晶体管 T22 的栅极与所述第 N 级驱动信号输出端 NS (N) 电连接, 所述第二十二晶体管 T22 的漏极与所述第四节点 N4 电连接, 所述第二十二晶体管 T22 的源极与所述第二十三晶体管 T23 的漏极电连接;

所述第二十三晶体管 T23 的栅极与所述反相时钟信号端 NCKI 电连接, 所述第二十三晶体管 T23 的源极与第二低电压端 VGLN 电连接;

所述第二十晶体管 T20 和所述第二十一晶体管 T21 为 p 型晶体管, 所述第二十二晶体管 T22 和所述第二十三晶体管 T23 为 n 型晶体管;

所述第二反相电路包括第二十四晶体管 T24 和第二十五晶体管 T25; 所述第二初始化电路包括第二十六晶体管 T26;

所述第二十四晶体管 T24 的栅极与所述第四节点 N4 电连接, 所述第二十四晶体管 T24 的漏极与所述高电压端 VGHN 电连接, 所述第二十四晶体管 T24 的源极与所述第二十五晶体管 T25 的漏极和所述第 N 级驱动信号输出端 NS (N) 电连接;

所述第二十五晶体管 T25 的栅极与所述第四节点 N4 电连接, 所述第二十五晶体管 T25 的源极与第二低电压端 VGLN 电连接;

所述第二十四晶体管 T24 为 p 型晶体管, 所述第二十五晶体管 T25 为 n 型晶体管;

所述第二十六晶体管 T26 的栅极与所述初始控制端 NCX 电连接, 所述第二十六晶体管 T26 的漏极与所述高电压端 VGHN 电连接, 所述第二十六晶体管 T26 的源极与所述第 N 级驱动信号输出端 NS (N) 电连接;

所述第二十六晶体管 T26 为 p 型晶体管;

所述第一反相电路包括第二十七晶体管 T27 和第二十八晶体管 T28;

所述第二十七晶体管 T27 的栅极与所述控制时钟信号端 NCK 电连接, 所述第二十七晶体管 T27 的漏极与所述高电压端 VGHN 电连接, 所述第二十七晶体管 T27 的源极与所述第二十八晶体管 T28 的漏极和反相时钟信号端 NCKI 电连接;

所述第二十八晶体管 T28 的栅极与所述控制时钟信号端 NCK 电连接, 所述第二十八晶体管 T28 的源极与第二低电压端 VGLN 电连接;

所述第二十七晶体管 T27 为 p 型晶体管, 所述第二十八晶体管 T28 为 n 型晶体管。

在图 30 所示的驱动电路的至少一实施例中，VGLN 提供的第二低电压信号的电压值可以小于 VGL 提供的第一低电压信号的电压值，以使得当所述 N 级驱动信号输出端 NS (N) 输出低电压信号，并第一节点 N1 的电位为低电压时，T12 和 T13 能够很好的关断。

图 31 是图 30 所示的驱动电路的至少一实施例的工作时序图。

在图 30 所示的驱动电路的至少一实施例中，VCT1 和 VCT2 可以独立写入控制信号，实现 NO1 (N) 和 NO2 (N) 的单独输出控制。

在图 32 中，标号为 NO1 (1) 的为第一级第一输出驱动端，标号为 NO1 (2) 的为第二级第一输出驱动端，标号为 NO1 (3) 的为第三级第一输出驱动端，标号为 NO1 (4) 的为第四级第一输出驱动端，标号为 NO1 (5) 的为第五级第一输出驱动端，标号为 NO1 (6) 的为第六级第一输出驱动端，标号为 NO1 (7) 的为第七级第一输出驱动端，标号为 NO1 (8) 的为第八级第一输出驱动端，标号为 NO1 (9) 的为第九级第一输出驱动端，标号为 NO1 (10) 的为第十级第一输出驱动端，标号为 NO1 (11) 的为第十一级第一输出驱动端，标号为 NO1 (12) 的为第十二级第一输出驱动端；

标号为 NO2 (1) 的为第一级第二输出驱动端，标号为 NO2 (2) 的为第二级第二输出驱动端，标号为 NO2 (3) 的为第三级第二输出驱动端，标号为 NO2 (4) 的为第四级第二输出驱动端，标号为 NO2 (5) 的为第五级第二输出驱动端，标号为 NO2 (6) 的为第六级第二输出驱动端，标号为 NO2 (7) 的为第七级第二输出驱动端，标号为 NO2 (8) 的为第八级第二输出驱动端，标号为 NO2 (9) 的为第九级第二输出驱动端，标号为 NO2 (10) 的为第十级第二输出驱动端，标号为 NO2 (11) 的为第十一级第二输出驱动端，标号为 NO2 (12) 的为第十二级第二输出驱动端。

如图 33 所示，第二电压维持电路的至少一实施例可以包括维持控制电路、第一反相器和第二反相器；

所述维持控制电路可以包括第三晶体管 T3 和第四晶体管 T4；

所述第三晶体管 T3 的栅极与第 N-1 级驱动信号端 NS (N-1) 电连接，所述第三晶体管 T3 的漏极与所述第一节点 N1 电连接，所述第三晶体管 T3 的源极与第三节点 N3 电连接；

所述第四晶体管 T4 的栅极与控制时钟信号端电连接，所述第四晶体管 T4 的漏极与所述第三节点 N3 电连接，所述第四晶体管 T4 的源极与所述第一节点 N1 电连接；

所述第三晶体管 T3 为 p 型晶体管，所述第四晶体管 T4 为 n 型晶体管；

所述第一反相器包括第五晶体管 T5 和第六晶体管 T6，所述第二反相器包括第七晶体管 T7 和第八晶体管 T8；

所述第五晶体管 T5 的栅极与所述第一节点 N1 电连接，所述第五晶体管 T5 的漏极与高电压端 VGHN 电连接，所述第五晶体管 T5 的源极与第二节点 N2 电连接；

所述第六晶体管 T6 的栅极与所述第一节点 N1 电连接，所述第六晶体管 T6 的漏极与所述第二节点 N2 电连接，所述第六晶体管 T6 的源极与第一低电压端 VGL 电连接；

所述第五晶体管 T5 为 p 型晶体管，所述第六晶体管 T6 为 n 型晶体管；

所述第七晶体管 T7 的栅极与所述第二节点 N2 电连接，所述第七晶体管 T7 的漏极与所述高电压端 VGHN 电连接，所述第七晶体管 T7 的源极与第三节点 N3 电连接；

所述第八晶体管 T8 的栅极与所述第二节点 N2 电连接，所述第八晶体管 T8 的漏极与所述第三节点 N3 电连接，所述第八晶体管 T8 的源极与第一低电压端 VGL 电连接；

所述第七晶体管 T7 为 p 型晶体管，所述第八晶体管 T8 为 n 型晶体管。

在图 33 所示的第二电压维持电路的至少一实施例中，所述所述第三晶体管 T3 的栅极可以被替换为与反相时钟信号端 NCKI 或第一时钟信号端电连接。

在本公开至少一实施例中，由于 p 型晶体管在传递低电压时有阈值电压损失，n 型晶体管在传递高电压时有阈值电压损失，则 N1 的电位的绝对值会较低，则可以通过第一反相器和第二反相器控制 N1 的电位的绝对值升高，从而能够更好的控制输出电路中的相应的晶体管导通或关断，维持控制电路控制在各选通晶体管打开时，控制 N1 与 N3 之间断开，以不会影响 N1 的电位的写入。

本公开至少一实施例所述的驱动方法，应用于上述的驱动电路，所述驱动方法包括：

驱动信号生成电路在控制时钟信号的控制下，对第 N-1 级驱动信号进行移位操作，得到并通过第 N 级驱动信号输出端输出第 N 级驱动信号；

第 m 选通电路在第 m 选通控制信号的控制下，控制将第 m 选通输入信号写入第 m 个第一节点；

第 m 输出控制电路对所述第 N 级驱动信号和所述第 m 输出控制电路的第二端的电位进行与非操作，得到第 m 个第一输出信号；

第 m 输出电路用于对所述第 m 个第一输出信号进行反相，得到并通过第 m 输出驱动端提供第 m 输出驱动信号；

M 为正整数；m 为小于或等于 M 的正整数，N 为正整数。

本公开实施例所述的显示装置包括上述的驱动电路。

以上所述是本公开的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本公开所述原理的前提下，还可以作出若干改进和润饰，这些改进和润饰也应视为本公开的保护范围。

权 利 要 求 书

1、一种驱动电路，包括驱动信号生成电路、 M 个输出驱动端和 M 个控制电路；第 m 控制电路包括第 m 选通电路、第 m 输出控制电路和第 m 输出电路； M 为正整数； m 为小于或等于 M 的正整数；

所述驱动信号生成电路分别与控制时钟信号端、第 $N-1$ 级驱动信号输出端和第 N 级驱动信号输出端电连接，用于在所述控制时钟信号端提供的控制时钟信号的控制下，对所述第 $N-1$ 级驱动信号输出端提供的第 $N-1$ 级驱动信号进行移位操作，得到并通过第 N 级驱动信号输出端输出第 N 级驱动信号；

第 m 选通电路分别与第 m 个第一节点、第 m 选通输入端和第 m 选通控制端电连接，用于在所述第 m 选通控制端提供的第 m 选通控制信号的控制下，控制将所述第 m 选通输入端提供的第 m 选通输入信号写入所述第 m 个第一节点；

所述第 m 输出控制电路的第一端与所述第 N 级驱动信号输出端电连接，所述第 m 输出控制电路的第二端与所述第 m 个第一节点电连接，用于对所述第 N 级驱动信号和所述第 m 输出控制电路的第二端的电位进行与非操作，得到第 m 个第一输出信号；

所述第 m 输出电路用于对所述第 m 个第一输出信号进行反相，得到并通过第 m 输出驱动端提供第 m 输出驱动信号；

N 为正整数。

2、如权利要求 1 所述的驱动电路，其中，还包括第一反相电路；

所述第一反相电路分别与所述控制时钟信号端和反相时钟信号端电连接，用于对所述控制时钟信号进行反相，得到反相时钟信号，并通过所述反相时钟信号端输出所述反相时钟信号；

所述驱动信号生成电路还与所述反相时钟信号端电连接，还用于在所述反相时钟信号的控制下，对所述第 $N-1$ 级驱动信号输出端提供的第 $N-1$ 级驱动信号进行移位操作，得到并通过第 N 级驱动信号输出端输出第 N 级驱动信号。

3、如权利要求 1 所述的驱动电路，其中，所述第 m 选通电路用于在第 $N-1$ 级驱动信号的电位为第一电压，并第 N 级驱动信号的电位为第二电压时，控制将所述第 m 选通输入端提供的第 m 选通输入信号写入所述第 m 个第一节点。

4、如权利要求 1 所述的驱动电路，其中，所述第 m 选通控制端包括第 m 个第一控制端、第 m 个第二控制端、第 m 个第三控制端和第 m 个第四控制端，所述第 m 选通电路包括第 m 个第一选通晶体管、第 m 个第二选通晶体管、第 m 个第三选通晶体管和第 m 个第四选通晶体管；

所述第 m 个第一选通晶体管的栅极与所述第 m 个第一控制端电连接，所述第 m 个第一选通晶体管的第一极与所述第 m 选通输入端电连接；

所述第 m 个第二选通晶体管的栅极与所述第 m 个第二控制端电连接，所述第 m 个第

二选通晶体管的第一极与所述第 m 选通输入端电连接；

所述第 m 个第三选通晶体管的栅极与所述第 m 个第三控制端电连接，所述第 m 个第三选通晶体管的第一极与所述第 m 个第一选通晶体管的第二极电连接，所述第 m 个第三选通晶体管的第二极与所述第 m 个第一节点电连接；

所述第 m 个第四选通晶体管的栅极与所述第 m 个第四控制端电连接，所述第 m 个第四选通晶体管的第一极与所述第 m 个第二选通晶体管的第二极电连接，所述第 m 个第四选通晶体管的第二极与所述第 m 个第一节点电连接；

所述第 m 个第一选通晶体管为 p 型晶体管，所述第 m 个第二选通晶体管为 n 型晶体管，所述第 m 个第三选通晶体管为 p 型晶体管，所述第 m 个第四选通晶体管为 n 型晶体管；

所述第 m 个第一控制端接入第 $N-1$ 级驱动信号的反相信号，所述第 m 个第二控制端为第 $N-1$ 级驱动信号输出端，所述第 m 个第三控制端为第 N 级驱动信号输出端，所述第 m 个第四控制端接入第 N 级驱动信号的反相信号；或者，所述第 m 个第一控制端接入第 N 级驱动信号的反相信号，所述第 m 个第二控制端为第 N 级驱动信号输出端，所述第 m 个第三控制端为第 $N-1$ 级驱动信号输出端，所述第 m 个第四控制端接入第 $N-1$ 级驱动信号的反相信号。

5、如权利要求 4 所述的驱动电路，其中，所述第 m 个第一选通晶体管的第二极与所述第 m 个第二选通晶体管的第二极电连接。

6、如权利要求 1 所述的驱动电路，其中，所述第 m 选通电路包括第 m 个第一选通晶体管；

所述第 m 个第一选通晶体管的栅极与所述第 m 选通控制端电连接，所述第 m 个第一选通晶体管的第一极与所述第 m 个第一节点电连接，所述第 m 个第一选通晶体管的第二极与所述第 m 选通输入端电连接。

7、如权利要求 1 所述的驱动电路，其中，所述第 m 选通控制端包括第 m 个第一控制端和第 m 个第二控制端；所述第 m 选通电路包括第 m 个第一选通晶体管和第 m 个第二选通晶体管；

所述第 m 个第一选通晶体管的栅极与第 m 个第一控制端电连接，所述第 m 个第一选通晶体管的第一极与所述第 m 个第一节点电连接，所述第 m 个第一选通晶体管的第二极与所述第 m 个第二选通晶体管的第一极电连接；

所述第 m 个第二选通晶体管的栅极与第 m 个第二控制端电连接，所述第 m 个第二选通晶体管的第二极与所述第 m 选通输入端电连接；

所述第 m 个第一控制端为第 $N-1$ 级驱动信号输出端，所述第 m 个第二控制端为第 N 级驱动信号输出端，第 m 个第一选通晶体管为 n 型晶体管，第 m 个第二选通晶体管为 p 型晶体管；或者，

所述第 m 个第一控制端为第 N 级驱动信号输出端，所述第 m 个第二控制端为第 $N-1$

级驱动信号输出端，第 m 个第一选通晶体管为 p 型晶体管，第 m 个第二选通晶体管为 n 型晶体管；或者，

所述第 m 个第一控制端接入第 $N-1$ 级驱动信号的反相信号，所述第 m 个第二控制端为第 N 级驱动信号输出端，所述第 m 个第一选通晶体管和所述第 m 个第二选通晶体管都为 p 型晶体管；或者，

所述第 m 个第一控制端为第 N 级驱动信号输出端，所述第 m 个第二控制端接入第 $N-1$ 级驱动信号的反相信号；所述第 m 个第一选通晶体管和所述第 m 个第二选通晶体管都为 p 型晶体管；或者，

所述第 m 个第一控制端为第 $N-1$ 级驱动信号端，所述第 m 个第二控制端接入第 N 级驱动信号的反相信号，所述第 m 个第一选通晶体管和所述第 m 个第二选通晶体管都为 n 型晶体管；或者，

所述第 m 个第一控制端接入第 N 级驱动信号的反相信号，所述第 m 个第二控制端为第 $N-1$ 级驱动信号端，所述第 m 个第一选通晶体管和所述第 m 个第二选通晶体管都为 n 型晶体管。

8、如权利要求 1 所述的驱动电路，其中，所述第 m 控制电路还包括第 m 个第一初始化电路；

所述第 m 个第一初始化电路分别与初始控制端、第一电压端和第 m 个第一节点电连接，用于在所述初始控制端提供的初始控制信号的控制下，控制所述第 m 个第一节点与所述第一电压端之间连通。

9、如权利要求 1 所述的驱动电路，其中，所述第 m 控制电路还包括第 m 复位电路；

所述第 m 复位电路分别与第一电压端、第 $N-1$ 级驱动信号输出端、第 N 级驱动信号输出端和第 m 个第一节点电连接，用于在第 N 级驱动信号和所述第 $N-1$ 级驱动信号输出端提供的第 $N-1$ 级驱动信号的控制下，控制所述第 m 个第一节点与所述第一电压端之间连通。

10、如权利要求 1 所述的驱动电路，其中，所述第 m 控制电路还包括第 m 个第一电压维持电路；

所述第 m 个第一电压维持电路的第一端与所述第 m 个第一节点电连接，所述第 m 个第一电压维持电路的第二端与直流电压端电连接，所述第 m 电压维持电路用于维持第 m 个第一节点的电位。

11、如权利要求 1 所述的驱动电路，其中，所述第 m 控制电路还包括第 m 个第二电压维持电路；所述第 m 个第一节点通过所述第 m 个第二电压维持电路与所述第 m 输出控制电路的第二端电连接；

所述第 m 个第二电压维持电路包括第 m 个第一反相器、第 m 个第二反相器和第 m 维持控制电路；

所述第 m 个第一反相器的输入端与所述第 m 个第一节点电连接，所述第 m 个第一反

相器的输出端与第 m 个第二节点电连接, 所述第 m 个第二反相器的输入端与所述第 m 个第二节点电连接, 所述第 m 个第二反相器的输出端与第 m 个第三节点和所述第 m 输出控制电路的第二端电连接;

所述第 m 个第一反相器用于对所述第 m 个第一节点的电位进行反相, 并通过第 m 个第一反相器的输出端输出反相后的第 m 个第一节点的电位, 所述第 m 个第二反相器用于对其输入端的电位进行反相, 并通过所述第 m 个第二反相器的输出端输出反相后的电位;

所述第 m 维持控制电路分别与第 m 维持控制端、所述第 m 个第三节点和所述第 m 个第一节点电连接, 用于在所述第 m 维持控制端提供的第 m 维持控制信号的控制下, 控制所述第 m 个第三节点与所述第 m 个第一节点之间连通或断开。

12、如权利要求 2 所述的驱动电路, 其中, 所述第 m 复位电路包括第 m 个第一晶体管和第 m 个第二晶体管;

所述第 m 个第一晶体管的栅极与所述第 $N-1$ 级驱动信号输出端电连接, 所述第 m 个第一晶体管的第一极与第一电压端电连接, 所述第 m 个第一晶体管的第二极与所述第 m 个第二晶体管的第一极电连接;

所述第 m 个第二晶体管的栅极与所述第 N 级驱动信号输出端电连接, 所述第 m 个第二晶体管的第二极与所述第 m 个第一节点电连接。

13、如权利要求 11 所述的驱动电路, 其中, 所述第 m 维持控制端包括第 m 个第一维持控制端和第 m 个第二维持控制端;

所述第 m 维持控制电路包括第 m 个第三晶体管和第 m 个第四晶体管;

所述第 m 个第三晶体管的栅极与所述第 m 个第一维持控制端电连接, 所述第 m 个第三晶体管的第一极与所述第 m 个第一节点电连接, 所述第 m 个第三晶体管的第二极与所述第 m 个第三节点电连接;

所述第 m 个第四晶体管的栅极与第 m 个第二维持控制端电连接, 所述第 m 个第四晶体管的第一极与所述第 m 个第三节点电连接, 所述第 m 个第四晶体管的第二极与所述第 m 个第一节点电连接;

所述第 m 个第三晶体管为 p 型晶体管, 所述第 m 个第四晶体管为 n 型晶体管;

所述第 m 个第一维持控制端为第 $N-1$ 级驱动信号端, 所述第 m 个第二维持控制端为控制时钟信号端; 或者,

所述第 m 个第一维持控制端为反相时钟信号端, 所述第 m 个第二维持控制端为控制时钟信号端。

14、如权利要求 11 所述的驱动电路, 其中, 所述第 m 个第一反相器包括第 m 个第五晶体管和第 m 个第六晶体管, 所述第 m 个第二反相器包括第 m 个第七晶体管和第 m 个第八晶体管;

所述第 m 个第五晶体管的栅极与所述第 m 个第一节点电连接, 所述第 m 个第五晶体管的第一极与第一电压端电连接, 所述第 m 个第五晶体管的第二极与第 m 个第二节点电

连接；

所述第 m 个第六晶体管的栅极与所述第 m 个第一节点电连接，所述第 m 个第六晶体管的第一极与所述第 m 个第二节点电连接，所述第 m 个第六晶体管的第二极与第二电压端电连接；

所述第 m 个第五晶体管为 p 型晶体管，所述第 m 个第六晶体管为 n 型晶体管；

所述第 m 个第七晶体管的栅极与所述第 m 个第二节点电连接，所述第 m 个第七晶体管的第一极与所述第一电压端电连接，所述第 m 个第七晶体管的第二极与第 m 个第三节点电连接；

所述第 m 个第八晶体管的栅极与所述第 m 个第二节点电连接，所述第 m 个第八晶体管的第一极与所述第 m 个第三节点电连接，所述第 m 个第八晶体管的第二极与第二电压端电连接；

所述第 m 个第七晶体管为 p 型晶体管，所述第 m 个第八晶体管为 n 型晶体管。

15、如权利要求 8 所述的驱动电路，其中，所述第 m 个第一初始化电路包括第 m 个第九晶体管；

所述第 m 个第九晶体管的栅极与所述初始控制端电连接，所述第 m 个第九晶体管的第一极与所述第一电压端电连接，所述第 m 个第九晶体管的第二极与所述第 m 个第一节点电连接。

16、如权利要求 10 所述的驱动电路，其中，所述第 m 个第一电压维持电路包括第 m 电容；

所述第 m 电容的第一端与所述第 m 个第一节点电连接，所述第 m 电容的第二端与直流电压端电连接。

17、如权利要求 1 至 16 中任一权利要求所述的驱动电路，其中，所述第 m 输出控制电路包括第 m 个第十晶体管、第 m 个第十一晶体管、第 m 个第十二晶体管和第 m 个第十三晶体管；

所述第 m 个第十晶体管的栅极与所述第 m 个第一节点电连接，所述第 m 个第十晶体管的第一极与第一电压端电连接，所述第 m 个第十晶体管的第二极与第 m 个第二节点电连接；

所述第 m 个第十一晶体管的栅极与所述第 N 级驱动信号输出端电连接，所述第 m 个第十一晶体管的第一极与所述第一电压端电连接，所述第 m 个第十一晶体管的第二极所述第 m 个第二节点电连接；

所述第 m 个第十二晶体管的栅极与所述第 m 个第一节点电连接，所述第 m 个第十二晶体管的第一极与所述第 m 个第二节点电连接，所述第 m 个第十二晶体管的第二极与所述第 m 个第十三晶体管的第一极电连接；

所述第 m 个第十三晶体管的栅极与所述第 N 级驱动信号输出端电连接，所述第 m 个第十三晶体管的第二极与第二电压端电连接；

所述第 m 个第十晶体管和所述第 m 个第十一晶体管为 p 型晶体管, 所述第 m 个第十二晶体管和所述第 m 个第十三晶体管为 n 型晶体管。

18、如权利要求 1 至 16 中任一权利要求所述的驱动电路, 其中, 所述第 m 输出电路包括第 m 个第十四晶体管和第 m 个第十五晶体管;

所述第 m 个第十四晶体管的栅极与第 m 个第二节点电连接, 所述第 m 个第十四晶体管的第一极与第一电压端电连接, 所述第 m 个第十四晶体管的第二极与第 m 输出驱动端电连接;

所述第 m 个第十五晶体管的栅极与所述第 m 个第二节点电连接, 所述第 m 个第十五晶体管的第一极与所述第 m 输出驱动端电连接, 所述第 m 个第十五晶体管的第二极与第二电压端电连接。

19、如权利要求 2 至 16 中任一权利要求所述的驱动电路, 其中, 所述驱动信号生成电路包括第一驱动控制电路、第二驱动控制电路、第二反相电路和第二初始化电路;

所述第一驱动控制电路分别与所述控制时钟信号端、反相时钟信号端、第 $N-1$ 级驱动信号输出端和第四节点电连接, 用于在所述控制时钟信号端提供的控制时钟信号和所述反相时钟信号端提供的反相时钟信号的控制下, 对所述第 $N-1$ 级驱动信号输出端提供的第 $N-1$ 驱动信号进行移位并反相, 得到并通过所述第四节点输出反相后的信号;

所述第二驱动控制电路分别与所述控制时钟信号端、所述反相时钟信号端、第 N 级驱动信号输出端和所述第四节点电连接, 用于在所述控制时钟信号和所述反相时钟信号的控制下, 对所述第 N 级驱动信号输出端提供的第 N 级驱动信号进行反相, 得到并通过所述第四节点输出反相后的信号;

所述第二反相电路分别与所述第四节点和所述第 N 级驱动信号输出端电连接, 用于对所述第四节点的电位进行反相, 并通过所述第 N 级驱动信号输出端输出反相后的信号;

所述第二初始化电路分别与初始控制端、第一电压端和所述第 N 级驱动信号输出端电连接, 用于在所述初始控制端提供的初始控制信号的控制下, 控制所述第 N 级驱动信号输出端与所述第一电压端之间连通。

20、如权利要求 19 所述的驱动电路, 其中, 所述第一驱动控制电路包括第十六晶体管、第十七晶体管、第十八晶体管和第十九晶体管;

所述第十六晶体管的栅极与所述反相时钟信号端电连接, 所述第十六晶体管的第一极与所述第一电压端电连接, 所述第十六晶体管的第二极与所述第十七晶体管的第一极电连接;

所述第十七晶体管的栅极与所述第 $N-1$ 级驱动信号输出端电连接, 所述第十七晶体管的第二极与所述第四节点电连接;

所述第十八晶体管的栅极与所述第 $N-1$ 级驱动信号输出端电连接, 所述第十八晶体管的第一极与所述第四节点电连接, 所述第十八晶体管的第二极与所述第十九晶体管的第一极电连接;

所述第十九晶体管的栅极与所述控制时钟信号端电连接,所述第十九晶体管的第二极与第三电压端电连接;

所述第十六晶体管和所述第十七晶体管为 p 型晶体管,所述第十八晶体管和所述第十九晶体管为 n 型晶体管。

21、如权利要求 19 所述的驱动电路,其中,所述第二驱动控制电路包括第二十晶体管、第二十一晶体管、第二十二晶体管和第二十三晶体管;

所述第二十晶体管的栅极与所述第 N 级驱动信号输出端电连接,所述第二十晶体管的第一极与第一电压端电连接,所述第二十晶体管的第二极与所述第二十一晶体管的第一极电连接;

所述第二十一晶体管的栅极与所述控制时钟信号端电连接,所述第二十一晶体管的第二极与所述第四节点电连接;

所述第二十二晶体管的栅极与所述反相时钟信号端电连接,所述第二十二晶体管的第一极与所述第四节点电连接,所述第二十二晶体管的第二极与所述第二十三晶体管的第一极电连接;

所述第二十三晶体管的栅极与所述第 N 级驱动信号输出端电连接,所述第二十三晶体管的第二极与第三电压端电连接;

所述第二十晶体管和所述第二十一晶体管为 p 型晶体管,所述第二十二晶体管和所述第二十三晶体管为 n 型晶体管。

22、如权利要求 19 所述的驱动电路,其中,所述第二反相电路包括第二十四晶体管和第二十五晶体管;所述第二初始化电路包括第二十六晶体管;

所述第二十四晶体管的栅极与所述第四节点电连接,所述第二十四晶体管的第一极与所述第一电压端电连接,所述第二十四晶体管的第二极与所述第二十五晶体管的第一极和所述第 N 级驱动信号输出端电连接;

所述第二十五晶体管的栅极与所述第四节点电连接,所述第二十五晶体管的第二极与第三电压端电连接;

所述第二十四晶体管为 p 型晶体管,所述第二十五晶体管为 n 型晶体管;

所述第二十六晶体管的栅极与所述初始控制端电连接,所述第二十六晶体管的第一极与所述第一电压端电连接,所述第二十六晶体管的第二极与所述第 N 级驱动信号输出端电连接。

23、如权利要求 2 所述的驱动电路,其中,

所述第一反相电路包括第二十七晶体管和第二十八晶体管;

所述第二十七晶体管的栅极与所述控制时钟信号端电连接,所述第二十七晶体管的第一极与第一电压端电连接,所述第二十七晶体管的第二极与所述第二十八晶体管的第一极和反相时钟信号端电连接;

所述第二十八晶体管的栅极与所述控制时钟信号端电连接,所述第二十八晶体管的第

二极管与第三电压端电连接。

24、一种驱动方法，应用于如权利要求 1 至 23 中任一权利要求所述的驱动电路，所述驱动方法包括：

驱动信号生成电路在控制时钟信号的控制下，对第 $N-1$ 级驱动信号进行移位操作，得到并通过第 N 级驱动信号输出端输出第 N 级驱动信号；

第 m 选通电路在第 m 选通控制信号的控制下，控制将第 m 选通输入信号写入第 m 个第一节点；

第 m 输出控制电路对所述第 N 级驱动信号和所述第 m 输出控制电路的第二端的电位进行与非操作，得到第 m 个第一输出信号；

第 m 输出电路用于对所述第 m 个第一输出信号进行反相，得到并通过第 m 输出驱动端提供第 m 输出驱动信号；

M 为正整数； m 为小于或等于 M 的正整数， N 为正整数。

25、一种显示装置，包括如权利要求 1 至 23 中任一权利要求所述的驱动电路。

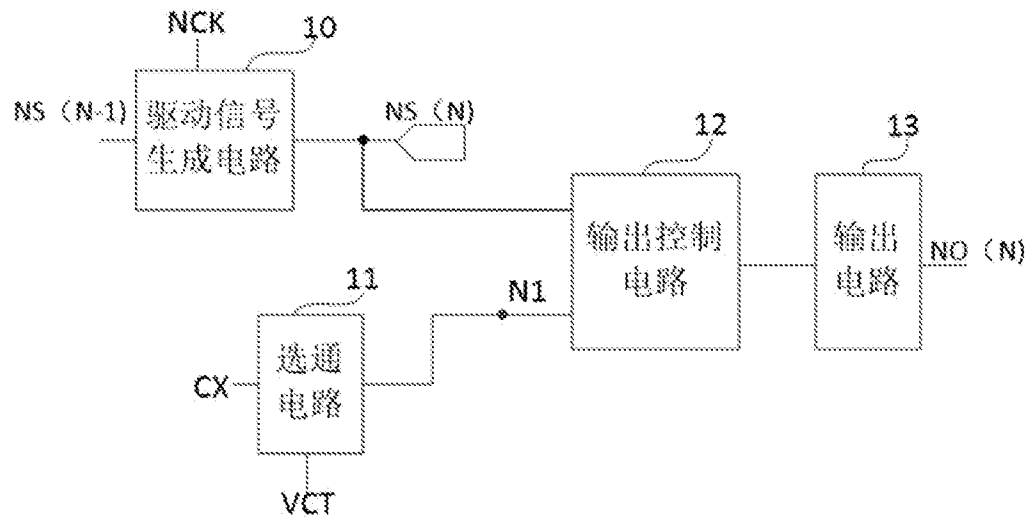


图 1

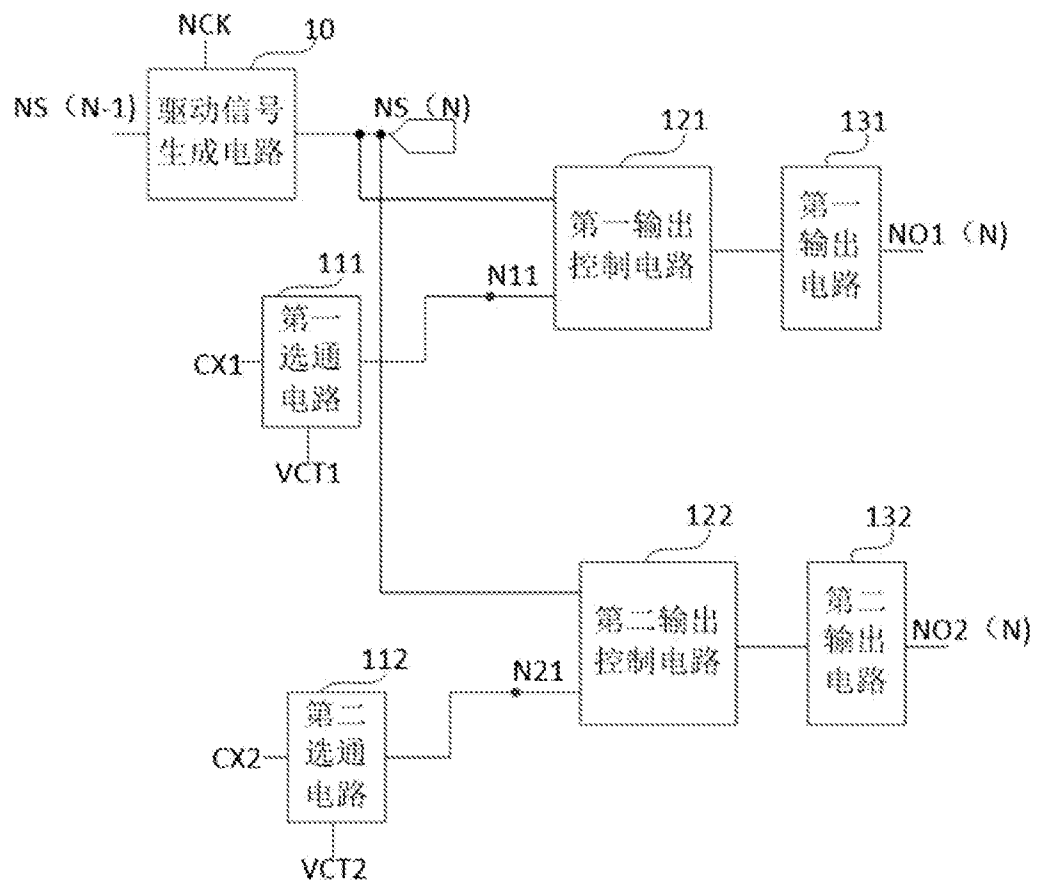


图 2

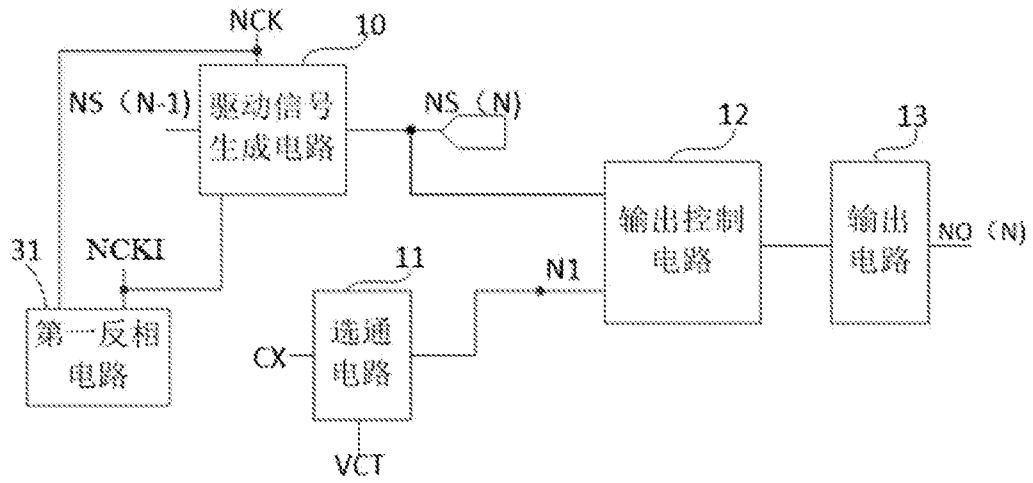


图 3

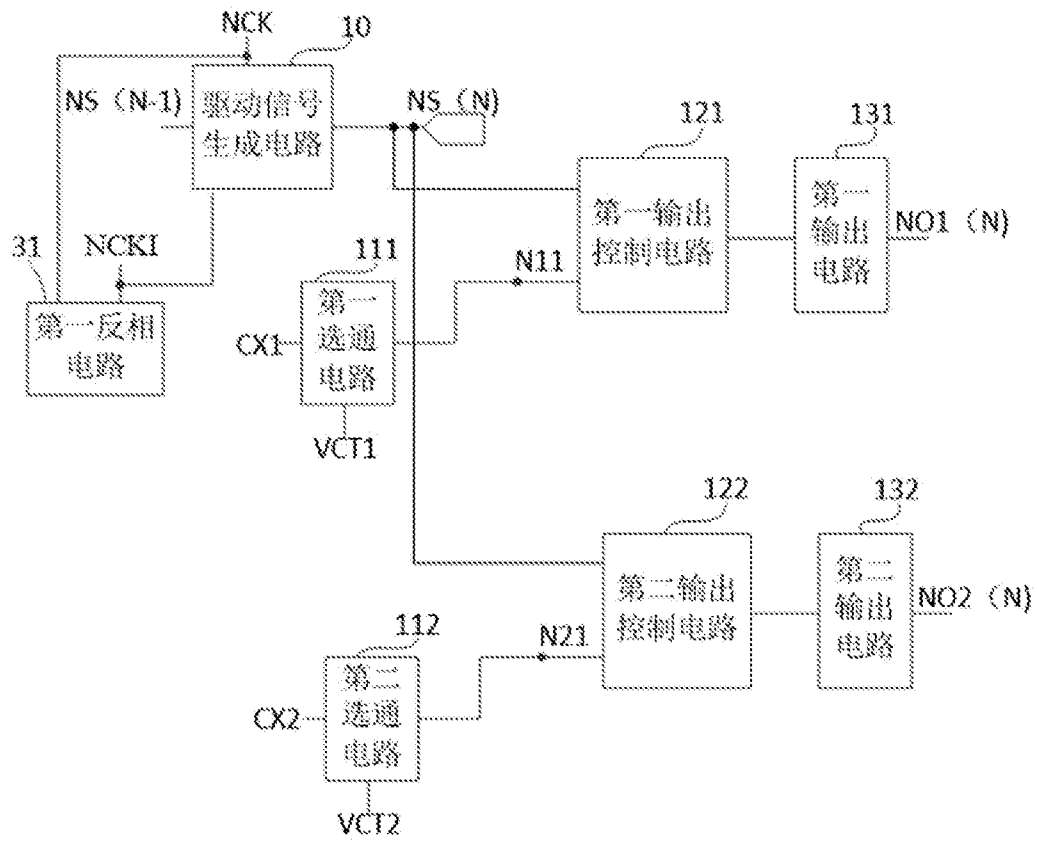


图 4

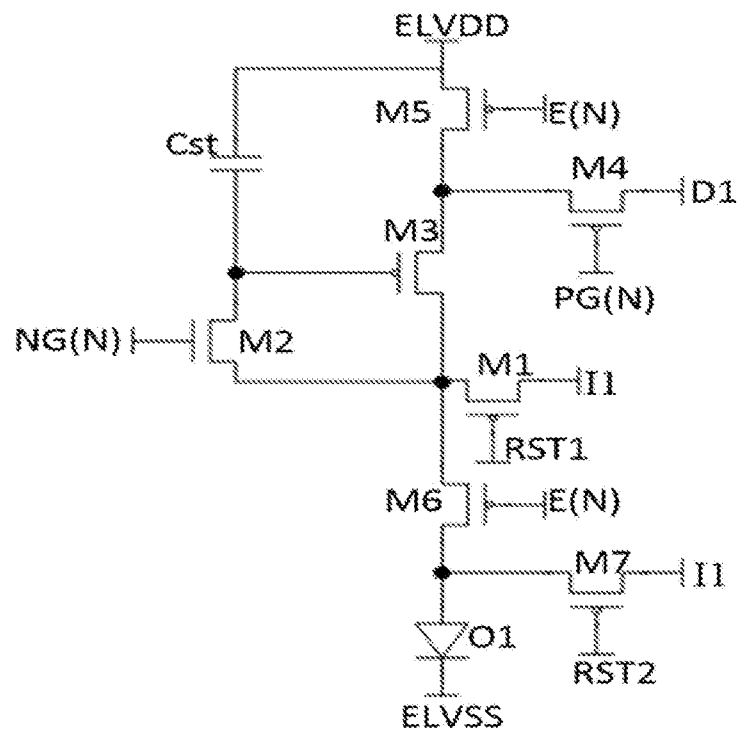


图 7

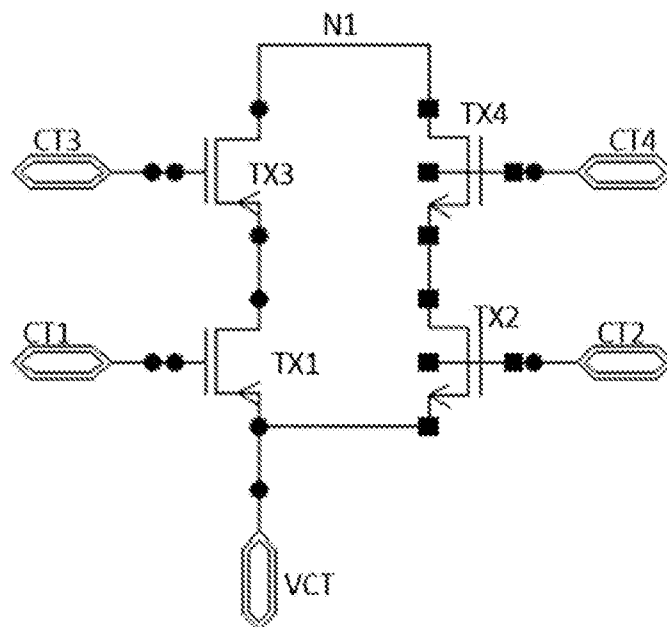


图 8

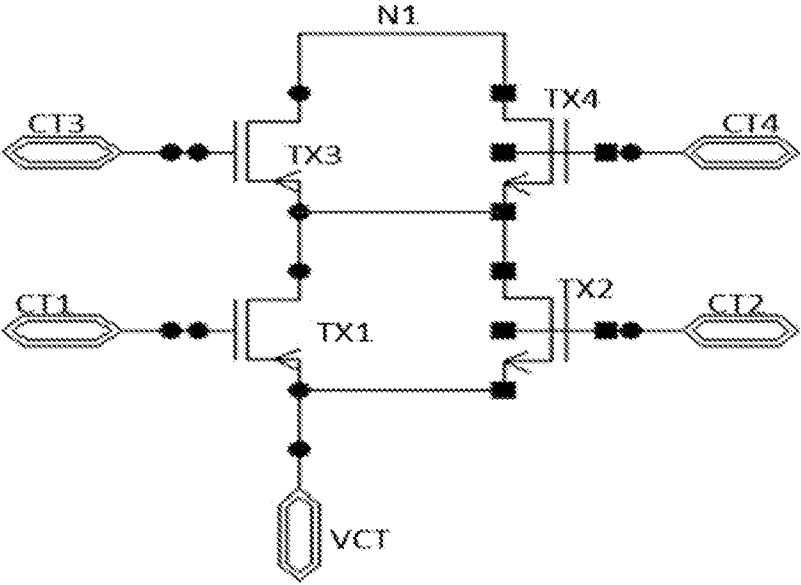


图 9

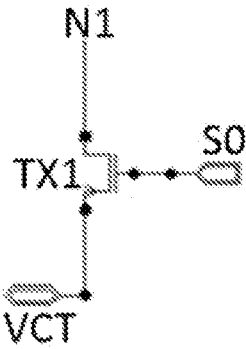


图 10

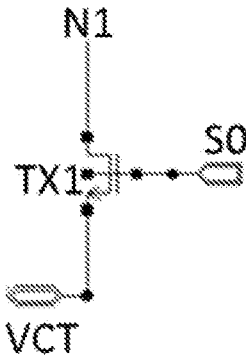


图 11

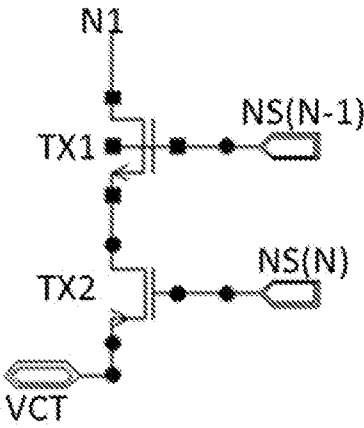


图 12

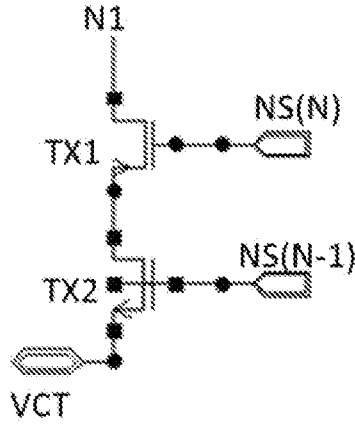


图 13

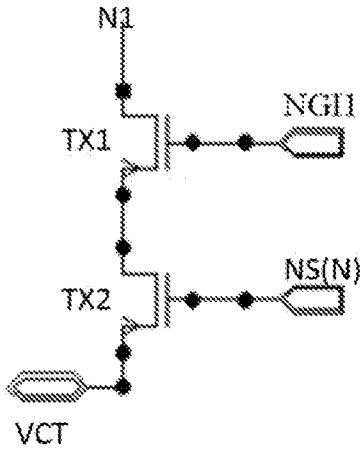


图 14

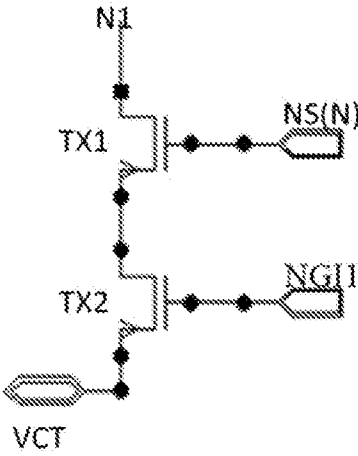


图 15

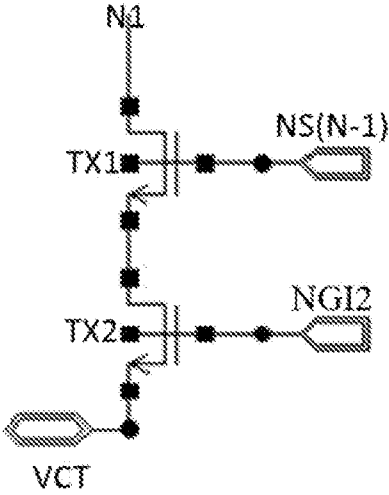


图 16

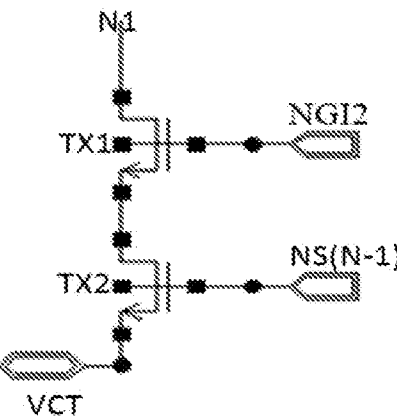


图 17

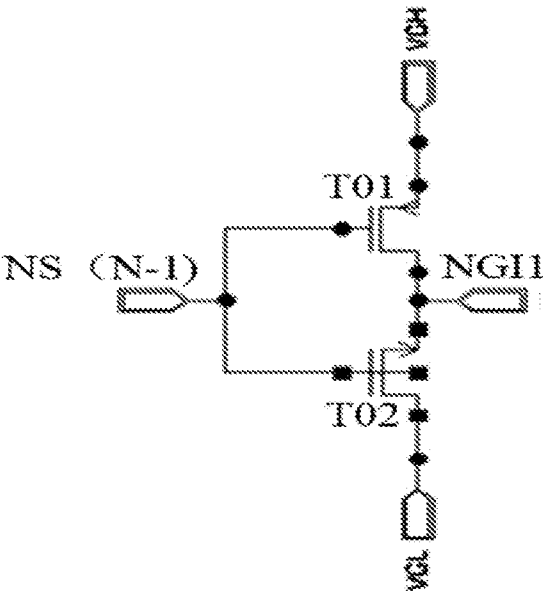


图 18

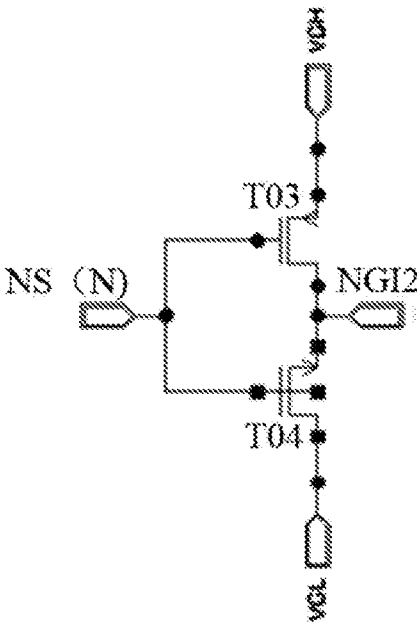


图 19

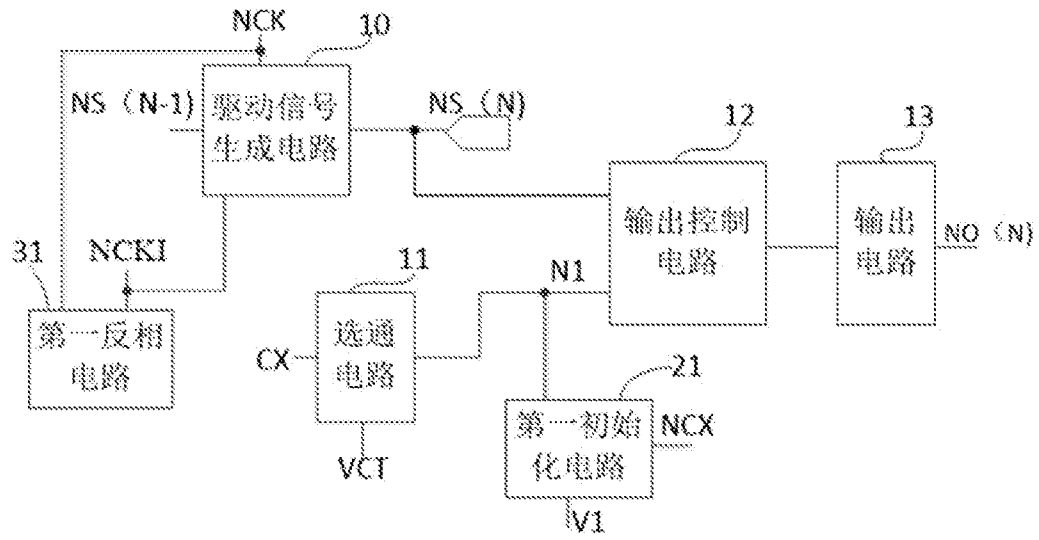


图 20

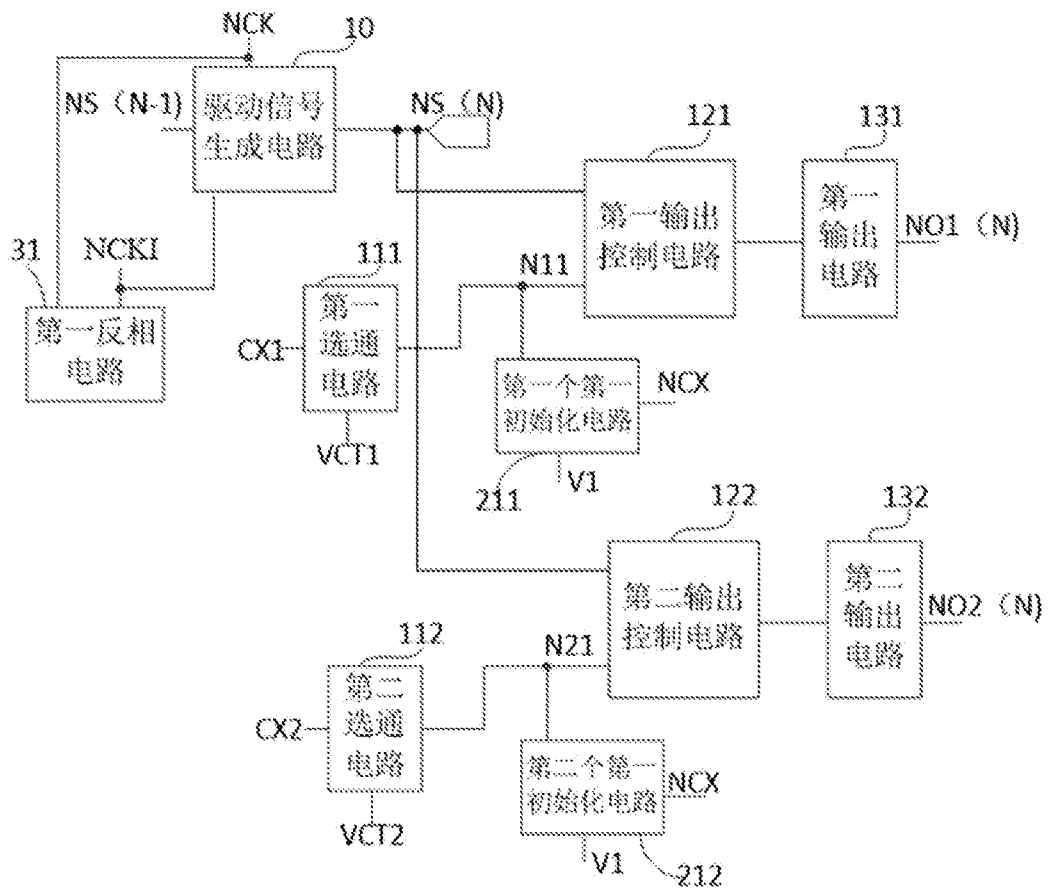


图 21

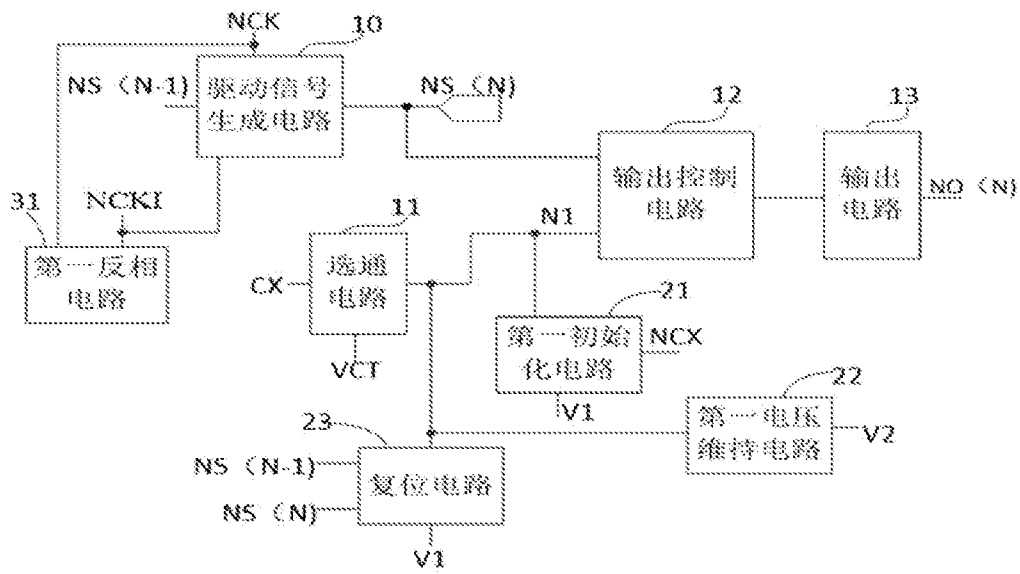


图 22

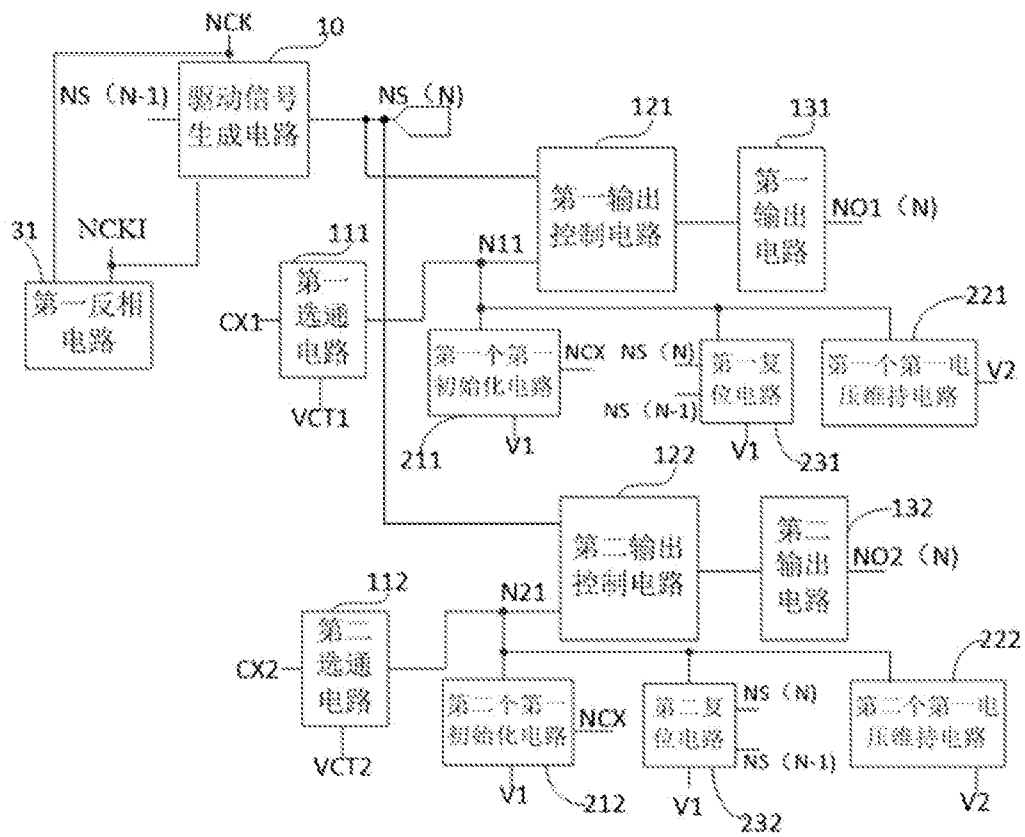


图 23

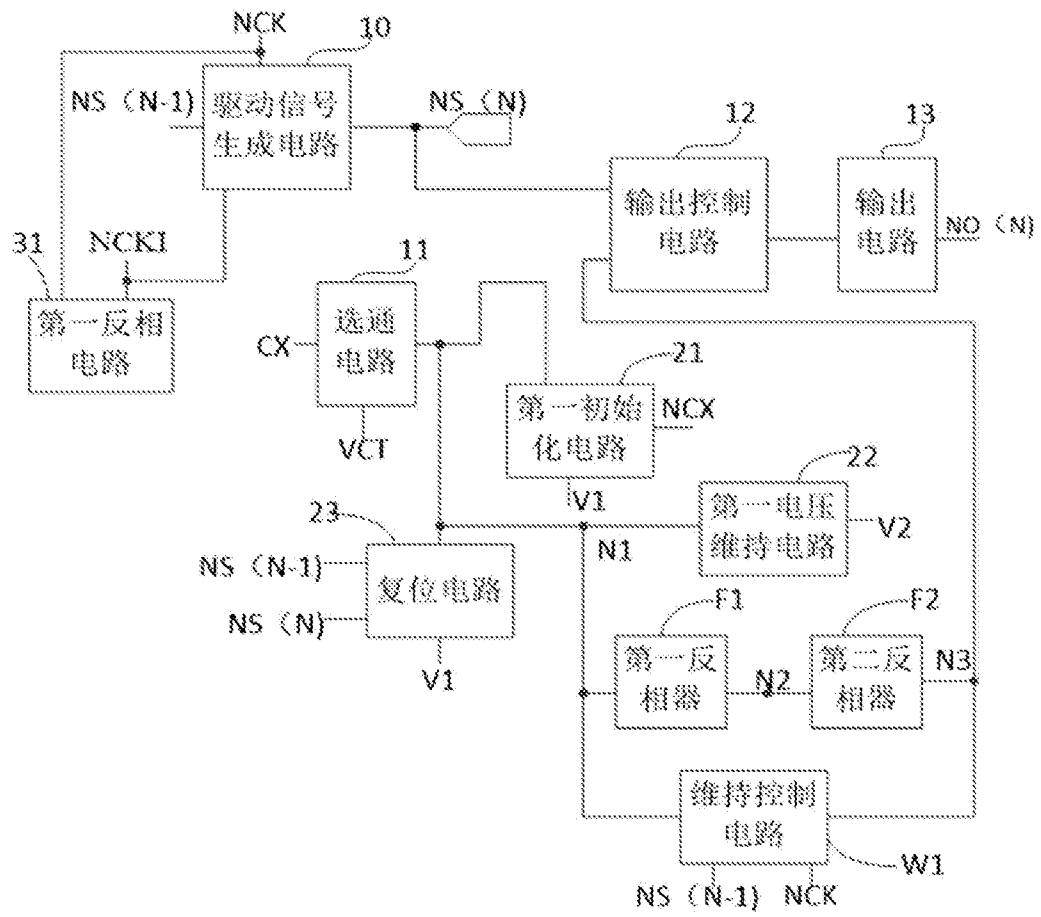


图 24

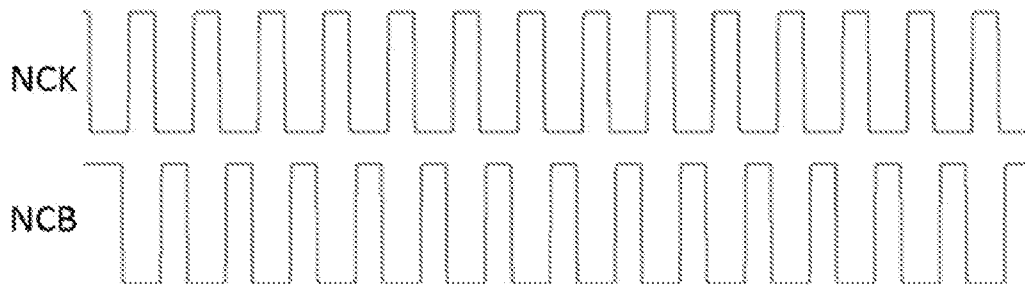


图 25

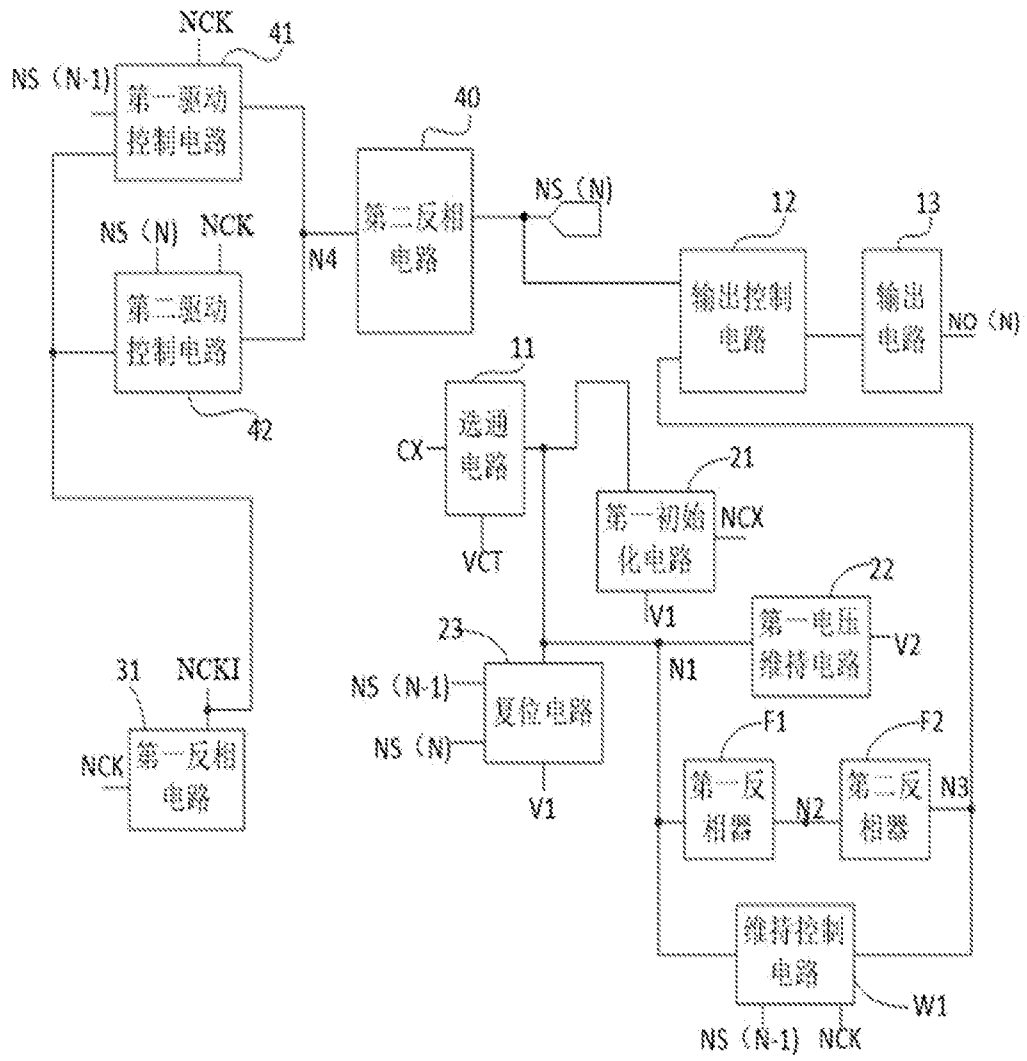


图 26

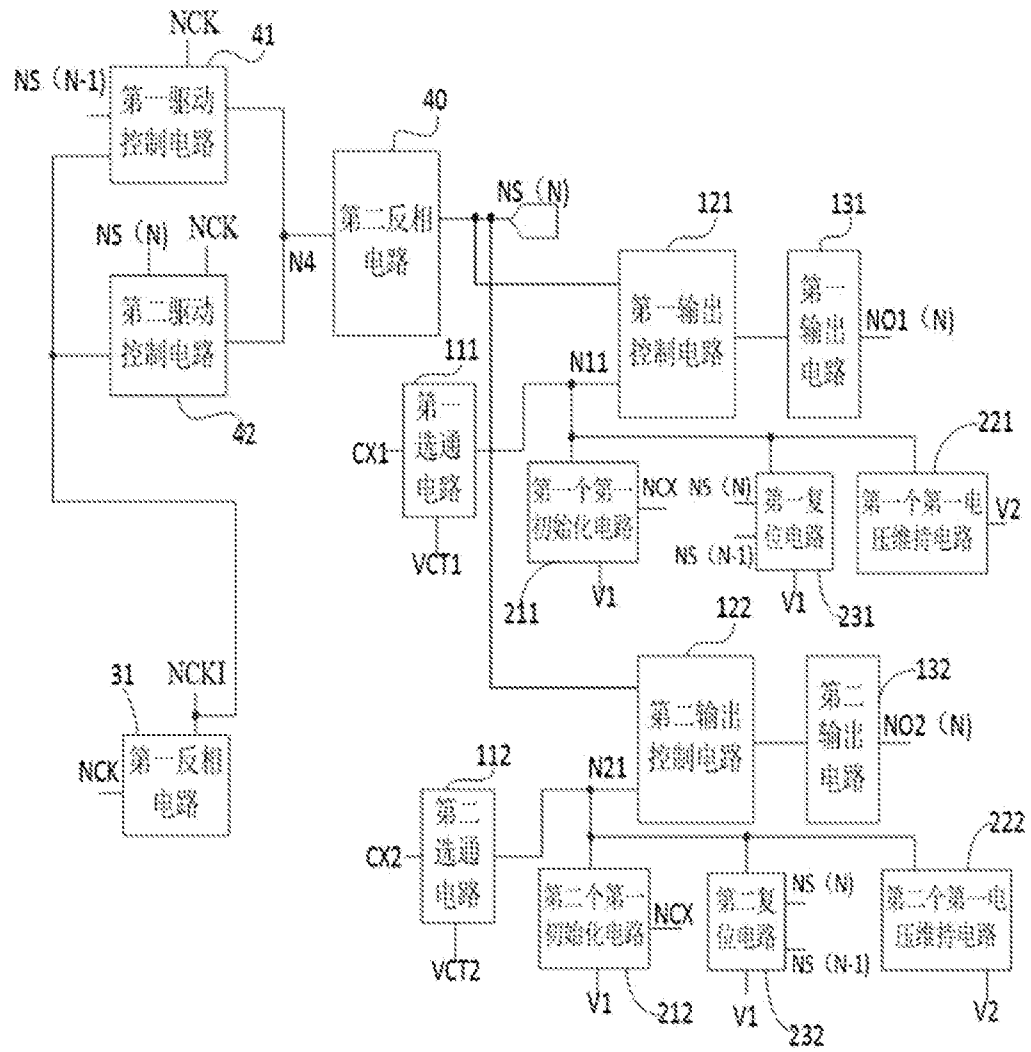


图 27

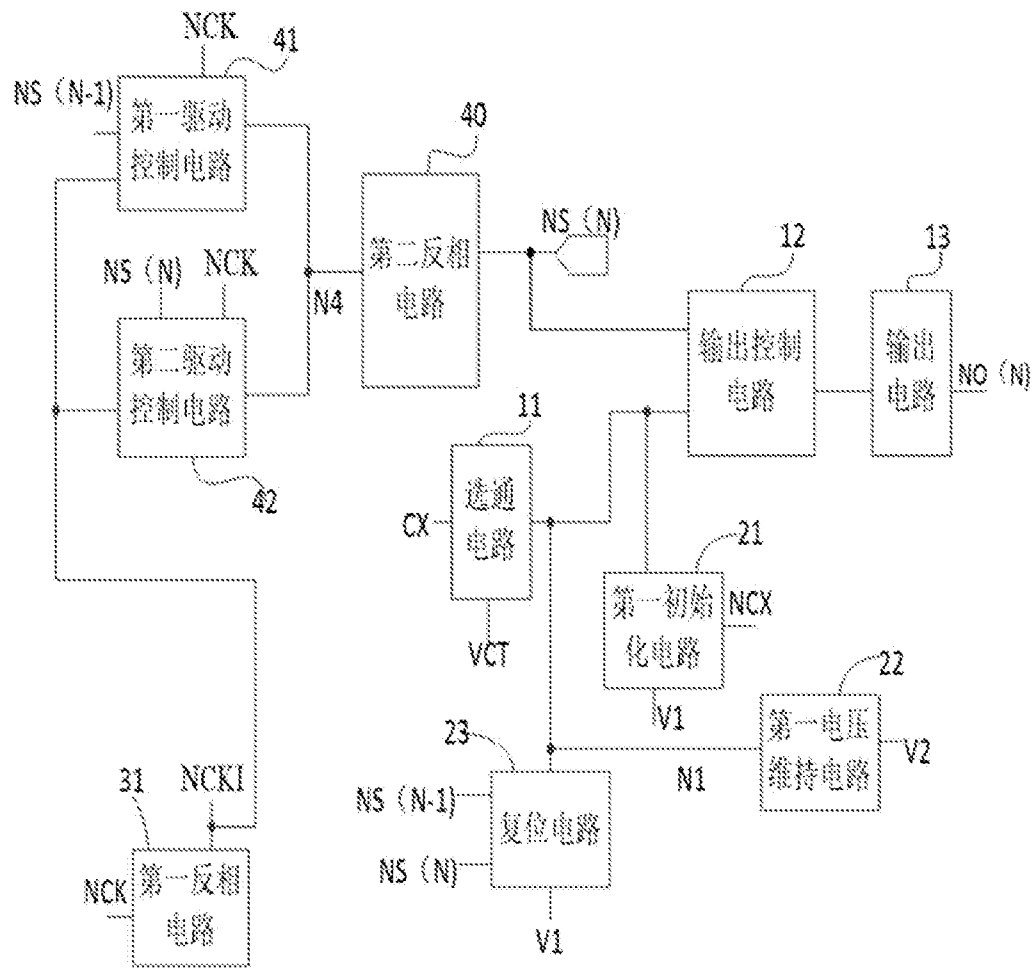


图 28

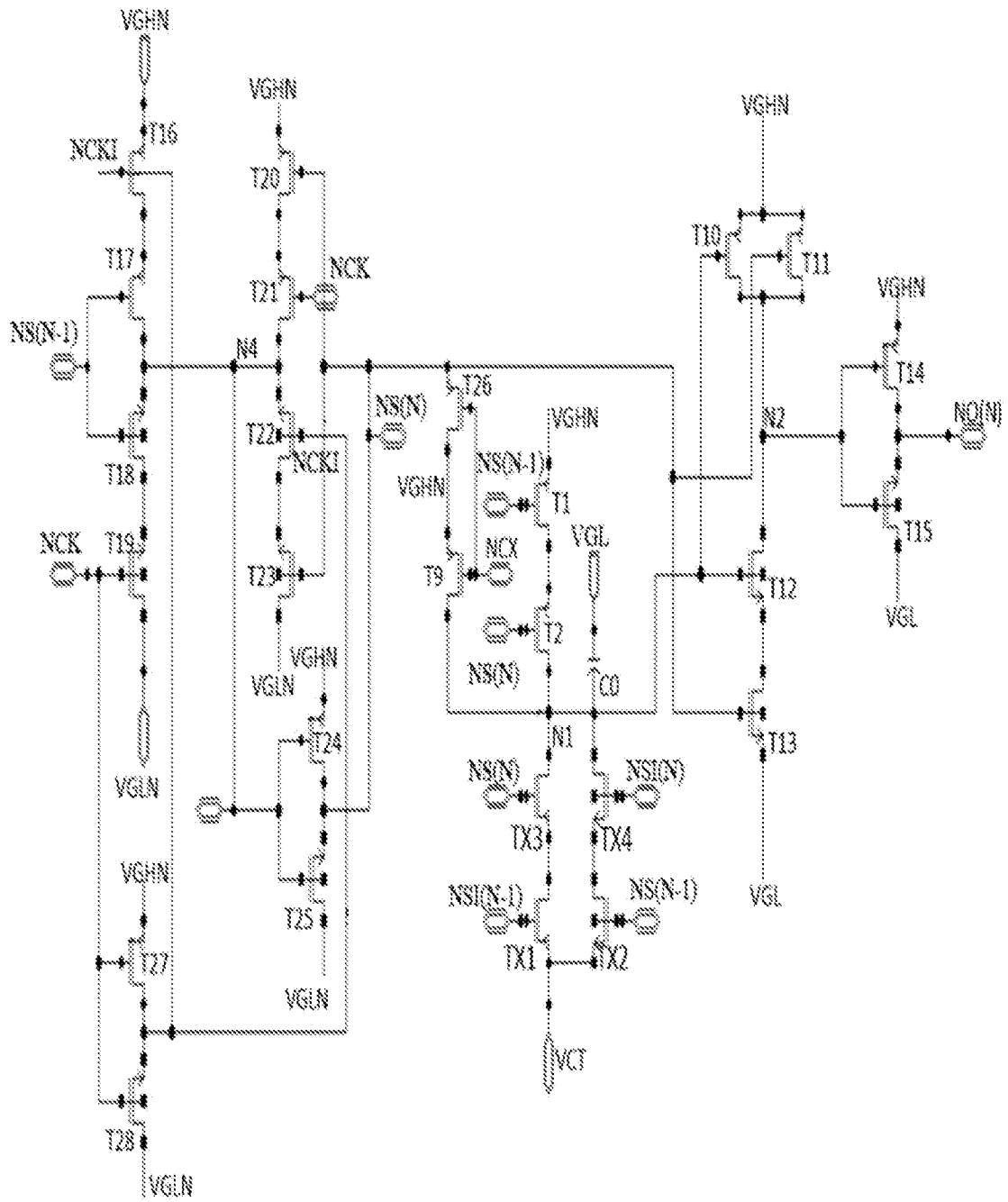


图 29

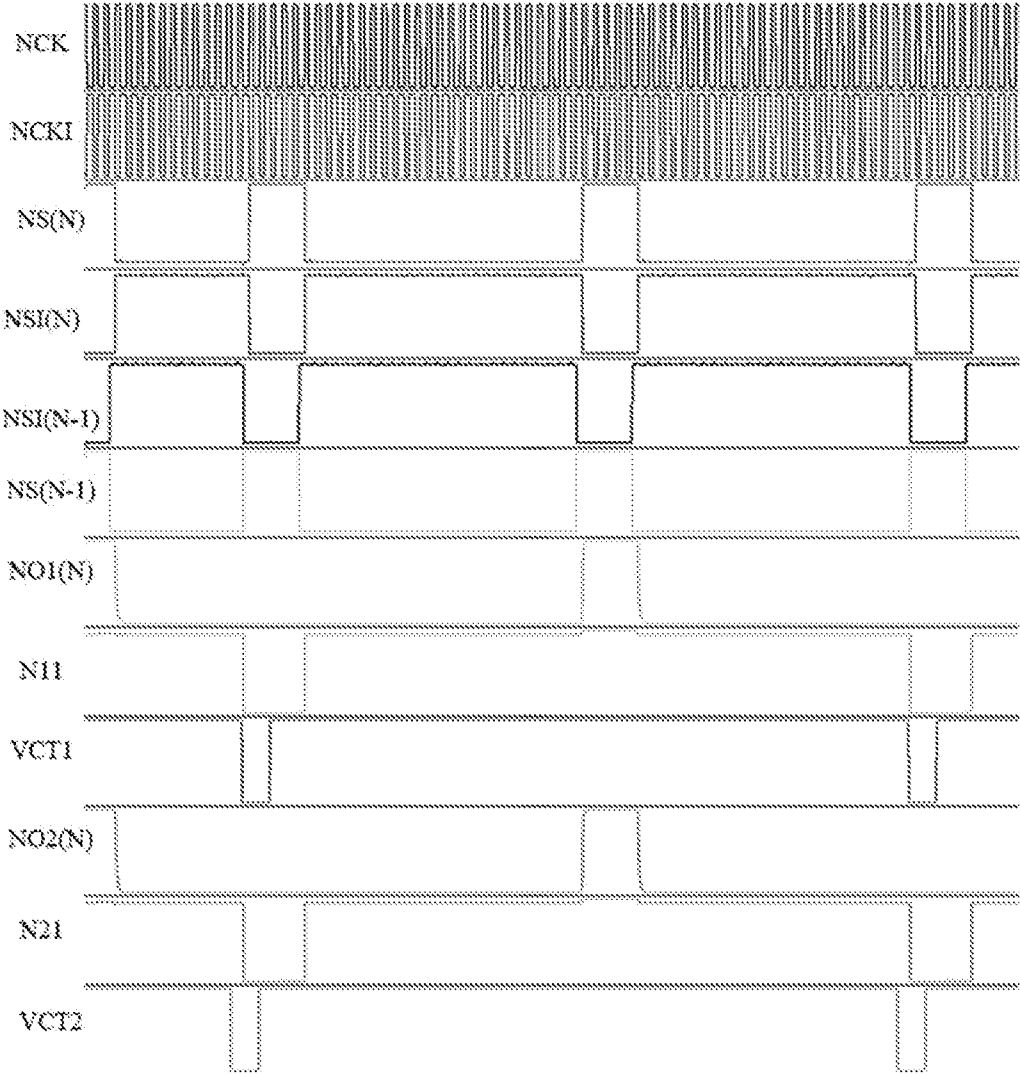


图 31

VCT1												
NO1(1)												
NO1(2)												
NO1(3)												
NO1(4)												
NO1(5)												
NO1(6)												
NO1(7)												
NO1(8)												
NO1(9)												
NO1(10)												
NO1(11)												
NO1(12)												
VCT2												
NO2(1)												
NO2(2)												
NO2(3)												
NO2(4)												
NO2(5)												
NO2(6)												
NO2(7)												
NO2(8)												
NO2(9)												
NO2(10)												
NO2(11)												
NO2(12)												

图 32

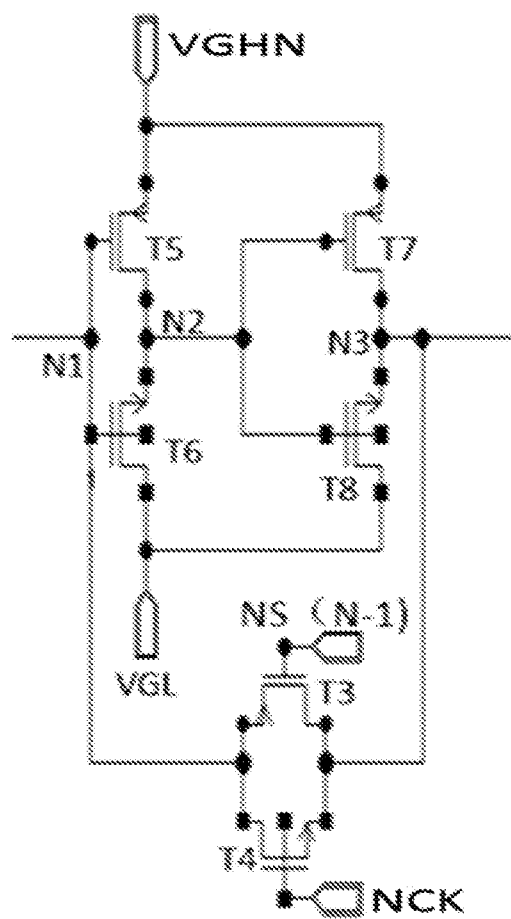


图 33

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/093524

A. CLASSIFICATION OF SUBJECT MATTER G09G3/3266(2016.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched IPC: G09G3/- Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT, ENTXTC, WPABS, CNKI, ENTXT: 京东方, 驱动电路, 像素电路, 功耗, 信号生成, 选通, 输出, 时钟, 移位, N级, 上级, 级联, 与非, 反相, 节点, driving, circuit, output, signal generat+, gating circuit, first node, Nth w stage, shift register, gate, reverse phase		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113192551 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 30 July 2021 (2021-07-30) description, paragraphs [0088]-[0156], and figures 1-5	1-25
A	CN 104966506 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 07 October 2015 (2015-10-07) entire document	1-25
A	CN 105144274 A (SHARP CORP.) 09 December 2015 (2015-12-09) entire document	1-25
A	CN 111798788 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 20 October 2020 (2020-10-20) entire document	1-25
A	US 2023057970 A1 (SHARP K. K.) 23 February 2023 (2023-02-23) entire document	1-25
A	CN 107784977 A (BOE TECHNOLOGY GROUP CO., LTD.) 09 March 2018 (2018-03-09) entire document	1-25
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 30 July 2024		Date of mailing of the international search report 09 August 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2024/093524

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113192551	A	30 July 2021	WO	2022227453	A1	03 November 2022
				US	2023207031	A1	29 June 2023
				US	11862216	B2	02 January 2024
CN	104966506	A	07 October 2015	WO	2017020549	A1	09 February 2017
				US	2017178581	A1	22 June 2017
				US	9747854	B2	29 August 2017
				EP	3333843	A1	13 June 2018
				EP	3333843	B1	04 March 2020
				CN	104966506	B	06 June 2017
CN	105144274	A	09 December 2015	US	2016055791	A1	25 February 2016
				US	9953563	B2	24 April 2018
				WO	2014174905	A1	30 October 2014
				JPWO	2014174905	A1	23 February 2017
				JP	6138244	B2	31 May 2017
				CN	105144274	B	11 July 2017
CN	111798788	A	20 October 2020	CN	111798788	B	20 September 2022
US	2023057970	A1	23 February 2023	WO	2021161505	A1	19 August 2021
				JPWO	2021161505	A1	19 August 2021
				JP	7392098	B2	05 December 2023
				US	12027119	B2	02 July 2024
CN	107784977	A	09 March 2018	US	2019180834	A1	13 June 2019
				US	10811114	B2	20 October 2020
				CN	107784977	B	08 December 2023
				CN	207489447	U	12 June 2018

A. 主题的分类

G09G3/3266(2016.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

包含在检索领域中的除最低限度文献以外的检索文献

IPC: G09G3/-

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词 (如使用))

CNTEXT, ENTXTC, WPABS, CNKI, ENTXT: 京东方, 驱动电路, 像素电路, 功耗, 信号生成, 选通, 输出, 时钟, 移位, N级, 上级, 级联, 与非, 反相, 节点, driving, circuit, output, signal generat+, gating circuit, first node, Nth w stage, shift register, gate, reverse phase

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 113192551 A (京东方科技集团股份有限公司 等) 2021年7月30日 (2021 - 07 - 30) 说明书第[0088]-[0156]段, 附图1-5	1-25
A	CN 104966506 A (京东方科技集团股份有限公司 等) 2015年10月7日 (2015 - 10 - 07) 全文	1-25
A	CN 105144274 A (夏普株式会社) 2015年12月9日 (2015 - 12 - 09) 全文	1-25
A	CN 111798788 A (昆山国显光电有限公司) 2020年10月20日 (2020 - 10 - 20) 全文	1-25
A	US 2023057970 A1 (SHARP K.K.) 2023年2月23日 (2023 - 02 - 23) 全文	1-25
A	CN 107784977 A (京东方科技集团股份有限公司) 2018年3月9日 (2018 - 03 - 09) 全文	1-25

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年7月30日

国际检索报告邮寄日期

2024年8月9日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

杨金新

电话号码 (+86) 010-53962408

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/093524

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113192551	A	2021年7月30日	WO	2022227453	A1	2022年11月3日
				US	2023207031	A1	2023年6月29日
				US	11862216	B2	2024年1月2日
CN	104966506	A	2015年10月7日	WO	2017020549	A1	2017年2月9日
				US	2017178581	A1	2017年6月22日
				US	9747854	B2	2017年8月29日
				EP	3333843	A1	2018年6月13日
				EP	3333843	B1	2020年3月4日
				CN	104966506	B	2017年6月6日
CN	105144274	A	2015年12月9日	US	2016055791	A1	2016年2月25日
				US	9953563	B2	2018年4月24日
				WO	2014174905	A1	2014年10月30日
				JPWO	2014174905	A1	2017年2月23日
				JP	6138244	B2	2017年5月31日
				CN	105144274	B	2017年7月11日
CN	111798788	A	2020年10月20日	CN	111798788	B	2022年9月20日
US	2023057970	A1	2023年2月23日	WO	2021161505	A1	2021年8月19日
				JPWO	2021161505	A1	2021年8月19日
				JP	7392098	B2	2023年12月5日
				US	12027119	B2	2024年7月2日
CN	107784977	A	2018年3月9日	US	2019180834	A1	2019年6月13日
				US	10811114	B2	2020年10月20日
				CN	107784977	B	2023年12月8日
				CN	207489447	U	2018年6月12日