

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5945391号
(P5945391)

(45) 発行日 平成28年7月5日(2016.7.5)

(24) 登録日 平成28年6月3日(2016.6.3)

(51) Int.Cl.

F 1

HO1L 21/336	(2006.01)	HO1L	29/78	627C
HO1L 29/786	(2006.01)	HO1L	29/78	618B
HO1L 21/28	(2006.01)	HO1L	29/78	616U
HO1L 29/417	(2006.01)	HO1L	21/28	301B
HO1L 21/3065	(2006.01)	HO1L	21/28	E

請求項の数 8 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2011-195363 (P2011-195363)
 (22) 出願日 平成23年9月7日 (2011.9.7)
 (65) 公開番号 特開2012-84852 (P2012-84852A)
 (43) 公開日 平成24年4月26日 (2012.4.26)
 審査請求日 平成26年8月27日 (2014.8.27)
 (31) 優先権主張番号 特願2010-204685 (P2010-204685)
 (32) 優先日 平成22年9月13日 (2010.9.13)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 神長 正美
 栃木県栃木市都賀町升塚161-2 アド
 バンスト フィルム ディバイス インク
 株式会社内
 (72) 発明者 相原 大和
 栃木県栃木市都賀町升塚161-2 アド
 バンスト フィルム ディバイス インク
 株式会社内
 (72) 発明者 横林 克明
 栃木県栃木市都賀町升塚161-2 アド
 バンスト フィルム ディバイス インク
 株式会社内

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極層を形成し、
 前記ゲート電極層上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜上に酸化物半導体層を形成し、
 前記酸化物半導体層上にタンゲステンを用いて保護導電膜を形成し、
 前記保護導電膜上にアルミニウムを含む導電膜を積層構造に有する導電層を形成し、
 前記導電層上にレジストマスクを形成し、
 前記レジストマスクを用いて、塩素系ガスを用いる第1のエッティング工程により、選択的に前記導電層をエッティングして前記保護導電膜を露出させ、

前記レジストマスクを用いて、塩素系ガスとフッ素系ガスとの混合ガスを用いる第2のエッティング工程により、選択的に前記保護導電膜をエッティングして前記酸化物半導体層を露出させ、

前記第1のエッティング工程において、前記保護導電膜に対する前記導電層のエッティング選択比が1より大きく、

前記第2のエッティング工程において、前記酸化物半導体層に対する前記保護導電膜のエッティング選択比が1より大きいことを特徴とする半導体装置の作製方法。

【請求項 2】

酸化物半導体層上にタンゲステンを用いて保護導電膜を形成し、

前記保護導電膜上にアルミニウムを含む導電膜を積層構造に有する導電層を形成し、

10

20

前記導電層上にレジストマスクを形成し、

前記レジストマスクを用いて、塩素系ガスを用いる第1のエッティング工程により、選択的に前記導電層をエッティングして前記保護導電膜を露出させ、

前記レジストマスクを用いて、塩素系ガスとフッ素系ガスとの混合ガスを用いる第2のエッティング工程により、選択的に前記保護導電膜をエッティングして前記酸化物半導体層を露出させ、

前記第1のエッティング工程において、前記保護導電膜に対する前記導電層のエッティング選択比が1より大きく、

前記第2のエッティング工程において、前記酸化物半導体層に対する前記保護導電膜のエッティング選択比が1より大きいことを特徴とする半導体装置の作製方法。 10

【請求項3】

請求項1または請求項2において、

前記第2のエッティング工程の後に、前記酸化物半導体層、前記保護導電膜、及び前記導電層上に絶縁膜を形成することを特徴とする半導体装置の作製方法。

【請求項4】

酸化物半導体層上にタンゲステンを用いて保護導電膜を形成し、

前記保護導電膜上にアルミニウムを含む導電膜を積層構造に有する導電層を形成し、

前記導電層上にレジストマスクを形成し、

前記レジストマスクを用いて、塩素系ガスを用いる第1のエッティング工程により、選択的に前記導電層をエッティングして前記保護導電膜を露出させ、 20

前記レジストマスクを用いて、塩素系ガスとフッ素系ガスとの混合ガスを用いる第2のエッティング工程により、選択的に前記保護導電膜をエッティングして前記酸化物半導体層を露出させ、

前記第2のエッティング工程の後に、前記導電層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上の前記酸化物半導体層と重なる領域にゲート電極層を形成し、

前記第1のエッティング工程において、前記保護導電膜に対する前記導電層のエッティング選択比が1より大きく、

前記第2のエッティング工程において、前記酸化物半導体層に対する前記保護導電膜のエッティング選択比が1より大きいことを特徴とする半導体装置の作製方法。 30

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記保護導電膜の膜厚は、前記酸化物半導体層の膜厚以下であることを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一項において、

前記第1のエッティング工程は、前記保護導電膜に対する前記導電層のエッティング選択比が4以上であり、

前記第2のエッティング工程は、前記酸化物半導体層に対する前記保護導電膜のエッティング選択比が30以上であることを特徴とする半導体装置の作製方法。 40

【請求項7】

請求項1乃至請求項6のいずれか一項において、

前記導電層は、前記アルミニウムを含む導電膜の下層にチタンを含む導電膜を有する積層構造であることを特徴とする半導体装置の作製方法。

【請求項8】

請求項1乃至請求項7のいずれか一項において、

前記酸化物半導体層はインジウム、ガリウム、及び亜鉛を含むことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置、および半導体装置の作製方法に関する。

【背景技術】

【0002】

近年、半導体特性を示す酸化物半導体が注目されている。半導体特性を示す酸化物半導体は、トランジスタに適用することができる。

【0003】

酸化物半導体のエッチングには、再現性が高く所望の形状を得るためにエッチング法が種々検討されている。その中でも、In、GaおよびZnを含む酸化物半導体を含んで構成される膜の加工方法において、トランジスタの酸化物半導体層をハロゲン系ガスでエッチングする技術が報告されている（特許文献1参照）。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-42067号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、トランジスタの構造には、半導体層上に配線層が設けられている構造があるが、そのようなトランジスタの作製工程においては、導電層をエッチングすることにより配線層を形成している。そのような半導体層上の導電層をエッチングする際にもハロゲン系ガスが用いられている。

20

【0006】

そのため、上記の構造において半導体層として酸化物半導体を用いると、導電層をエッチングする際に酸化物半導体層も同時にエッチングされてしまうおそれがある。

【0007】

このように酸化物半導体層がエッチングされてしまうと、酸化物半導体層の膜厚にバラツキが生じてトランジスタの特性にもバラツキが生じてしまい、信頼性が低下してしまう。

【0008】

酸化物半導体を用いたトランジスタを有する半導体装置の作製方法において、導電層のエッチング工程で、導電層の下層に位置する酸化物半導体層がエッチングされてしまうことを軽減する技術を提供することを目的のーとする。

30

【0009】

酸化物半導体を用いたトランジスタを有する半導体装置の作製方法において、酸化物半導体層の膜厚が薄くなってしまって、トランジスタ特性に影響を与えてしまうことを軽減する技術を提供することを目的のーとする。

【0010】

また、高性能、高信頼性のトランジスタを有する半導体装置を作製する技術を提供することを目的のーとする。

【課題を解決するための手段】

40

【0011】

酸化物半導体層上に配線層が積層される構造を含む半導体装置の作製方法においては、導電層をエッチングして配線層を形成している。導電層をエッチングする際に酸化物半導体層を保護するための保護導電膜を酸化物半導体層と導電層との間に形成する。

【0012】

酸化物半導体層上に形成される保護導電膜および導電層をエッチングする工程を2段階に分けて行う。2段階のエッチング工程とは、導電層をエッチングする第1のエッチング工程、および保護導電膜をエッチングして下層の酸化物半導体層を露出させるまで行う第2のエッチング工程である。

【0013】

50

保護導電膜は、第1のエッティング工程では、酸化物半導体層が導電層と同時にエッティングされてしまうことを防ぐためのエッティングストッパーとして機能させるため、導電層よりエッティングされにくい膜であり、一方、第2のエッティング工程では、酸化物半導体層の露出領域において保護導電膜が残渣なく除去されるように酸化物半導体層よりエッティングされやすい膜である必要がある。

【0014】

従って、第1のエッティング工程は、導電層と保護導電膜とのエッティング選択比が高い条件で行い、第2のエッティング工程は、保護導電膜と酸化物半導体層とのエッティング選択比が高い条件で行う。

【0015】

なお、本明細書中では、Aのエッティング速度をBのエッティング速度で割ったものを「AとBとのエッティング選択比」と定義する。例えば「導電層と保護導電膜とのエッティング選択比」とは、導電層のエッティング速度を保護導電膜のエッティング速度で割った値を意味している。また、本明細書では、「エッティング選択比が高い」とはエッティング選択比が1より大きいことを意味する。

【0016】

導電層は、保護導電膜とのエッティング選択比が高いため、保護導電膜の膜厚は薄くてもエッティングストッパーとして機能することができる。

【0017】

保護導電膜の膜厚を薄くすることにより、保護導電膜をエッティングする時間を短時間にできる。

【0018】

第1のエッティングは、塩素系ガスを用いて行い、第2のエッティングは塩素系ガスとフッ素系ガスの混合ガスを用いて行うことが好ましい。

【0019】

なお、具体的には、塩素系ガスとしてはBCl₃とCl₂の混合ガスが挙げられる。塩素系ガスとフッ素系ガスの混合ガスとしてはSF₆とCl₂の混合ガスが挙げられる。

【0020】

本明細書中に開示される半導体装置の作製方法の一態様の好ましい形態として、具体的な構成を以下に説明する。

【0021】

本明細書中に開示される半導体装置の作製方法の一態様は、ゲート電極層を形成し、ゲート電極層上にゲート絶縁膜を形成し、ゲート絶縁膜上に酸化物半導体層を形成し、酸化物半導体層上に保護導電膜を形成し、保護導電膜上に導電層を形成し、導電層上にレジストマスクを形成し、レジストマスクを用いて、塩素系ガスを用いる第1のエッティング工程により、選択的に導電層をエッティングして保護導電膜を露出させ、レジストマスクを用いて、塩素系ガスとフッ素系ガスの混合ガスを用いる第2のエッティング工程により、選択的に保護導電膜をエッティングして酸化物半導体層を露出させると共に配線層を形成し、酸化物半導体層、保護導電膜、配線層上に絶縁膜を形成し、第1のエッティング工程において、保護導電膜が導電層よりエッティングされにくく、導電層と保護導電膜とのエッティング選択比が高い条件で行い、第2のエッティング工程において、保護導電膜が酸化物半導体層よりエッティングされやすく、保護導電膜と酸化物半導体層とのエッティング選択比が高い条件で行う。

【0022】

本明細書中に開示される半導体装置の作製方法の一態様は、酸化物半導体層を形成し、酸化物半導体層上に保護導電膜を形成し、保護導電膜上に導電層を形成し、導電層上にレジストマスクを形成し、レジストマスクを用いて、塩素系ガスを用いる第1のエッティング工程により、選択的に導電層をエッティングして保護導電膜を露出させ、レジストマスクを用いて、塩素系ガスとフッ素系ガスの混合ガスを用いる第2のエッティング工程により、選択的に保護導電膜をエッティングして酸化物半導体層を露出させると共に配線層を形成し、

10

20

30

40

50

配線層上にゲート絶縁膜を形成し、ゲート絶縁膜上の酸化物半導体層と重畳する領域にゲート電極層を形成し、第1のエッティング工程において、保護導電膜が導電層よりエッティングされにくく、導電層と保護導電膜とのエッティング選択比が高い条件で行い、第2のエッティング工程において、保護導電膜が酸化物半導体層よりエッティングされやすく、保護導電膜と酸化物半導体層とのエッティング選択比が高い条件で行う。

【0023】

本明細書中に開示される半導体装置の作製方法の一態様において、例えば、保護導電膜の膜厚は、酸化物半導体層の膜厚以下であると好ましい。

【0024】

本明細書中に開示される半導体装置の作製方法の一態様において、例えば、第1のエッティング工程は、導電層と保護導電膜とのエッティング選択比が4以上、好ましくは6以上であり、第2のエッティング工程は、保護導電膜と酸化物半導体層とのエッティング選択比が30以上、好ましくは45以上であればよい。10

【0025】

本明細書中に開示される半導体装置の作製方法の一態様において、例えば、配線層は材料にアルミニウムを含む膜を有する積層構造を形成すると好ましい。

【0026】

本明細書中に開示される半導体装置の作製方法の一態様において、例えば、配線層はアルミニウムを含む膜の下層にチタン膜を有する積層構造を形成すると好ましい。

【0027】

本明細書中に開示される半導体装置の作製方法の一態様において、例えば、保護導電膜はタンゲステン膜を用いて形成すると好ましい。

【0028】

本明細書中に開示される半導体装置の作製方法の一態様において、例えば、酸化物半導体層はインジウム、ガリウム、および亜鉛を含む膜を用いて形成すると好ましい。

【発明の効果】

【0029】

高いエッティング選択比で導電層のエッティングを行うことで酸化物半導体層のエッティングを軽減することができる。

【0030】

エッティング工程を精度良く制御することができるため、ノーマリーオンになりにくい薄膜の酸化物半導体層を有するトランジスタを作製することができる。30

【0031】

また、酸化物半導体層の膜厚にバラツキが生じることを軽減でき、トランジスタのリーク電流を抑制し、高性能、高信頼性のトランジスタを有する半導体装置を作製することができる。

【図面の簡単な説明】

【0032】

【図1】半導体装置の作製方法を説明する断面図。

【図2】半導体装置の作製方法を説明する断面図。

【図3】半導体装置の平面図および断面図。

【図4】半導体装置の断面図。

【図5】半導体装置の断面図、上面図および回路図。

【図6】電子機器を示す図。

【図7】実施例1で説明するSEM像。

【図8】実施例1で説明する比較例のSEM像。

【図9】実施例2で説明するSEM像。

【発明を実施するための形態】

【0033】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明50

は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。また、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さないことがある。また、便宜上、絶縁層は上面図には表さないことがある。

【0034】

なお、以下の説明において、第1、第2などの序数詞は、説明の便宜上付したものであり、その数を限定するものではない。

【0035】

(実施の形態1)

本実施の形態は、本発明の一態様であるトランジスタを有する半導体装置の作製方法について説明する。

【0036】

まず、基板100上にゲート電極層102を選択的に形成する(図1(A)参照)。

【0037】

基板100は、絶縁性表面を有するものを用いればよい。例えば、ガラス基板、石英基板、表面に絶縁層が設けられた半導体基板、または表面に絶縁層が設けられたステンレス基板などを用いればよい。

【0038】

ゲート電極層102は、導電性材料により形成すればよく、ゲート電極層102となる導電性材料膜を形成し、これをフォトリソグラフィ法により加工すればよい。

【0039】

ゲート電極層102を覆ってゲート絶縁膜104を形成し、ゲート絶縁膜104上に酸化物半導体層106を選択的に形成する(図1(B)参照)。

【0040】

ゲート絶縁膜104は、酸化シリコン、窒化シリコン、酸化窒化シリコンまたは窒化酸化シリコンなどを用いて形成すればよく、スパッタリング法により形成することが好ましい。酸化物半導体層106に接するゲート絶縁膜104からは、水分および水素を極力除去しておくことが好ましいからである。なお、ゲート絶縁膜104は単層であってもよいし、複数の層が積層されて設けられていてもよい。

【0041】

なお、「酸化窒化シリコン」とは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)および水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合に、組成範囲として酸素が50原子%~70原子%、窒素が0.5原子%~15原子%、シリコンが25原子%~35原子%の範囲で含まれるものという。

【0042】

なお、「窒化酸化シリコン」とは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、RBSおよびHFSを用いて測定した場合に、組成範囲として酸素が5~30原子%、窒素が20原子%~55原子%、シリコンが25原子%~35原子%の範囲で含まれるものという。ただし、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、シリコンの含有比率が上記の範囲内に含まれるものとする。

【0043】

また、ゲート絶縁膜104は、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムアルミネート($HfAl_xO_y$ ($x > 0$, $y > 0$))、などを含むように

10

20

30

40

50

形成するのが好適である。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1 nm以上100 nm以下、好ましくは10 nm以上50 nm以下とすることができます。

【0044】

上述のように、ゲート絶縁膜を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁膜104に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムアルミニネート($HfAl_xO_y$ ($x > 0$, $y > 0$))、などの高誘電率(high-k)材料を用いると良い。 $high-k$ 材料をゲート絶縁膜104に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、 $high-k$ 材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

【0045】

酸化物半導体層106を形成する酸化物半導体としては、水や水素などの不純物が除去され、酸化物半導体の主成分以外のキャリア供与体となる不純物が極力含まれないように高純度化し、十分な酸素が供給されることにより真性(i型)化または実質的に真性(i型)化された酸化物半導体を用いる。

20

【0046】

上述のように、トランジスタに用いられる酸化物半導体層106は水素などの不純物が十分に除去され、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層106の水素濃度は 5×10^{19} atoms/cm³以下、好ましくは 5×10^{18} atoms/cm³以下、より好ましくは 5×10^{17} atoms/cm³以下とする。なお、上述の酸化物半導体層106中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層106では、キャリア濃度が $1 \times 10^{12}/cm^3$ 未満、好ましくは、 $1 \times 10^{11}/cm^3$ 未満、より好ましくは $1.45 \times 10^{10}/cm^3$ 未満となる。例えば、室温(25)でのオフ電流(ここでは、単位チャネル幅($1 \mu m$)あたりの値)は100 zA(1 zA(ゼプトアンペア)は $1 \times 10^{-21} A$)以下、好ましくは10 zA以下となる。このように、i型化(真性化)または実質的にi型化された酸化物半導体層106を用いることで、極めて優れたオフ電流特性のトランジスタを得ることができる。

30

【0047】

また、酸化物半導体層106のナトリウム濃度は 5×10^{16} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³以下、さらに好ましくは 1×10^{15} atoms/cm³以下とする。また、酸化物半導体層106のリチウム濃度は 5×10^{15} atoms/cm³以下、好ましくは 1×10^{15} atoms/cm³以下とする。また、酸化物半導体層106のカリウム濃度は 5×10^{15} atoms/cm³以下、好ましくは 1×10^{15} atoms/cm³以下とする。なお、上述の酸化物半導体層106中のナトリウム濃度、リチウム濃度およびカリウム濃度は、二次イオン質量分析法で測定されるものである。アルカリ金属、およびアルカリ土類金属は酸化物半導体にとっては悪性的不純物であり、少ない方がよい。特にアルカリ金属のうち、ナトリウムは酸化物半導体に接する絶縁膜が酸化物であった場合、その中に拡散し、Na⁺となる。また、酸化物半導体内において、金属と酸素の結合を分断し、あるいは結合中に割り込む。その結果、トランジスタ特性の劣化(例えば、ノーマリーオン化(しきい値の負へのシフト)、移動度の低下等)をもたらす。加えて、特性のばらつきの原因ともなる。このような問題は、特

40

50

に酸化物半導体中の水素の濃度が十分に低い場合において顕著となる。したがって、酸化物半導体中の水素の濃度が $5 \times 10^{19} \text{ cm}^{-3}$ 以下、特に $5 \times 10^{18} \text{ cm}^{-3}$ 以下である場合には、アルカリ金属の濃度を上記の値にすることが強く求められる。

【0048】

このような高純度化された酸化物半導体は界面準位および界面電荷に対して極めて敏感であるため、ゲート絶縁膜104と酸化物半導体層106の界面の状態（界面準位、界面電荷など）を適切なものとなるよう調整することは重要である。そのため、高純度化された酸化物半導体に接するゲート絶縁膜104は、高品質であることが好ましい。ここで、「ゲート絶縁膜104が高品質である」とは、ゲート絶縁膜104の表面もしくは膜中に含まれる欠陥が少なく、電荷をトラップする欠陥準位や界面準位が少なく、固定電荷が発生しづらいことなどが挙げられる。10

【0049】

ゲート絶縁膜104は、例えば、マイクロ波（例えば周波数2.45GHz）を用いた高密度プラズマCVD法により形成されることで、緻密で絶縁耐圧を高くできるため好ましい。高純度化された酸化物半導体層と高品質なゲート絶縁膜が密接するように形成されると、界面準位を低減し、界面特性を良好なものとすることができるからである。

【0050】

もちろん、ゲート絶縁膜104として高品質な絶縁層を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用してもよい。

【0051】

また、酸化物半導体層106に接するゲート絶縁膜104は、第13族元素および酸素を含む絶縁材料としてもよい。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁層に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。また、後述する、酸化物半導体膜の保護膜として機能する絶縁膜116についても同様に第13族元素および酸素を含む絶縁材料としてもよい。20

【0052】

ここで、第13族元素を含む絶縁材料とは、絶縁材料に一または複数の第13族元素を含むことを意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子%）よりアルミニウムの含有量（原子%）が多いものを示し、酸化ガリウムアルミニウムとは、アルミニウムの含有量（原子%）よりガリウムの含有量（原子%）が多いものを示す。30

【0053】

例えば、ガリウムを含有する酸化物半導体層に接してゲート絶縁膜を形成する場合に、ゲート絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体層とゲート絶縁膜の界面特性を良好に保つことができる。また、酸化物半導体層と酸化ガリウムを含む絶縁層とを接して設けることにより、酸化物半導体層と絶縁層の界面における水素のパイルアップを低減することができる。なお、絶縁層に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁層を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。40

【0054】

また、酸化物半導体層106に接する絶縁層、例えばゲート絶縁膜104は、酸素雰囲気下による熱処理や、酸素ドープなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドープとは、酸素をバルクに添加することをいう。なお、当該バルクという用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドープには、プラズマ化した酸素をバルクに添加する酸素プラズマドープが含まれる。また、酸素ドープは、イオン注入法またはイオンドー50

ピング法を用いて行ってもよい。

【0055】

例えば、酸化物半導体層106に接する絶縁層として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムの組成を Ga_2O_x ($x = 3 + , 0 < x < 1$)とすることができます。また、酸化物半導体層106に接する絶縁層として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化アルミニウムの組成を Al_2O_x ($x = 3 + , 0 < x < 1$)とすることができます。または、酸化物半導体層106に接する絶縁層として酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムアルミニウム(酸化アルミニウムガリウム)の組成を $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+}$ ($0 < x < 2 , 0 < x < 1$)とすることができます。
10

【0056】

酸素ドープ処理等を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁層を形成することができる。このような領域を備える絶縁層と酸化物半導体層が接することにより、絶縁層中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、または酸化物半導体層と絶縁層の界面における酸素不足欠陥を低減し、脱水化処理または脱水素化処理された酸化物半導体層を*i*型化または*i*型に限りなく近い酸化物半導体とすることがことができる。

【0057】

なお、化学量論的組成比より酸素が多い領域を有する絶縁層は、ゲート絶縁膜104に代えて、酸化物半導体層106の保護膜として形成する絶縁膜(例えば、後述する絶縁膜116など)に適用しても良く、ゲート絶縁膜104および保護膜として形成する絶縁膜の双方に適用しても良い。
20

【0058】

用いる酸化物半導体としては、少なくともインジウム(*In*)あるいは亜鉛(*Zn*)を含むことが好ましい。特に*In*と*Zn*を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(*Ga*)を有することが好ましい。また、スタビライザーとしてスズ(*Sn*)を有することが好ましい。また、スタビライザーとしてハフニウム(*Hf*)を有することが好ましい。また、スタビライザーとしてアルミニウム(*Al*)を有することが好ましい。
30

【0059】

また、他のスタビライザーとして、ランタノイドである、ランタン(*La*)、セリウム(*Ce*)、プラセオジム(*Pr*)、ネオジム(*Nd*)、サマリウム(*Sm*)、ユウロピウム(*Eu*)、ガドリニウム(*Gd*)、テルビウム(*Tb*)、ジスプロシウム(*Dy*)、ホルミウム(*Ho*)、エルビウム(*Er*)、ツリウム(*Tm*)、イッテルビウム(*Yb*)、ルテチウム(*Lu*)のいずれか一種あるいは複数種を有してもよい。

【0060】

酸化物半導体層106を形成する酸化物半導体としては、四元系金属酸化物である*In-Sn-Ga-Zn*系酸化物、*In-Hf-Ga-Zn*系酸化物、*In-Al-Ga-Zn*系酸化物、*In-Sn-A1-Zn*系酸化物、*In-Sn-Hf-Zn*系酸化物、*In-Hf-Al-Zn*系酸化物や、三元系金属酸化物である*In-Ga-Zn*系酸化物(*IGZO*とも表記する)、*In-Al-Zn*系酸化物、*In-Sn-Zn*系酸化物、*Sn-Ga-Zn*系酸化物、*Al-Ga-Zn*系酸化物、*Sn-Al-Zn*系酸化物、*In-Hf-Zn*系酸化物、*In-La-Zn*系酸化物、*In-Ce-Zn*系酸化物、*In-Pr-Zn*系酸化物、*In-Nd-Zn*系酸化物、*In-Sm-Zn*系酸化物、*In-Eu-Zn*系酸化物、*In-Gd-Zn*系酸化物、*In-Tb-Zn*系酸化物、*In-Dy-Zn*系酸化物、*In-Ho-Zn*系酸化物、*In-Er-Zn*系酸化物、*In-Tm-Zn*系酸化物、*In-Yb-Zn*系酸化物、*In-Lu-Zn*系酸化物や、二元系金属酸化物である*In-Zn*系酸化物、*Sn-Zn*系酸化物、*Al-Zn*系酸化物、*Zn-Mg*系酸
40

化物、 $In - Mg$ 系酸化物、 $In - Mg$ 系酸化物、 $In - Ga$ 系酸化物や、単元系金属酸化物である酸化インジウム、酸化スズ、酸化亜鉛などを用いることができる。 $In - Ga - Zn$ 系酸化物とは、 In と Ga と Zn を主成分として有する酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素が入っていてもよい。

【0061】

また、酸化物半導体層 106 は、化学式 $InMO_3 (ZnO)_m (m > 0)$ で表記される薄膜を用いることができる。ここで、M は、 Zn 、 Ga 、 Al 、 Mn および Co から選ばれた一または複数の金属元素を示す。例えば M として、 Ga 、 Ga および Al 、 Ga および Mn 、または Ga および Co などがある。

10

【0062】

また、酸化物半導体層 106 を形成する酸化物半導体の薄膜をスパッタリング法で形成するためのターゲットとしては、例えば、組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol 比] の酸化物半導体成膜用ターゲットを用いて、 $In - Ga - Zn$ 系酸化物膜を成膜する。また、このターゲットの材料および組成に限定されず、例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol 比] の酸化物半導体成膜用ターゲットを用いてもよい。なお、ここで、例えば、 $In - Ga - Zn$ 系酸化物膜とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物膜、という意味であり、その組成比はとくに問わない。

【0063】

また、酸化物半導体として $In - Zn$ 系の酸化物を用いる場合、用いるターゲットの組成比は、原子数比で、 $In : Zn = 50 : 1 \sim 1 : 2$ (モル比に換算すると $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$)、好ましくは $In : Zn = 20 : 1 \sim 1 : 1$ (モル比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$)、さらに好ましくは $In : Zn = 15 : 1 \sim 1.5 : 1$ (モル比に換算すると $In_2O_3 : ZnO = 15 : 2 \sim 3 : 4$) とする。例えば、 $In - Zn - O$ 系酸化物半導体の形成に用いるターゲットは、原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

20

【0064】

また、 $In - Sn - Zn$ 系の酸化物は、ITZO と呼ぶことができ、用いるターゲットの組成比は、原子数比で、 $In : Sn : Zn = 1 : 2 : 2$ 、 $In : Sn : Zn = 2 : 1 : 3$ 、 $In : Sn : Zn = 1 : 1 : 1$ 、または $In : Sn : Zn = 20 : 45 : 35$ などとなる酸化物ターゲットを用いる。

30

【0065】

また、酸化物半導体層 106 となる半導体膜の厚さは、3 nm 以上 30 nm 以下とするのが望ましい。酸化物半導体層 106 となる半導体膜を厚くしすぎると(例えば、膜厚を 50 nm 以上)、トランジスタがノーマリーオンとなってしまう恐れがあるためである。

【0066】

ここでは、酸化物半導体層 106 となる半導体膜は、 $In - Ga - Zn - O$ 系の酸化物半導体成膜用ターゲットを用いてスパッタリング法により減圧雰囲気下で形成される。

40

【0067】

また、酸化物半導体成膜用ターゲットの充填率は 90 % 以上 100 % 以下、好ましくは 95 % 以上 99.9 % 以下である。このように、充填率の高い酸化物半導体成膜用ターゲットを用いることにより、成膜される酸化物半導体膜を緻密な膜とすることができます。

【0068】

例えば、酸化物半導体層は、次のように形成することができる。

【0069】

まず、減圧状態に保持された成膜室内に基板を保持し、基板温度が、200 を超えて 500 以下、好ましくは 300 を超えて 500 以下、より好ましくは 350 以上 450 以下となるように加熱する。

【0070】

50

次に、成膜室内の残留水分を除去しつつ、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを導入し、上記ターゲットを用いて基板上に酸化物半導体層を成膜する。成膜室内の残留水分を除去するためには、排気手段として、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどの吸着型の真空ポンプを用いることが望ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素、水、水酸基または水素化物などの不純物（より好ましくは炭素原子を含む化合物も）などが除去されているため、当該成膜室で成膜した酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を低減することができる。

【0071】

10

成膜中の基板温度が低温（例えば、100以下）の場合、酸化物半導体に水素原子を含む物質が混入するおそれがあるため、基板を上述の温度で加熱することが好ましい。基板を上述の温度で加熱して、酸化物半導体層の成膜を行うことにより、基板温度は高温となるため、水素結合は熱により切断され、水素原子を含む物質が酸化物半導体層に取り込まれにくい。したがって、基板が上述の温度で加熱された状態で、酸化物半導体層の成膜を行うことにより、酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を十分に低減することができる。また、スパッタリングによる酸化物半導体層の損傷を軽減することができる。

【0072】

20

成膜条件の一例として、基板とターゲットの間との距離を60mm、圧力を0.4Pa、直流(DC)電源を0.5kW、基板温度を400、成膜雰囲気を酸素（酸素流量比率100%）雰囲気とする。なお、パルス直流電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も小さくなるため好ましい。

【0073】

なお、酸化物半導体層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、酸化物半導体層の被形成表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、基板に電圧を印加し、基板近傍にプラズマを形成して、基板側の表面を改質する方法である。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

【0074】

30

なお、酸化物半導体層106を形成する前に予備加熱を行うことで、予め脱水化または脱水素化しておいてもよい。

【0075】

なお、酸化物半導体層106となる半導体膜を形成する前には、成膜室内の残留水分と水素を十分に除去することが好ましい。従って、酸化物半導体層106となる半導体膜の形成前に、吸着型の真空ポンプ（例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプ）を用いて排気を行うことが好ましい。

【0076】

また、酸化物半導体層は、第1の結晶性酸化物半導体層上に第1の結晶性酸化物半導体層よりも厚い第2の結晶性酸化物半導体層を有する積層構造としてもよい。このような積層構造を有する酸化物半導体層は以下の方法で形成することができる。

40

【0077】

まず、ゲート絶縁膜104上に膜厚1nm以上10nm以下の第1の結晶性酸化物半導体層を形成する。第1の結晶性酸化物半導体層の形成は、スパッタリング法を用い、そのスパッタリング法による成膜時における基板温度は200以上400以下とする。次いで、基板を配置するチャンバー雰囲気を窒素、または乾燥空気とし、第1の加熱処理を行う。当該加熱処理の温度は、400以上750以下とする。

【0078】

成膜時における基板温度や第1の加熱処理の温度にもよるが、このような加熱処理によって、膜表面から結晶化が起こり、膜の表面から内部に向かって結晶成長し、c軸配向し

50

た結晶が得られる。加熱処理によって、亜鉛と酸素が膜表面に多く集まり、上平面が六角形をなす亜鉛と酸素からなるグラフェンタイプの二次元結晶が最表面に1層または複数層形成され、これが膜厚方向に成長して重なり積層となる。加熱処理の温度を上げると表面から内部、そして内部から底部と結晶成長が進行する。

【0079】

次いで、第1の結晶性酸化物半導体層上に10nmよりも厚い第2の酸化物半導体層を形成する。第2の酸化物半導体層の形成は、スパッタリング法を用い、その成膜時における基板温度は200以上400以下とする。成膜時における基板温度を200以上400以下とすることにより、第1の結晶性酸化物半導体層の表面上に接して成膜する酸化物半導体層にプリカーサの整列が起き、所謂、秩序性を持たせることができる。

10

【0080】

次いで、基板を配置するチャンバー雰囲気を窒素、または乾燥空気とし、第2の加熱処理を行う。当該加熱処理の温度は、400以上750以下とする。当該加熱処理によって第2の結晶性酸化物半導体層を形成する。当該加熱処理は、窒素雰囲気下、酸素雰囲気下、或いは窒素と酸素の混合雰囲気下で行うことにより、第2の結晶性酸化物半導体層の高密度化および欠陥数の減少を図る。第2の加熱処理によって、第1の結晶性酸化物半導体層を核として膜厚方向、即ち底部から内部に結晶成長が進行して第2の結晶性酸化物半導体層が形成される。

【0081】

また、上記作製方法により、得られる第1の結晶性酸化物半導体層および第2の結晶性酸化物半導体層は、c軸配向を有していることを特徴の一つとしている。ただし、第1の結晶性酸化物半導体層および第2の結晶性酸化物半導体層は、c軸配向を有した結晶(C Axis Aligned Crystal; CAACとも呼ぶ)を含む酸化物を有する。なお、第1の結晶性酸化物半導体層および第2の結晶性酸化物半導体層は、一部に結晶粒界を有している。

20

【0082】

CAACを含む酸化物とは、広義に、非単結晶であって、そのab面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

30

【0083】

CAACは単結晶ではないが、非晶質のみから形成されているものでもない。また、CAACは結晶化した部分(結晶部分)を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0084】

CAACに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAACを構成する個々の結晶部分のc軸は一定の方向(例えば、CAACを支持する基板面、CAACの表面などに垂直な方向)に揃っていてもよい。または、CAACを構成する個々の結晶部分のab面の法線は一定の方向(例えば、CAACを支持する基板面、CAACの表面などに垂直な方向)を向いていてもよい。

40

【0085】

CAACは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0086】

このようなCAACの例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子(または窒素原子)の層状配列が認められる結晶を挙げることもできる。

【0087】

50

このような第1の結晶性酸化物半導体層と第2の結晶性酸化物半導体層の積層をトランジスタに用いることで、安定した電気的特性を有し、且つ、信頼性の高いトランジスタを実現できる。

【0088】

酸化物半導体層の加工は、所望の形状のマスクを酸化物半導体層上に形成した後、当該酸化物半導体層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。なお、酸化物半導体層のエッチングは、ドライエッティングでもウェットエッティングでもよい。もちろん、これらを組み合わせて用いてもよい。

10

【0089】

次に、酸化物半導体層106に加熱処理（第3の加熱処理）を行う。この加熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。加熱雰囲気は不活性雰囲気とし、加熱処理の温度は、250以上700以下、好ましくは450以上600以下とする。なお、基板の歪み点未満とすることが好ましい。本実施の形態では、加熱処理として、窒素雰囲気下450において1時間の加熱処理を行う。なお、加熱処理は酸化物半導体層106の形成後であればよく、このタイミングに限定されない。さらには、加熱処理を行う雰囲気は、窒素雰囲気に限定されず、酸素ガスと窒素ガスの混合ガス雰囲気でもよいし、酸素雰囲気でもよいし、水分が十分に除去された空気（Dry Air）でもよい。加熱処理後は、大気曝露を避けるなどして、酸化物半導体層106への水や水素の再混入を防ぐことが好ましい。

20

【0090】

また、第3の加熱処理を行った酸化物半導体層に、第4の加熱処理を行ってもよい。第4の加熱処理は、酸化性雰囲気にて加熱処理することにより酸化物半導体層中に酸素を供給して、第3の加熱処理の際に酸化物半導体層中に生じた酸素欠損を補填する目的がある。このため、第4の加熱処理は加酸素化処理ということもできる。第4の加熱処理は、例えば200以上基板の歪み点未満で行えばよい。好ましくは、250以上450以下とする。処理時間は3分～24時間とする。処理時間を長くするほど非晶質領域に対して結晶領域の割合の多い酸化物半導体層を形成することができるが、24時間を超える熱処理は生産性の低下を招くため好ましくない。

30

【0091】

このような熱処理を行うことによって不純物を低減した酸化物半導体層を形成することで、極めて優れた特性のトランジスタを実現することができる。

【0092】

次に、ゲート絶縁膜104および酸化物半導体層106を覆って保護導電膜107を形成し、保護導電膜107上に後に配線層112となる導電層108を形成する（図1（C）参照）。

【0093】

保護導電膜107は、後に導電層108から配線層112をエッチングして形成する際に導電層108の下層に存在する酸化物半導体層106を保護している。保護導電膜107を形成する導電性材料として、例えば、WまたはMoが挙げられる。導電層108を形成する導電性材料として、例えば、Ti、AlもしくはTaまたはこれらの窒化物が挙げられる。なお、導電層108は単層であってもよいし、複数の層が積層されて設けられていてもよい。本実施の形態では、導電層108はTi\Al\Tiの積層構造を用いる。

40

【0094】

また、酸化物半導体層106と接する金属膜として、酸素親和性の高い金属を用いると、酸化物半導体層106から酸素を引き抜きやすく、酸化物半導体層106が変質してしまう恐れがある。

【0095】

よって、酸化物半導体層106に接する金属膜として酸素親和性の低い金属を用いるこ

50

とが好ましい。本実施の形態では、酸化物半導体層 106 と接する金属膜は、保護導電膜 107 である W 膜を用いている。

【0096】

W を用いた保護導電膜 107 は、導電層 108 として用いる Ti と比較して酸素親和性が低い。W を用いた保護導電膜 107 を設けることで、酸化物半導体層 106 と Ti 膜とが接して形成されるより、酸化物半導体層 106 から酸素を引き抜く作用が弱くなるため、W 膜と酸化物半導体層 106 との接触界面が変質しにくい。そのため、酸化物半導体層 106 の一部が変質することによる酸化物半導体層 106 の実質的な膜厚減少を軽減することができる。

【0097】

次に、導電層 108 上にレジストマスク 110 を選択的に形成する（図 1 (D) 参照）。レジストマスク 110 は、フォトリソグラフィ法により形成すればよい。

【0098】

次に、レジストマスク 110 を用いて導電層 108 および保護導電膜 107 に対してエッチングを行って、配線層 112 および導電層 114 を形成する。配線層 112 および導電層 114 を形成するためのエッチング工程は、オーバーエッチングによる酸化物半導体層 106 の膜減りを極力低減するため、2 段階のエッチングにより行う。

【0099】

まず、レジストマスク 110 を用いて、保護導電膜 107 が露出するまで導電層 108 を選択的にエッチングする（第 1 のエッチング工程）。ここで、導電層 108 は、エッチングされて配線層 112 となる。配線層 112 は、少なくともトランジスタのソース電極およびドレイン電極を構成する（図 1 (E) 参照）。

【0100】

なお、第 1 のエッチング工程は、保護導電膜 107 が導電層 108 よりエッチングされにくく、導電層 108 と保護導電膜 107 とのエッチング選択比が高い条件で行う。例えば、エッチングガスとして塩素系ガスを用いることができる。ここで、塩素系ガスとしては、CCl₄、SiCl₄、BCl₃ および Cl₂ 等が挙げられる。特に好ましくは BCl₃ と Cl₂ の混合ガスを用いる。

【0101】

次に、酸化物半導体層 106 が露出するまで保護導電膜 107 を選択的にエッチングする（第 2 のエッチング工程）。ここで、保護導電膜 107 は、エッチングされて導電層 114 となる（図 1 (F) 参照）。なお、第 2 のエッチング工程では、酸化物半導体層 106 の露出領域において保護導電膜 107 が残渣なく除去され、かつ、酸化物半導体層 106 がエッチングされないことが好ましい。

【0102】

なお、第 2 のエッチング工程は、保護導電膜 107 が酸化物半導体層 106 よりエッチングされやすく、保護導電膜 107 と酸化物半導体層 106 とのエッチング選択比が高い条件で行う。例えば、エッチングガスとして塩素系ガスとフッ素系ガスの混合ガスを用いることができる。ここで、塩素系ガスとフッ素系ガスの混合ガスとしては、特に好ましくは SF₆ と Cl₂ の混合ガスを用いる。

【0103】

以上説明したように、保護導電膜 107 の効果により、チャネル形成領域となる部分の酸化物半導体層 106 の膜厚を保ちつつ、チャネル形成領域となる部分の配線層 112 を離間させることができる。このようなエッチング方法を採用して配線層 112 を形成することで、基板 100 が大面積基板であっても、基板面内におけるチャネル形成領域となる部分の酸化物半導体層 106 の膜厚にバラツキが生じることを軽減することができる。

【0104】

そして、レジストマスク 110 を除去する。また、酸化物半導体層、保護導電膜、配線層上に絶縁膜 116 を形成することが好ましい。以上の工程で、本実施の形態のトランジスタ 120 が完成する（図 1 (G) 参照）。絶縁膜 116 は、酸化シリコン、窒化シリコ

10

20

30

40

50

ン、酸化窒化シリコンなどにより形成すればよく、スパッタリング法により形成することができる。また、絶縁膜 116 はゲート絶縁膜 104 と同様の材料を用いることができる。

【0105】

絶縁膜 116 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第 4 の熱処理を行うのが望ましい。熱処理の温度は、200 以上 450 以下、望ましくは 250 以上 350 以下である。例えば、窒素雰囲気下で 250 、1 時間の熱処理を行えばよい。第 4 の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、絶縁膜 116 が酸素を含む場合、脱水化または脱水素化された酸化物半導体層 106 に酸素を供給し、該酸化物半導体層 106 の酸素欠損を補填して、i 型 (真性) 半導体または i 型に限りなく近い酸化物半導体層を形成することもできる。10

【0106】

なお、本実施の形態では、絶縁膜 116 の形成後に第 4 の熱処理を行っているが、第 4 の熱処理のタイミングはこれに限定されない。例えば、第 3 の熱処理に続けて第 4 の熱処理を行っても良いし、第 3 の熱処理に第 4 の熱処理を兼ねさせても良いし、第 4 の熱処理に第 3 の熱処理を兼ねさせても良い。

【0107】

上述の方法を用いて形成することにより、高純度化された酸化物半導体層 106 を適用したトランジスタは、オフ状態における電流値 (オフ電流値) を、チャネル幅 1 μm当たり 10 zA / μm 未満、85 °C にて 100 zA / μm 未満レベルにまで低くすることができる。すなわち、測定限界近傍または測定限界近傍以下までオフ電流を下げることができる。20

【0108】

本明細書中に開示される半導体装置の一態様において、高性能、高信頼性のトランジスタを作製することができる。

【0109】

本実施の形態は、他の実施の形態と自由に組み合わせて実施することが可能である。

【0110】

(実施の形態 2)

本発明は、実施の形態 1 に示した形態に限定されない。例えば、本明細書に開示される半導体装置は、配線層上にゲート電極層が配置されたトップゲート構造であってもよい。30

【0111】

まず、基板 200 上に好ましくは下地絶縁層 201 を形成し、下地絶縁層 201 上に酸化物半導体層 206 を選択的に形成する (図 2 (A) 参照)。

【0112】

基板 200 は、実施の形態 1 の基板 100 と同様のものを用いればよい。

【0113】

下地絶縁層 201 は、実施の形態 1 のゲート絶縁膜 104 などと同様の材料および形成方法により形成することができる。

【0114】

酸化物半導体層 206 は、実施の形態 1 の酸化物半導体層 106 と同様の材料および形成方法により形成することができる。40

【0115】

次に、下地絶縁層 201 および酸化物半導体層 206 を覆って保護導電膜 207 を形成し、保護導電膜 207 上に後に配線層 212 となる導電層 208 を形成する (図 2 (B) 参照)。

【0116】

保護導電膜 207 は、実施の形態 1 の保護導電膜 107 と同様の材料および形成方法により形成することができる。また、導電層 208 は、実施の形態 1 の導電層 108 と同様の材料および形成方法により形成することができる。本実施の形態では、導電層 208 は50

Ti\Al\Tiの積層構造を用いる。

【0117】

また、酸化物半導体層と接する金属膜として、酸素親和性の高い金属を用いると、酸化物半導体層から酸素を引き抜きやすく、酸化物半導体層を変質してしまう恐れがある。

【0118】

よって、酸化物半導体層に接する金属膜として酸素親和性の低い金属を用いることが好ましい。本実施の形態では、酸化物半導体層と接する金属膜は、保護導電膜であるW膜を用いている。

【0119】

Wを用いた保護導電膜は、導電層208として用いるTiと比較して酸素親和性が低い。Wを用いた保護導電膜を設けることで、酸化物半導体層とTi膜とが接して形成されるより、酸化物半導体層から酸素を引き抜く作用が弱くなるため、W膜と酸化物半導体層との接触界面が変質しにくい。そのため、酸化物半導体層の一部が変質することによる酸化物半導体層の実質的な膜厚減少を軽減することができる。

【0120】

次に、導電層208上にレジストマスク210を選択的に形成する(図2(C)参照)。レジストマスク210は、実施の形態1のレジストマスク110と同様にフォトリソグラフィ法により形成することができる。

【0121】

次に、レジストマスク210を用いて導電層208および保護導電膜207に対してエッチングを行って、配線層212および導電層214を形成する。配線層212は、少なくともトランジスタのソース電極およびドレイン電極を構成する。配線層212および導電層214を形成するためのエッチング工程は、オーバーエッチングによる酸化物半導体層206の膜減りを極力低減するため、2段階のエッチングにより行う。

【0122】

まず、レジストマスク210を用いて、保護導電膜207が露出するまで導電層208を選択的にエッチングする(第1のエッチング工程)。ここで、導電層208は、エッチングされて配線層212となる(図2(D)参照)。

【0123】

なお、第1のエッチング工程は、保護導電膜207が導電層208よりエッチングされにくく、導電層208と保護導電膜207とのエッチング選択比が高い条件で行う。例えば、エッチングガスとして塩素系ガスを用いることができる。ここで、塩素系ガスとしては、CCl₄、SiCl₄、BCl₃およびCl₂が挙げられる。特に好ましくはBCl₃とCl₂の混合ガスを用いる。

【0124】

次に、酸化物半導体層206が露出するまで保護導電膜207を選択的にエッチングする(第2のエッチング工程)。ここで、保護導電膜207は、エッチングされて導電層214となる(図2(E)参照)。なお、第2のエッチング工程では、酸化物半導体層206の露出領域において保護導電膜207が残渣なく除去され、かつ、酸化物半導体層206がエッチングされないことが好ましい。

【0125】

なお、第2のエッチング工程は、保護導電膜207が酸化物半導体層206よりエッチングされやすく、保護導電膜207と酸化物半導体層206とのエッチング選択比が高い条件で行う。例えば、エッチングガスとして塩素系ガスとフッ素系ガスの混合ガスを用いることができる。ここで、塩素系ガスとフッ素系ガスの混合ガスとしては、特に好ましくはSF₆とCl₂との混合ガスを用いる。

【0126】

以上説明したように、保護導電膜207の効果により、チャネル形成領域となる部分の酸化物半導体層206の膜厚を保ちつつ、チャネル形成領域となる部分の配線層212を離間させることができる。このようなエッチング方法を採用して配線層212を形成する

10

20

30

40

50

ことで、基板 200 が大面積基板であっても、基板面内におけるチャネル形成領域となる部分の酸化物半導体層 206 の膜厚にバラツキが生じることを軽減することができる。

【0127】

そして、レジストマスク 210 を除去する。また、酸化物半導体層、保護導電膜、配線層上にゲート絶縁膜 204 を形成し、酸化物半導体層 206 と重畳してゲート電極層 202 を選択的に形成する。以上の工程で、本実施の形態のトランジスタ 220 が完成する(図 2(F))。ゲート絶縁膜 204 は、実施の形態 1 のゲート絶縁膜 104 などと同様の材料および形成方法により形成することができ、ゲート電極層 202 は、実施の形態 1 のゲート電極層 102 などと同様の材料および形成方法により形成することができる。

【0128】

なお、本実施の形態においても、酸化物半導体層は高純度化されている。高純度化された酸化物半導体層である酸化物半導体層 206 を適用したトランジスタは、オフ状態における電流値(オフ電流値)を、チャネル幅 1 μm当たり 10 zA / μm未満、85 にて 100 zA / μm未満レベルにまで低くすることができる。すなわち、測定限界近傍または測定限界近傍以下までオフ電流を下げることができる。

【0129】

本明細書中に開示される半導体装置の一態様において、高性能、高信頼性のトランジスタを作製することができる。

【0130】

本実施の形態は、他の実施の形態と自由に組み合わせて実施することが可能である。

【0131】

本発明は、実施の形態 1 および実施の形態 2 に示した形態に限定されず、本発明の趣旨から逸脱しない範囲で異なる形態であってもよい。

【0132】

(実施の形態 3)

本実施の形態では、半導体装置の一形態に相当する液晶表示パネルの外観および断面について、図 3 を用いて説明する。図 3 に示す液晶表示パネルは、実施の形態 1 で示したトランジスタを用いているが、これに限らず、実施の形態 1 または実施の形態 2 で示したトランジスタを含むことができる。図 3(A) および図 3(C) は、トランジスタ 4010、トランジスタ 4011、および液晶素子 4013 を、第 1 の基板 4001 と第 2 の基板 4006との間にシール材 4005 によって封止した、パネルの平面図であり、図 3(B) は、図 3(A) または図 3(C) の M-N における断面図に相当する。

【0133】

第 1 の基板 4001 上に設けられた画素部 4002 と、走査線駆動回路 4004 とを囲むようにして、シール材 4005 が設けられている。また、画素部 4002 と、走査線駆動回路 4004 の上に第 2 の基板 4006 が設けられている。よって、画素部 4002 と、走査線駆動回路 4004 とは、第 1 の基板 4001 とシール材 4005 と第 2 の基板 4006 とによって、液晶層 4008 と共に封止されている。また、第 1 の基板 4001 上のシール材 4005 によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜または多結晶半導体膜で形成された信号線駆動回路 4003 が実装されている。

【0134】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG 方法、ワイヤボンディング方法、或いは TAB 方法などを用いることができる。図 3(A) は、COG 方法により信号線駆動回路 4003 を実装する例であり、図 3(C) は、TAB 方法により信号線駆動回路 4003 を実装する例である。

【0135】

また、第 1 の基板 4001 上に設けられた画素部 4002 と、走査線駆動回路 4004 は、トランジスタを複数有しており、図 3(B) では、画素部 4002 に含まれるトランジスタ 4010 と、走査線駆動回路 4004 に含まれるトランジスタ 4011 とを例示し

10

20

30

40

50

ている。図3(B)において、トランジスタ4011、トランジスタ4010上には絶縁層4041、絶縁層4042、絶縁層4021が設けられている。

【0136】

トランジスタ4010、トランジスタ4011には、実施の形態1または実施の形態2で示したトランジスタを用いることができる。本実施の形態において、トランジスタ4010、トランジスタ4011はnチャネル型トランジスタである。

【0137】

また、液晶素子4013が有する画素電極層4030は、トランジスタ4010と電気的に接続されている。そして、液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031にはそれぞれ配向膜として機能する絶縁層4032、絶縁層4033が設けられ、絶縁層4032、絶縁層4033を介して液晶層4008を挟持している。10

【0138】

なお、第1の基板4001、第2の基板4006としては、透光性基板を用いることができ、ポリエステルフィルム、またはアクリル樹脂フィルムなどのプラスチックや、ガラスや、セラミックスなどを用いることができる。

【0139】

また、柱状のスペーサ4035は絶縁層を選択的にエッティングすることで得られ、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いていても良い。また、対向電極層4031は、トランジスタ4010と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一対の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電気的に接続することができる。なお、導電性粒子はシール材4005に含有させる。20

【0140】

また、配向膜を用いないブルー相を示す液晶を用いてもよく、その場合には横電界方式とするため、図3に示す電極配置と異なる配置とする。例えば、同一絶縁層上に画素電極層と共通電極層とを並べて配置し、液晶層に横電界を印加する。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1ms以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。30

【0141】

なお透過型液晶表示装置の他に、半透過型液晶表示装置でも適用できる。

【0142】

また、液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層(カラーフィルター)、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板および着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとして機能する遮光膜を設けてもよい。40

【0143】

トランジスタ4011、トランジスタ4010上には、酸化物半導体層に接して絶縁層4041が形成されている。また、絶縁層4041上に接して保護絶縁層4042を形成する。なお、トランジスタの表面凹凸を低減するために、保護絶縁層4042を平坦化絶縁膜として機能する絶縁層4021で覆う構成としてもよい。

【0144】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有50

機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0145】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーラー、カーテンコーラー、ナイフコーラー等を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

10

【0146】

画素電極層4030、対向電極層4031は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（ITOともいう）、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。また、1枚乃至10枚のグラフェンシートよりなる材料を用いてもよい。

【0147】

また、別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号および電位は、FPC4018から供給されている。

20

【0148】

接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、トランジスタ4010、トランジスタ4011のソース電極およびドレイン電極と同じ導電膜で形成されている。

【0149】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電気的に接続されている。

【0150】

また、図3においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

30

【0151】

本実施の形態で示す液晶表示パネルは、実施の形態1または実施の形態2で示した電気的特性が良好で、信頼性の高いトランジスタを用いて構成されているため、良好な品質を有する液晶表示パネルとすることが可能である。

【0152】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などを適宜組み合わせて用いることができる。

【0153】

40

(実施の形態4)

本実施の形態では、半導体装置の一形態として電子ペーパーの例を示す。

【0154】

実施の形態1または実施の形態2に示すトランジスタは、スイッチング素子と電気的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0155】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の

50

粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

【0156】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。

【0157】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0158】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1または実施の形態2のトランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0159】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0160】

図4は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられるトランジスタ581としては、実施の形態1または実施の形態2で示すトランジスタと同様に作製でき、電気的特性が良好で、信頼性の高いトランジスタである。

【0161】

図4の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層および第2の電極層の間に配置し、第1の電極層および第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0162】

図4において、トランジスタ581はボトムゲート構造のトランジスタであり、実施の形態1または実施の形態2で示したトランジスタを用いることができる。

【0163】

トランジスタ581のソース電極またはドレイン電極は、絶縁層583、絶縁層585に形成される開口において、第1の電極層587と接続しており電気的に接続している。第1の電極層587と第2の電極層588との間には黒色領域590aおよび白色領域590bを有し、周りに液体で満たされている球形粒子589が一対の基板580、基板596の間に設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている。

【0164】

また、第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、トランジスタ581と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一対の基板580、基板596間に配置される導電性粒子を介して第2の電極層588と共通電位線とを電気的に接続することができる。

10

20

30

40

50

【 0 1 6 5 】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径 $10 \mu m \sim 200 \mu m$ 程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、または表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【 0 1 6 6 】

以上の工程により、実施の形態1または実施の形態2で示すトランジスタを有する電子ペーパーを作製することができる。本実施の形態で示す電子ペーパーは、実施の形態1または実施の形態2で示した電気的特性が良好で、信頼性の高いトランジスタを用いて構成されているため、良好な品質を有する電子ペーパーとすることが可能である。

【 0 1 6 7 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 0 1 6 8 】**(実施の形態 5)**

本実施の形態では、半導体装置の一例として、記憶媒体（メモリ素子）を示す。本実施の形態では、実施の形態1で示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の材料を用いたトランジスタとを同一基板上に形成する。

【 0 1 6 9 】

図5は、半導体装置の構成の一例である。図5(A)には、半導体装置の断面を、図5(B)には、半導体装置の平面を、それぞれ示す。ここで、図5(A)は、図5(B)のA1-A2およびB1-B2における断面に相当する。また、図5(C)には、上記半導体装置をメモリ素子として用いる場合の回路図の一例を示す。図5(A)および図5(B)に示される半導体装置は、下部に第1の半導体材料を用いたトランジスタ360を有し、上部に第2の半導体材料を用いたトランジスタ362を有する。本実施の形態では、第1の半導体材料を酸化物半導体以外の半導体材料とし、第2の半導体材料を酸化物半導体とする。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。このような半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【 0 1 7 0 】

図5におけるトランジスタ360は、半導体材料（例えば、シリコンなど）を含む基板300に設けられたチャネル形成領域316と、チャネル形成領域316を挟むように設けられた不純物領域320と、不純物領域320に接する金属化合物領域324と、チャネル形成領域316上に設けられたゲート絶縁膜308と、ゲート絶縁膜308上に設けられたゲート電極310と、を有する。

【 0 1 7 1 】

半導体材料を含む基板300は、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料

からなる半導体層が設けられた構成の基板も含む。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【0172】

トランジスタ360の金属化合物領域324の一部には、電極326が接続されている。ここで、電極326は、トランジスタ360のソース電極やドレイン電極として機能する。また、トランジスタ360を囲むように素子分離絶縁層306が設けられており、トランジスタ360を覆うように絶縁層328が設けられている。なお、高集積化を実現するためには、図5に示すようにトランジスタ360がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ360の特性を重視する場合には、ゲート電極310の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域320を設けても良い。10

【0173】

トランジスタ360は公知の技術を用いて作製することができる。半導体材料として、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いたトランジスタ360は、高速動作が可能であるという特徴を有する。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

【0174】

トランジスタ360を形成した後、トランジスタ362および容量素子364の形成前の処理として、絶縁層328にCMP処理を施して、ゲート電極310の上面を露出させる。ゲート電極310の上面を露出させる処理としては、CMP処理の他にエッチング処理などを適用することも可能であるが、トランジスタ362の特性を向上させるために、絶縁層328の表面は可能な限り平坦にしておくことが望ましい。20

【0175】

次に、ゲート電極310、絶縁層328などの上に導電層を形成し、該導電層を選択的にエッチングして、トランジスタ362のゲート電極348aを形成する。図5に示す半導体装置のトランジスタ362は、ゲート電極348aと、ゲート電極348aを覆うゲート絶縁膜346と、ゲート絶縁膜346上にゲート電極348aと重畳するように設けられた酸化物半導体層344と、酸化物半導体層344と電気的に接続されている導電膜341a、ソース電極342aおよび導電膜341b、ドレイン電極342bと、を有する。詳細については、実施の形態1または実施の形態2に示すトランジスタの記載を参照することができる。なお、図5において、ゲート絶縁膜346は酸化物半導体層344とちょうど重畳するように設けられているがこれに限られることなく、少なくともゲート電極348aを覆い、かつ、電極326と導電膜341a、ソース電極342aとが電気的に接続され、ゲート電極310と導電膜341b、ドレイン電極342bとが電気的に接続されるように設ければよい。30

【0176】

また、図5に示す半導体装置においては、トランジスタ362上に絶縁層357が設けられ、絶縁層357上にドレイン電極342bと少なくとも一部が重畳するように導電層358が設けられる。つまり、導電層358は容量素子364の一方の電極として機能する。ここで、絶縁層357はゲート絶縁膜346と同様の材料で形成することができ、導電層358はゲート電極348aと同様の材料で形成することができる。40

【0177】

また、絶縁層357および導電層358の上には絶縁層350が設けられている。そして、絶縁層350上には配線354が設けられ、当該配線354はゲート絶縁膜346、絶縁層350などに形成された開口を介してソース電極342aと接続されている。ここで、配線354は、少なくともトランジスタ362の酸化物半導体層344の一部と重畳するように設けられる。

【0178】

10

20

30

40

50

また、図5に示す半導体装置において、トランジスタ360と、トランジスタ362とは、少なくとも一部が重畠するように設けられている。特に、トランジスタ360のソース領域またはドレイン領域と酸化物半導体層344の一部が重畠するように設けられている。また、配線354は、少なくとも酸化物半導体層344の一部と重畠するように設けられている。また、トランジスタ362や容量素子364が、トランジスタ360と重畠するように設けられている。例えば、容量素子364の導電層358は、トランジスタ360のゲート電極310と少なくとも一部が重畠して設けられている。このような、平面レイアウトを採用することにより、半導体装置の高集積化を図ることができる。例えば、当該半導体装置を用いてメモリセルを構成する場合、最小加工寸法をFとして、メモリセルの占める面積を $15F^2 \sim 25F^2$ とすることが可能である。

10

【0179】

図5(C)には、上記半導体装置をメモリ素子として用いる場合の回路図の一例を示す。図5(C)において、トランジスタ362のソース電極またはドレイン電極の一方と、容量素子364の電極の一方と、トランジスタ360のゲート電極と、は電気的に接続されている。また、第1の配線(1st Line: ソース線とも呼ぶ)とトランジスタ360のソース電極とは、電気的に接続され、第2の配線(2nd Line: ビット線とも呼ぶ)とトランジスタ360のドレイン電極とは、電気的に接続されている。また、第3の配線(3rd Line: 第1の信号線とも呼ぶ)とトランジスタ362のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線(4th Line: 第2の信号線とも呼ぶ)と、トランジスタ362のゲート電極とは、電気的に接続されている。そして、第5の配線(5th Line: ワード線とも呼ぶ)と、容量素子364の電極の他方は電気的に接続されている。

20

【0180】

酸化物半導体を用いたトランジスタ362は、オフ電流が極めて小さいという特徴を有しているため、トランジスタ362をオフ状態とすることで、トランジスタ362のソース電極またはドレイン電極の一方と、容量素子364の電極の一方と、トランジスタ360のゲート電極とが電気的に接続されたノード(以下、ノードFG)の電位を極めて長時間にわたって保持することが可能である。そして、容量素子364を有することにより、ノードFGに与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

30

【0181】

半導体装置に情報を記憶させる場合(書き込み)は、まず、第4の配線の電位を、トランジスタ362がオン状態となる電位にして、トランジスタ362をオン状態とする。これにより、第3の配線の電位が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。ここでは、異なる二つの電位レベルを与える電荷(以下、ロー(Low)レベル電荷、ハイ(High)レベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ362がオフ状態となる電位にして、トランジスタ362をオフ状態とすることにより、ノードFGが浮遊状態となるため、ノードFGには所定の電荷が保持されたままの状態となる。以上のように、ノードFGに所定量の電荷を蓄積および保持させることで、メモリセルに情報を記憶させることができる。

40

【0182】

トランジスタ362のオフ電流は極めて小さいため、ノードFGに供給された電荷は長時間にわたって保持される。したがって、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となり、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0183】

記憶された情報を読み出す場合(読み出し)は、第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、ノードFGに保持された電荷量に応じて、トランジスタ360は異なる状態をとる。一般に、トランジスタ

50

360をnチャネル型とすると、ノードFGにHighレベル電荷が保持されている場合のトランジスタ360の見かけのしきい値 V_{th_H} は、ノードFGにLowレベル電荷が保持されている場合のトランジスタ360の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値とは、トランジスタ360を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、ノードFGに保持された電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($> V_{th_H}$)となれば、トランジスタ360は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($< V_{th_L}$)となっても、トランジスタ360は「オフ状態」のままである。このため、第5の配線の電位を制御して、トランジスタ360のオン状態またはオフ状態を読み出す(第2の配線の電位を読み出す)ことで、記憶された情報を読み出すことができる。
10

【0184】

また、記憶させた情報を書き換える場合においては、上記の書き込みによって所定量の電荷を保持したノードFGに、新たな電位を供給することで、ノードFGに新たな情報に係る電荷を保持させる。具体的には、第4の配線の電位を、トランジスタ362がオン状態となる電位にして、トランジスタ362をオン状態とする。これにより、第3の配線の電位(新たな情報に係る電位)が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。その後、第4の配線の電位をトランジスタ362がオフ状態となる電位にして、トランジスタ362をオフ状態とすることにより、ノードFGには、新たな情報に係る電荷が保持された状態となる。すなわち、ノードFGに第1の書き込みによって所定量の電荷が保持された状態で、第1の書き込みと同様の動作(第2の書き込み)を行うことで、記憶させた情報を上書きすることができる。
20

【0185】

本実施の形態で示すトランジスタ362は、高純度化され、真性化された酸化物半導体層344を用いることで、トランジスタ362のオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【0186】

また、本実施の形態において示す半導体装置では、トランジスタ360とトランジスタ362を重畳させることで、集積度が十分に高められた半導体装置が実現される。
30

【0187】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などを適宜組み合わせて用いることができる。

【0188】

(実施の形態6)

本明細書に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。
40

【0189】

本実施の形態では、上記実施の形態のいずれかで得られる電気的特性が良好で、信頼性の高いトランジスタを搭載した電子機器の例について図6を用いて説明する。

【0190】

図6(A)は、ノート型のパーソナルコンピュータであり、本体3001、筐体3002、表示部3003、キーボード3004などによって構成されている。なお、ノート型のパーソナルコンピュータは、上記実施の形態で示すトランジスタを含んでいる。そのため、良好な品質を有し、信頼性の高いノート型のパーソナルコンピュータが実現される。
50

【0191】

図6(B)は、携帯情報端末(PDA)であり、本体3021には表示部3023と、外部インターフェイス3025と、操作ボタン3024等が設けられている。また操作用の付属品としてスタイルス3022がある。なお、携帯情報端末(PDA)は、上記実施の形態で示すトランジスタを含んでいる。そのため、良好な品質を有し、信頼性の高い携帯情報端末(PDA)が実現される。

【0192】

図6(C)は、上記実施の形態で示す電子ペーパーを一部品として実装して作製した電子書籍である。図6(C)は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。また、このような構成により、より強い外部からの衝撃に耐えることが可能となる。また、該軸部2711を取り外して、筐体2701と筐体2703を分離することも可能である。

10

【0193】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成として、例えば右側の表示部(図6(C)では表示部2705)に文章を表示し、左側の表示部(図6(C)では表示部2707)に画像を表示することができる。

20

【0194】

また、図6(C)では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカー2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体插入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

30

【0195】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とともに可能である。

【0196】

図6(D)は、携帯電話であり、筐体2800および筐体2801の二つの筐体で構成されている。筐体2801には、表示パネル2802、スピーカー2803、マイクロフォン2804、ポインティングデバイス2806、カメラ用レンズ2807、外部接続端子2808などを備えている。また、筐体2801には、携帯型情報端末の充電を行う太陽電池セル2810、外部メモリスロット2811などを備えている。また、アンテナは筐体2801内部に内蔵されている。なお、携帯電話は、上記実施の形態で示すトランジスタを少なくとも一部品として含んでいる。

40

【0197】

また、表示パネル2802はタッチパネルを備えており、図6(D)には映像表示されている複数の操作キー2805を点線で示している。なお、太陽電池セル2810で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

【0198】

表示パネル2802は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル2802と同一面上にカメラ用レンズ2807を備えているため、テレビ電話が可能である。スピーカー2803およびマイクロフォン2804は音声通話に限らず、テレビ電

50

話、録音、再生などが可能である。さらに、筐体2800と筐体2801は、スライドし、図6(D)のように展開している状態から重なり合った状態とすることができる、携帯に適した小型化が可能である。

【0199】

外部接続端子2808はACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能であり、充電およびパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット2811に記録媒体を挿入し、より大量のデータ保存および移動に対応できる。記録媒体として、実施の形態5に示す半導体装置を用いることができる。実施の形態5によれば、オフ電流を十分に低減することができるトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

10

【0200】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0201】

図6(E)は、デジタルカメラであり、本体3051、表示部(A)3057、接眼部3053、操作スイッチ3054、表示部(B)3055、バッテリー3056などによって構成されている。なお、デジタルカメラは、上記実施の形態で示すトランジスタを含んでいる。そのため、良好な品質を有し、信頼性の高いデジタルカメラが実現される。

【0202】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、良好な品質を有する電子機器が実現される。

20

【実施例1】

【0203】

本実施例では、実施の形態1のトランジスタの一例を作製し、STEM(Scanning Transmission Electron Microscope)の測定を行った。また、該トランジスタの断面形状のSTEM像を観察した。

【0204】

本実施例の基板100としては、ガラス基板を用いた。ゲート電極層102は、スパッタ装置で、タングステンターゲットを用いて形成し、厚さは100nmとした。ゲート絶縁膜104は、スパッタ装置で、酸化窒化シリコンターゲットを用いて形成し、厚さは100nmとした。酸化物半導体層106は、圧力0.6Pa、直流(DC)電源を5kW、基板温度を200°C、成膜雰囲気をアルゴンと酸素の混合雰囲気(酸素:アルゴン=50:50)の条件においてスパッタ装置で、In-Ga-Zn系の酸化物半導体ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:2[mol比])を用いて形成し、厚さは30nmとした。保護導電膜107は、スパッタ装置で、タングステンターゲットを用いて形成し、厚さは50nmとした。

30

【0205】

導電層108は、保護導電膜107側より第1の導電膜108A、第2の導電膜108Bおよび第3の導電膜108Cとなるような3層の積層構造とし、スパッタ装置で、第1の導電膜108AはTiを用いて形成し、厚さは100nm、第2の導電膜108BはAlを用いて形成し、厚さは400nm、第3の導電膜108CはTiを用いて形成し、厚さは100nmとした。

40

【0206】

本実施例では、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)装置を用いて2段階のエッティングを行った。本実施例は、積層構造の導電層を加工して導電層108を形成するエッティングをBCl₃とCl₂との混合ガス(第1のエッティング工程)で行った後、保護導電膜107を除去させるためにガス種をSF₆とCl₂との混合ガス(第2のエッティング工程)で行った。

【0207】

第1のエッティング工程の条件は、ICPパワーが0W、バイアスパワーが1500W、

50

圧力が2.0Pa、BC₁₃とC₁₂とのガス流量比が750sccm:150sccmであり、20秒間エッティング時間を延長してオーバーエッティングを行った。

【0208】

本実施例での第1のエッティング工程条件では、Tiのエッティング速度は86.10nm/min、Alのエッティング速度は98.40nm/min、Wのエッティング速度は12.20nm/minであった。

【0209】

積層構造である導電層108の保護導電膜107に接しているTi膜である第1の導電膜108AとW膜である保護導電膜107とのエッティング選択比はTiのエッティング速度86.10nm/minをWのエッティング速度12.20nm/minで割ったものであり、7.06となる。10

【0210】

本実施例での第2のエッティング工程条件では、ICPパワーが2000W、バイアスパワーが300W、圧力が1.5Pa、SF₆とC₁₂とのガス流量比が540sccm:540sccmであり、15秒間エッティング時間を延長してオーバーエッティングを行った。以上により、実施例のトランジスタを作製した。

【0211】

本実施例の条件でのWのエッティング速度は98.40nm/min、In-Ga-Zn系酸化物半導体のエッティング速度は2.15nm/minであった。

【0212】

W膜である保護導電膜107とIn-Ga-Zn系の酸化物半導体である酸化物半導体層106とのエッティング選択比はWのエッティング速度98.40nm/minをIn-Ga-Zn系の酸化物半導体のエッティング速度2.15nm/minで割ったものであり、45.77となつた。20

【0213】

導電層108の下層に保護導電膜107を設けずに、積層構造の導電層108を加工して形成するエッティングをBC₁₃とC₁₂との混合ガス(第1のエッティング工程)で行い、比較例のトランジスタを作製した。実施例のトランジスタと比較例のトランジスタについて、それぞれの断面形状のSTEM像を観察した。

【0214】

図7は、本実施例のトランジスタの酸化物半導体層106と導電層108の接続箇所の断面STEM像を示す。図8は、比較例のトランジスタの酸化物半導体層106と導電層108の接続箇所の断面STEM像を示す。30

【0215】

本実施例のトランジスタでは、導電層108と重畠していない部分の酸化物半導体層106の膜厚(以後、第1の膜厚と呼ぶ。)と導電層108と重畠している部分の酸化物半導体層106の膜厚(以後、第2の膜厚と呼ぶ。)との差はほとんどなく、約1nmであった。

一方、比較例のトランジスタでは、導電層108をエッティングする際に同時に酸化物半導体層106もエッティングされてしまったため、酸化物半導体層106の第1の膜厚と第2の膜厚の差は、約20nmであった。40

【0216】

以上の結果より、導電層108の下に設けられている酸化物半導体層106が比較例では約20nmも過剰にエッティングされていたのに対し、本実施例では、保護導電膜107の効果により、導電層108の下に設けられている酸化物半導体層106はほとんどエッティングされなかった。以上により、本実施例のトランジスタの作製方法により、酸化物半導体層の過剰なエッティングおよび酸化物半導体層の膜厚にバラツキが生じることを軽減することができ、生産性を向上させ、歩留まりよくトランジスタを作製することが可能であることがわかる。

【実施例2】

【0217】

本実施例では、第2のエッティング工程の条件として用いることのできる他の例を示す。本実施例のトランジスタの構成および作製工程は、第2のエッティング工程の条件以外は、実施例1と同様である。本実施例での第2のエッティング工程条件では、ICPパワーが2000W、バイアスパワーが300W、圧力が1.5Pa、SF₆とCl₂とのガス流量比が450sccm:630sccmであり、15秒間エッティング時間を延長してオーバーエッティングを行った。以上により、実施例のトランジスタを作製してSEMの測定を行い、本実施例のトランジスタについて、断面形状のSEM像を観察した。

【0218】

図9は、本実施例のトランジスタの酸化物半導体層106と導電層108の接続箇所の断面SEM像を示す。
10

【0219】

本実施例の第2のエッティング工程の条件を用いて作製したトランジスタでは、酸化物半導体層106の第1の膜厚と第2の膜厚の差はほとんどなく、約1nmであった。本実施例において、保護導電膜107の効果により、導電層108の下に設けられている酸化物半導体層106はほとんどエッティングされなかった。

【0220】

また、図9に示すように第1の導電膜108A、第2の導電膜108Bおよび第3の導電膜108Cのそれぞれの端部は、ほぼ一致しており、連続的な形状となることが確認できた。第1の導電膜108A、第2の導電膜108Bおよび第3の導電膜108Cのそれぞれの端部において、段差が軽減された連続的な形状であると第1の導電膜108A、第2の導電膜108Bおよび第3の導電膜108Cのそれぞれの上部に成膜する膜の被覆性を向上させることができる。
20

【0221】

以上により、本実施例のトランジスタの作製方法により、酸化物半導体層の過剰なエッティングおよび酸化物半導体層の膜厚にバラツキが生じることを軽減することができ、生産性を向上させ、歩留まりよくトランジスタを作製することが可能であることがわかる。また、エッティング工程を制御することで、良好な形状に加工することができるため、トランジスタのリーク電流を抑制し、高性能、高信頼性のトランジスタを作製することが可能であることがわかる。
30

【符号の説明】**【0222】**

100	基板
102	ゲート電極層
104	ゲート絶縁膜
106	酸化物半導体層
107	保護導電膜
108	導電層
108A	導電膜
108B	導電膜
108C	導電膜
110	レジストマスク
112	配線層
114	導電層
116	絶縁膜
120	トランジスタ
200	基板
201	下地絶縁層
202	ゲート電極層
204	ゲート絶縁膜

10

20

30

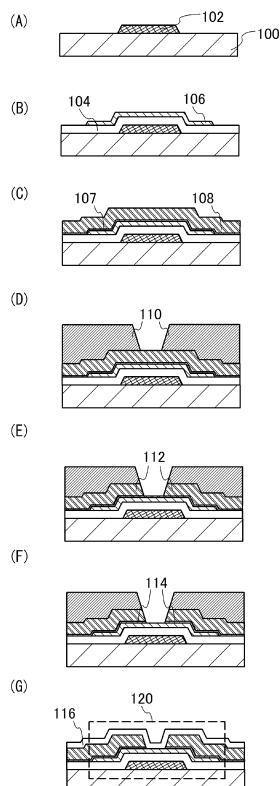
40

50

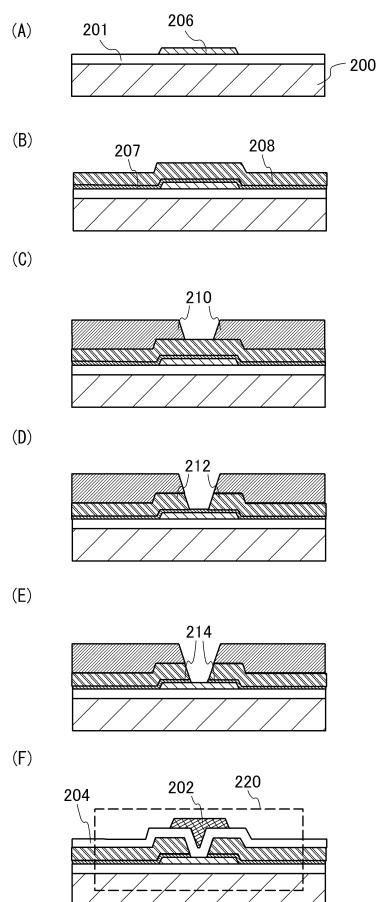
2 0 6	酸化物半導体層	
2 0 7	保護導電膜	
2 0 8	導電層	
2 1 0	レジストマスク	
2 1 2	配線層	
2 1 4	導電層	
2 2 0	トランジスタ	
3 0 0	基板	
3 0 6	素子分離絶縁層	
3 0 8	ゲート絶縁膜	10
3 1 0	ゲート電極	
3 1 6	チャネル形成領域	
3 2 0	不純物領域	
3 2 4	金属化合物領域	
3 2 6	電極	
3 2 8	絶縁層	
3 4 1 a	導電膜	
3 4 1 b	導電膜	
3 4 2 a	ソース電極	
3 4 2 b	ドレイン電極	20
3 4 4	酸化物半導体層	
3 4 6	ゲート絶縁膜	
3 4 8 a	ゲート電極	
3 5 0	絶縁層	
3 5 4	配線	
3 5 7	絶縁層	
3 5 8	導電層	
3 6 0	トランジスタ	
3 6 2	トランジスタ	
3 6 4	容量素子	30
5 8 0	基板	
5 8 1	トランジスタ	
5 8 3	絶縁層	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 5	充填材	40
5 9 6	基板	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカー	50

2 8 0 0	筐体	
2 8 0 1	筐体	
2 8 0 2	表示パネル	
2 8 0 3	スピーカー	
2 8 0 4	マイクロフォン	
2 8 0 5	操作キー	
2 8 0 6	ポインティングデバイス	
2 8 0 7	カメラ用レンズ	
2 8 0 8	外部接続端子	
2 8 1 0	太陽電池セル	10
2 8 1 1	外部メモリスロット	
3 0 0 1	本体	
3 0 0 2	筐体	
3 0 0 3	表示部	
3 0 0 4	キーボード	
3 0 2 1	本体	
3 0 2 2	スタイルス	
3 0 2 3	表示部	
3 0 2 4	操作ボタン	
3 0 2 5	外部インターフェイス	20
3 0 5 1	本体	
3 0 5 3	接眼部	
3 0 5 4	操作スイッチ	
3 0 5 5	表示部(B)	
3 0 5 6	バッテリー	
3 0 5 7	表示部(A)	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	30
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	トランジスタ	
4 0 1 1	トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	40
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	
4 0 3 5	スペーサ	
4 0 4 1	絶縁層	
4 0 4 2	絶縁層	

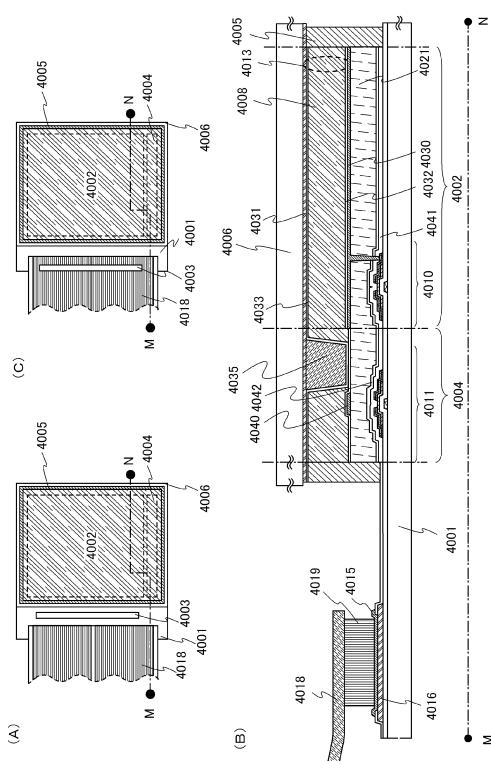
【 四 1 】



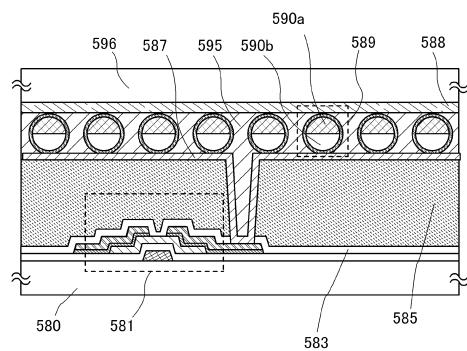
【 図 2 】



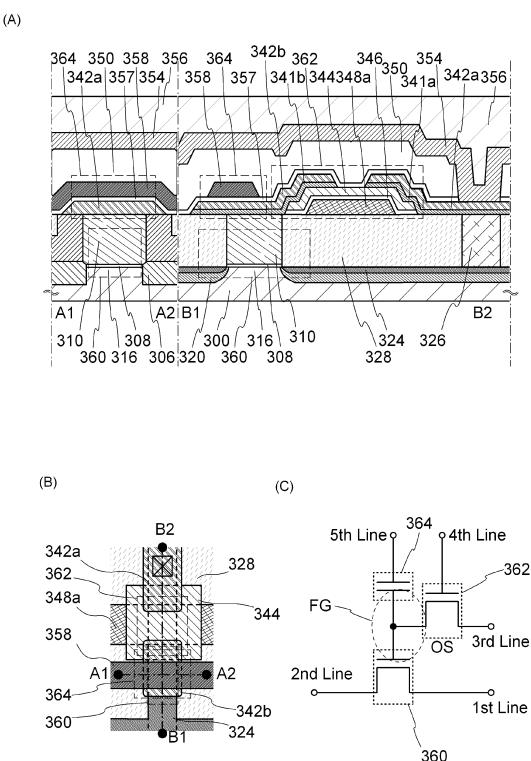
【図3】



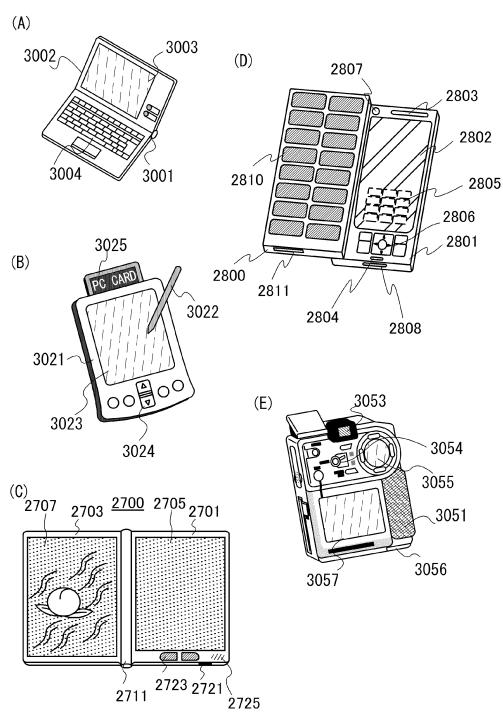
【図4】



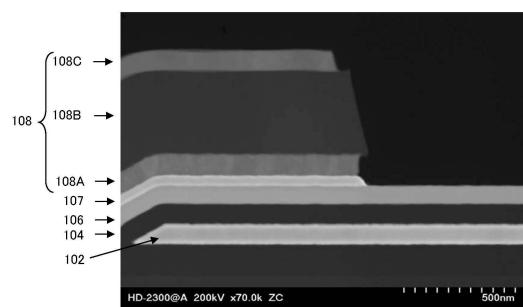
【図5】



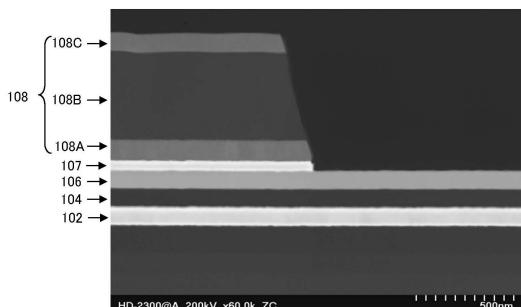
【図6】



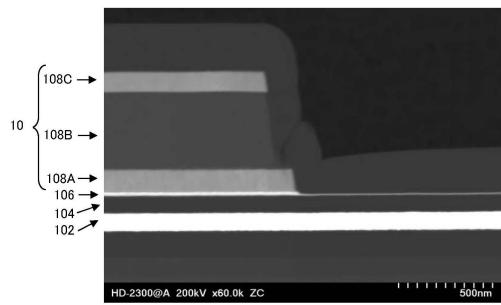
【図7】



【図9】



【図8】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	29/50	M
H 0 1 L	21/302	1 0 1 C
H 0 1 L	21/302	1 0 4 C
H 0 1 L	21/302	3 0 1 Z
H 0 1 L	29/78	6 1 6 K

(72)発明者 荒川 徹

栃木県栃木市都賀町升塚161-2 アドバンスト フィルム ディバイス インク株式会社内

審査官 小堺 行彦

(56)参考文献 特開2007-329298 (JP, A)

特開2010-056539 (JP, A)

特開2004-039746 (JP, A)

特開2006-165488 (JP, A)

特開2009-1111190 (JP, A)

特表2010-525603 (JP, A)

特開2010-062547 (JP, A)

特開2007-123861 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 1 / 2 8

H 0 1 L 2 1 / 3 0 6 5

H 0 1 L 2 9 / 4 1 7

H 0 1 L 2 9 / 7 8 6