(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0105386
(43) 공개일자 2024년07월05일

(51) 국제특허분류(Int. Cl.)
G11C 11/16 (2006.01) *G11C 7/06* (2021.01)
G11C 7/14 (2006.01)
(52) CPC특허분류
G11C 11/1673 (2013.01)
G11C 11/1697 (2013.01)
(21) 출원번호 10-2024-7015387
(22) 출원일자(국제) 2022년09월27일
심사청구일자 없음
(85) 번역문제출일자 2024년05월08일
(86) 국제출원번호 PCT/JP2022/035906
(87) 국제공개번호 WO 2023/089959
국제공개일자 2023년05월25일
(30) 우선권주장
JP-P-2021-188663 2021년11월19일 일본(JP)

(71) 출원인
소니 세미컨덕터 솔루션즈 가부시키가이샤
일본국 가나가와켄 아츠기시 아사히쵸 4-14-1
(72) 발명자
이소가이 다이시
일본국 가나가와켄 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내
(74) 대리인
최달용

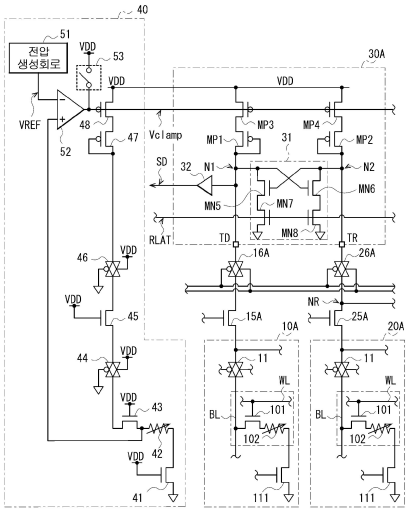
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 **반도체 회로**

(57) 요 약

본 개시의 반도체 회로는 제1 및 제2 메모리 셀과, 제1 및 제2 신호선과, 제1 노드 전압의 반전 전압을 제2 노드에 인가 가능하고, 제2 노드 전압의 반전 전압을 제1 노드에 인가 가능한 래치 회로와, 소스와, 제1 노드에 접속된 게이트 및 드레인을 갖는 제1 트랜지스터와, 소스와, 제2 노드에 접속된 게이트 및 드레인을 갖는 제2 트랜지스터와, 소스와, 제어 전압이 인가되는 것이 가능한 게이트와, 제1 트랜지스터의 소스 및 제2 트랜지스터의 소스 중의 일방 또는 쌍방에 접속된 드레인을 갖는 제3 트랜지스터를 갖는 센스 앰프와, 제1 신호선과 제1 노드를 접속 가능한 제1 스위치와, 제2 신호선과 제2 노드를 접속 가능한 제2 스위치를 구비한다.

대 표 도 - 도3



(52) CPC특허분류
G11C 7/065 (2013.01)
G11C 7/14 (2013.01)

명 세 서

청구범위

청구항 1

제1 기억 소자를 갖는 제1 메모리 셀과,

상기 제1 메모리 셀에 접속된 제1 신호선과,

제2 기억 소자를 갖는 제2 메모리 셀과,

상기 제2 메모리 셀에 접속된 제2 신호선과,

제1 노드 전압의 반전 전압을 제2 노드에 인가 가능하고, 상기 제2 노드 전압의 반전 전압을 상기 제1 노드에 인가 가능한 래치 회로와, 소스와, 상기 제1 노드에 접속된 게이트 및 드레인을 갖는 제1 트랜지스터와, 소스와, 상기 제2 노드에 접속된 게이트 및 드레인을 갖는 제2 트랜지스터와, 소스와, 제어 전압이 인가되는 것이 가능한 게이트와, 상기 제1 트랜지스터의 소스 및 상기 제2 트랜지스터의 소스 중의 일방 또는 쌍방에 접속된 드레인을 갖는 제3 트랜지스터를 갖는 센스 앰프와

온 상태가 됨에 의해 상기 제1 신호선과 상기 제1 노드를 접속 가능한 제1 스위치와,

온 상태가 됨에 의해 상기 제2 신호선과 상기 제2 노드를 접속 가능한 제2 스위치를 구비한 것을 특징으로 하는 반도체 회로.

청구항 2

제1항에 있어서,

상기 제3 트랜지스터의 드레인은 상기 제1 트랜지스터의 소스에 접속되고,

상기 센스 앰프는 소스와, 상기 제어 전압이 인가된 게이트와, 상기 제2 트랜지스터의 소스에 접속된 드레인을 갖는 제4 트랜지스터를 갖는 것을 특징으로 하는 반도체 회로.

청구항 3

제2항에 있어서,

상기 제어 전압을 생성 가능한 제어 전압 생성 회로를 더 구비하고,

상기 제1 기억 소자 및 상기 제2 기억 소자의 각각은, 양단 사이에 흐르는 전류의 전류치가 소정치보다 많은 경우에, 전류 방향에 응하여 가역적으로 저항 상태가 변화하는 것을 이용하여 정보를 기억 가능하고,

상기 제3 트랜지스터는 상기 제어 전압에 의거하여, 상기 제1 기억 소자에, 상기 소정치보다 적은 전류를 흘리는 것이 가능하고,

상기 제4 트랜지스터는 상기 제어 전압에 의거하여, 상기 제2 기억 소자에, 상기 소정치보다 적은 전류를 흘리는 것이 가능한 것을 특징으로 하는 반도체 회로.

청구항 4

제2항에 있어서,

상기 제3 트랜지스터의 드레인 및 상기 제4 트랜지스터의 드레인은 서로 접속된 것을 특징으로 하는 반도체 회로.

청구항 5

제2항에 있어서,

상기 제3 트랜지스터는 서로 병렬로 접속된 복수의 트랜지스터를 가지고,

상기 제4 트랜지스터는 서로 병렬로 접속된 복수의 트랜지스터를 갖는 것을 특징으로 하는 반도체 회로.

청구항 6

제2항에 있어서,

상기 제3 트랜지스터의 소스 및 상기 제4 트랜지스터의 소스는 전원 노드에 접속된 것을 특징으로 하는 반도체 회로.

청구항 7

제2항에 있어서,

상기 센스 앰프는,

온 상태가 됨에 의해 전원 노드와 상기 제3 트랜지스터의 상기 소스를 접속 가능한 제1 전원 스위치와,

온 상태가 됨에 의해 상기 전원 노드와 상기 제4 트랜지스터의 상기 소스를 접속 가능한 제2 전원 스위치를 갖는 것을 특징으로 하는 반도체 회로.

청구항 8

제1항에 있어서,

상기 제3 트랜지스터의 드레인은 상기 제1 트랜지스터의 소스 및 상기 제2 트랜지스터의 소스에 접속된 것을 특징으로 하는 반도체 회로.

청구항 9

제8항에 있어서,

제어 전압을 생성 가능한 제어 전압 생성 회로를 더 구비하고,

상기 제1 기억 소자 및 상기 제2 기억 소자의 각각은, 양단 사이에 흐르는 전류의 전류치가 소정치보다 많은 경우에, 전류 방향에 응하여 가역적으로 저항 상태가 변화하는 것을 이용하여 정보를 기억 가능하고,

상기 제3 트랜지스터는 상기 제어 전압에 의거하여, 상기 제1 기억 소자 및 상기 제2 기억 소자에, 상기 소정치보다 적은 전류를 흘리는 것을 특징으로 하는 반도체 회로.

청구항 10

제1항에 있어서,

상기 래치 회로는,

상기 제2 노드에 접속된 게이트와, 상기 제1 노드에 접속된 드레인과, 소스를 갖는 제1 도전형의 제5 트랜지스터와,

상기 제1 노드에 접속된 게이트와, 상기 제2 노드에 접속된 드레인과, 소스를 갖는 상기 제1 도전형의 제6 트랜지스터를 갖는 것을 특징으로 하는 반도체 회로.

청구항 11

제10항에 있어서,

상기 래치 회로는, 또한

상기 제2 노드에 접속된 게이트와, 상기 제1 노드에 접속된 드레인과, 소스를 갖는 제2 도전형의 제7 트랜지스터와,

상기 제1 노드에 접속된 게이트와, 상기 제2 노드에 접속된 드레인과, 소스를 갖는 상기 제2 도전형의 제8 트랜지스터를 갖는 것을 특징으로 하는 반도체 회로.

청구항 12

제1항에 있어서,

상기 제1 노드 전압 및 상기 제2 노드 전압을 같게 하는 것이 가능한 전압 설정부를 더 구비한 것을 특징으로 하는 반도체 회로.

청구항 13

제12항에 있어서,

상기 전압 설정부는 온 상태가 됨에 의해 상기 제1 노드 및 상기 제2 노드를 서로 접속 가능한 제3 스위치를 갖는 것을 특징으로 하는 반도체 회로.

청구항 14

제12항에 있어서,

상기 전압 설정부는,

온 상태가 됨에 의해 상기 제1 노드에 소정의 전압을 인가 가능한 제4 스위치와,

온 상태가 됨에 의해 상기 제2 노드에 상기 소정의 전압을 인가 가능한 제5 스위치를 갖는 것을 특징으로 하는 반도체 회로.

청구항 15

제1항에 있어서,

상기 래치 회로의 래치 결과에 의거하여 소정의 처리를 행하는 처리 회로를 더 구비한 것을 특징으로 하는 반도체 회로.

청구항 16

제1항에 있어서,

상기 제1 기억 소자 및 상기 제2 기억 소자의 각각은 제1 저항 상태와 제2 저항 상태 사이에서 가역적으로 저항 상태가 변화하는 것을 이용하여 정보를 기억 가능한 것을 특징으로 하는 반도체 회로.

청구항 17

제16항에 있어서,

상기 제1 기억 소자 및 상기 제2 기억 소자의 각각은 자기 터널 접합 소자인 것을 특징으로 하는 반도체 회로.

발명의 설명

기 술 분 야

[0001] 본 개시는 데이터를 기억 가능한 반도체 회로에 관한 것이다.

배 경 기 술

[0002] 반도체 회로에는, 종종, 예를 들면 저항 변화형 기억 소자를 이용한 불휘발성의 기억 회로를 포함한다. 예를 들면 특허 문헌 1에는, 클램프 트랜지스터에 의해 기억 소자에 전류를 흘리고, 그 기억 소자의 저항치에 응한 전압에 의거하여 데이터를 판독하는 기억 회로가 개시되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특표2016-511502호 공보

발명의 내용

[0004] 그런데, 이와 같은 반도체 회로에서는, 단시간에 많은 데이터를 판독하는, 고속 판독 동작을 행하는 것이 요망되는 경우가 있다.

[0005] 고속 판독 동작을 행할 수가 있는 반도체 회로를 제공하는 것이 바람직하다.

[0006] 본 개시의 한 실시의 형태에서의 반도체 회로는 제1 메모리 셀과, 제1 신호선과, 제2 메모리 셀과, 제2 신호선과, 센스 앰프와, 제1 스위치와, 제2 스위치를 구비하고 있다. 제1 메모리 셀은 제1 기억 소자를 갖는 것이다. 제1 신호선은 제1 메모리 셀에 접속된 것이다. 제2 메모리 셀은 제2 기억 소자를 갖는 것이다. 제2 신호선은 제2 메모리 셀에 접속된 것이다.

[0007] 센스 앰프는 래치 회로와, 제1 트랜지스터와, 제2 트랜지스터와, 제3 트랜지스터를 갖는다. 래치 회로는 제1 노드 전압의 반전 전압을 제2 노드에 인가 가능하고, 제2 노드 전압의 반전 전압을 제1 노드에 인가 가능한 것이다. 제1 트랜지스터는 소스와, 제1 노드에 접속된 게이트 및 드레인을 갖는 것이다. 제2 트랜지스터는 소스와, 제2 노드에 접속된 게이트 및 드레인을 갖는 것이다. 제3 트랜지스터는 소스와, 제어 전압이 인가되는 것이 가능한 게이트와, 제1 트랜지스터의 소스 및 제2 트랜지스터의 소스 중의 일방 또는 쌍방에 접속된 드레인을 갖는 것이다. 제1 스위치는 온 상태가 됨에 의해 제1 신호선과 제1 노드를 접속 가능한 것이다. 제2 스위치는 온 상태가 됨에 의해 제2 신호선과 제2 노드를 접속 가능한 것이다.

[0008] 본 개시의 한 실시의 형태에서의 반도체 회로에서는, 래치 회로에 의해, 제1 노드 전압의 반전 전압이 제2 노드에 인가되고, 제2 노드 전압의 반전 전압이 제1 노드에 인가된다. 제1 트랜지스터의 게이트 및 드레인은 제1 노드에 접속되고, 제2 트랜지스터의 게이트 및 드레인은 제2 노드에 접속된다. 제3 트랜지스터의 드레인은 제1 트랜지스터의 소스 및 제2 트랜지스터의 소스 중의 일방 또는 쌍방에 접속되고, 게이트에는 제어 전압이 인가된다. 제1 노드는 제1 스위치가 온 상태가 됨에 의해, 제1 메모리 셀에 접속된 제1 신호선에 접속된다. 제2 노드는 제2 스위치가 온 상태가 됨에 의해, 제2 메모리 셀에 접속된 제2 신호선에 접속된다.

도면의 간단한 설명

[0009] 도 1은 본 개시의 한 실시의 형태에 관한 반도체 회로의 한 구성례를 도시하는 회로도.

도 2는 도 1에 도시한 메모리 셀 어레이의 한 구성례를 도시하는 회로도.

도 3은 도 1에 도시한 센스 앰프 및 제어 전압 생성 회로의 한 구성례를 도시하는 회로도.

도 4는 도 1에 도시한 반도체 회로의 한 동작례를 도시하는 플로우차트.

도 5는 비교례에 관한 센스 앰프의 한 구성례를 도시하는 회로도.

도 6은 변형례에 관한 센스 앰프의 한 구성례를 도시하는 회로도.

도 7은 도 6에 도시한 센스 앰프를 구비한 반도체 회로의 한 동작례를 도시하는 플로우차트.

도 8은 다른 변형례에 관한 센스 앰프의 한 구성례를 도시하는 회로도.

도 9는 다른 변형례에 관한 센스 앰프의 한 구성례를 도시하는 회로도.

도 10은 다른 변형례에 관한 센스 앰프의 한 구성례를 도시하는 회로도.

도 11은 다른 변형례에 관한 센스 앰프의 한 구성례를 도시하는 회로도.

도 12는 다른 변형례에 관한 센스 앰프의 한 구성례를 도시하는 회로도.

도 13은 다른 변형례에 관한 센스 앰프의 한 구성례를 도시하는 회로도.

도 14는 다른 변형례에 관한 센스 앰프의 한 구성례를 도시하는 회로도.

도 15는 도 14에 도시한 센스 앰프를 구비한 반도체 회로의 한 동작례를 도시하는 플로우차트.

도 16은 다른 변형례에 관한 센스 앰프의 한 구성례를 도시하는 회로도.

도 17은 도 16에 도시한 센스 앰프를 구비한 반도체 회로의 한 동작례를 도시하는 플로우차트.

도 18은 다른 변형례에 관한 센스 앰프의 한 구성례를 도시하는 회로도.

도 19는 다른 변형례에 관한 반도체 회로의 한 구성례를 도시하는 블록도.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 본 개시의 실시의 형태에 관해, 도면을 참조하여 상세히 설명한다.

[0011] <실시의 형태>

[0012] [구성례]

[0013] 도 1은 한 실시의 형태에 관한 반도체 회로(반도체 회로(1))의 한 구성례를 도시하는 것이다. 반도체 회로(1)는 데이터를 기억하는 불휘발성의 기억 회로이다. 반도체 회로(1)는 제어 회로(9)와, 4개의 메모리 셀 어레이(10)(메모리 셀 어레이(10A, 10B, 10C, 10D))와, 4개의 트랜지스터(15)(트랜지스터(15A, 15B, 15C, 15D))와, 4개의 트랜스퍼 게이트(16)(트랜스퍼 게이트(16A, 16B, 16C, 16D))와, 4개의 메모리 셀 어레이(20)(메모리 셀 어레이(20A, 20B, 20C, 20D))와, 4개의 트랜지스터(25)(트랜지스터(25A, 25B, 25C, 25D))와, 4개의 트랜스퍼 게이트(26)(트랜스퍼 게이트(26A, 26B, 26C, 26D))와, 4개의 센스 앰프(30)(센스 앰프(30A, 30B, 30C, 30D))와, 제어 전압 생성 회로(40)를 갖고 있다. 이와 같이, 이 예에서는, 메모리 셀 어레이(10, 20), 트랜지스터(15, 25), 트랜스퍼 게이트(16, 26) 및 센스 앰프(30)로 이루어지는 회로군을 4개 마련하고 있다. 또한, 이것으로 한정되는 것이 아니고, 예를 들면, 이 회로군을 4개보다도 많이 마련해도 좋다.

[0014] 제어 회로(9)는 반도체 회로(1)의 동작을 제어하도록 구성된다. 구체적으로는 제어 회로(9)는, 외부로부터 공급된 기록 커맨드 및 기록 데이터에 의거하여, 4개의 메모리 셀 어레이(10)에 데이터를 기록하도록 반도체 회로(1)의 동작을 제어하고, 외부로부터 공급된 판독 커맨드에 의거하여, 4개의 메모리 셀 어레이(10)로부터 데이터를 판독하도록 반도체 회로(1)의 동작을 제어하도록 되어 있다.

[0015] 메모리 셀 어레이(10A, 10B, 10C, 10D)는 데이터를 기억하도록 구성된다.

[0016] 도 2는 메모리 셀 어레이(10A)의 한 구성례를 도시하는 것이다. 메모리 셀 어레이(10B, 10C, 10D)의 구성은 메모리 셀 어레이(10A)의 구성과 마찬가지이다. 메모리 셀 어레이(10A)는 복수의 워드선(WL)과, 4개의 비트선(BL)과, 복수의 메모리 셀(MC)과, 4개의 트랜지스터(111~114)와, 4개의 트랜스퍼 게이트(11~14)를 갖고 있다.

[0017] 복수의 워드선(WL)은 도 1, 2에서의 횡방향으로 연신함과 함께, 종방향으로 병설된다. 4개의 메모리 셀 어레이(10A, 10B, 10C, 10D)의 각각에서의 복수의 워드선(WL)은 메모리 셀 어레이 사이에서 서로 접속된다. 복수의 워드선(WL)은 제어 회로(9)에 접속되고, 제어 회로(9)로부터, 메모리 셀(MC)을 선택하기 위한 제어 신호가 공급되도록 되어 있다.

[0018] 4개의 비트선(BL)은 도 1, 2에서의 종방향으로 연신함과 함께, 횡방향으로 병설된다. 복수의 비트선(BL)은 4개의 트랜스퍼 게이트(11~14)에 각각 접속된다.

[0019] 복수의 메모리 셀(MC)의 각각은 데이터를 기억하도록 구성된다. 복수의 메모리 셀(MC)은 이 예에서는 4개의 비트선(BL)에 대응하는 4열분의 메모리 셀(MC)을 포함한다. 메모리 셀(MC)은 트랜지스터(101)와, 기억 소자(102)를 갖고 있다.

[0020] 트랜지스터(101)는 N형의 MOS(Metal Oxide Semiconductor) 트랜지스터이고, 소스는 비트선(BL)에 접속되고, 게이트는 워드선(WL)에 접속되고, 드레인은 기억 소자(102)에 접속된다.

[0021] 기억 소자(102)는 불휘발성의 기억 소자이고, 전류 방향에 응하여 가역적으로 저항 상태가 변화하는 것을 이용하여 정보를 기억 가능하게 구성된다. 기억 소자(102)는 이 예에서는 자기 터널 접합(MTJ; Magnetic Tunnel Junction) 소자이다. 기억 소자(102)의 일단은 트랜지스터(101)의 드레인에 접속되고, 타단은 트랜지스터(111~114)의 어느 하나에 접속된다. 구체적으로는, 왼쪽부터 1열째의 메모리 셀(MC)에서의 기억 소자(102)의 타단은 트랜지스터(111)의 드레인에 접속되고, 왼쪽부터 2열째의 메모리 셀(MC)에서의 기억 소자(102)의 타단은 트랜지스터(112)의 드레인에 접속되고, 왼쪽부터 3열째의 메모리 셀(MC)에서의 기억 소자(102)의 타단은 트랜지스터(113)의 드레인에 접속되고, 왼쪽부터 4열째의 메모리 셀(MC)에서의 기억 소자(102)의 타단은 트랜지스터(114)의 드레인에 접속된다.

[0022] 기억 소자(102)의 저항 상태는 양단 사이에 흐르는 전류의 전류치가 전류 임계치(TH)보다 많은 경우에, 전류 방향에 응한 저항 상태로 설정된다. 저항 상태는 저저항 상태(RL) 또는 고저항 상태(RH)를 취할 수 있다. 저저항 상태(RL)는 양단 사이의 저항치가 낮은 상태이고, 고저항 상태(RH)는 양단 사이의 저항치가 높은 상태이다. 구

체적으로는, 예를 들면, 일단부터 타단을 향해 전류 임계치(TH)보다도 많은 전류가 흐른 경우에, 기억 소자(102)의 저항 상태는 고저항 상태로 설정된다. 또한, 예를 들면, 타단부터 일단을 향해 전류 임계치(TH)보다도 많은 전류가 흐른 경우에, 기억 소자(102)의 저항 상태는 저저항 상태(RL)로 설정된다. 도 2에서는, 기억 소자(102)의 저항 상태를 설정하는 기록 동작을 행하는 구성의 도시를 생략하고 있는데, 예를 들면, 도 2에서, 기록 동작에서, 제어 회로(9)로부터의 지시에 의거하여, 기억 소자(102)의 일단부터 타단으로 전류를 흘리고, 또는 기억 소자(102)의 타단부터 일단으로 전류를 흘리는 것이 가능한 회로가 부가된다. 제어 회로(9)는 기록 동작에서, 기록 커맨드에 포함되는 어드레스 신호에 의거하여, 이들 복수의 메모리 셀(MC)의 하나를 선택하고, 선택된 메모리 셀(MC)의 기억 소자(102)의 저항 상태를 저저항 상태(RL) 또는 고저항 상태(RH)로 설정할 수 있도록 되어 있다.

[0023] 4개의 트랜지스터(111~114)의 각각은 N형의 MOS 트랜지스터이고, 4열분의 메모리 셀(MC)에 각각 대응하여 마련된다. 트랜지스터(111)의 드레인은 왼쪽부터 1열째의 복수의 메모리 셀(MC)에서의 기억 소자(102)의 타단에 접속되고, 게이트에는 제어 회로(9)로부터 제어 신호가 공급되고, 소스는 접지된다. 트랜지스터(112)의 드레인은 왼쪽부터 2열째의 복수의 메모리 셀(MC)에서의 기억 소자(102)의 타단에 접속되고, 게이트에는 제어 회로(9)로부터 제어 신호가 공급되고, 소스는 접지된다. 트랜지스터(113)의 드레인은 왼쪽부터 3열째의 복수의 메모리 셀(MC)에서의 기억 소자(102)의 타단에 접속되고, 게이트에는 제어 회로(9)로부터 제어 신호가 공급되고, 소스는 접지된다. 트랜지스터(114)의 드레인은 왼쪽부터 4열째의 복수의 메모리 셀(MC)에서의 기억 소자(102)의 타단에 접속되고, 게이트에는 제어 회로(9)로부터 제어 신호가 공급되고, 소스는 접지된다. 트랜지스터(111)가 온 상태가 되는 경우에는, 메모리 셀 어레이(10A~10D)에서의 4개의 트랜지스터(111)가 온 상태가 된다.

[0024] 4개의 트랜스퍼 게이트(11~14)의 각각은 4열분의 메모리 셀(MC)에 각각 대응하여 마련된다. 트랜스퍼 게이트(11)의 일단은 트랜지스터(15A)의 소스에 접속되고, 타단은 왼쪽부터 1번째의 비트선(BL)에 접속된다. 트랜스퍼 게이트(11)는 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 트랜스퍼 게이트(12)의 일단은 트랜지스터(15A)의 소스에 접속되고, 타단은 왼쪽부터 2번째의 비트선(BL)에 접속된다. 트랜스퍼 게이트(12)는 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 트랜스퍼 게이트(13)의 일단은 트랜지스터(15A)의 소스에 접속되고, 타단은 왼쪽부터 3번째의 비트선(BL)에 접속된다. 트랜스퍼 게이트(13)는 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 트랜스퍼 게이트(14)의 일단은 트랜지스터(15A)의 소스에 접속되고, 타단은 왼쪽부터 4번째의 비트선(BL)에 접속된다. 트랜스퍼 게이트(14)는 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 트랜스퍼 게이트(11)가 온 상태가 된 경우에는, 메모리 셀 어레이(10A~10D)에서의 4개의 트랜스퍼 게이트(11)가 온 상태가 된다.

[0025] 트랜지스터(15A)(도 1)는, N형의 MOS 트랜지스터이고, 드레인은 트랜스퍼 게이트(16A)에 접속되고, 게이트에는 제어 회로(9)로부터 제어 신호가 공급되고, 소스는 메모리 셀 어레이(10A)에서의 4개의 트랜스퍼 게이트(11~14)의 일단에 접속된다. 마찬가지로, 트랜지스터(15B)의 드레인은 트랜스퍼 게이트(16B)에 접속되고, 게이트에는 제어 회로(9)로부터 제어 신호가 공급되고, 소스는 메모리 셀 어레이(10B)에서의 4개의 트랜스퍼 게이트(11~14)의 일단에 접속된다. 트랜지스터(15C)의 드레인은 트랜스퍼 게이트(16C)에 접속되고, 게이트에는 제어 회로(9)로부터 제어 신호가 공급되고, 소스는 메모리 셀 어레이(10C)에서의 4개의 트랜스퍼 게이트(11~14)의 일단에 접속된다. 트랜지스터(15D)의 드레인은 트랜스퍼 게이트(16D)에 접속되고, 게이트에는 제어 회로(9)로부터 제어 신호가 공급되고, 소스는 메모리 셀 어레이(10D)에서의 4개의 트랜스퍼 게이트(11~14)의 일단에 접속된다.

[0026] 트랜스퍼 게이트(16A)의 일단은 센스 앰프(30A)의 단자(TD)에 접속되고, 타단은 트랜지스터(15A)의 드레인에 접속된다. 트랜스퍼 게이트(16A)는 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 마찬가지로, 트랜스퍼 게이트(16B)의 일단은 센스 앰프(30B)의 단자(TD)에 접속되고, 타단은 트랜지스터(15B)의 드레인에 접속된다. 트랜스퍼 게이트(16B)는 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 트랜스퍼 게이트(16C)의 일단은 센스 앰프(30C)의 단자(TD)에 접속되고, 타단은 트랜지스터(15C)의 드레인에 접속된다. 트랜스퍼 게이트(16C)는 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 트랜스퍼 게이트(16D)의 일단은 센스 앰프(30D)의 단자(TD)에 접속되고, 타단은 트랜지스터(15D)의 드레인에 접속된다. 트랜스퍼 게이트(16D)는 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다.

[0027] 이 구성에 의해, 판독 동작에서는, 제어 회로(9)는 판독 커맨드에 포함되는 어드레스 신호에 의거하여, 메모리 셀 어레이(10A, 10B, 10C, 10D)의 각각에서, 복수의 메모리 셀(MC) 중의 하나를 선택한다. 구체적으로는, 제어 회로(9)는 트랜스퍼 게이트(11~14)에 제어 신호를 공급함에 의해, 트랜스퍼 게이트(11~14) 중의 하나를 온 상태로 한다. 예를 들면, 트랜스퍼 게이트(11)를 온 상태로 하는 경우에는, 제어 회로(9)는 메모리 셀 어레이(10A

~10D)에서의 4개의 트랜스퍼 게이트(11)를 온 상태로 한다. 또한, 제어 회로(9)는 트랜지스터(111~114)에 제어 신호를 공급함에 의해, 트랜스퍼 게이트(11~14) 중의 온 상태로 하는 트랜스퍼 게이트에 대응하는 트랜지스터를 온 상태로 한다. 구체적으로는, 제어 회로(9)는 트랜스퍼 게이트(11)를 온 상태로 하는 경우에는 트랜지스터(111)를 온 상태로 하고, 트랜스퍼 게이트(12)를 온 상태로 하는 경우에는 트랜지스터(112)를 온 상태로 하고, 트랜스퍼 게이트(13)를 온 상태로 하는 경우에는 트랜지스터(113)를 온 상태로 하고, 트랜스퍼 게이트(14)를 온 상태로 하는 경우에는 트랜지스터(114)를 온 상태로 한다. 예를 들면, 트랜지스터(111)를 온 상태로 하는 경우에는, 제어 회로(9)는 메모리 셀 어레이(10A~10D)에서의 4개의 트랜지스터(111)를 온 상태로 한다. 그리고, 제어 회로(9)는 복수의 워드선(WL) 중의 하나의 전압을 고레벨로 한다. 이에 의해, 제어 회로(9)는 메모리 셀 어레이(10A~10D)의 각각에서, 복수의 메모리 셀(MC) 중의 하나를 선택한다.

[0028] 그리고, 제어 회로(9)는 메모리 셀 어레이(10A)에서 선택된 메모리 셀(MC)을 트랜지스터(15A) 및 트랜스퍼 게이트(16A)를 통하여 센스 앰프(30A)의 단자(TD)에 접속하고, 메모리 셀 어레이(10B)에서 선택된 메모리 셀(MC)을 트랜지스터(15B) 및 트랜스퍼 게이트(16B)를 통하여 센스 앰프(30B)의 단자(TD)에 접속하고, 메모리 셀 어레이(10C)에서 선택된 메모리 셀(MC)을 트랜지스터(15C) 및 트랜스퍼 게이트(16C)를 통하여 센스 앰프(30C)의 단자(TD)에 접속하고, 메모리 셀 어레이(10D)에서 선택된 메모리 셀(MC)을 트랜지스터(15D) 및 트랜스퍼 게이트(16D)를 통하여 센스 앰프(30D)의 단자(TD)에 접속하도록 되어 있다.

[0029] 메모리 셀 어레이(20A, 20B, 20C, 20D)(도 1)는 소정의 데이터인 레퍼런스 데이터를 기억하도록 구성된다. 즉, 메모리 셀 어레이(10A, 10B, 10C, 10D)는 임의의 데이터를 기억하고, 메모리 셀 어레이(20A, 20B, 20C, 20D)는 소정의 데이터인 레퍼런스 데이터를 기억한다. 메모리 셀 어레이(20A~20D)의 구성은 메모리 셀 어레이(10A)의 구성(도 2)과 마찬가지이다.

[0030] 트랜지스터(25A)는 N형의 MOS 트랜지스터이고, 드레인은 노드(NR)에 접속되고, 게이트에는 제어 회로(9)로부터 제어 신호가 공급되고, 소스는 메모리 셀 어레이(20A)에서의 4개의 트랜스퍼 게이트(11~14)의 일단에 접속된다. 마찬가지로, 트랜지스터(25B)의 드레인은 노드(NR)에 접속되고, 게이트에는 제어 회로(9)로부터 제어 신호가 공급되고, 소스는 메모리 셀 어레이(20B)에서의 4개의 트랜스퍼 게이트(11~14)의 일단에 접속된다. 트랜지스터(25C)의 드레인은 노드(NR)에 접속되고, 게이트에는 제어 회로(9)로부터 제어 신호가 공급되고, 소스는 메모리 셀 어레이(20C)에서의 4개의 트랜스퍼 게이트(11~14)의 일단에 접속된다. 트랜지스터(25D)의 드레인은 노드(NR)에 접속되고, 게이트에는 제어 회로(9)로부터 제어 신호가 공급되고, 소스는 메모리 셀 어레이(20D)에서의 4개의 트랜스퍼 게이트(11~14)의 일단에 접속된다.

[0031] 트랜스퍼 게이트(26A)의 일단은 센스 앰프(30A)의 단자(TR)에 접속되고, 타단은 노드(NR)에 접속된다. 트랜스퍼 게이트(26A)는 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 마찬가지로, 트랜스퍼 게이트(26B)의 일단은 센스 앰프(30B)의 단자(TR)에 접속되고, 타단은 노드(NR)에 접속된다. 트랜스퍼 게이트(26B)는 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 트랜스퍼 게이트(26C)의 일단은 센스 앰프(30C)의 단자(TR)에 접속되고, 타단은 노드(NR)에 접속된다. 트랜스퍼 게이트(26C)는 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 트랜스퍼 게이트(26D)의 일단은 센스 앰프(30D)의 단자(TR)에 접속되고, 타단은 노드(NR)에 접속된다. 트랜스퍼 게이트(26D)는 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다.

[0032] 이와 같이, 트랜지스터(25A, 25B, 25C, 25D)의 드레인 및 트랜스퍼 게이트(26A, 26B, 26C, 26D)의 타단은 노드(NR)에서 서로 접속된다.

[0033] 이 구성에 의해, 판독 동작에서는, 제어 회로(9)는 메모리 셀 어레이(20A, 20B, 20C, 20D)의 각각에서, 복수의 메모리 셀(MC) 중의 하나를 선택한다. 구체적으로는, 제어 회로(9)는 트랜스퍼 게이트(11~14)에 제어 신호를 공급함에 의해, 트랜스퍼 게이트(11~14) 중의 하나를 온 상태로 한다. 예를 들면, 트랜스퍼 게이트(11)를 온 상태로 하는 경우에는, 제어 회로(9)는 메모리 셀 어레이(20A~20D)에서의 4개의 트랜스퍼 게이트(11)를 온 상태로 한다. 또한, 제어 회로(9)는 트랜지스터(111~114)에 제어 신호를 공급함에 의해, 트랜스퍼 게이트(11~14) 중의 온 상태로 하는 트랜스퍼 게이트에 대응하는 트랜지스터를 온 상태로 한다. 구체적으로는, 제어 회로(9)는 트랜스퍼 게이트(11)를 온 상태로 하는 경우에는 트랜지스터(111)를 온 상태로 하고, 트랜스퍼 게이트(12)를 온 상태로 하는 경우에는 트랜지스터(112)를 온 상태로 하고, 트랜스퍼 게이트(13)를 온 상태로 하는 경우에는 트랜지스터(113)를 온 상태로 하고, 트랜스퍼 게이트(14)를 온 상태로 하는 경우에는 트랜지스터(114)를 온 상태로 한다. 예를 들면, 트랜지스터(111)를 온 상태로 하는 경우에는, 제어 회로(9)는 메모리 셀 어레이(20A~20D)에서의 4개의 트랜지스터(111)를 온 상태로 한다. 그리고, 제어 회로(9)는 복수의 워드선(WL) 중의

하나의 전압을 고레벨로 한다. 이에 의해, 제어 회로(9)는 메모리 셀 어레이(20A~20D)의 각각에서, 복수의 메모리 셀(MC) 중의 하나를 선택한다.

[0034] 메모리 셀 어레이(20A, 20B, 20C, 20D)는 소정의 데이터인 레퍼런스 데이터를 기억하고 있다. 레퍼런스 데이터가 기억된 메모리 셀 어레이(20A~20D)에서는, 선택된 4개의 메모리 셀(MC)의 4개의 기억 소자(102)는 저항 상태가 저저항 상태(RL)인 2개의 기억 소자(102)와, 저항 상태가 고저항 상태(RH)인 2개의 기억 소자(102)를 포함한다. 제어 회로(9)는 메모리 셀 어레이(20A~20D)의 각각에서 선택된 메모리 셀(MC)을 트랜지스터(25A~25D) 및 트랜스퍼 게이트(26A~26D)를 통하여 센스 앰프(30A~30D)의 단자(TR)에 접속한다. 이에 의해, 센스 앰프(30A~30D)의 단자(TR)의 각각에는, 이들 4개의 기억 소자(102)의 저항치의 평균치와 같은 저항치를 갖는 기억 소자가 등가적으로 접속된다.

[0035] 센스 앰프(30A)는 판독 동작에서, 단자(TD)에서의 전압 및 단자(TR)에서의 전압을 서로 비교함에 의해, 메모리 셀 어레이(10A)에 기억된 데이터를 판독하고, 판독한 결과를 나타내는 신호(SD)를 제어 회로(9)에 공급하도록 구성된다. 마찬가지로, 센스 앰프(30B)는 판독 동작에서, 단자(TD)에서의 전압 및 단자(TR)에서의 전압을 서로 비교함에 의해, 메모리 셀 어레이(10B)에 기억된 데이터를 판독하고, 판독한 결과를 나타내는 신호(SD)를 제어 회로(9)에 공급하도록 구성된다. 센스 앰프(30C)는 판독 동작에서, 단자(TD)에서의 전압 및 단자(TR)에서의 전압을 서로 비교함에 의해, 메모리 셀 어레이(10C)에 기억된 데이터를 판독하고, 판독한 결과를 나타내는 신호(SD)를 제어 회로(9)에 공급하도록 구성된다. 센스 앰프(30D)는 판독 동작에서, 단자(TD)에서의 전압 및 단자(TR)에서의 전압을 서로 비교함에 의해, 메모리 셀 어레이(10D)에 기억된 데이터를 판독하고, 판독한 결과를 나타내는 신호(SD)를 제어 회로(9)에 공급하도록 구성된다.

[0036] 도 3은 센스 앰프(30A)의 한 구성례를 도시하는 것이다. 센스 앰프(30B, 30C, 30D)의 구성은 센스 앰프(30A)의 구성과 마찬가지이다. 또한, 이 도 3에는, 센스 앰프(30A) 외에, 메모리 셀 어레이(10A, 20A)의 일부, 트랜지스터(15A, 25A), 트랜스퍼 게이트(16A, 26A) 및 제어 전압 생성 회로(40)도 도시하고 있다. 센스 앰프(30A)는 트랜지스터(MP1~MP4)와, 래치 회로(31)와, 버퍼(32)를 갖는다.

[0037] 트랜지스터(MP1~MP4)는 P형의 MOS 트랜지스터이다. 트랜지스터(MP1)의 게이트 및 드레인은 노드(N1)에 접속되고, 소스는 트랜지스터(MP3)의 드레인에 접속된다. 트랜지스터(MP2)의 게이트 및 드레인은 노드(N2)에 접속되고, 소스는 트랜지스터(MP4)의 드레인에 접속된다. 트랜지스터(MP3)의 게이트에는, 제어 전압 생성 회로(40)로부터 제어 전압(Vclamp)이 공급되고, 소스는 전원 전압(VDD)의 전원 노드에 접속되고, 드레인은 트랜지스터(MP1)의 소스에 접속된다. 트랜지스터(MP4)의 게이트에는, 제어 전압 생성 회로(40)로부터 제어 전압(Vclamp)이 공급되고, 소스는 전원 전압(VDD)의 전원 노드에 접속되고, 드레인은 트랜지스터(MP2)의 소스에 접속된다.

[0038] 래치 회로(31)는 단자(TD)에 접속된 노드(N1)의 전압 및 단자(TR)에 접속된 노드(N2)의 전압에 의거하여 래치 동작을 행하도록 구성된다. 래치 회로(31)는 트랜지스터(MN5~MN8)를 갖고 있다. 트랜지스터(MN5~MN8)는 N형의 MOS 트랜지스터이다. 트랜지스터(MN5)의 게이트는 노드(N2)에 접속되고, 드레인은 노드(N1)에 접속되고, 소스는 트랜지스터(MN7)의 드레인에 접속된다. 트랜지스터(MN6)의 게이트는 노드(N1)에 접속되고, 드레인은 노드(N2)에 접속되고, 소스는 트랜지스터(MN8)의 드레인에 접속된다. 트랜지스터(MN7)의 게이트에는 제어 회로(9)로부터 신호(RLAT)가 공급되고, 드레인은 트랜지스터(MN5)의 소스에 접속되고, 소스는 접지된다. 트랜지스터(MN8)의 게이트에는 제어 회로(9)로부터 신호(RLAT)가 공급되고, 드레인은 트랜지스터(MN6)의 소스에 접속되고, 소스는 접지된다.

[0039] 버퍼(32)는 래치 회로(31)의 래치 결과를 신호(SD)로서 출력하도록 구성된다. 버퍼(32)의 입력 단자는 노드(N1)에 접속되고, 출력 단자는 제어 회로(9)에 접속된다.

[0040] 이 구성에 의해, 센스 앰프(30A)의 트랜지스터(MP3)는 제어 전압(Vclamp)에 응한 전류를 전원 전압(VDD)의 전원 노드로부터, 트랜지스터(MP1), 트랜스퍼 게이트(16A), 트랜지스터(15A)를 통하여, 메모리 셀 어레이(10A)를 향해 흘린다. 센스 앰프(30B~30D)의 트랜지스터(MP3)에 대해서도 마찬가지이다. 또한, 센스 앰프(30A~30D)의 트랜지스터(MP4)는 제어 전압(Vclamp)에 응한 전류를 전원 전압(VDD)의 전원 노드로부터, 4개의 트랜지스터(MP2), 트랜스퍼 게이트(26A~26D), 트랜지스터(25A~25D)를 통하여, 메모리 셀 어레이(20A~20D)를 향해 흘린다.

[0041] 그리고, 센스 앰프(30A~30D)의 각각에서는, 래치 회로(31)가 노드(N1)의 전압 및 노드(N2)의 전압에 의거하여 래치 동작을 행한다. 구체적으로는, 래치 회로(31)에서는, 신호(RLAT)가 고레벨이 됨에 의해, 트랜지스터(MN7, MN8)가 온 상태가 되고, 트랜지스터(MN5, MN6)의 소스는 접지된다. 트랜지스터(MN5, MN6)는 노드(N1)의 전압 및 노드(N2)의 전압에 의거하여 전귀환(全歸還) 동작을 행한다. 예를 들면, 노드(N1)의 전압이 노드(N2)의 전압보

다도 높은 경우에는, 전귀환 동작을 행함에 의해, 노드(N1)의 전압을 고레벨로 하고, 노드(N2)의 전압을 저레벨로 한다. 또한, 노드(N1)의 전압이 노드(N2)의 전압보다도 낮은 경우에는, 전귀환 동작을 행함에 의해, 노드(N1)의 전압을 저레벨로 하고, 노드(N2)의 전압을 고레벨로 한다. 그리고, 버퍼(32)는 래치 회로(31)의 래치 결과를 신호(SD)로서 출력하도록 되어 있다.

[0042] 제어 전압 생성 회로(40)는 판독 동작에서, 제어 회로(9)로부터의 지시에 의거하여 제어 전압(Vclamp)을 생성하고, 이 제어 전압(Vclamp)을 센스 앰프(30A~30D)에 공급하도록 구성된다.

[0043] 제어 전압 생성 회로(40)는 도 3에 도시한 바와 같이, 전압 생성 회로(51)와, 연산 증폭기(52)와, 스위치(53)와, 트랜지스터(41)와, 기억 소자(42)와, 트랜지스터(43)와, 트랜스퍼 게이트(44)와, 트랜지스터(45)와, 트랜스퍼 게이트(46)와, 트랜지스터(47, 48)를 갖고 있다. 트랜지스터(41), 기억 소자(42), 트랜지스터(43), 트랜스퍼 게이트(44), 트랜지스터(45), 트랜스퍼 게이트(46) 및 트랜지스터(47, 48)는 도 3에 도시한 바와 같이, 메모리 셀 어레이(10, 20)로부터 센스 앰프(30)에 이르는 경로에서의 각 소자의 레플리카가 되도록 구성된다. 트랜지스터(41, 43, 45)는 N형의 MOS 트랜지스터이고, 트랜지스터(47, 48)는 P형의 MOS 트랜지스터이다.

[0044] 전압 생성 회로(51)는 전압(VREF)을 생성하도록 구성된다.

[0045] 연산 증폭기(52)는 정입력 단자의 전압과 부입력 단자의 전압의 전압차를 증폭함에 의해 전압(Vclamp)을 생성하고, 이 전압(Vclamp)을 출력 단자로부터 출력하도록 구성된다. 연산 증폭기(52)의 출력 단자는 스위치(53), 트랜지스터(48)의 게이트 및 센스 앰프(30A~30D)의 각각에서의 트랜지스터(MP3, MP4)의 게이트에 접속된다.

[0046] 스위치(53)의 일단은 전원 전압(VDD)의 전원 노드에 접속되고, 타단은 연산 증폭기(52)의 출력 단자에 접속된다. 이 스위치(53)는 제어 회로(9)로부터 공급된 제어 신호에 의거하여 온 오프하도록 되어 있다.

[0047] 트랜지스터(41)의 게이트는 전원 전압(VDD)의 전원 노드에 접속되고, 드레인은 기억 소자(42)에 접속되고, 소스는 접지된다. 트랜지스터(41)는 온 상태로 설정된다. 트랜지스터(41)는 메모리 셀 어레이(10, 20)에서의 트랜지스터(111~114)와 같은 특성을 갖는다.

[0048] 기억 소자(42)의 일단은 트랜지스터(43)의 소스 및 연산 증폭기(52)의 정입력 단자에 접속되고, 타단은 트랜지스터(41)의 드레인에 접속된다. 기억 소자(42)는 메모리 셀 어레이(10, 20)에서의 기억 소자(102)와 같은 특성을 갖는다. 기억 소자(42)의 저항 상태는 저저항 상태(RL)로 설정되어 있다.

[0049] 트랜지스터(43)의 게이트는 전원 전압(VDD)의 전원 노드에 접속되고, 드레인은 트랜스퍼 게이트(44)에 접속되고, 소스는 기억 소자(42)의 일단 및 연산 증폭기(52)의 정입력 단자에 접속된다. 트랜지스터(43)는 온 상태로 설정된다. 트랜지스터(43)는 메모리 셀 어레이(10, 20)에서의 트랜지스터(101)와 같은 특성을 갖는다.

[0050] 트랜스퍼 게이트(44)의 일단은 트랜지스터(45)의 소스에 접속되고, 타단은 트랜지스터(43)의 드레인에 접속된다. 트랜스퍼 게이트(44)는 온 상태로 설정된다. 트랜스퍼 게이트(44)는 메모리 셀 어레이(10, 20)에서의 트랜스퍼 게이트(11~14)와 같은 특성을 갖는다.

[0051] 트랜지스터(45)의 게이트는 전원 전압(VDD)의 전원 노드에 접속되고, 드레인은 트랜스퍼 게이트(46)에 접속되고, 소스는 트랜스퍼 게이트(44)의 일단에 접속된다. 트랜지스터(45)는 온 상태로 설정된다. 트랜지스터(45)는 트랜지스터(15, 25)와 같은 특성을 갖는다.

[0052] 트랜스퍼 게이트(46)의 일단은 트랜지스터(47)의 게이트 및 드레인에 접속되고, 타단은 트랜지스터(45)의 드레인에 접속된다. 트랜스퍼 게이트(46)는 온 상태로 설정된다. 트랜스퍼 게이트(46)는 트랜스퍼 게이트(16, 26)와 같은 특성을 갖는다.

[0053] 트랜지스터(47)의 게이트 및 드레인은 트랜스퍼 게이트(46)의 일단에 접속되고, 소스는 트랜지스터(48)의 드레인에 접속된다. 트랜지스터(47)는 센스 앰프(30)에서의 트랜지스터(MP1, MP2)와 같은 특성을 갖는다.

[0054] 트랜지스터(48)의 게이트는 연산 증폭기(52)의 출력 단자에 접속되고, 드레인은 트랜지스터(47)의 소스에 접속되고, 소스는 전원 전압(VDD)의 전원 노드에 접속된다. 트랜지스터(48)는 트랜지스터(MP3, MP4)와 같은 특성을 갖는다. 트랜지스터(48)와, 센스 앰프(30A~30D)에서의 트랜지스터(MP3, MP4)는 커런트 미러 회로를 구성한다.

[0055] 이 구성에 의해, 제어 전압 생성 회로(40)에서는, 스위치(53)가 오프 상태가 됨에 의해, 기억 소자(42)의 일단의 전압이 전압(VREF)이 되도록 부귀환 동작을 행한다. 이에 의해, 제어 전압 생성 회로(40)는 제어 전압(Vclamp)을 생성한다. 이 부귀환 동작에서는, 기억 소자(42)의 일단의 전압은 전압(VREF)과 같은 정도의 전압이

되고, 이 기억 소자(42)의 일단부터 타단을 향해, 이 전압(VREF)에 응한 전류가 흐른다. 전압(VREF)은 기억 소자(42)에 흐르는 전류의 전류치가, 저항 상태를 변화시키는 전류 임계치(TH)보다도 낮아지도록 설정된다. 제어 전압 생성 회로(40)가 생성한 제어 전압(Vclamp)은 센스 앰프(30)의 트랜지스터(MP3, MP4)의 게이트에 공급된다. 트랜지스터(48)와, 센스 앰프(30A~30D)에서의 트랜지스터(MP3, MP4)는 커런트 미러 회로를 구성하고, 또한, 제어 전압 생성 회로(40)에서의, 트랜지스터(41)로부터 트랜지스터(48)까지의 각 소자는 메모리 셀 어레이(10, 20)로부터 센스 앰프(30)에 이르는 경로에서의 각 소자의 레플리카이다. 따라서, 기억 소자(102)에 흐르는 전류는 기억 소자(42)에 흐르는 전류와 마찬가지로, 저항 상태를 변화시키는 전류 임계치(TH)보다도 낮다. 그 결과, 반도체 회로(1)에서는, 판독 동작에서, 메모리 셀 어레이(10, 20)에서의 선택된 메모리 셀(MC)의 기억 소자(102)의 저항 상태가 변화하지 않도록 할 수 있다.

[0056] 여기서, 메모리 셀 어레이(10A)에서의 기억 소자(102)는 본 개시에서의 「제1 기억 소자」의 한 구체례에 대응한다. 메모리 셀 어레이(10A)에서의 비트선(BL)은 본 개시에서의 「제1 신호선」의 한 구체례에 대응한다. 메모리 셀 어레이(20A)에서의 기억 소자(102)는 본 개시에서의 「제2 기억 소자」의 한 구체례에 대응한다. 메모리 셀 어레이(20A)에서의 비트선(BL)은 본 개시에서의 「제2 신호선」의 한 구체례에 대응한다. 센스 앰프(30A)는 본 개시에서의 「센스 앰프」의 한 구체례에 대응한다. 래치 회로(31)는 본 개시에서의 「래치 회로」의 한 구체례에 대응한다. 트랜지스터(MN5)는 본 개시에서의 「제5 트랜지스터」의 한 구체례에 대응한다. 트랜지스터(MN6)는 본 개시에서의 「제6 트랜지스터」의 한 구체례에 대응한다. 트랜지스터(MP1)는 본 개시에서의 「제1 트랜지스터」의 한 구체례에 대응한다. 트랜지스터(MP2)는 본 개시에서의 「제2 트랜지스터」의 한 구체례에 대응한다. 트랜지스터(MP3)는 본 개시에서의 「제3 트랜지스터」의 한 구체례에 대응한다. 트랜지스터(MP4)는 본 개시에서의 「제4 트랜지스터」의 한 구체례에 대응한다. 예를 들면 트랜스퍼 게이트(16A)는 본 개시에서의 「제1 스위치」의 한 구체례에 대응한다. 예를 들면 트랜스퍼 게이트(26A)는 본 개시에서의 「제2 스위치」의 한 구체례에 대응한다. 제어 전압 생성 회로(40)는 본 개시에서의 「제어 전압 생성 회로」의 한 구체례에 대응한다. 제어 전압(Vclamp)은 본 개시에서의 「제어 전압」의 한 구체례에 대응한다.

[0057] [동작 및 작용]

[0058] 계속해서, 본 실시의 형태의 반도체 회로(1)의 동작 및 작용에 관해 설명한다.

[0059] (전체 동작 개요)

[0060] 우선, 도 1~3을 참조하여, 반도체 회로(1)의 전체 동작 개요를 설명한다. 메모리 셀 어레이(10A, 10B, 10C, 10D)는 데이터를 기억한다. 메모리 셀 어레이(20A, 20B, 20C, 20D)는 소정의 데이터인 레퍼런스 데이터를 기억한다. 센스 앰프(30A)는 판독 동작에서, 단자(TD)에서의 전압 및 단자(TR)에서의 전압을 서로 비교함에 의해, 메모리 셀 어레이(10A)에 기억된 데이터를 판독하고, 판독한 결과를 나타내는 신호(SD)를 제어 회로(9)에 공급한다. 센스 앰프(30B)는 판독 동작에서, 단자(TD)에서의 전압 및 단자(TR)에서의 전압을 서로 비교함에 의해, 메모리 셀 어레이(10B)에 기억된 데이터를 판독하고, 판독한 결과를 나타내는 신호(SD)를 제어 회로(9)에 공급한다. 센스 앰프(30C)는 판독 동작에서, 단자(TD)에서의 전압 및 단자(TR)에서의 전압을 서로 비교함에 의해, 메모리 셀 어레이(10C)에 기억된 데이터를 판독하고, 판독한 결과를 나타내는 신호(SD)를 제어 회로(9)에 공급한다. 센스 앰프(30D)는 판독 동작에서, 단자(TD)에서의 전압 및 단자(TR)에서의 전압을 서로 비교함에 의해, 메모리 셀 어레이(10D)에 기억된 데이터를 판독하고, 판독한 결과를 나타내는 신호(SD)를 제어 회로(9)에 공급한다. 제어 회로(9)는 외부로부터 공급된 기록 커맨드 및 기록 데이터에 의거하여, 4개의 메모리 셀 어레이(10)에 데이터를 기록하도록 반도체 회로(1)의 동작을 제어한다. 또한, 제어 회로(9)는 외부로부터 공급된 판독 커맨드에 의거하여, 4개의 메모리 셀 어레이(10)로부터 데이터를 판독하도록 반도체 회로(1)의 동작을 제어한다.

[0061] (판독 동작에 관해)

[0062] 도 4는 반도체 회로(1)에서의 판독 동작의 한 예를 도시하는 것이다.

[0063] 우선, 반도체 회로(1)는 제어 전압(Vclamp)을 센스 앰프(30A~30D)에 공급한다(스텝 S101). 구체적으로는, 제어 전압 생성 회로(40)에서는, 제어 회로(9)로부터의 지시에 의거하여, 스위치(53)가 온 상태로부터 오프 상태로 변화한다. 이에 의해, 제어 전압 생성 회로(40)는 부귀환 동작을 행하여, 제어 전압(Vclamp)을 생성한다. 그리고, 제어 전압 생성 회로(40)는 이 제어 전압(Vclamp)을 센스 앰프(30A~30D)에 공급한다.

[0064] 다음에, 반도체 회로(1)는 메모리 셀 어레이(10A~10D, 20A~20D)의 각각에서, 판독 대상인 메모리 셀(MC)을 선택한다(스텝 S102).

[0065] 구체적으로는, 제어 회로(9)는 트랜지스터(15A~15D)에 대해 제어 신호를 공급함에 의해, 트랜지스터(15A~15D)를 온 상태로 한다. 또한, 제어 회로(9)는 판독 커맨드에 포함되는 어드레스 신호에 의거하여, 메모리 셀 어레이(10A~10D)에서의 트랜스퍼 게이트(11~14)에 제어 신호를 공급함에 의해, 트랜스퍼 게이트(11~14) 중의 하나를 온 상태로 한다. 예를 들면, 트랜스퍼 게이트(11)를 온 상태로 하는 경우에는, 제어 회로(9)는 메모리 셀 어레이(10A~10D)에서의 4개의 트랜스퍼 게이트(11)를 온 상태로 한다. 또한, 제어 회로(9)는 메모리 셀 어레이(10A~10D)에서의 트랜지스터(111~114)에 제어 신호를 공급함에 의해, 트랜스퍼 게이트(11~14) 중의 온 상태로 하는 트랜스퍼 게이트에 대응하는 트랜지스터를 온 상태로 한다. 구체적으로는, 제어 회로(9)는 트랜스퍼 게이트(11)를 온 상태로 하는 경우에는 트랜지스터(111)를 온 상태로 하고, 트랜스퍼 게이트(12)를 온 상태로 하는 경우에는 트랜지스터(112)를 온 상태로 하고, 트랜스퍼 게이트(13)를 온 상태로 하는 경우에는 트랜지스터(113)를 온 상태로 하고, 트랜스퍼 게이트(14)를 온 상태로 하는 경우에는 트랜지스터(114)를 온 상태로 한다. 예를 들면, 트랜지스터(111)를 온 상태로 하는 경우에는, 제어 회로(9)는 메모리 셀 어레이(10A~10D)에서의 4개의 트랜지스터(111)를 온 상태로 한다. 그리고, 제어 회로(9)는 판독 커맨드에 포함되는 어드레스 신호에 의거하여, 메모리 셀 어레이(10A~10D)에서의 복수의 워드선(WL) 중의 하나의 전압을 고레벨로 한다. 이에 의해, 제어 회로(9)는 메모리 셀 어레이(10A~10D)의 각각에서, 복수의 메모리 셀(MC) 중의 하나를 선택한다.

[0066] 마찬가지로, 제어 회로(9)는 트랜지스터(25A~25D)에 대해 제어 신호를 공급함에 의해, 트랜지스터(25A~25D)를 온 상태로 한다. 또한, 제어 회로(9)는 메모리 셀 어레이(20A~20D)에서의 트랜스퍼 게이트(11~14)에 제어 신호를 공급함에 의해, 트랜스퍼 게이트(11~14) 중의 하나를 온 상태로 한다. 예를 들면, 트랜스퍼 게이트(11)를 온 상태로 하는 경우에는, 제어 회로(9)는 메모리 셀 어레이(20A~20D)에서의 4개의 트랜스퍼 게이트(11)를 온 상태로 한다. 또한, 제어 회로(9)는 메모리 셀 어레이(20A~20D)에서의 트랜지스터(111~114)에 제어 신호를 공급함에 의해, 트랜스퍼 게이트(11~14) 중의 온 상태로 하는 트랜스퍼 게이트에 대응하는 트랜지스터를 온 상태로 한다. 구체적으로는, 제어 회로(9)는 트랜스퍼 게이트(11)를 온 상태로 하는 경우에는 트랜지스터(111)를 온 상태로 하고, 트랜스퍼 게이트(12)를 온 상태로 하는 경우에는 트랜지스터(112)를 온 상태로 하고, 트랜스퍼 게이트(13)를 온 상태로 하는 경우에는 트랜지스터(113)를 온 상태로 하고, 트랜스퍼 게이트(14)를 온 상태로 하는 경우에는 트랜지스터(114)를 온 상태로 한다. 예를 들면, 트랜지스터(111)를 온 상태로 하는 경우에는, 제어 회로(9)는 메모리 셀 어레이(20A~20D)에서의 4개의 트랜지스터(111)를 온 상태로 한다. 그리고, 제어 회로(9)는 메모리 셀 어레이(20A~20D)에서의 복수의 워드선(WL) 중의 하나의 전압을 고레벨로 한다. 이에 의해, 제어 회로(9)는 메모리 셀 어레이(20A~20D)의 각각에서, 복수의 메모리 셀(MC) 중의 하나를 선택한다.

[0067] 다음에, 반도체 회로(1)는 트랜스퍼 게이트(16A~16D, 26A~26D)를 온 상태로 한다(스텝 S103). 구체적으로는, 제어 회로(9)는 트랜스퍼 게이트(16A~16D, 26A~26D)에 제어 신호를 공급함에 의해, 트랜스퍼 게이트(16A~16D, 26A~26D)를 오프 상태로부터 온 상태로 변화시킨다. 이에 의해, 메모리 셀 어레이(10A)에서 선택된 메모리 셀(MC)은 트랜지스터(15A) 및 트랜스퍼 게이트(16A)를 통하여 센스 앰프(30A)의 단자(TD)에 접속되고, 메모리 셀 어레이(10B)에서 선택된 메모리 셀(MC)은 트랜지스터(15B) 및 트랜스퍼 게이트(16B)를 통하여 센스 앰프(30B)의 단자(TD)에 접속되고, 메모리 셀 어레이(10C)에서 선택된 메모리 셀(MC)은 트랜지스터(15C) 및 트랜스퍼 게이트(16C)를 통하여 센스 앰프(30C)의 단자(TD)에 접속되고, 메모리 셀 어레이(10D)에서 선택된 메모리 셀(MC)은 트랜지스터(15D) 및 트랜스퍼 게이트(16D)를 통하여 센스 앰프(30D)의 단자(TD)에 접속된다. 또한, 메모리 셀 어레이(20A)에서 선택된 메모리 셀(MC), 메모리 셀 어레이(20B)에서 선택된 메모리 셀(MC), 메모리 셀 어레이(20C)에서 선택된 메모리 셀(MC) 및 메모리 셀 어레이(20D)에서 선택된 메모리 셀(MC)은 노드(NR)를 통하여, 센스 앰프(30A, 30B, 30C, 30D)의 단자(TR)에 접속된다.

[0068] 이에 의해, 예를 들면 센스 앰프(30A)의 트랜지스터(MP3)는 제어 전압(Vclamp)에 응한 전류를 전원 전압(VDD)의 전원 노드로부터, 트랜지스터(MP1), 트랜스퍼 게이트(16A), 트랜지스터(15A)를 통하여, 메모리 셀 어레이(10A)를 향해 흘린다. 그 결과, 노드(N1)의 전압은 메모리 셀 어레이(10A)에서 선택된 메모리 셀(MC)에서의 기억 소자(102)의 저항 상태에 응한 전압이 된다. 센스 앰프(30B~30D)의 트랜지스터(MP3)에 대해서도 마찬가지이다.

[0069] 또한, 센스 앰프(30A~30D)의 트랜지스터(MP4)는 제어 전압(Vclamp)에 응한 전류를 전원 전압(VDD)의 전원 노드로부터, 4개의 트랜지스터(MP2), 트랜스퍼 게이트(26A~26D), 트랜지스터(25A~25D)를 통하여, 메모리 셀 어레이(20A~20D)를 향해 흘린다. 레퍼런스 데이터가 기억된 메모리 셀 어레이(20A~20D)에서는, 선택된 4개의 메모리 셀(MC)의 4개의 기억 소자(102)는, 저항 상태가 저저항 상태(RL)인 2개의 기억 소자(102)와, 저항 상태가 고저항 상태(RH)인 2개의 기억 소자(102)를 포함한다. 따라서, 센스 앰프(30A~30D)에서의 노드(N2)의 전압은 이들 4개의 기억 소자(102)의 저항치의 평균치에 응한 전압이 된다. 환언하면, 노드(N2)에서의 전압은 저저항 상태(RL)에 응한 전압과, 고저항 상태(RH)에 응한 전압 사이의 전압이 된다.

[0070] 그 결과, 예를 들면, 메모리 셀 어레이(10A)에서의 선택된 메모리 셀(MC)의 기억 소자(102)의 저항 상태가 저저항 상태(RL)인 경우에는, 센스 앰프(30A)에서, 노드(N1)의 전압은 노드(N2)의 전압보다도 낮아진다. 또한, 예를 들면, 메모리 셀 어레이(10A)에서의 선택된 메모리 셀(MC)의 기억 소자(102)의 저항 상태가 고저항 상태(RH)인 경우에는, 센스 앰프(30A)에서, 노드(N1)의 전압은 노드(N2)의 전압보다도 높아진다. 센스 앰프(30B~30D)에 대해서도 마찬가지이다.

[0071] 다음에, 반도체 회로(1)는 트랜스퍼 게이트(16A~16D, 26A~26D)를 오프 상태로 한다(스텝 S104). 구체적으로는, 제어 회로(9)는 트랜스퍼 게이트(16A~16D, 26A~26D)에 제어 신호를 공급함에 의해, 트랜스퍼 게이트(16A~16D, 26A~26D)를 오프 상태로 한다. 이에 의해, 메모리 셀 어레이(10A)에서 선택된 메모리 셀(MC)은 센스 앰프(30A)의 단자(TD)로부터 절단되고, 메모리 셀 어레이(10B)에서 선택된 메모리 셀(MC)은 센스 앰프(30B)의 단자(TD)로부터 절단되고, 메모리 셀 어레이(10C)에서 선택된 메모리 셀(MC)은 센스 앰프(30C)의 단자(TD)로부터 절단되고, 메모리 셀 어레이(10D)에서 선택된 메모리 셀(MC)은 센스 앰프(30D)의 단자(TD)로부터 절단된다. 또한, 메모리 셀 어레이(20A)에서 선택된 메모리 셀(MC), 메모리 셀 어레이(20B)에서 선택된 메모리 셀(MC), 메모리 셀 어레이(20C)에서 선택된 메모리 셀(MC) 및 메모리 셀 어레이(20D)에서 선택된 메모리 셀(MC)은 센스 앰프(30A, 30B, 30C, 30D)의 단자(TR)로부터 절단된다.

[0072] 트랜스퍼 게이트(16A~16D, 26A~26D)가 오프 상태가 된 후, 센스 앰프(30A~30D)의 각각에서, 트랜지스터(MP3)는 제어 전압(Vclamp)에 응한 전류를 전원 전압(VDD)의 전원 노드로부터, 트랜지스터(MP1)를 통하여 노드(N1)를 향해 흘린다. 마찬가지로, 센스 앰프(30A)의 트랜지스터(MP4)는 제어 전압(Vclamp)에 응한 전류를 전원 전압(VDD)의 전원 노드로부터, 트랜지스터(MP2)를 통하여 노드(N2)를 향해 흘린다. 이에 의해, 센스 앰프(30A~30D)의 각각에서는, 노드(N1)의 전압과 노드(N2)의 전압과의 대소 관계를 유지한 채로, 노드(N1, N2)의 전압이 상승하여 간다. 그리고, 노드(N1, N2)의 전압은 N형의 MOS 트랜지스터에 의해 구성된 래치 회로(31)가 래치 동작을 행할 수가 있는 높이의 전압에 도달한다.

[0073] 다음에, 반도체 회로(1)는 래치 동작을 행한다(스텝 S105). 구체적으로는, 제어 회로(9)는 신호(RLAT)를 저레벨로부터 고레벨로 변화시킨다. 이에 의해, 센스 앰프(30A~30D)의 각각에서, 트랜지스터(MN7, MN8)가 온 상태가 되고, 트랜지스터(MN5, MN6)의 소스는 접지된다. 트랜지스터(MN5, MN6)는 노드(N1)의 전압 및 노드(N2)의 전압에 의거하여 전귀환 동작을 행한다. 예를 들면, 노드(N1)의 전압이 노드(N2)의 전압보다도 높은 경우에는, 전귀환 동작을 행함에 의해, 노드(N1)의 전압을 고레벨로 하고 노드(N2)의 전압을 저레벨로 한다. 또한, 노드(N1)의 전압이 노드(N2)의 전압보다도 낮은 경우에는, 전귀환 동작을 행함에 의해, 노드(N1)의 전압을 저레벨로 하고 노드(N2)의 전압을 고레벨로 한다. 그리고, 버퍼(32)는 래치 회로(31)의 래치 결과를 신호(SD)로서 출력한다. 제어 회로(9)는 센스 앰프(30A~30D)로부터 공급된 신호(SD)에 의거하여, 판독 커맨드에 응한 판독 데이터를 생성하고, 이 판독 데이터를 출력한다.

[0074] 이상으로, 이 플로우는 종료한다.

[0075] 이와 같이, 반도체 회로(1)에서는, 센스 앰프(30A~30D)의 각각에서, 트랜지스터(MP3, MP4)가 제어 전압(Vclamp)에 응한 전류를 흘리도록 했다. 이에 의해, 예를 들면, 센스 앰프(30)의 수가 많은 경우에도, 트랜스퍼 게이트(16A, 26A)를 오프 상태로부터 온 상태로 변화시킨 직후에서, 제어 전압(Vclamp)에 응한 전류를 안정하게 흘릴 수 있기 때문에, 단시간에 많은 데이터를 판독하는 고속 판독 동작을 행할 수가 있다.

[0076] (비교례)

[0077] 다음에, 비교례와 대비하여, 본 실시의 형태의 작용을 설명한다. 본 비교례는 판독 동작에서, 선택된 메모리 셀(MC)에 전류를 흘리는 방법이 본 실시의 형태와는 다른 것이다.

[0078] 도 5는 비교례에 관한 반도체 회로(1R)에서의 메모리 셀 어레이(10A, 20A)에 관한 회로의 일부를 도시하는 것이다. 반도체 회로(1R)는 메모리 셀 어레이(10A, 20A)와, 트랜지스터(15A, 25A)와, 트랜지스터(MN101, MN102)와, 트랜스퍼 게이트(16A, 26A)와, 센스 앰프(30RA)와, 제어 전압 생성 회로(40R)를 구비하고 있다.

[0079] 트랜지스터(MN101, MN102)는 N형의 MOS 트랜지스터이다. 트랜지스터(MN101)의 게이트에는 제어 전압(Vclampr)이 공급되고, 드레인은 트랜스퍼 게이트(16A)의 타단에 접속되고, 소스는 트랜지스터(15A)의 드레인에 접속된다. 트랜지스터(MN102)의 게이트에는 제어 전압(Vclampr)이 공급되고, 드레인은 트랜스퍼 게이트(26A)의 타단에 접속되고, 소스는 노드(NR)에 접속된다.

[0080] 센스 앰프(30RA)는 트랜지스터(MP1, MP2), 래치 회로(31) 및 버퍼(32)를 갖는다. 즉, 센스 앰프(30RA)는 본 실

시의 형태에 관한 센스 앰프(30)(도 3)로부터 트랜지스터(MP3, MP4)를 생략한 것이다.

[0081] 제어 전압 생성 회로(40R)는 판독 동작에서 제어 전압(Vclampr)을 생성하고, 이 제어 전압(Vclampr)을 센스 앰프(30RA)에 공급하도록 구성된다.

[0082] 반도체 회로(1R)는 본 실시의 형태에 관한 반도체 회로(1)의 경우(도 4)와 마찬가지로, 제어 전압(Vclampr)을 센스 앰프(30RA)에 공급하고(스텝 S101), 메모리 셀(MC)을 선택하고(스텝 S102), 트랜스퍼 게이트(16A～16D, 26A～26D)를 온 상태로 한다(스텝 S103). 이와 같이, 트랜스퍼 게이트(16A～16D, 26A～26D)가 오프 상태로부터 온 상태로 변화하면, 트랜지스터(MN101, MN102)에 전류가 흐르기 시작한다. 이에 의해, 트랜지스터(MN101, MN102)의 소스 전압이 급격하게 변화한다. 트랜지스터(MN101, MN102)의 소스 전압의 급격한 변화는 트랜지스터(MN101, MN102)의 게이트·소스 사이 용량을 통하여, 제어 전압(Vclampr)을 요동할 수 있다. 제어 전압(Vclampr)은 트랜지스터(MN101, MN102)에 전류가 흐르기 시작하는 타이밍에서 과도적으로 변화하고, 그 후 어느 정도의 시간이 경과한 후에 소망하는 전압으로 수속한다. 특히, 이 예에서는, 설명의 편의상, 4개의 센스 앰프를 접속하고 있는데, 센스 앰프의 수가 보다 많은 경우에는, 제어 전압(Vclampr)의 요동이 커질 수 있다. 반도체 회로(1R)에서는, 안정 동작을 실현하기 위해, 제어 전압(Vclampr)이 소망하는 전압에 수속한 후에 다음 동작을 행한다. 따라서, 반도체 회로(1R)는 제어 전압(Vclampr)이 수속할 때까지 기다릴 필요가 있기 때문에, 곧바로 데이터를 판독할 수가 없다. 이 경우에는, 반도체 회로(1R)에서는, 단시간에 많은 데이터를 판독하기가 어렵다. 또한, 예를 들면, 반도체 회로(1R)에서, 제어 전압(Vclampr)의 요동을 억제하기 위해, 트랜지스터(MN101, MN102)의 게이트에, 디커플링을 목적으로 한 용량 소자를 접속한 경우에는, 회로 면적이 커져 버린다.

[0083] 한편, 본 실시의 형태에 관한 반도체 회로(1)에서는, 트랜지스터(MP3, MP4)가 제어 전압(Vclamp)에 응한 전류를 흘리도록 했다. 이에 의해, 반도체 회로(1)에서는, 스텝 S103에서, 트랜스퍼 게이트(16A～16D, 26A～26D)가 오프 상태로부터 온 상태로 변화한 직후에, 제어 전압(Vclamp)이 요동할 가능성을 저감할 수 있다. 즉, 반도체 회로(1)에서는, 상술한 디커플링을 목적으로 한 용량 소자를 마련하는 일 없이, 제어 전압(Vclamp)의 요동을 억제할 수 있다. 따라서, 반도체 회로(1)는, 트랜스퍼 게이트(16A～16D, 26A～26D)가 오프 상태로부터 온 상태로 변화한 후에, 제어 전압(Vclamp)에 응한 전류를 안정하게 흘릴 수 있기 때문에, 곧바로 다음 동작을 행할 수 있다. 그 결과, 반도체 회로(1)에서는, 단시간에 많은 데이터를 판독하는 고속 판독 동작을 행할 수가 있다.

[0084] 이와 같이, 반도체 회로(1)에서는, 센스 앰프(30)와, 제1 스위치(트랜스퍼 게이트(16A))와, 제2 스위치(트랜스퍼 게이트(26A))를 마련하도록 했다. 센스 앰프(30)는 제1 노드(노드(N1))의 전압의 반전 전압을 제2 노드(노드(N2))에 인가하고, 제2 노드(노드(N2))의 전압의 반전 전압을 제1 노드(노드(N1))에 인가하는 래치 회로(31)와, 제1 내지 제4 트랜지스터(트랜지스터(MP1～MP4))를 갖도록 했다. 제1 트랜지스터(트랜지스터(MP1))는 소스와, 제1 노드(노드(N1))에 접속된 게이트 및 드레인을 갖도록 했다. 제2 트랜지스터(트랜지스터(MP2))는 소스와, 제2 노드(노드(N2))에 접속된 게이트 및 드레인을 갖도록 했다. 제3 트랜지스터(트랜지스터(MP3))는 전원 노드에 접속된 소스와, 제어 전압(Vclamp)이 인가된 게이트와, 제1 트랜지스터(트랜지스터(MP1))의 소스에 접속된 드레인을 갖도록 했다. 제4 트랜지스터(트랜지스터(MP4))는 전원 노드에 접속된 소스와, 제어 전압(Vclamp)이 인가된 게이트와, 제2 트랜지스터(트랜지스터(MP2))의 소스에 접속된 드레인을 갖도록 했다. 제1 스위치(트랜스퍼 게이트(16A))는 온 상태가 됨에 의해, 제1 신호선(메모리 셀 어레이(10A)에서의 비트선(BL))과 제1 노드(노드(N1))를 접속하도록 했다. 제2 스위치(트랜스퍼 게이트(26A))는 온 상태가 됨에 의해, 제2 신호선(메모리 셀 어레이(20A)에서의 비트선(BL))과 제2 노드(노드(N2))를 접속하도록 했다. 이에 의해, 반도체 회로(1)에서는, 트랜스퍼 게이트(16A～16D, 26A～26D)가 오프 상태로부터 온 상태로 변화한 후에, 곧바로 다음 동작을 행할 수가 있다. 그 결과, 반도체 회로(1)에서는, 단시간에 많은 데이터를 판독하는 고속 판독 동작을 행할 수가 있다.

[0085] [효과]

[0086] 이상과 같이 본 실시의 형태에서는, 센스 앰프와, 제1 스위치와, 제2 스위치를 마련하도록 했다. 센스 앰프는 제1 노드 전압의 반전 전압을 제2 노드에 인가하고, 제2 노드 전압의 반전 전압을 제1 노드에 인가하는 래치 회로와, 제1 내지 제4 트랜지스터를 갖도록 했다. 제1 트랜지스터는 소스와, 제1 노드에 접속된 게이트 및 드레인을 갖도록 했다. 제2 트랜지스터는 소스와, 제2 노드에 접속된 게이트 및 드레인을 갖도록 했다. 제3 트랜지스터는 전원 노드에 접속된 소스와, 제어 전압이 인가된 게이트와, 제1 트랜지스터의 소스에 접속된 드레인을 갖도록 했다. 제4 트랜지스터는 전원 노드에 접속된 소스와, 제어 전압이 인가된 게이트와, 제2 트랜지스터의 소스에 접속된 드레인을 갖도록 했다. 제1 스위치는 온 상태가 됨에 의해, 제1 신호선과 제1 노드를 접속하도록 했다. 제2 스위치는 온 상태가 됨에 의해, 제2 신호선과 제2 노드를 접속하도록 했다. 이에 의해, 단시간에 많은 데이터를 판독하는 고속 판독 동작을 행할 수가 있다.

[0087] [변형례 1]

[0088] 상기 실시의 형태에서는, N형의 MOS 트랜지스터를 이용하여 래치 회로(31)를 구성했지만, 이것으로 한정되는 것이 아니다. 이에 대신하여, 예를 들면, P형의 MOS 트랜지스터를 이용하여 래치 회로(31)를 구성해도 좋다. 이하에, 본 변형례에 관해 상세히 설명한다.

[0089] 도 6은 본 변형례에 관한 센스 앰프(30A)의 한 구성례를 도시하는 것이다. 센스 앰프(30B~30D)에 대해서도 마찬가지이다. 래치 회로(31)는 트랜지스터(MP15~MP18)를 갖고 있다. 트랜지스터(MP15~MP18)는 P형의 MOS 트랜지스터이다. 트랜지스터(MP15)의 게이트는 노드(N2)에 접속되고, 드레인은 노드(N1)에 접속되고, 소스는 트랜지스터(MP17)의 드레인에 접속된다. 트랜지스터(MP16)의 게이트는 노드(N1)에 접속되고, 드레인은 노드(N2)에 접속되고, 소스는 트랜지스터(MP18)의 드레인에 접속된다. 트랜지스터(MP17)의 게이트에는 본 변형례에 관한 제어 회로(9)로부터 신호(RLATB)가 공급되고, 드레인은 트랜지스터(MP15)의 소스에 접속되고, 소스는 전원 전압(VDD)의 전원 노드에 접속된다. 트랜지스터(MP18)의 게이트에는 본 변형례에 관한 제어 회로(9)로부터 신호(RLATB)가 공급되고, 드레인은 트랜지스터(MP16)의 소스에 접속되고, 소스는 전원 전압(VDD)의 전원 노드에 접속된다. 센스 앰프(30B~30D)에 대해서도 마찬가지이다. 여기서, 트랜지스터(MP15)는 본 개시에서의 「제5 트랜지스터」의 한 구체례에 대응한다. 트랜지스터(MP16)는 본 개시에서의 「제6 트랜지스터」의 한 구체례에 대응한다.

[0090] 도 7은 본 변형례에 관한 반도체 회로(1)에서의 판독 동작의 한 예를 도시하는 것이다.

[0091] 우선, 반도체 회로(1)는 상기 실시의 형태의 경우(도 4)와 마찬가지로, 제어 전압(Vclamp)을 센스 앰프(30A~30D)에 공급하고(스텝 S101), 메모리 셀 어레이(10A~10D, 20A~20D)의 각각에서 메모리 셀(MC)을 선택하고(스텝 S102), 트랜스퍼 게이트(16A~16D, 26A~26D)를 온 상태로 한다(스텝 S103). 이에 의해, 상기 실시의 형태의 경우(도 4)와 마찬가지로, 예를 들면, 메모리 셀 어레이(10A)에서의 선택된 메모리 셀(MC)의 기억 소자(102)의 저항 상태가 저저항 상태(RL)인 경우에는, 센스 앰프(30A)에서, 노드(N1)의 전압은 노드(N2)의 전압보다도 낮아진다. 또한, 예를 들면, 메모리 셀 어레이(10A)에서의 선택된 메모리 셀(MC)의 기억 소자(102)의 저항 상태가 고저항 상태(RH)인 경우에는, 센스 앰프(30A)에서, 노드(N1)의 전압은 노드(N2)의 전압보다도 높아진다. 노드(N1, N2)의 전압은 P형의 MOS 트랜지스터에 의해 구성된 래치 회로(31)가 래치 동작을 행할 수 있는 약간 낮은 전압이다. 센스 앰프(30B~30D)에 대해서도 마찬가지이다.

[0092] 다음에, 반도체 회로(1)는 래치 동작을 행한다(스텝 S114). 구체적으로는, 제어 회로(9)는 신호(RLATB)를 고레벨로부터 저레벨로 변화시킨다. 센스 앰프(30A~30D)의 각각에서, 트랜지스터(MP17, MP18)가 온 상태가 되고, 트랜지스터(MP15, MP16)의 소스에는 전원 전압(VDD)이 인가된다. 트랜지스터(MP15, MP16)는 노드(N1)의 전압 및 노드(N2)의 전압에 의거하여 전귀환 동작을 행한다. 예를 들면, 노드(N1)의 전압이 노드(N2)의 전압보다도 높은 경우에는, 전귀환 동작을 행함에 의해, 노드(N1)의 전압을 고레벨로 하고 노드(N2)의 전압을 저레벨로 한다. 또한, 노드(N1)의 전압이 노드(N2)의 전압보다도 낮은 경우에는, 전귀환 동작을 행함에 의해, 노드(N1)의 전압을 저레벨로 하고 노드(N2)의 전압을 고레벨로 한다. 그리고, 버퍼(32)는, 래치 회로(31)의 래치 결과를 신호(SD)로서 출력한다.

[0093] 그리고, 반도체 회로(1)는 상기 실시의 형태의 경우(도 4)와 마찬가지로, 트랜스퍼 게이트(16A~16D, 26A~26D)를 오프 상태로 한다(스텝 S115).

[0094] 이상으로, 이 플로우는 종료한다.

[0095] [변형례 2]

[0096] 상기 실시의 형태에서는, 하나의 도전형의 MOS 트랜지스터를 이용하여 래치 회로(31)를 구성했지만, 이것으로 한정되는 것이 아니다. 이에 대신하여, 예를 들면, 도 8에 도시하는 바와 같이, N형의 MOS 트랜지스터 및 P형의 MOS 트랜지스터를 이용하여 래치 회로(31)를 구성해도 좋다. 이 래치 회로(31)는 트랜지스터(MN5~MN8, MP15~MP18)를 갖고 있다. 트랜지스터(MN5~MN8)는 N형의 MOS 트랜지스터이고, 트랜지스터(MP15~MP18)는 P형의 MOS 트랜지스터이다. 이 래치 회로(31)는 상기 실시의 형태에 관한 래치 회로(31)(도 3), 및 변형례 1에 관한 래치 회로(31)(도 6)를 조합시킨 것이고, CMOS(Complementary MOS) 구성의 래치 회로이다. 여기서, 트랜지스터(MN5)는 본 개시에서의 「제5 트랜지스터」의 한 구체례에 대응한다. 트랜지스터(MN6)는 본 개시에서의 「제6 트랜지스터」의 한 구체례에 대응한다. 트랜지스터(MP15)는 본 개시에서의 「제7 트랜지스터」의 한 구체례에 대응한다. 트랜지스터(MP16)는 본 개시에서의 「제8 트랜지스터」의 한 구체례에 대응한다.

[0097] [변형례 3]

[0098] 상기 실시의 형태에서는, 센스 앰프(30A~30D)에서, 트랜지스터(MP3, MP4)의 소스를 전원 전압(VDD)의 전원 노드에 직접 접속했지만, 이것으로 한정되는 것이 아니다. 이에 대신하여, 예를 들면, 도 9에 도시하는 바와 같이, 트랜지스터(MP3)의 소스를 트랜지스터를 통하여 전원 노드에 접속하고, 트랜지스터(MP4)의 소스를 트랜지스터를 통하여 전원 노드에 접속해도 좋다. 센스 앰프(30A)는 트랜지스터(MP11, MP12)를 갖고 있다. 트랜지스터(MP11, MP12)는 P형의 MOS 트랜지스터이다. 트랜지스터(MP11)의 게이트에는, 본 변형례에 관한 제어 회로(9)로부터 신호(PG)가 공급되고, 소스는 전원 전압(VDD)의 전원 노드에 접속되고, 드레인은 트랜지스터(MP3)의 소스에 접속된다. 트랜지스터(MP12)의 게이트에는, 본 변형례에 관한 제어 회로(9)로부터 신호(PG)가 공급되고, 소스는 전원 전압(VDD)의 전원 노드에 접속되고, 드레인은 트랜지스터(MP4)의 소스에 접속된다. 여기서, 트랜지스터(MP11)는 본 개시에서의 「제1 전원 트랜지스터」의 한 구체례에 대응한다. 트랜지스터(MP12)는 본 개시에서의 「제2 전원 트랜지스터」의 한 구체례에 대응한다. 본 변형례에 관한 제어 회로(9)는 센스 앰프(30A)를 동작시키는 경우에, 신호(PG)를 저레벨로 한다. 이에 의해, 트랜지스터(MP11, MP12)는 온 상태가 되고, 반도체 회로(1)는 상기 실시의 형태의 경우와 마찬가지로 동작을 행한다. 또한, 제어 회로(9)는 센스 앰프(30A)를 동작시키지 않는 경우에는, 신호(PG)를 고레벨로 한다. 이에 의해, 트랜지스터(MP11, MP12)는 오프 상태가 된다. 이와 같이, 이른바 파워 게이팅을 목적으로 한 트랜지스터(MP11, MP12)를 마련함에 의해, 소비 전력을 효과적으로 저감할 수 있다.

[0099] [변형례 4]

[0100] 상기 실시의 형태에서는, 센스 앰프(30A~30D)에서, 트랜지스터(MP3)의 드레인을 트랜지스터(MP1)의 소스에 접속함과 함께, 트랜지스터(MP4)의 드레인을 트랜지스터(MP2)의 소스에 접속했지만, 이것으로 한정되는 것이 아니다. 이에 대신하여, 예를 들면, 도 10에 도시하는 바와 같이, 트랜지스터(MP3, MP4)의 드레인 및 트랜지스터(MP1, MP2)의 소스를 서로 접속해도 좋다. 센스 앰프(30A)의 트랜지스터(MP3, MP4)는 제어 전압(Vclamp)에 응한 전류를, 전원 전압(VDD)의 전원 노드로부터, 트랜지스터(MP1, MP2), 트랜스퍼 게이트(16A, 26A), 트랜지스터(15A, 25A~25D)를 통하여, 메모리 셀 어레이(10A, 20A~20D)를 향해 흘린다. 센스 앰프(30B~30D)에 대해서도 마찬가지이다. 이 구성에 의해, 예를 들면, 트랜지스터(MP3)의 특성 및 트랜지스터(MP4)의 특성이 이른바 미스매치에 의해 약간 달라진 경우에도, 그 영향을 억제할 수 있다.

[0101] [변형례 5]

[0102] 상기 실시의 형태에서는, 센스 앰프(30A~30D)에서, 2개의 트랜지스터(MP3, MP4)를 마련했지만, 이것으로 한정되는 것이 아니고, 이에 대신하여, 예를 들면, 도 11에 도시하는 바와 같이, 하나의 트랜지스터(MP13)를 마련해도 좋다. 이 트랜지스터(MP13)는 P형의 MOS 트랜지스터이고, 게이트에는 제어 전압(Vclamp)이 공급되고, 소스는 전원 전압(VDD)의 전원 노드에 접속되고, 드레인은 트랜지스터(MP1, MP2)의 소스에 접속된다. 여기서, 트랜지스터(MP13)는 본 개시에서의 「제3 트랜지스터」의 한 구체례에 대응한다. 센스 앰프(30A)의 트랜지스터(MP13)는 제어 전압(Vclamp)에 응한 전류를 전원 전압(VDD)의 전원 노드로부터, 트랜지스터(MP1, MP2), 트랜스퍼 게이트(16A, 26A), 트랜지스터(15A, 25A~25D)를 통하여, 메모리 셀 어레이(10A, 20A~20D)를 향해 흘린다. 따라서, 기억 소자(102)에 흐르는 전류는 저항 상태를 변화시키는 전류 임계치(TH)보다도 낮다. 센스 앰프(30B~30D)에 대해서도 마찬가지이다.

[0103] [변형례 6]

[0104] 상기 실시의 형태에서, 센스 앰프(30A~30D)에서의 2개의 트랜지스터(MP3, MP4)의 각각은 도 12에 도시하는 바와 같이, 병렬 접속된 복수(이 예에서는 3개)의 트랜지스터를 갖고 있어도 좋다. 또한, 도 13에 도시하는 바와 같이, 변형례 3에 관한 기술에 본 변형례를 적용해도 좋다. 이 예에서는, 2개의 트랜지스터(MP11, MP12)의 각각도 또한, 병렬 접속된 복수(이 예에서는 3개)의 트랜지스터를 갖고 있다.

[0105] [변형례 7]

[0106] 상기 실시의 형태에서는, 도 4에 도시한 바와 같이, 제어 전압(Vclamp)을 센스 앰프(30A~30D)에 공급한 후에 트랜스퍼 게이트(16A~16D, 26A~26D)를 온 상태로 했지만, 트랜스퍼 게이트(16A~16D, 26A~26D)를 온 상태로 하기 전에, 노드(N1, N2)의 전압을 설정해도 좋다. 이하에, 몇 가지의 예를 들어 상세히 설명한다.

[0107] 도 14는, 본 변형례에 관한 센스 앰프(30A)의 한 구성례를 도시하는 것이다. 이 센스 앰프(30A)는 트랜스퍼 게이트(33)를 갖고 있다. 트랜스퍼 게이트(33)의 일단은 노드(N1)에 접속되고, 타단은 노드(N2)에 접속된다. 트랜

스퍼 게이트(33)는 본 변형례에 관한 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 여기서, 트랜스퍼 게이트(33)는 본 개시에서의 「전압 설정부」 및 「제3 스위치」의 한 구체례에 대응한다.

[0108] 도 15는 도 14에 도시한 센스 앰프(30A)를 구비한 반도체 회로(1)의 한 동작례를 도시하는 것이다.

[0109] 우선, 반도체 회로(1)는 상기 실시의 형태의 경우(도 4)와 마찬가지로, 제어 전압(Vclamp)을 센스 앰프(30A~30D)에 공급한다(스텝 S101).

[0110] 다음에, 반도체 회로(1)는 트랜스퍼 게이트(33)를 온 상태에 함에 의해 이퀄라이즈 동작을 행한다(스텝 S121). 구체적으로는, 제어 회로(9)는 트랜스퍼 게이트(33)에 대해 제어 신호를 공급함에 의해, 트랜스퍼 게이트(33)를 온 상태로 한다. 이에 의해, 노드(N1) 및 노드(N2)는 전기적으로 서로 접속되고, 노드(N1)의 전압과 노드(N2)의 전압은 동등해진다.

[0111] 다음에, 반도체 회로(1)는 트랜스퍼 게이트(33)를 오프 상태로 한다(스텝 S122).

[0112] 다음에, 반도체 회로(1)는 상기 실시의 형태의 경우(도 4)와 마찬가지로, 메모리 셀 어레이(10A~10D, 20A~20D)의 각각에서, 판독 대상인 메모리 셀(MC)을 선택하고(스텝 S102), 트랜스퍼 게이트(16A~16D, 26A~26D)를 온 상태에 하고(스텝 S103), 트랜스퍼 게이트(16A~16D, 26A~26D)를 오프 상태에 하고(스텝 S104), 래치 동작을 행한다(스텝 S105).

[0113] 도 16은 본 변형례에 관한 다른 센스 앰프(30A)의 한 구성례를 도시하는 것이다. 이 센스 앰프(30A)는 트랜스퍼 게이트(34, 35)를 갖고 있다. 트랜스퍼 게이트(34)의 일단은 전원 전압(VDD)의 전원 노드에 접속되고, 타단은 노드(N1)에 접속된다. 트랜스퍼 게이트(34)는 본 변형례에 관한 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 트랜스퍼 게이트(35)의 일단은 전원 전압(VDD)의 전원 노드에 접속되고, 타단은 노드(N2)에 접속된다. 트랜스퍼 게이트(35)는 본 변형례에 관한 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 여기서, 트랜스퍼 게이트(34, 35)는 본 개시에서의 「전압 설정부」의 한 구체례에 대응한다. 트랜스퍼 게이트(34)는 본 개시에서의 「제4 스위치」의 한 구체례에 대응한다. 트랜스퍼 게이트(35)는 본 개시에서의 「제5 스위치」의 한 구체례에 대응한다.

[0114] 도 17은 도 16에 도시한 센스 앰프(30A)를 구비한 반도체 회로(1)의 한 동작례를 도시하는 것이다.

[0115] 우선, 반도체 회로(1)는 상기 실시의 형태의 경우(도 4)와 마찬가지로, 제어 전압(Vclamp)을 센스 앰프(30A~30D)에 공급한다(스텝 S101).

[0116] 다음에, 반도체 회로(1)는 트랜스퍼 게이트(34, 35)를 온 상태에 함에 의해 프리차지 동작을 행한다(스텝 S131). 구체적으로는, 제어 회로(9)는 트랜스퍼 게이트(34, 35)에 대해 제어 신호를 공급함에 의해, 트랜스퍼 게이트(34, 35)를 온 상태로 한다. 이에 의해, 노드(N1, N2)의 전압이 전원 전압(VDD)으로 설정된다.

[0117] 다음에, 반도체 회로(1)는 트랜스퍼 게이트(34, 35)를 오프 상태로 한다(스텝 S132).

[0118] 다음에, 반도체 회로(1)는 상기 실시의 형태의 경우(도 4)와 마찬가지로, 메모리 셀 어레이(10A~10D, 20A~20D)의 각각에서, 판독 대상인 메모리 셀(MC)을 선택하고(스텝 S102), 트랜스퍼 게이트(16A~16D, 26A~26D)를 온 상태에 하고(스텝 S103), 트랜스퍼 게이트(16A~16D, 26A~26D)를 오프 상태에 하고(스텝 S104), 래치 동작을 행한다(스텝 S105).

[0119] 도 18은 본 변형례에 관한 다른 센스 앰프(30A)의 한 구성례를 도시하는 것이다. 이 센스 앰프(30A)는 트랜스퍼 게이트(36, 37)를 갖고 있다. 트랜스퍼 게이트(36)의 일단은 노드(N1)에 접속되고, 타단은 접지된다. 트랜스퍼 게이트(36)는 본 변형례에 관한 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 트랜스퍼 게이트(37)의 일단은 노드(N2)에 접속되고, 타단은 접지된다. 트랜스퍼 게이트(37)는 본 변형례에 관한 제어 회로(9)로부터의 제어 신호에 의거하여 온 오프하도록 구성된다. 여기서, 트랜스퍼 게이트(36, 37)는 본 개시에서의 「전압 설정부」의 한 구체례에 대응한다. 트랜스퍼 게이트(36)는 본 개시에서의 「제4 스위치」의 한 구체례에 대응한다. 트랜스퍼 게이트(37)는 본 개시에서의 「제5 스위치」의 한 구체례에 대응한다. 이 센스 앰프(30A)를 구비한 반도체 회로(1)는, 예를 들면, 도 17의 예와 마찬가지로 동작한다.

[0120] [그 밖의 변형례]

[0121] 또한, 이들 변형례 중의 2 이상을 조합시켜도 좋다.

[0122] 이상, 실시의 형태 및 변형례를 들여 본 기술을 설명했지만, 본 기술은 이들의 실시의 형태 등으로는 한정되지

않고, 여러 가지의 변형이 가능하다.

[0123] 예를 들면, 상기 실시의 형태 등에서는, 메모리 셀 어레이(10, 20), 트랜지스터(15, 25), 트랜스퍼 게이트(16, 26) 및 센스 앰프(30)로 이루어지는 회로군을 4개 마련했지만, 이것으로 한정되는 것이 아니고, 이 회로군을 4개보다도 많이 마련해도 좋다.

[0124] 예를 들면, 상기 실시의 형태 등에서는, 자기 터널 접합 소자를 이용하여 기억 소자를 구성했지만, 이것으로 한정되는 것이 아니고, 다양한 자기 저항 변화 소자를 이용할 수 있다. 또한, 이것으로 한정되는 것이 아니고, 저항 변화형의 기억 소자라면, 어떤 것이라도 좋다. 구체적으로는, 예를 들면 RRAM 기억 소자나, PCM 기억 소자를 이용할 수 있다.

[0125] 예를 들면, 도 19에 도시하는 반도체 회로(100)와 같이, 반도체 회로(1)와, 반도체 회로(1)로부터 판독한 데이터에 의거하여 소정의 처리를 행하는 처리 회로(90)를 구비하도록 하여도 좋다.

[0126] 또한, 본 명세서에 기재된 효과는 어디까지나 예시이고 한정되는 것이 아니고, 또 다른 효과가 있어도 좋다.

[0127] 또한, 본 기술은 이하와 같은 구성으로 할 수 있다. 이하의 구성의 본 기술에 의하면, 고속 판독 동작을 행할 수가 있다.

[0128] (1)

[0129] 제1 기억 소자를 갖는 제1 메모리 셀과,

[0130] 상기 제1 메모리 셀에 접속된 제1 신호선과,

[0131] 제2 기억 소자를 갖는 제2 메모리 셀과,

[0132] 상기 제2 메모리 셀에 접속된 제2 신호선과,

[0133] 제1 노드 전압의 반전 전압을 제2 노드에 인가 가능하고, 상기 제2 노드 전압의 반전 전압을 상기 제1 노드에 인가 가능한 래치 회로와, 소스와, 상기 제1 노드에 접속된 게이트 및 드레인을 갖는 제1 트랜지스터와, 소스와, 상기 제2 노드에 접속된 게이트 및 드레인을 갖는 제2 트랜지스터와, 소스와, 제어 전압이 인가되는 것이 가능한 게이트와, 상기 제1 트랜지스터의 소스 및 상기 제2 트랜지스터의 소스 중의 일방 또는 쌍방에 접속된 드레인을 갖는 제3 트랜지스터를 갖는 센스 앰프와

[0134] 온 상태가 됨에 의해 상기 제1 신호선과 상기 제1 노드를 접속 가능한 제1 스위치와,

[0135] 온 상태가 됨에 의해 상기 제2 신호선과 상기 제2 노드를 접속 가능한 제2 스위치를 구비한 반도체 회로.

[0136] (2)

[0137] 상기 제3 트랜지스터의 드레인은 상기 제1 트랜지스터의 소스에 접속되고,

[0138] 상기 센스 앰프는 소스와, 상기 제어 전압이 인가된 게이트와, 상기 제2 트랜지스터의 소스에 접속된 드레인을 갖는 제4 트랜지스터를 갖는 상기 (1)에 기재된 반도체 회로.

[0139] (3)

[0140] 상기 제어 전압을 생성 가능한 제어 전압 생성 회로를 더 구비하고,

[0141] 상기 제1 기억 소자 및 상기 제2 기억 소자의 각각은 양단 사이에 흐르는 전류의 전류치가 소정치보다 많은 경우에, 전류 방향에 응하여 가역적으로 저항 상태가 변화하는 것을 이용하여 정보를 기억 가능하고,

[0142] 상기 제3 트랜지스터는 상기 제어 전압에 의거하여, 상기 제1 기억 소자에, 상기 소정치보다 적은 전류를 흘리는 것이 가능하고,

[0143] 상기 제4 트랜지스터는 상기 제어 전압에 의거하여, 상기 제2 기억 소자에, 상기 소정치보다 적은 전류를 흘리는 것이 가능한 상기 (2)에 기재된 반도체 회로.

[0144] (4)

[0145] 상기 제3 트랜지스터의 드레인 및 상기 제4 트랜지스터의 드레인은 서로 접속된 상기 (2)에 기재된 반도체 회로.

[0146] (5)

[0147] 상기 제3 트랜지스터는 서로 병렬로 접속된 복수의 트랜지스터를 가지고,

[0148] 상기 제4 트랜지스터는 서로 병렬로 접속된 복수의 트랜지스터를 갖는 상기 (2)부터 (4)의 어느 하나에 기재된 반도체 회로.

[0149] (6)

[0150] 상기 제3 트랜지스터의 소스 및 상기 제4 트랜지스터의 소스는 전원 노드에 접속된 상기 (2)부터 (5)의 어느 하나에 기재된 반도체 회로.

[0151] (7)

[0152] 상기 센스 앰프는,

[0153] 온 상태가 됨에 의해 전원 노드와 상기 제3 트랜지스터의 상기 소스를 접속 가능한 제1 전원 스위치와,

[0154] 온 상태가 됨에 의해 상기 전원 노드와 상기 제4 트랜지스터의 상기 소스를 접속 가능한 제2 전원 스위치를 갖는 상기 (2)부터 (6)의 어느 하나에 기재된 반도체 회로.

[0155] (8)

[0156] 상기 제3 트랜지스터의 드레인은 상기 제1 트랜지스터의 소스 및 상기 제2 트랜지스터의 소스에 접속된 상기 (1)에 기재된 반도체 회로.

[0157] (9)

[0158] 제어 전압을 생성 가능한 제어 전압 생성 회로를 더 구비하고,

[0159] 상기 제1 기억 소자 및 상기 제2 기억 소자의 각각은 양단 사이에 흐르는 전류의 전류치가 소정치보다 많은 경우에, 전류 방향에 응하여 가역적으로 저항 상태가 변화하는 것을 이용하여 정보를 기억 가능하고,

[0160] 상기 제3 트랜지스터는 상기 제어 전압에 의거하여, 상기 제1 기억 소자 및 상기 제2 기억 소자에, 상기 소정치보다 적은 전류를 흘리는 상기 (8)에 기재된 반도체 회로.

[0161] (10)

[0162] 상기 래치 회로는,

[0163] 상기 제2 노드에 접속된 게이트와, 상기 제1 노드에 접속된 드레인과, 소스를 갖는 제1 도전형의 제5 트랜지스터와,

[0164] 상기 제1 노드에 접속된 게이트와, 상기 제2 노드에 접속된 드레인과, 소스를 갖는 상기 제1 도전형의 제6 트랜지스터를 갖는 상기 (1)부터 (9)의 어느 하나에 기재된 반도체 회로.

[0165] (11)

[0166] 상기 래치 회로는, 또한

[0167] 상기 제2 노드에 접속된 게이트와, 상기 제1 노드에 접속된 드레인과, 소스를 갖는 제2 도전형의 제7 트랜지스터와,

[0168] 상기 제1 노드에 접속된 게이트와, 상기 제2 노드에 접속된 드레인과, 소스를 갖는 상기 제2 도전형의 제8 트랜지스터를 갖는 상기 (10)에 기재된 반도체 회로.

[0169] (12)

[0170] 상기 제1 노드 전압 및 상기 제2 노드 전압을 같게 하는 것이 가능한 전압 설정부를 더 구비한 상기 (1)부터 (11)의 어느 하나에 기재된 반도체 회로.

[0171] (13)

[0172] 상기 전압 설정부는 온 상태가 됨에 의해 상기 제1 노드 및 상기 제2 노드를 서로 접속 가능한 제3 스위치를 갖는 상기 (12)에 기재된 반도체 회로.

[0173] (14)

[0174] 상기 전압 설정부는,

[0175] 온 상태가 됨에 의해 상기 제1 노드에 소정의 전압을 인가 가능한 제4 스위치와,

[0176] 온 상태가 됨에 의해 상기 제2 노드에 상기 소정의 전압을 인가 가능한 제5 스위치를 갖는 상기 (12)에 기재된 반도체 회로.

[0177] (15)

[0178] 상기 래치 회로의 래치 결과에 의거하여 소정의 처리를 행하는 처리 회로를 더 구비한 상기 (1)부터 (14)의 어느 하나에 기재된 반도체 회로.

[0179] (16)

[0180] 상기 제1 기억 소자 및 상기 제2 기억 소자의 각각은 제1 저항 상태와 제2 저항 상태 사이에서 가역적으로 저항 상태가 변화하는 것을 이용하여 정보를 기억 가능한 상기 (1)부터 (15)의 어느 하나에 기재된 반도체 회로.

[0181] (17)

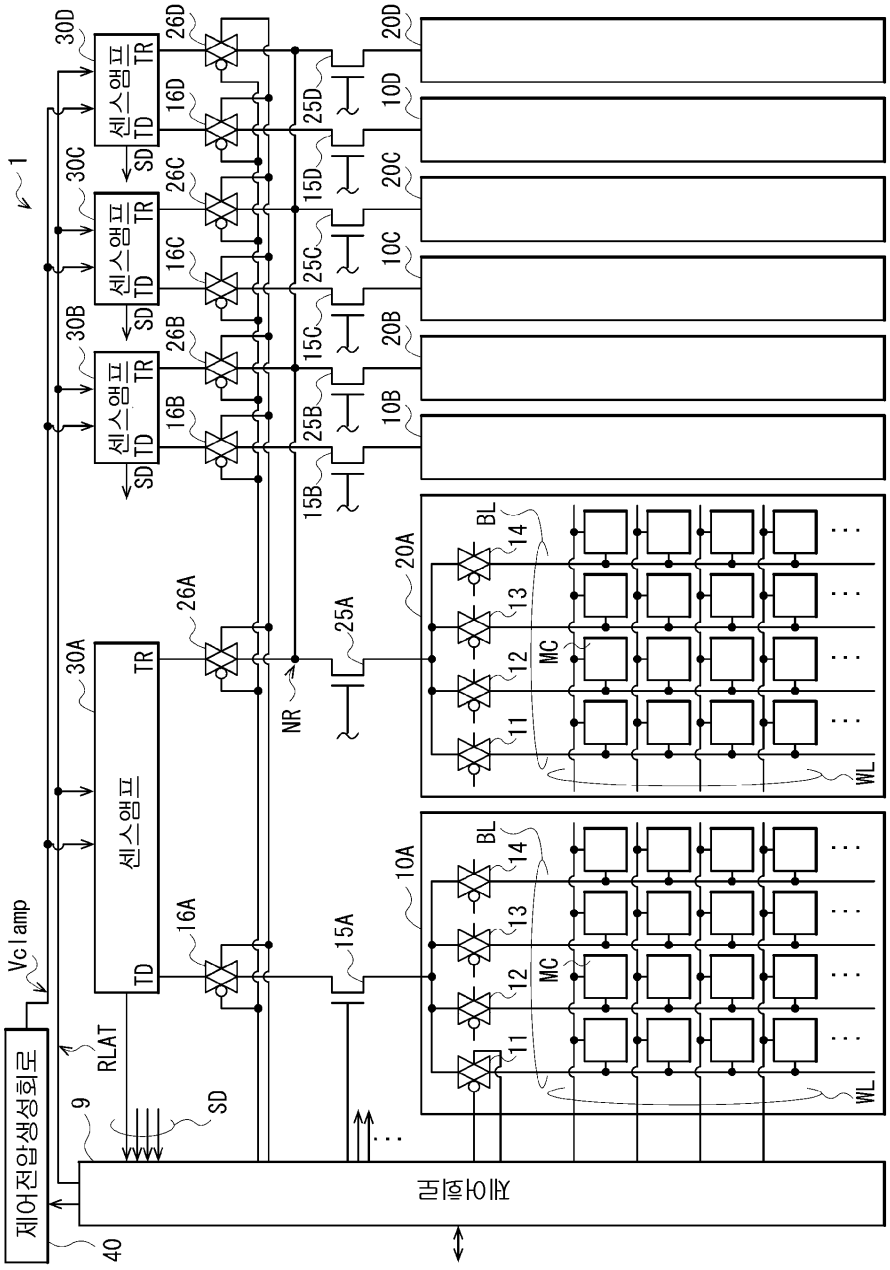
[0182] 상기 제1 기억 소자 및 상기 제2 기억 소자의 각각은 자기 터널 접합 소자인 상기 (16)에 기재된 반도체 회로.

[0183] 본 출원은 일본 특허청에서 2021년 11월 19일에 출원된 일본 특허출원 번호 2021-188663호를 기초로 하여 우선권을 주장하는 것이고, 이 출원의 모든 내용을 참조에 의해 본 출원에 원용한다.

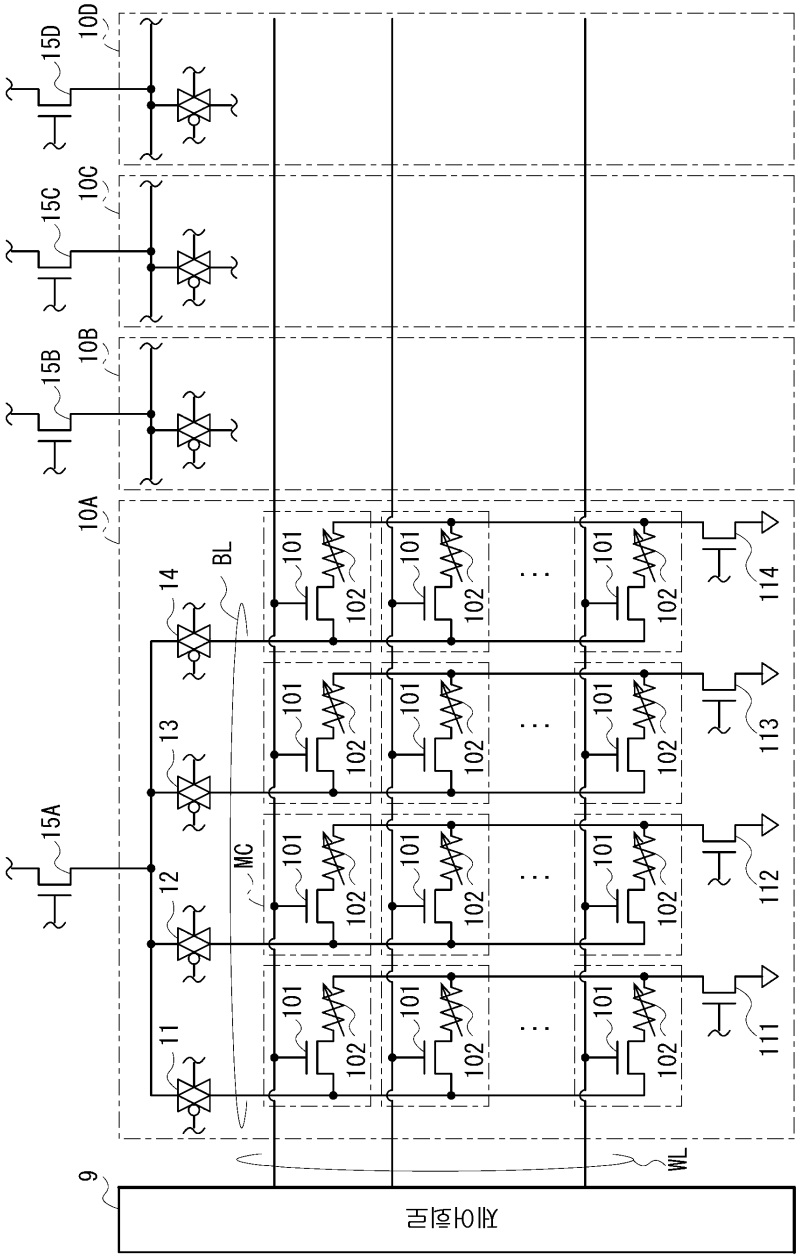
[0184] 당업자라면, 설계상의 요건이나 다른 요인에 응하여, 여러 가지의 수정, 콤비네이션, 서브콤비네이션, 및 변경을 상도할 수 있는데, 그것들은 첨부한 청구의 범위나 그 균등물의 범위에 포함되는 것으로 이해된다.

도면

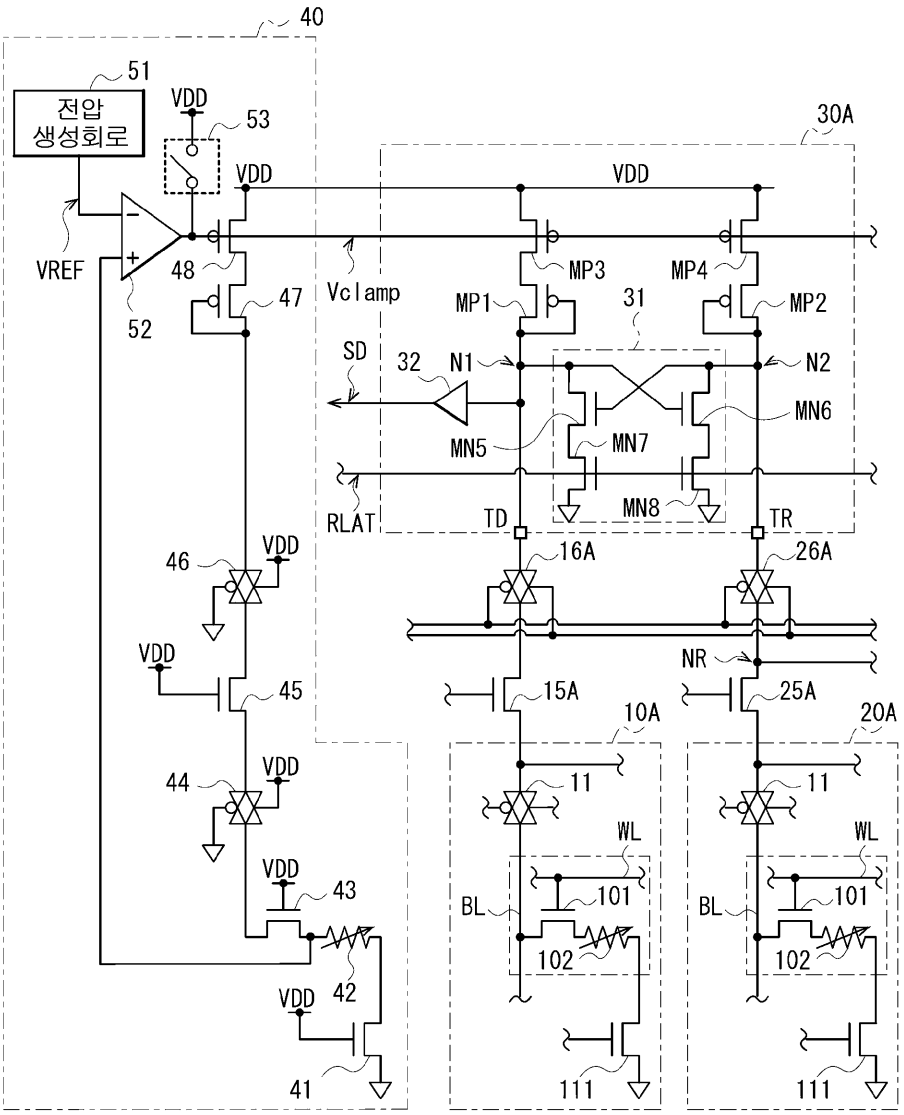
도면1


1
30D
30C
30B
30A
센스앰프
TR
TD
SD
26D
26C
26B
26A
16D
16C
16B
16A
15D
15C
15B
15A
25D
25C
25B
25A
20D
20C
20B
20A
10D
10C
10B
10A
BL
WL
MC
11
12
13
14
NR
Vcl amp
RLAT
9
40
제어전압생성회로
제어회로

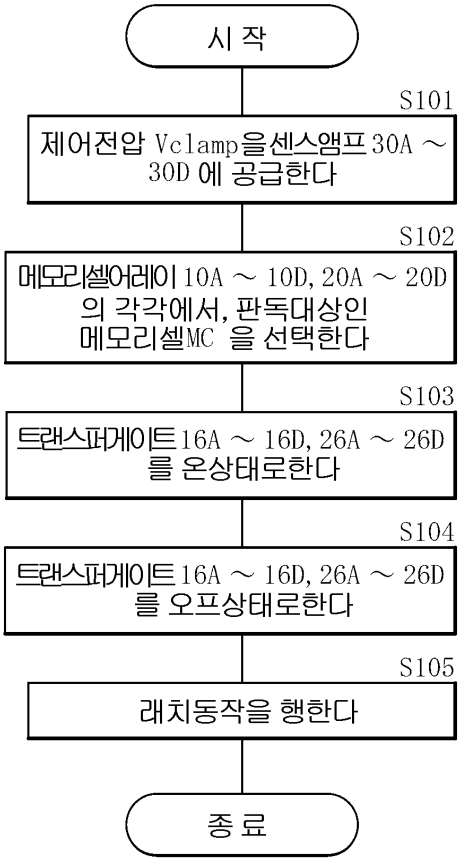
도면2


제어회로
9
WL
BL
MC
10A
10B
10C
10D
15A
15B
15C
15D
11
12
13
14
101
102
111
112
113
114

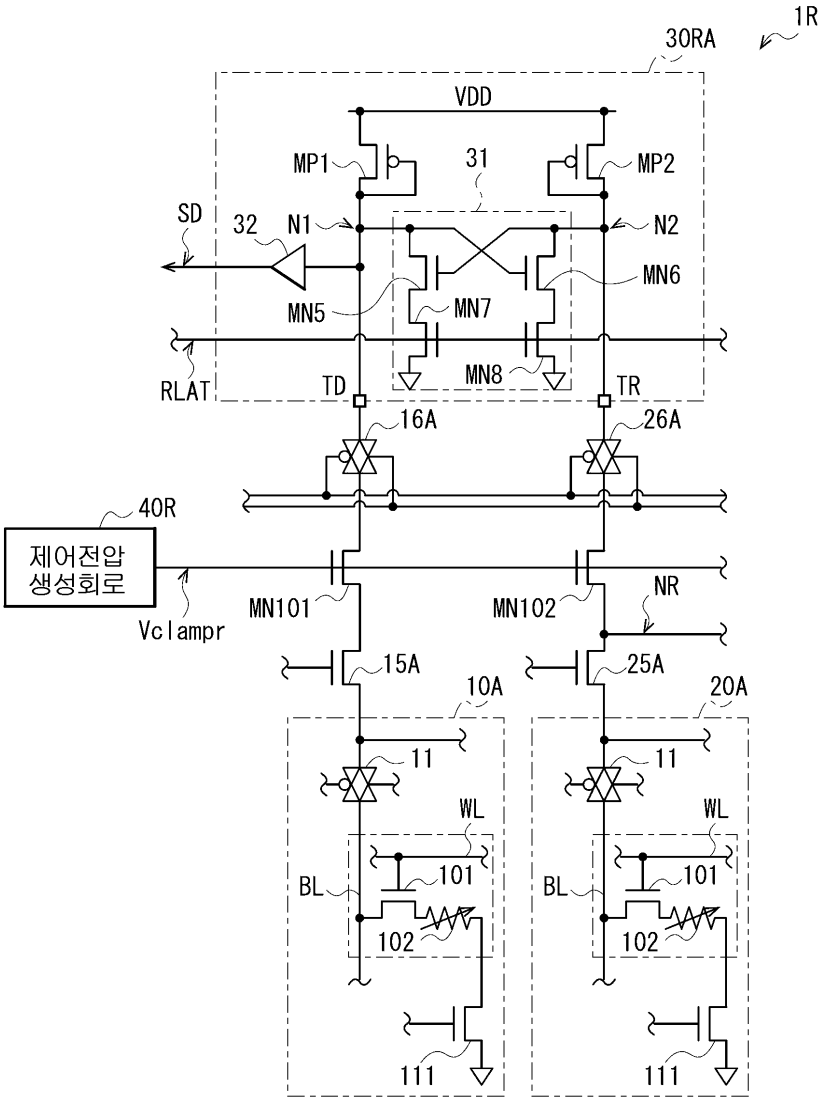
도면3


40
51
전압
생성회로
VDD
53
VDD
VREF
48
52
47
Vclamp
30A
VDD
MP3
MP4
MP1
31
MP2
SD
32
N1
N2
MN6
MN5
MN7
RLAT
TD
MN8
TR
16A
26A
46
VDD
VDD
45
NR
15A
25A
10A
20A
44
VDD
11
11
WL
WL
VDD
43
BL
101
BL
101
102
102
VDD
42
41
111
111

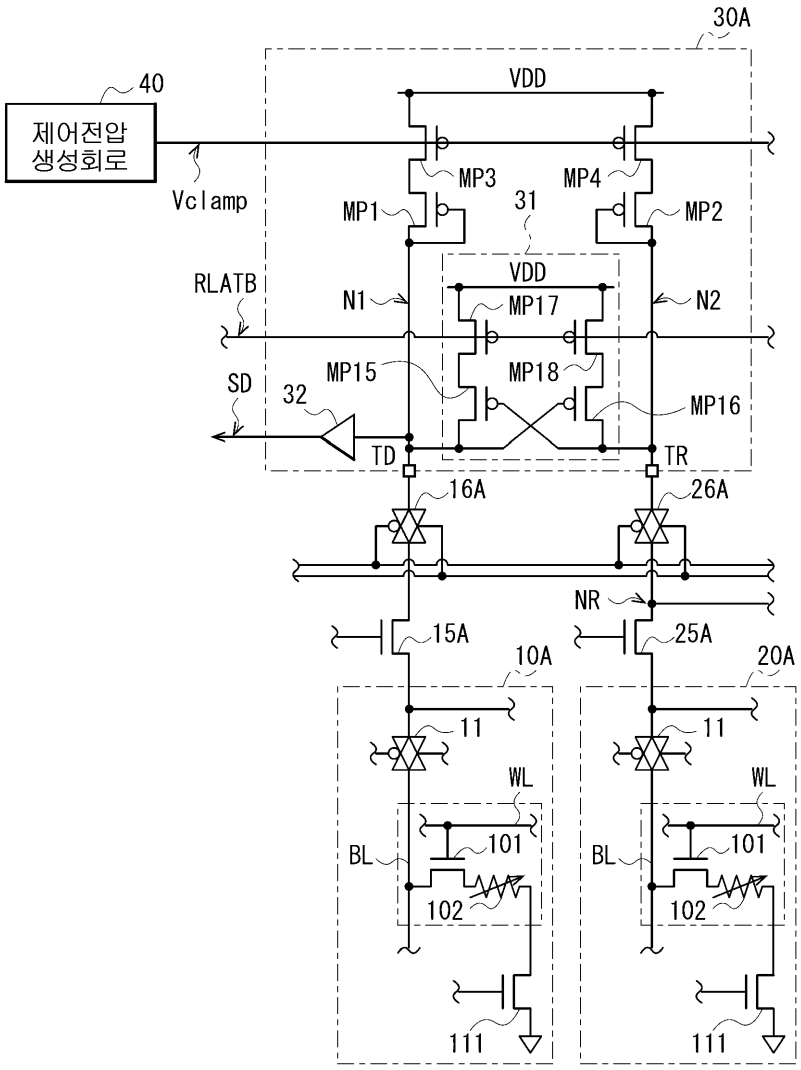
도면4


시 작
S101
제어전압 Vclamp을센스앰프 30A ~ 30D 에 공급한다
S102
메모리셀어레이 10A ~ 10D, 20A ~ 20D 의 각각에서, 판독대상인 메모리셀MC 을 선택한다
S103
트랜스퍼게이트 16A ~ 16D, 26A ~ 26D 를 온상태로한다
S104
트랜스퍼게이트 16A ~ 16D, 26A ~ 26D 를 오프상태로한다
S105
래치동작을 행한다
종 료

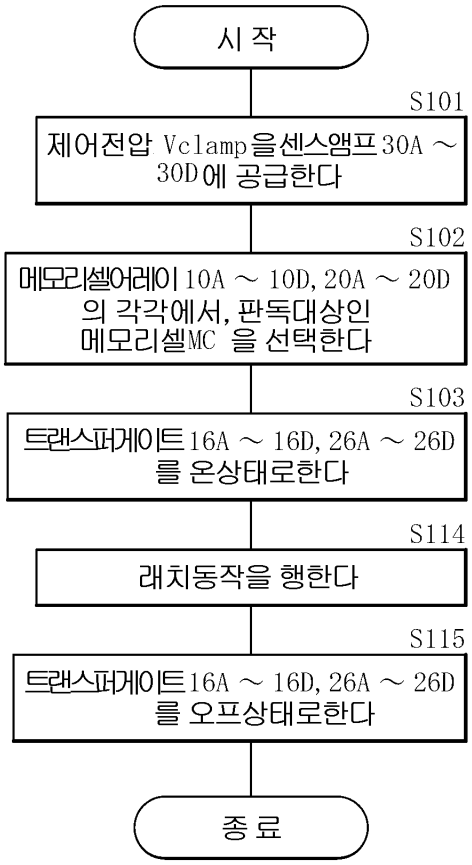
도면5


1R
30RA
VDD
MP1
31
MP2
SD
32
N1
N2
MN6
MN5
MN7
MN8
RLAT
TD
TR
16A
26A
40R
제어전압
생성회로
Vclampr
MN101
MN102
NR
15A
25A
10A
20A
11
11
WL
WL
BL
BL
101
101
102
102
111
111

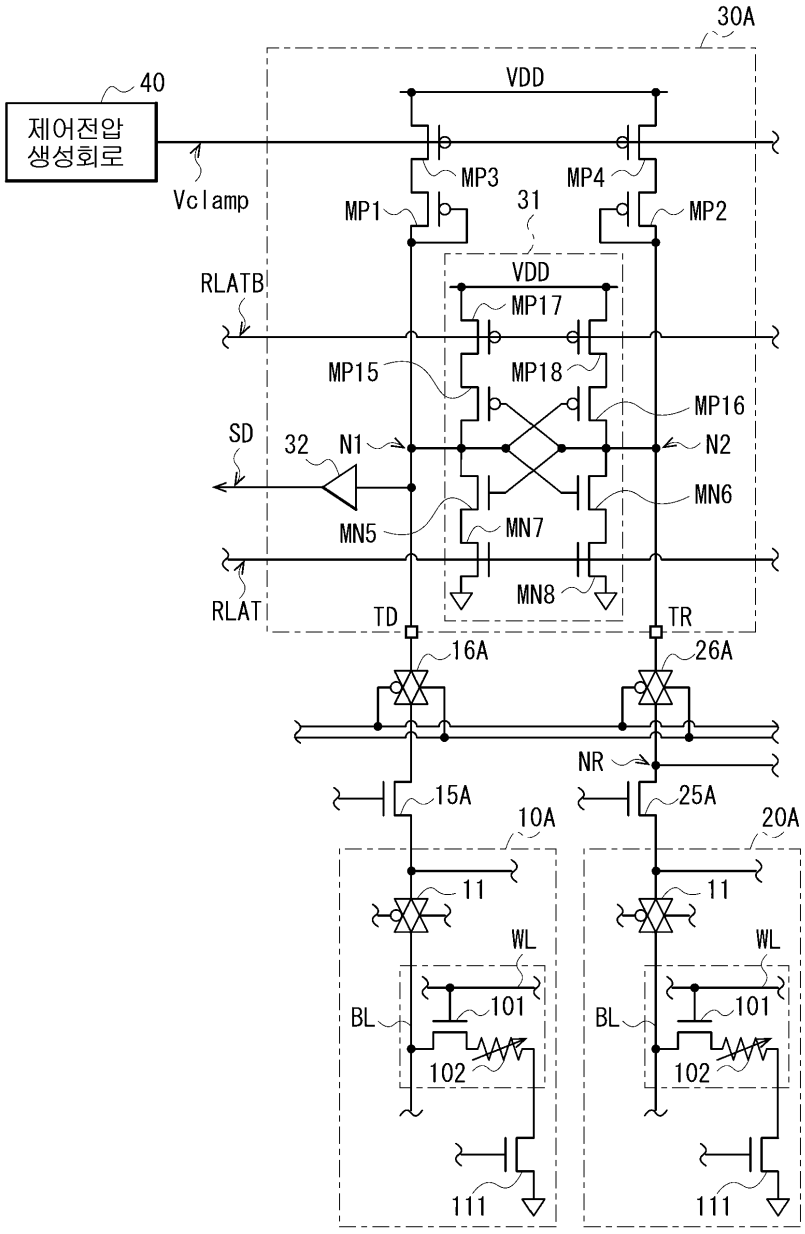
도면6


30A
40
제어전압
생성회로
Vclamp
VDD
MP3
MP4
MP1
31
MP2
VDD
RLATB
N1
MP17
N2
MP15
MP18
SD
32
MP16
TD
TR
16A
26A
NR
15A
25A
10A
20A
11
11
WL
WL
BL
101
101
BL
102
102
111
111

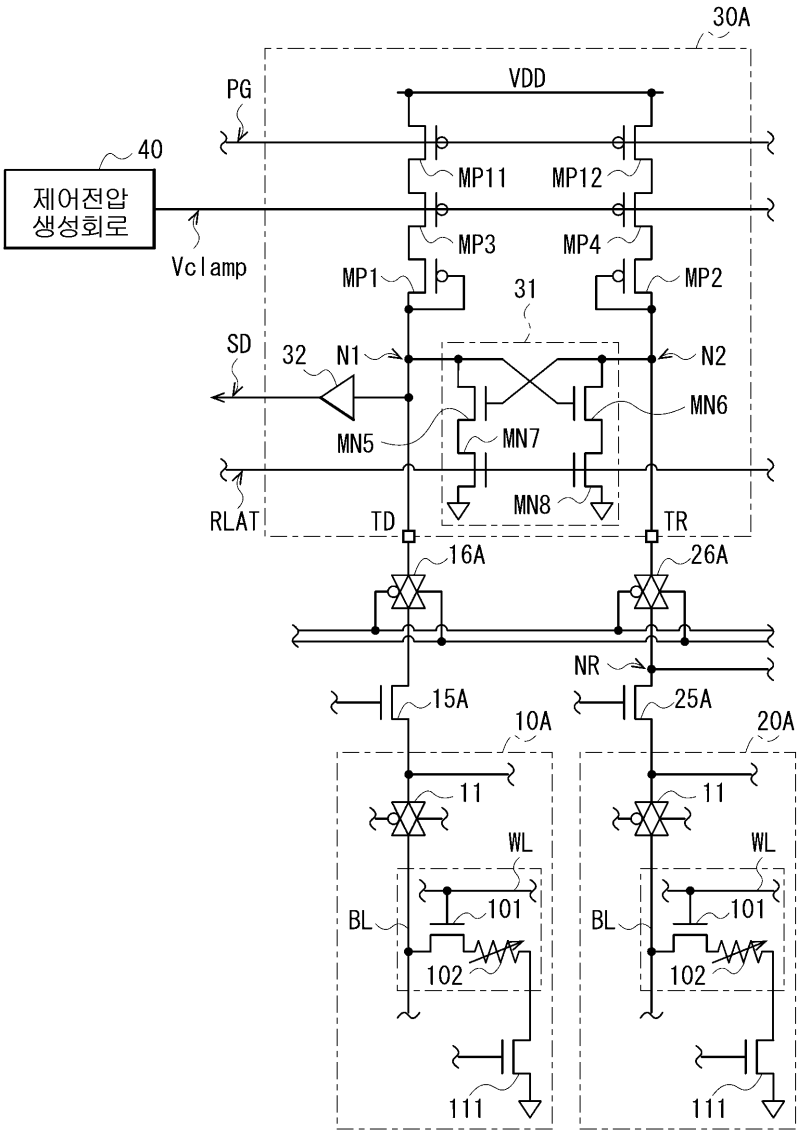
도면7


시 작
S101
제어전압 Vclamp을센스앰프 30A ~ 30D에 공급한다
S102
메모리셀어레이 10A ~ 10D, 20A ~ 20D 의 각각에서, 판독대상인 메모리셀MC 을 선택한다
S103
트랜스퍼게이트 16A ~ 16D, 26A ~ 26D 를 온상태로한다
S114
래치동작을 행한다
S115
트랜스퍼게이트 16A ~ 16D, 26A ~ 26D 를 오프상태로한다
종 료

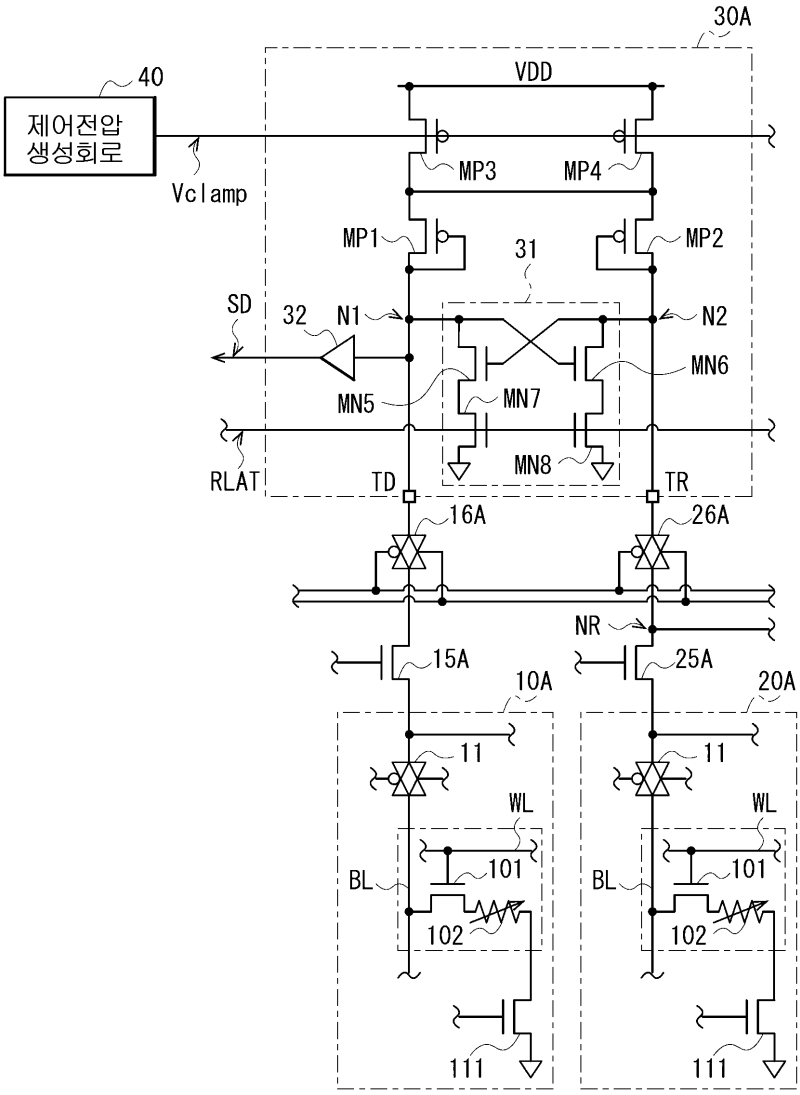
도면8


30A
40
제어전압
생성회로
Vclamp
VDD
MP3
MP4
MP1
31
MP2
VDD
RLATB
MP17
MP15
MP18
MP16
SD
32
N1
N2
MN6
MN5
MN7
MN8
RLAT
TD
TR
16A
26A
NR
15A
25A
10A
20A
11
11
WL
WL
BL
101
BL
101
102
102
111
111

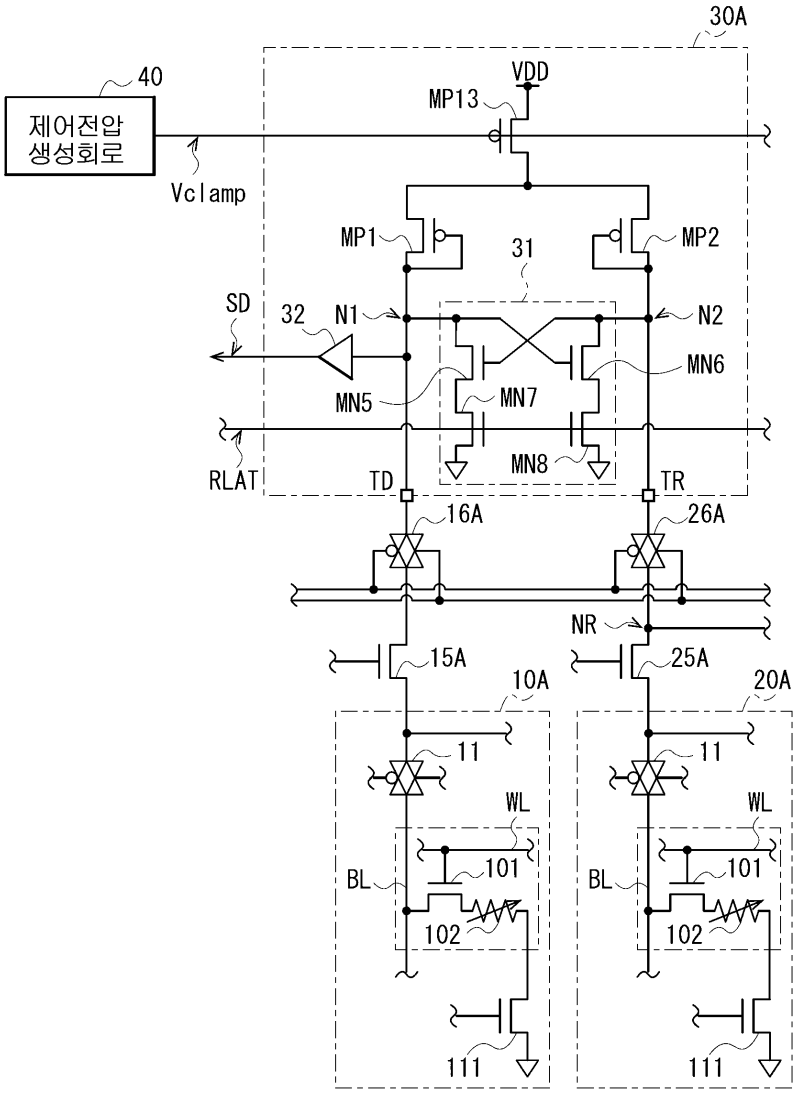
도면9


30A
VDD
PG
40
제어전압
생성회로
MP11
MP12
MP3
MP4
Vclamp
MP1
MP2
31
SD
32
N1
N2
MN6
MN5
MN7
MN8
RLAT
TD
TR
16A
26A
NR
15A
25A
10A
20A
11
11
WL
WL
BL
101
BL
101
102
102
111
111

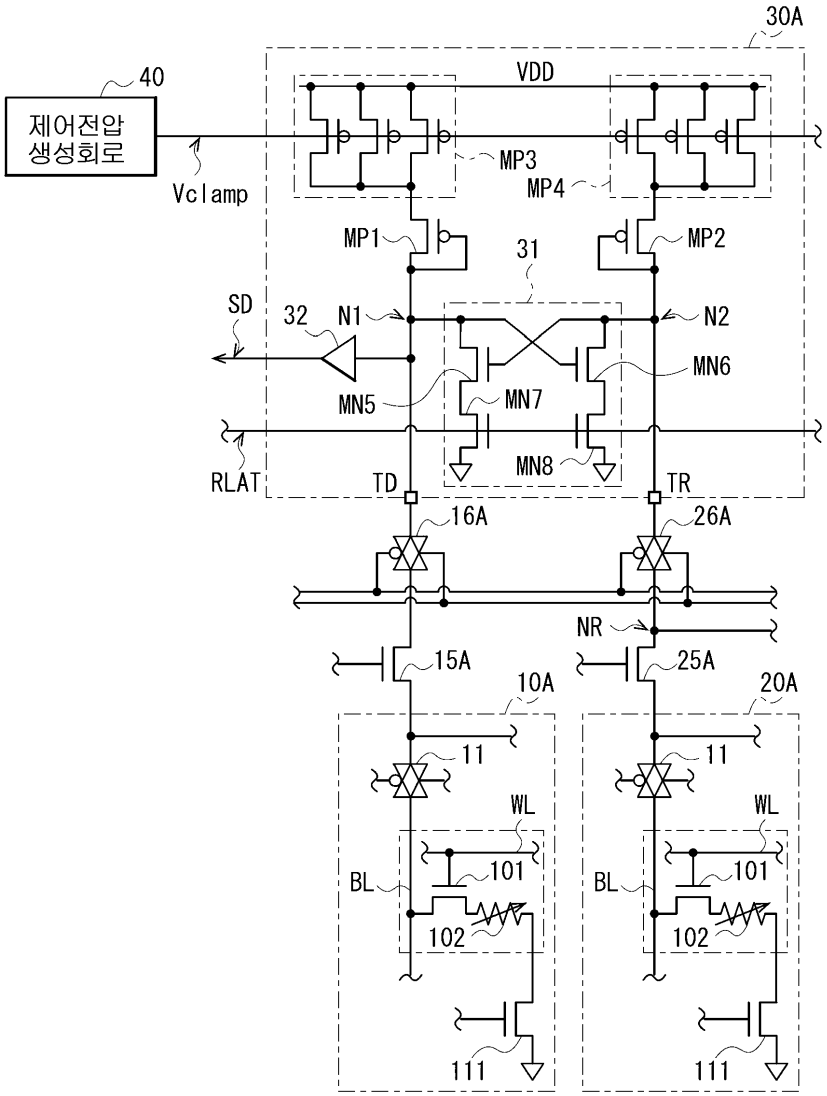
도면10


30A
40
제어전압
생성회로
Vclamp
VDD
MP3
MP4
MP1
MP2
31
SD
32
N1
N2
MN6
MN5
MN7
MN8
RLAT
TD
TR
16A
26A
NR
15A
25A
10A
20A
11
11
WL
WL
BL
BL
101
101
102
102
111
111

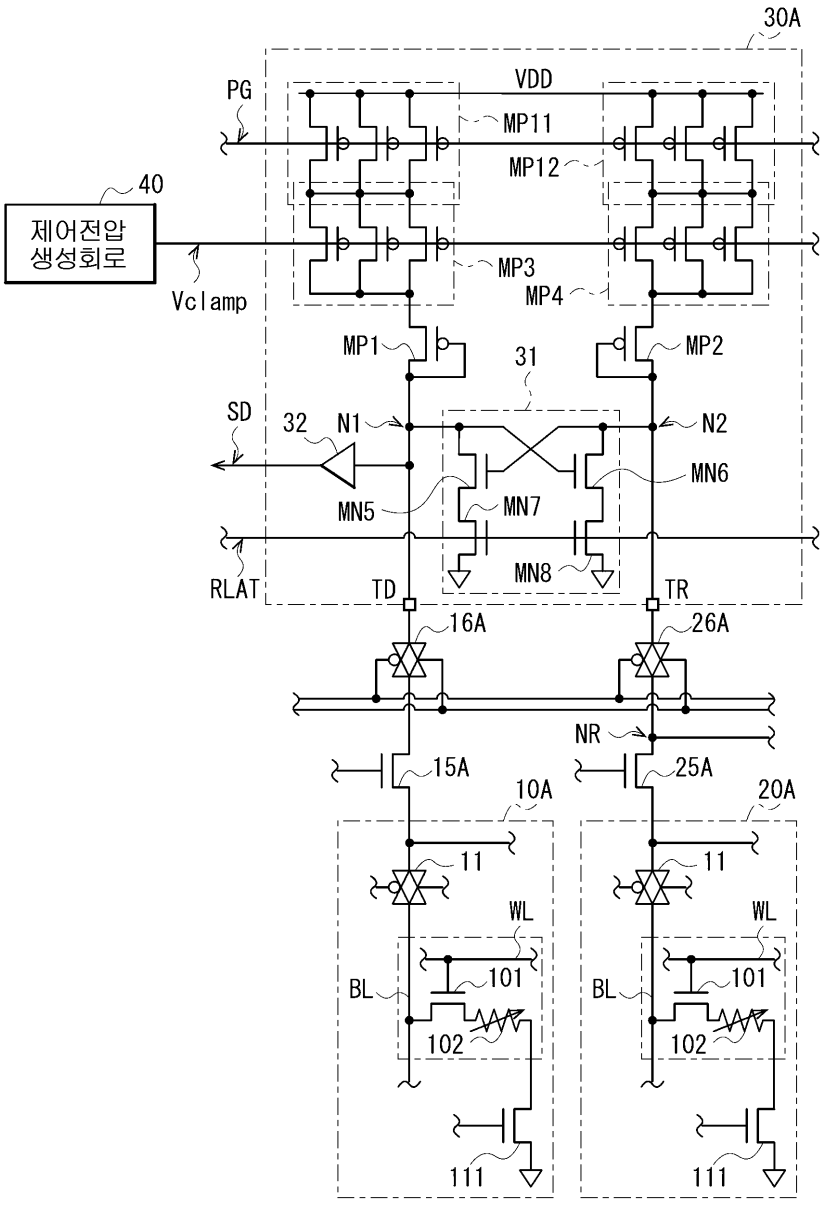
도면11


30A
40
제어전압
생성회로
Vclamp
VDD
MP13
MP1
MP2
31
SD
32
N1
N2
MN5
MN6
MN7
MN8
RLAT
TD
TR
16A
26A
NR
15A
25A
10A
20A
11
WL
BL
101
102
111

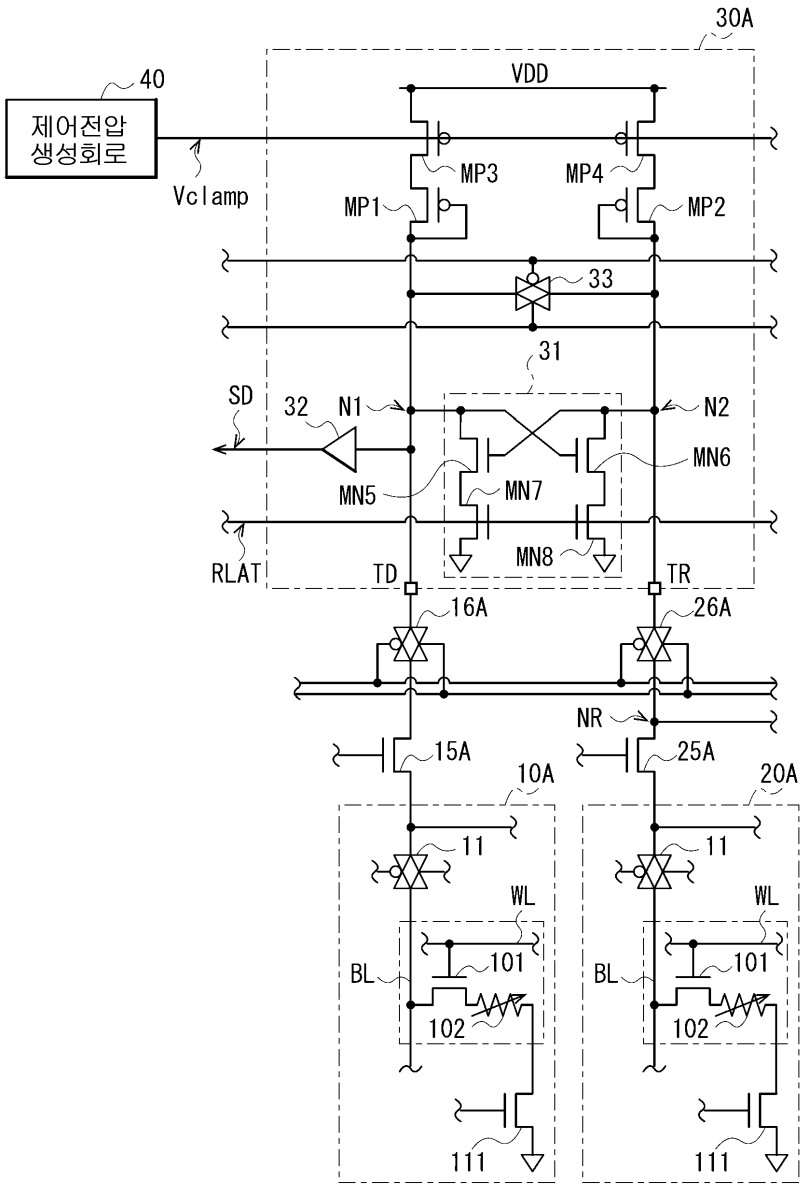
도면12


30A
40
제어전압
생성회로
Vclamp
VDD
MP3
MP4
MP1
MP2
31
SD
32
N1
N2
MN5
MN6
MN7
MN8
RLAT
TD
TR
16A
26A
NR
15A
25A
10A
20A
11
WL
BL
101
102
111

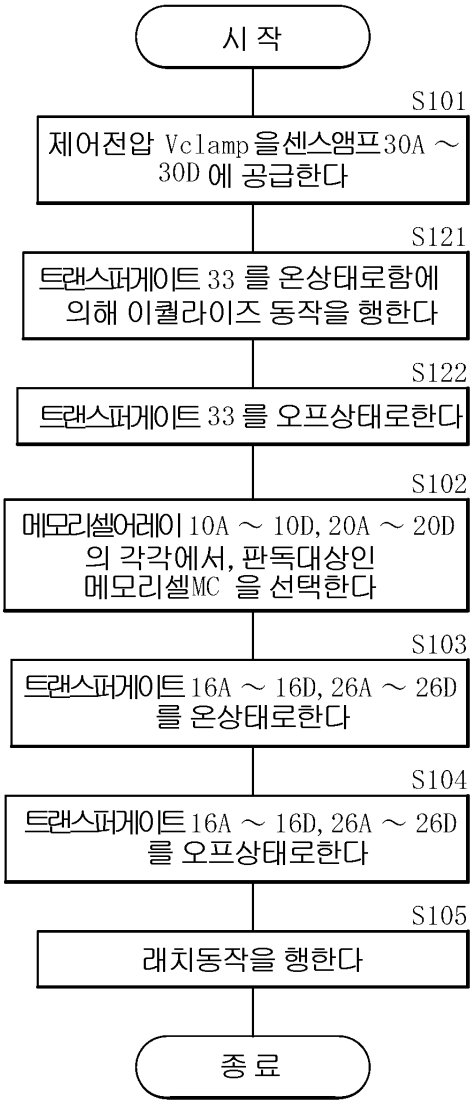
도면13


30A
PG
VDD
MP11
MP12
40
제어전압
생성회로
MP3
MP4
Vclamp
MP1
MP2
31
SD
32
N1
N2
MN6
MN5
MN7
RLAT
MN8
TD
TR
16A
26A
NR
15A
25A
10A
20A
11
11
WL
WL
BL
101
BL
101
102
102
111
111

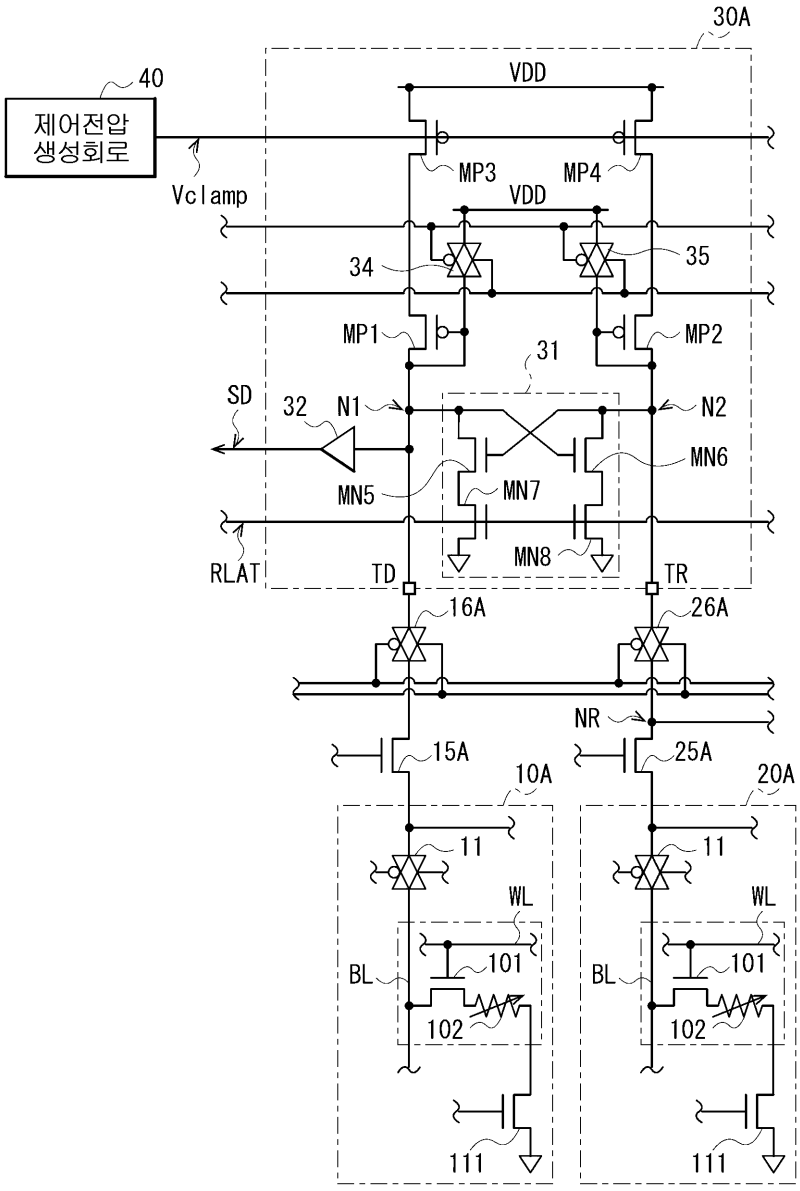
도면14


30A
40
제어전압
생성회로
Vclamp
VDD
MP3
MP4
MP1
MP2
33
31
SD
32
N1
N2
MN6
MN5
MN7
MN8
RLAT
TD
TR
16A
26A
NR
15A
25A
10A
20A
11
WL
BL
101
102
111

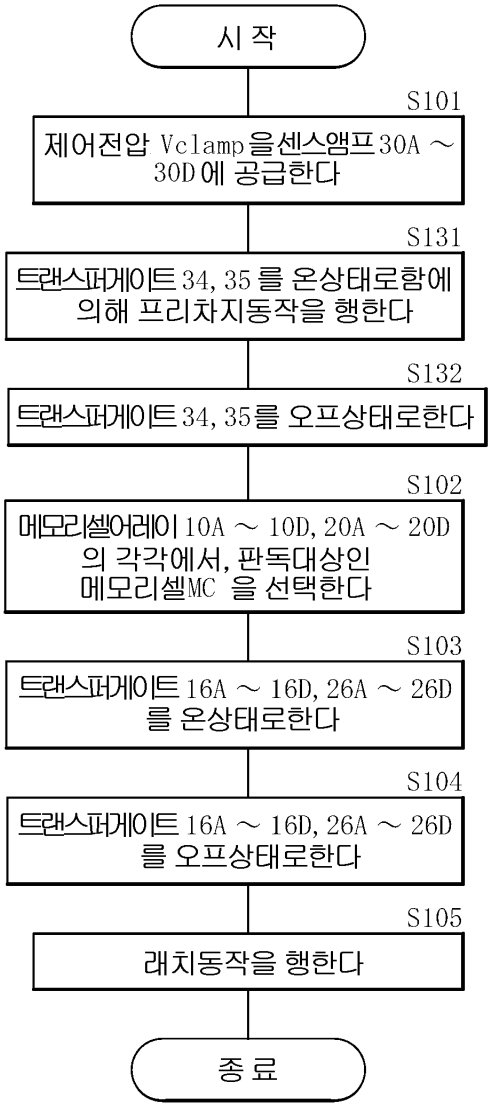
도면15


시 작
S101
제어전압 Vclamp을센스앰프30A ~ 30D 에 공급한다
S121
트랜스퍼게이트 33 를 온상태로함에 의해 이퀄라이즈 동작을 행한다
S122
트랜스퍼게이트 33 를 오프상태로한다
S102
메모리셀어레이 10A ~ 10D, 20A ~ 20D 의 각각에서, 판독대상인 메모리셀MC 을 선택한다
S103
트랜스퍼게이트 16A ~ 16D, 26A ~ 26D 를 온상태로한다
S104
트랜스퍼게이트 16A ~ 16D, 26A ~ 26D 를 오프상태로한다
S105
래치동작을 행한다
종 료

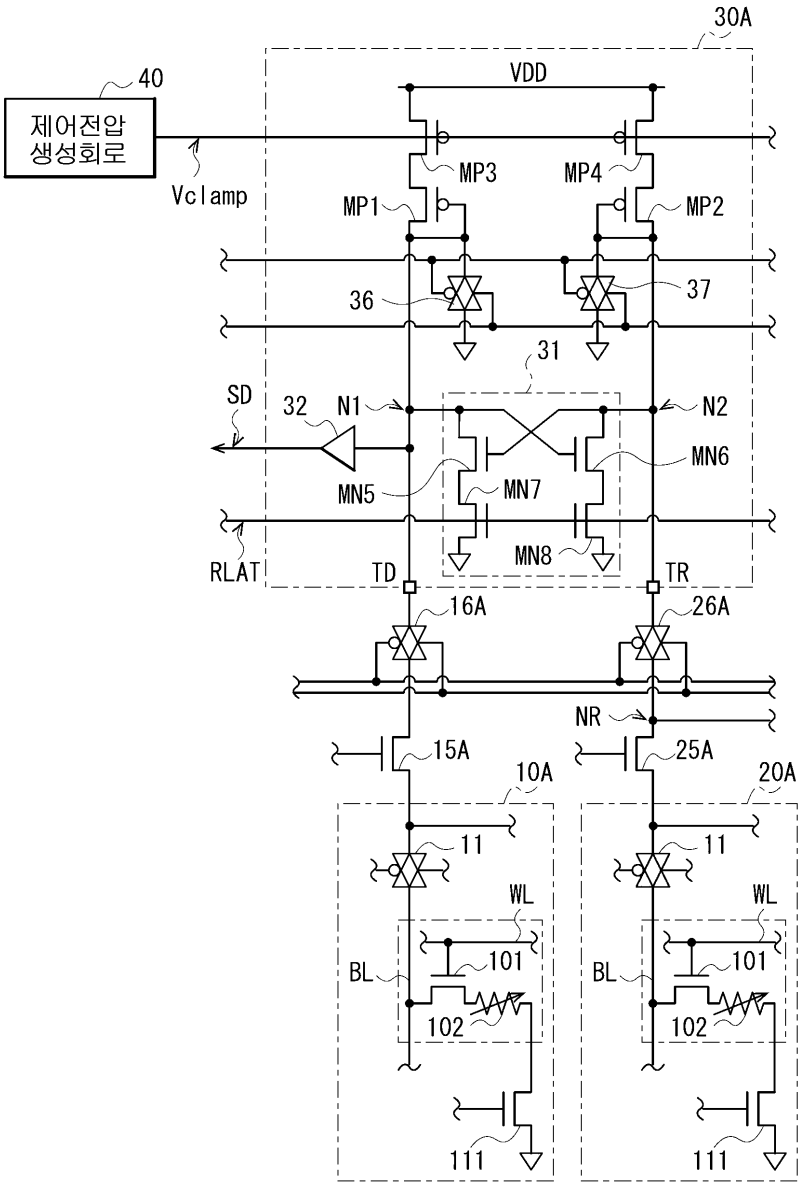
도면16


30A
40
제어전압
생성회로
Vclamp
VDD
MP3
MP4
VDD
34
35
MP1
MP2
31
SD
32
N1
N2
MN6
MN5
MN7
MN8
RLAT
TD
TR
16A
26A
NR
15A
25A
10A
20A
11
11
WL
WL
BL
101
BL
101
102
102
111
111

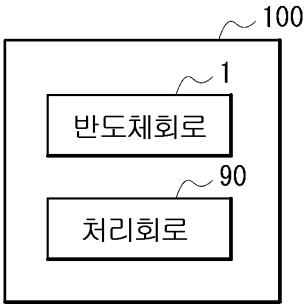
도면17


시 작
S101
제어전압 Vclamp을센스앰프 30A ~ 30D 에 공급한다
S131
트랜스퍼게이트 34, 35 를 온상태로함에 의해 프리차지동작을 행한다
S132
트랜스퍼게이트 34, 35를 오프상태로한다
S102
메모리셀어레이 10A ~ 10D, 20A ~ 20D 의 각각에서, 판독대상인 메모리셀MC 을 선택한다
S103
트랜스퍼게이트 16A ~ 16D, 26A ~ 26D 를 온상태로한다
S104
트랜스퍼게이트 16A ~ 16D, 26A ~ 26D 를 오프상태로한다
S105
래치동작을 행한다
종 료

도면18


30A
40
제어전압
생성회로
Vclamp
VDD
MP3
MP4
MP1
MP2
36
37
31
SD
32
N1
N2
MN6
MN5
MN7
MN8
RLAT
TD
TR
16A
26A
NR
15A
25A
10A
20A
11
WL
BL
101
102
111

도면19


100
1
반도체회로
90
처리회로