

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

专利代理师 林斯凯

(51) Int.Cl.

G06F 1/12 (2006.01)

G01S 13/00 (2006.01)

(56) 对比文件

CN 102132497 A, 2011.07.20

CN 103493376 A, 2014.01.01

CN 1980081 A, 2007.06.13

US 2009323880 A1, 2009.12.31

US 2005068217 A1, 2005.03.31

US 2012005516 A1, 2012.01.05

US 6539489 B1, 2003.03.25

US 2015153445 A1, 2015.06.04

US 2005229066 A1, 2005.10.13

US 2006058035 A1, 2006.03.16

US 2016294591 A1, 2016.10.06

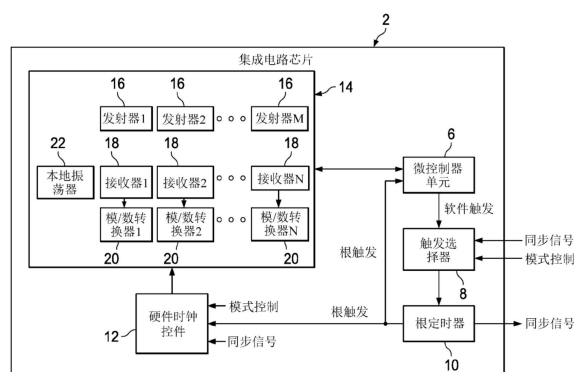
审查员 刘晓赛

权利要求书3页 说明书12页 附图10页

IC芯片的时序

(57) 摘要

在所描述实例中,一种集成电路IC芯片(2)包含基于开始触发信号而产生帧脉冲的根定时器(10)。所述IC芯片(2)还包含硬件时钟控件(12),所述硬件时钟控件基于所述帧脉冲以及从所述根定时器(10)和另一IC芯片中的一个提供的同步信号中的选定一个而提供时钟信号。所述IC芯片(2)进一步包含模/数转换器ADC(20)。所述ADC(20)中的每一个经配置以基于所述时钟信号而对多个射频RF接收器(18)中的相应一个的输出进行取样。



1. 一种集成电路IC芯片,其包括:

根定时器,其包括输入和输出,所述输入经耦合以接收开始触发信号,其中所述根定时器经配置以基于所述开始触发信号而在所述输出处产生帧脉冲;

硬件时钟控件,其基于从所述根定时器和另一IC芯片中的一个提供的所述帧脉冲以及同步信号中的选定一个而提供时钟信号;以及

多个模/数转换器ADC,所述多个ADC中的每一个经配置以基于所述时钟信号而对多个射频RF接收器中的相应一个的输出进行取样。

2. 根据权利要求1所述的IC芯片,其进一步包括:

微控制器,其基于从所述根定时器提供的所述帧脉冲而控制软件操作的时序,其中受由所述硬件时钟控件提供的所述时钟信号控制的操作同步于紧密窗内且所述软件操作同步于宽松窗内,其中所述紧密窗指示在有第一不确定性的预定义时间发生操作,且所述宽松窗指示在有第二不确定性的预定义时间发生操作,且其中所述第二不确定性大于所述第一不确定性。

3. 根据权利要求2所述的IC芯片,其中所述软件操作包含多个RF发射器和所述多个RF接收器中的一或多个的校准和内建式自测试BIST中的一或多个。

4. 根据权利要求3所述的IC芯片,其中所述软件操作进一步包含雷达啁啾。

5. 根据权利要求1所述的IC芯片,其中所述根定时器产生所述同步信号,且所述同步信号被提供给所述IC芯片的同步输出端。

6. 根据权利要求5所述的IC芯片,其进一步包括:

触发选择器,其选择所述同步信号以提供所述开始触发信号,其中所述同步信号被反馈给所述IC芯片的耦合到所述硬件时钟控件的输入的同步输入。

7. 根据权利要求1所述的IC芯片,其中所述硬件时钟控件包括:

时钟选择器,其在所述帧脉冲与所述同步信号之间进行选择以产生开始时钟信号;

ADC时钟产生器,其针对所述多个ADC产生所述硬件时钟控件的所述时钟信号;

硬件叶定时器,其基于所述帧脉冲而产生停止时钟信号,其中所述硬件叶定时器是从属于由所述根定时器产生的所述帧脉冲的定时器;以及

同步选通器,其基于来自所述时钟选择器的所述开始时钟信号和来自所述硬件叶定时器的所述停止时钟信号而输出所述时钟信号。

8. 根据权利要求7所述的IC芯片,其中所述同步选通器包括一或多个数字逻辑门,且所述一或多个数字逻辑门基于所述开始时钟信号和所述停止时钟信号而将来自所述ADC时钟产生器的所述时钟信号输出到所述ADC。

9. 根据权利要求7所述的IC芯片,其进一步包括:

触发选择器,其在所述同步信号与软件触发之间进行选择以提供所述开始触发信号;

其中基于设定所述IC芯片的操作模式的模式选择信号而控制所述时钟选择器和所述触发选择器。

10. 根据权利要求9所述的IC芯片,其中所述IC芯片的所述操作模式是单一模式、主控模式和从属模式中的一个。

11. 根据权利要求10所述的IC芯片,其中响应于所述IC芯片在所述从属模式下操作,所述触发选择器选择从另一IC芯片接收到的所述同步信号并提供所述同步信号作为所述开

始触发。

12. 根据权利要求1所述的IC芯片,其进一步包括微控制器,所述微控制器分析由所述多个ADC中的每一个输出的数据以便于对象的检测。

13. 根据权利要求1所述的IC芯片,其进一步包括:

多个发射器,其输出RF信号;以及

多个接收器,其中所述硬件时钟控件提供所述时钟信号以控制所述发射器和所述接收器中的每一个的操作。

14. 根据权利要求13所述的IC芯片,其中所述硬件时钟控件包括:

硬件叶定时器,其从属于由所述根定时器产生的所述帧脉冲且控制启用和停用所述多个发射器和所述多个接收器、雷达啁啾频率产生和/或发射、与雷达啁啾对准的信号产生和所述多个ADC的所述输出的数字处理中的至少一个的时序。

15. 一种集成电路IC芯片,其包括:

微控制器,其产生软件触发信号;

触发选择器,其接收所述软件触发信号并选择同步信号以提供开始触发信号;

根定时器,其包括输入和输出,所述输入经耦合以接收所述开始触发信号,其中所述根定时器经配置以基于所述开始触发信号而在所述输出处产生所述同步信号,其中所述同步信号被提供给所述IC芯片的耦合到所述IC芯片的同步输入端口的同步输出端口;

硬件时钟控件,其基于在所述同步输入端口处接收到的所述同步信号而提供时钟信号;以及

多个模/数转换器ADC,其各自经配置以基于所述时钟信号而对多个接收器中的相应一个的输出进行取样。

16. 根据权利要求15所述的IC芯片,其中所述硬件时钟控件包括:

时钟选择器,其选择所述同步信号以产生开始时钟信号;

ADC时钟产生器,其针对所述多个ADC产生所述硬件时钟控件的所述时钟信号;

硬件叶定时器,其产生停止时钟信号,其中所述硬件叶定时器是从属于由所述根定时器产生的帧脉冲的定时器;以及

同步选通器,其基于所述开始时钟信号和所述停止时钟信号而输出所述时钟信号。

17. 根据权利要求16所述的IC芯片,其中所述微控制器基于由所述根定时器产生的帧脉冲而执行雷达软件操作。

18. 一种多芯片雷达系统,其包括:

控制器,其处理雷达数据以确定对象的位置;

主控集成电路IC芯片,所述主控IC芯片经配置以:

在预定情形下对多个接收到的RF信号进行取样,其中由所述主控IC芯片执行的所述取样的时序基于由所述主控IC芯片产生的同步信号;

基于对应于所述同步信号的时序而执行多个软件操作;以及

一或多个从属IC芯片,所述一或多个从属IC芯片中的每一个经配置以:

在预定情形下对多个接收到的RF信号进行取样,其中由相应从属IC芯片执行的所述取样的时序基于由所述主控IC芯片产生的所述同步信号;

基于对应于所述同步信号的时序而执行多个软件操作。

19. 根据权利要求18所述的多芯片雷达系统, 其中所述主控IC芯片与所述一或多个从属IC芯片中的每一个具有相同电路设计。

20. 根据权利要求18所述的多芯片雷达系统, 其中所述主控IC芯片的所述取样的所述预定义情形和一或多个从属IC芯片的所述取样的所述预定义情形同步到彼此的4纳秒内。

21. 根据权利要求18所述的多芯片雷达系统, 其中所述主控IC芯片和所述一或多个从属IC芯片中的每一个包括硬件时钟控件模块, 所述硬件时钟控件模块使得一或多个模/数转换器ADC的时钟边沿能够便于所述预定情形下的所述取样。

IC芯片的时序

技术领域

[0001] 本发明大体上涉及集成电路(integrated circuit, IC)芯片,且更确切地说,涉及产生用于控制射频(radio frequency, RF)接收器的取样的时序的IC芯片。

背景技术

[0002] 时钟信号是在高状态与低状态之间振荡的特定类型的信号。尽管使用更复杂的布置,但最常见的时钟信号呈具有50%工作周期的方形波形式,其通常具有固定的恒定频率。使用时钟信号来进行同步的电路可在上升沿、下降沿或在双数据速率状况下在时钟周期的上升沿中和下降沿中变得有源。时钟信号用以协调数字电路中的组件的动作。时钟信号由时钟产生器产生。作为一个实例,雷达系统使用时钟信号以同步发射器、接收器与其它组件的操作。

发明内容

[0003] 一个实例涉及一种可包含基于开始触发信号而产生帧脉冲的根定时器的集成电路(IC)芯片。所述IC芯片还包含硬件时钟控件,所述硬件时钟控件基于所述帧脉冲和从所述根定时器和另一IC芯片中的一个提供的同步信号中的选定一个而提供时钟信号。所述IC芯片可进一步包含模/数转换器(ADC)。所述ADC中的每一个经配置以基于所述时钟信号而对多个射频RF接收器中的相应一个的输出进行取样。

[0004] 另一实例涉及一种可包含微控制器和触发选择器的IC芯片,所述微控制器产生软件触发信号,所述触发选择器接收所述软件触发信号并选择同步信号以提供开始触发信号。所述IC芯片还可包含基于所述开始触发信号而产生所述同步信号的根定时器。所述同步信号可被提供给所述IC芯片的耦合到所述IC芯片的同步输入端口的同步输出端口。所述IC芯片可进一步包含基于在所述同步输入端口处接收到的所述同步信号而提供时钟信号的硬件时钟控件。所述IC芯片可进一步包含各自经配置以基于所述时钟信号而对多个接收器中的相应一个的输出进行取样的ADC。

[0005] 又一实例涉及一种可包含处理雷达数据以确定对象的位置的雷达控制器的雷达系统。所述雷达系统还可包含主控雷达集成电路(IC)芯片。所述主控IC芯片可经配置以在预定情形下对接收到的RF信号进行取样。所述取样的时序基于由所述主控IC芯片产生的同步信号。所述主控IC芯片还可基于对应于所述同步信号的时序而执行软件操作。所述雷达系统可进一步包含一或多个从属IC芯片。所述一或多个从属IC芯片中的每一个可以经配置以在预定情形下对接收到的RF信号进行取样。所述取样的时序可基于由所述主控IC芯片产生的所述同步信号。每个从属IC芯片还可经配置以基于对应于所述同步信号的时序而执行软件操作。

附图说明

[0006] 图1说明集成电路(IC)芯片的实例的图式。

- [0007] 图2到3说明IC芯片的时序图。
- [0008] 图4说明雷达IC芯片的图式。
- [0009] 图5说明雷达IC芯片的时序图。
- [0010] 图6说明在单一模式下操作的雷达IC芯片的实例的图式。
- [0011] 图7说明在主导模式下操作的雷达IC芯片的实例的图式。
- [0012] 图8说明在从属模式下操作的雷达IC芯片的实例的图式。
- [0013] 图9说明雷达系统的实例。
- [0014] 图10说明雷达系统的另一实例。

具体实施方式

[0015] 在所描述实例中,集成电路(IC)芯片可产生时钟信号以控制IC芯片内和其它IC芯片内的各种组件的操作。IC芯片可被编程/设定成在单一模式、主导模式或从属模式下操作。IC芯片包含用于控制模块的特征,所述模块包含对需要相对高的同步度(例如,10纳秒内)的射频(RF)接收器进行取样的模/数转换器(ADC)。IC芯片还可控制需要同步于约10微秒的时序内的软件功能(例如,校准和内建式自测试(built-in self-test,BIST))的操作。

[0016] 在单一模式下,IC芯片可控制其自有时序操作。在主导模式下,可使用IC芯片以产生被提供给在从属模式下操作的一或多个IC芯片的同步信号。可使用同步信号以产生“根”触发(例如,帧脉冲),所述“根”触发又可用以产生用以控制在IC芯片上操作的模块(例如,ADC)的时序的一或多个“叶”触发。而且,根触发可由处理单元(例如,微控制器)使用以控制软件功能的操作。以此方式,相同IC雷达芯片设计可用于中单IC芯片解决方案中或多IC芯片解决方案中。在本文中的许多实例中,在一或多个雷达IC芯片中实施的组件的协调动作的内容背景下描述时序。但是,本文中所描述的方法适用于其它类型的IC芯片以便提供芯片间同步。

[0017] 图1说明IC芯片2的实例的框图。举例来说,IC芯片2可用于雷达系统中。在此情形下,IC芯片2可实施于例如在防撞系统、自动车道转换系统、自动巡航控制系统等等中使用雷达的汽车检测系统中。如本文所描述,IC芯片2可实施于单个IC芯片2解决方案中,或可与以类似方式操作的一或多个额外IC芯片2通信。

[0018] IC芯片2可包含用于执行IC芯片2的某些操作的模块。此外,尽管IC芯片2的模块被描述为执行某些雷达相关功能,但其它实例中的不同模块可执行除本文中所描述的功能以外的功能。

[0019] IC芯片2可包含微控制器单元(microcontroller unit,MCU)6。MCU 6可包含经配置以执行存储于非暂时性机器可读媒体中的机器可读指令的处理器核心。媒体可嵌入于MCU 6中或可在MCU 6外部。在一些实例中,MCU 6可操作为数字信号处理器(digital signal processor,DSP)。

[0020] IC芯片2具有是具有已知频率的信号的时钟。可在由芯片中的数字硬件电路和处理器分频或倍增之后直接或间接使用系统时钟。在一些实例中,系统时钟可例如由振荡器或锁相回路(例如,本地)产生于IC芯片2内。替代地,在其它实例中,可在IC芯片2的输入引脚处从外部源接收系统时钟。

[0021] IC芯片2可被设定成在多个模式中的任一个下操作,所述模式例如可包含单一模

式、主控模式或从属模式。IC芯片2可包含可受模式控制信号(在图1中标记为“模式控制”)控制的触发选择器8。举例来说,触发选择器8可以是多路复用器。此外,模式控制信号可本地产生(例如,由MCU 6),或可从外部源(例如,雷达控制器)提供模式控制信号。在又其它实例中,模式控制信号可受IC芯片2的输入引脚控制。

[0022] 在IC芯片2在单一模式下操作的情形下,MCU 6可为触发选择器8提供可由MCU6上执行的软件产生的软件触发。软件触发可被传递给可响应于软件触发而产生根触发(例如,帧脉冲)的根定时器10。在此情形下,根触发可以是软件触发的已通过版本(例如,延迟或非延迟版本)。根触发可被提供给硬件时钟控件12并回到MCU 6。作为响应,硬件时钟控件12可产生可控制收发器14的组件和/或IC芯片2的其它电路或外部电路的操作的叶定时器(从属于由根定时器10产生的根触发的定时器)。硬件时钟控件12可由可产生并控制时序信号的离散电路组件(例如,定时器、数字逻辑门、晶体管和开关)形成。

[0023] 收发器14可包含M数目个发射器16,其中M是大于或等于一的整数。而且,收发器14可包含N数目个接收器18,其中N是大于或等于一的整数。一些实例的接收器18可比发射器16更多(或反之亦然)。举例来说,收发器14可包含三(3)个发射器和四(4)个接收器。一些实例可具有相等数目个接收器18和发射器16。每个发射器16可耦合到可在频带中的特定频率下发射射频(RF)信号的发射天线。而且,每个接收器18可耦合到可检测频带内的RF信号的接收天线。在一些实例中,M数目个发射器16和N数目个接收器18的频带范围可介于约80吉兆赫(GHz)到约81GHz。在其它实例中,可使用不同频率,例如约76GHz的频率。

[0024] 收发器14可包含组件,例如本地振荡器(local oscillator,L0)22,以便于产生由发射器16发射的信号。收发器14还可包含耦合到相应(匹配)接收器18的N数目个模/数转换器(analog to digital converter,ADC)20。每个ADC 20可以经配置以对由对应接收器18接收到的信号进行取样。换句话说,第二ADC 20(在图2中标记为“模/数转换器2”)可以经配置以对由第二接收器18(在图1中标记为“接收器2”)检测到的RF信号进行取样。每个ADC 20可在预时序钟速率下对由相应接收器18检测到的RF信号进行取样。在一些实例中,预时序钟速率可大约是1.8GHz,且可使用更高或更低取样速率。

[0025] 在单一模式下,基于根触发,硬件时钟控件12可控制发射器16发射RF信号的时间段和发射器16发射RF信号的频率(通过L0 22)。另外,硬件时钟控件12可控制接收器18接收入局RF信号的时间。而且,硬件时钟控件12可控制ADC 20中的每一个对由对应接收器18检测到的RF信号进行取样的时间。因此,硬件时钟控件12可控制IC芯片2上的组件的操作的持续时间和次序。

[0026] 样本RF信号可被提供给MCU 6。MCU 6可在雷达啁啾中处理经取样RF信号以导出在汽车检测系统中指示检测到的对象的存在(或不存在)的数据。在一些实例中,MCU 6可作出关于对象的位置的确定。另外或替代地,MCU 6可向外部系统(例如,雷达控制器)提供数据以协作来自多个IC芯片2的数据以针对汽车检测系统确定对象的位置。

[0027] 根定时器10还可向MCU 6提供根触发。作为响应,MCU 6中的软件模块(例如,软件处理器时序模块)可控制软件操作和/或硬件测试的调度。举例来说,MCU 6可调度M数目个发射器16和N数目个接收器18中的每一个的校准测试。在此情形下,MCU 6可确保在任何给定时序间仅校准发射器16和/或接收器18的特定集,由此避免无意干扰。而且,MCU 6可使用根触发以确定执行内建式自测试(BIST)、雷达啁啾等的时间。

[0028] 在单一模式下,受硬件时钟控件12控制的操作可同步于“紧密窗”内。如本文所使用,术语“紧密窗”指示在预定义时间发生操作,围绕所述预定义时间有约0.3ns的不确定性。取决于用于系统中的时钟频率,不确定性可高达约10ns。此外,受MCU 6控制的软件操作可在约10 μ s的“宽松窗”内同步。如本文所使用,术语“宽松窗”指示在预定义时间发生操作,围绕所述预定义时间有相对大于紧密窗不确定性的约10 μ s的不确定性。在此涵义的情况下,贯穿本说明书多次使用术语“紧密窗”和“宽松窗”。

[0029] 在IC芯片2在主导模式下操作的情形下,根定时器10通过其输出管脚将同步信号提供给另一IC芯片2(未展示)。另一IC芯片2可与IC芯片2相同,但响应于模式控制信号而在从属模式下操作。而且,在主导模式下,将同步信号馈送到硬件时钟控件12中。如上文所述,硬件时钟控件12还接收模式控制信号。响应于模式控制信号被设定成主导且同步触发被激活,以类似于关于单一操作模式(其基于根触发而操作)描述的方法的方式,硬件时钟控件12基于同步信号而控制收发器14。此外,在主导模式下,MCU 6控制收发器的操作(例如,校准、BIST、雷达啁啾等)。

[0030] 在IC芯片2在从属模式下操作的情形下,在IC芯片的输入处从在主导模式下操作的另一外部IC芯片接收同步信号。同步信号被提供给触发选择器8和硬件时钟控件12。此外,被设定成从属的模式控制信号分布于被提供给触发选择器8和硬件时钟控件12的IC芯片内。模式控制信号(设定成从属)致使触发选择器8和硬件时钟控件12选择同步触发以控制根定时器10和硬件时钟控件12处的时钟信号产生。举例来说,同步信号中的脉冲可致使由根定时器10输出的根触发重设以使根触发与同步信号对准。此外,硬件时钟控件12和MCU 6继续以类似于单一操作模式和主导操作模式的方式操作,其中时序由同步信号指示。在一个IC芯片2在主导模式下操作且一或多个IC芯片2在从属模式下操作的多芯片实例中,在本地执行在从属模式下操作的IC芯片2的操作(例如,通过在IC芯片2本地的组件)。此外,此类操作的时序受提供同步信号的外部源(另一IC芯片2)控制。

[0031] 通过在多芯片实例中操作IC芯片2(一个IC芯片2在主导模式下操作且一或多个剩余IC芯片在从属模式下操作),芯片间硬件操作(例如,ADC 20的取样可在“紧密窗”内同步。而且,跨越需要此紧密同步的多个IC芯片2的软件操作可在“宽松窗”内同步。此外,因为同步信号在每个IC芯片2当中共用,所以不需要在在主导模式下操作的IC芯片2与在从属模式下操作的剩余一或多个IC芯片2之间实施信号交换过程(例如,用于建立新信道的过程)。

[0032] 如所展现,相同IC芯片2可单独地部署(例如,单一模式)或可部署于多芯片系统(例如,多芯片雷达系统)中,其中一个IC芯片2操作为主控装置(在主导模式下)且剩余一或多个IC芯片操作为从属装置(在从属模式下)。

[0033] 图2说明描绘多芯片雷达系统中的硬件ADC的对准(同步)取样的实例的时序图50。

[0034] 图3说明描绘多芯片雷达系统中的雷达芯片的对准软件时序的实例的另一时序图60。时序图50和60推定属于图1中所说明的类型的四(4)个IC芯片2,其中第一雷达芯片2在主导模式下操作,且第二到第四雷达芯片2在从属模式下操作。此外,每个雷达芯片2具有四(4)个ADC 20,总共十六(16)个ADC 20(对应于在图2中标记为ADC1...ADC16的信号)。因此,结合图2和3的描述参考图1的实例IC芯片2。

[0035] 在图2的实例中,时序图50标绘发射器16的输出频率(受LO 22控制)随以微秒(μ s)计的时间的变化。如时序图50中所说明,频率在约80 μ s的时间内从80GHz斜升到81GHz。此

外,十六(16)个ADC 20中的每一个经配置以在每个频率斜坡期间在紧密窗内对对应接收器进行取样。

[0036] 时序图40说明RF频率相对于时间的行为。在调频连续波雷达(FMCW雷达)系统中,L0 22产生具有在90微秒(90 μ s)内在时间上从80GHz到81GHz线性变化(斜升或斜降)的频率的信号。M数目个发射器16图1中所说明的中的一或多个可放大并使用天线来发射此信号。使用图1中所说明的N数目个接收器18中的一或多个中存在的天线和电路组件来接收电磁信号。图1中所说明的N数目个ADC 20中的每一个对N数目个接收器18中的对应一个的输出进行取样。在时序图50中,0 μ s与100 μ s之间的时间被称作一个啁啾。雷达帧含有啁啾序列。雷达帧的特性包含啁啾的指定数目和序列以及雷达帧的构成啁啾的特性。啁啾的特性包含指示L0频率何时应开始斜升或斜降和多久、何时应激活和去激活发射器16和接收器18、ADC 20何时应对接收器18输出进行取样的信息。

[0037] 作为多芯片雷达系统的操作的一个实例,在几乎相同时间对十六(16)个ADC 20中的每一个进行取样可提供指示多芯片雷达系统的哪一个接收器18接收已由检测到的对象反射的发射信号(其可被称作反射信号)和哪一各接收器18不接收反射信号的信息。可例如基于发射所发射信号的在时间与对反射信号进行取样的时间的频率差而确定对象与多芯片雷达系统之间的距离。举例来说,频率差可用以确定发射信号和反射信号的飞行时间,所述飞行时间又可用以计算离检测到的对象的距离。

[0038] 在图3的实例中,时序图60根据毫秒(ms)计的时间标绘输出频率。出于简化解释的目的,时序图50和60按不同尺度(在时序图50中以 μ s且在时序图60中以ms)标绘相同斜坡输出信号。如图3的时序图60中所说明,在特定经调度时间(其可以是周期性的或异步的),执行收发器校准(在时序图60中标记为“校准”)。如所描述,每个MCU 6上执行的软件调度校准、雷达啁啾的触发、同步中(例如,在约10 μ s内)的BIST(和/或其它软件操作)的执行,以执行相互校准、雷达啁啾和/或BIST并避免各种IC芯片2之间的非想要干扰。

[0039] 在时序图50和60中的每一个中,说明帧触发(frame trigger,FT)。FT可以是帧脉冲中的时钟边沿的实例。FT可由同步信号提供,所述同步信号可由主控IC芯片2的根定时器10产生并被提供给三(3)个从属IC芯片2。可跨越雷达系统中的IC芯片2中的每一个在约10 μ s内同步软件操作。因此,通过在主控和从属模式下操作IC芯片2,可在紧密窗内同步硬件操作(例如,ADC 20的取样),同时可在宽松窗内同步跨越需要此紧密同步的多个IC芯片2的软件操作。使用多个IC芯片2允许波束成形(例如,运用十六个或更多个接收器18)。因此,IC芯片2可用于汽车检测系统中的短程或长程雷达(例如,在10到200米内)检测。在其它实例中,IC芯片2可用于还需要具有波束成形的雷达的工业系统中。

[0040] 同步硬件操作(例如,接收器的取样)与软件操作避免与IC芯片2相关联的发射器16和接收器18的自校准期间的相互RF干扰。

[0041] 图4说明雷达IC芯片100的实例的组件图。雷达IC芯片100可用以实施图1的IC芯片2。雷达IC芯片100可包含MCU 102。MCU 102可以是微控制器,例如DSP。MCU 102可包含用于处理时序功能的机器可执行指令。出于简化解释的目的,标记为软件时序104的独立组件被说明为在MCU 102外部。但是,软件时序104表示在MCU 102上执行的软件模块(例如,机器可读指令)。

[0042] IC芯片2可包含触发选择器106,例如多路复用器。触发选择器106可以经配置以输

出基于可在触发选择器106处接收到的软件触发(在图4中标记为“软件触发”)和硬件触发(在图4中标记为“硬件触发”)中的一个的开始触发信号(在图4中标记为“开始触发”)。可在片上产生并从MCU 102提供软件触发。可从同步输入端口105(在图4中标记为“同步输入”)提供硬件触发(用作同步信号),所述硬件触发可由100芯片(如果在主控模式下)或由另一芯片(如果在从属模式下)产生。触发选择器106可基于模式控制信号(在图4中标记为“模式控制”而选择软件触发或硬件触发)。可从MCU 102或外部源提供模式控制信号。替代地,在其它实例中,模式控制信号可硬连线到触发选择器106中。在又其它实例中,触发选择器106可包含用于响应于检测到与在其中实施IC芯片2的芯片或系统相关联的事件或条件而选择触发选择器106的内部逻辑。

[0043] 举例来说,开始触发可以是帧脉冲信号。如本文所使用,术语“帧脉冲”表示具有每个帧的开始处的时钟边沿或预定数目个帧的开始处的时钟边沿的脉冲信号。因此,开始触发可以是具有指示帧的开始(例如,大致每40ms)或在预定数目个帧的开始处的时钟脉冲的脉冲信号。开始触发可被提供给根定时器108。响应于开始触发处的每个脉冲,根定时器108可产生还表示帧的开始的根触发(例如,帧脉冲)。因此,在一些实例中,根触发可以是开始触发的已通过版本。替代地,根触发可以是开始触发的延迟版本(例如,由一或多个时钟脉冲延迟)。根触发可被输出到硬件时钟控件111的组件。硬件时钟控件111的组件可实施图1的硬件时钟控件12。

[0044] 作为实例,根触发可被提供给硬件时钟控件111的时钟选择器112的输入。时钟选择器112可输出对应于根触发或在同步输入端口105(本文中所描述)处接收到的同步信号的开始时钟信号(在图4中标记为“开始时钟”)。时钟选择器112可受模式控制信号控制。

[0045] 根定时器108还可向硬件时钟控件111的硬件叶定时器模块114提供自振计数器(FRC)信号(在图4中标记为“自振计数器”)。硬件叶定时器模块114表示一系列硬件叶定时器,所述硬件叶定时器中的每一个产生一或多个时序信号。硬件叶定时器模块114可通过控制雷达IC芯片100中的各种活动的时序的硬件叶定时器产生若干数字信号(时序信号)。这些活动可包含启用和停用各种接收器、发射器和/或LO电路、开始和停止LO输出信号频率的斜升或斜降、开始ADC输出的数字处理等。硬件叶定时器可包含可产生基于从根定时器108提供的根触发而同步的时序信号和/或时序控制信号的电路组件。类似地,根定时器108可将FRC信号提供给(MCU 102的)软件时序模块104。另外,在一些操作模式下,即在主控模式和从属模式下,根定时器108可在雷达IC芯片100的同步输出端口115(在图4中标记为“同步输出”)处输出同步信号(其可对应于硬件触发信号)。在一些实例中,同步信号可在每次FRC到达预定值时脉冲。

[0046] 时钟选择器112可将开始时钟信号提供给硬件时钟控件111的同步选通器116的输入。同步选通器116还可在帧脉冲或同步信号之后的预定义时间从硬件叶定时器模块114接收时钟停止信号(在图4中标记为“停止时钟”)。同步选通器116可从硬件时钟控件111的ADC时钟产生器118接收时钟信号。来自ADC时钟产生器118的时钟信号可在特定情形下(例如,约每2到10 μ s)具有时钟脉冲。同步选通器116被设计为含有逻辑门和锁存器或触发器的数字电路,其确保输入时钟被转发到输出而没有任何干扰。

[0047] 同步选通器116可实施为含有一或多个数字逻辑门和锁存器或触发器的数字电路。同步选通器116可经配置以使得能够在来自开始时钟处起始的帧脉冲的时间时在同步

选通器116的输出处输出来自ADC时钟产生器118的时钟信号的时钟边沿,直到停止时钟信号从硬件叶定时器模块114脉冲为止。完成输出时钟的启用和停用,其方式阻止任一时间时的输出时钟中的干扰。同步选通器116的输出耦合到四(4)个ADC 120中的每一个,且由ADC 120的取样时钟和数字状态机时钟和ADC 120的组件使用。ADC 120中的每一个可耦合到相应接收器(例如,图1的接收器18)。在一些实例中,接收器可在雷达IC芯片100外部。在其它实例中,接收器可集成于雷达IC芯片100内。如上文所描述,同步选通器116防止输出处的干扰。因此,使用同步选通器116的输出的硬件叶定时器的操作方式使得硬件叶定时器接收硬件叶定时器需要操作的持续时间的时钟输入,在所述持续时间结束时自动选通且每个硬件叶定时器的输入时钟。

[0048] 出于简化解释的目的,在本文中大体描述并在图6搭配8中展示许多实例,含有若干硬件叶定时器的硬件叶定时器模块114从根定时器108直接接收FRC和根触发。但是,在许多实例中,硬件叶定时器模块114或硬件叶定时器模块114的硬件叶定时器中的一些接收同步选通器116的输出时钟,由此通过同步选通器116间接地同步到根定时器108。其允许紧密同步,而其它组件的操作仍保持与在本文中的实例中所描述相同。

[0049] 四个ADC 120中的每一个可包含内部时钟、串并(S2P)接口、有限状态机(FSM)和/或其它电路组件以实现在预定速率(例如,1.8GHz)下对相应接收器的输出进行取样。每个ADC 120可包含响应于信号脉冲而对相应接收器的输出进行取样的三角积分调制器(sigma-delta modulator,SDM)。举例来说,每个ADC 120可设计成使得同步选通器116的输出处的时钟脉冲可不选通每个ADC 120的SDM,由此致使ADC 120中的每一个对每个相应接收器的输出进行取样。S2P接口可串接由相应ADC 120取样的位元。此外,在特时序刻,可从硬件叶定时器模块114提供复位信号以使每个ADC 120复位。以此方式,由ADC时钟产生器118产生的开始时钟信号被提供给ADC 120,使得每个ADC 120的FSM和S2P接口起始具有对准相位的取样周期。

[0050] 由硬件叶定时器模块114产生的硬件叶定时器还可控制相关联发射器(例如,图1的发射器16)和/或LO(例如,图1中所说明的LO 22)上的操作。发射器和/或LO可在雷达IC芯片100内部或外部。另外,硬件叶定时器可控制例如DSP和/或数字数据路径等过程中的操作的次序。以此方式,受由硬件叶定时器模块114产生的硬件叶定时器控制的操作,包含接收器输出的取样,可同步到紧密窗。

[0051] 软件时序模块104可调度例如校准、BIST、雷达啁啾等等操作。可在宽松窗内跨越IC芯片同步受软件时序模块104控制的操作。

[0052] 作为一个实例软件操作,样本RF信号可从ADC 120中的每一个被提供给MCU 102。MCU 102可在雷达啁啾中处理经取样RF信号以导出在汽车检测系统中指示检测到的对象的存在(或不存在)的数据。在一些实例中,MCU 102可作出关于对象的位置的确定。另外或替代地,MCU 102可向外部系统(例如,另一雷达IC芯片或雷达控制器)提供数据以协作来自多个雷达IC芯片100的数据以针对汽车检测系统确定对象的位置。此外,雷达控制器(或另一外部系统)可向MCU 102提供可控制软件时序模块104的操作的次序的时序信息以避免干扰其它雷达IC芯片100。

[0053] 图5说明展示由硬件叶定时器模块114输出的一组硬件叶定时器时序图150、152、154和156的实例。图5中的图表中的每一个经缩放到具有约500 μ s的相同帧。在时序图150

中,根据时间而标绘L0啁啾信号频率(在图5中标记为“啁啾本地振荡器频率”)。在一个实例中,L0啁啾信号的频率可范围介于80GHz与81GHz之间。在另一实例中,L0啁啾信号的频率可范围介于20GHz与21GHz之间。在又其它实例中,可使用其它频率。在时序图152中,根据时间而标绘发射信号(在图5中标记为“发射器启用”)电压。发射启用信号致使发射器在对应于L0啁啾信号的频率下发射信号。

[0054] 时序图154标绘接收器ADC启用信号的电压(对应于停止时钟信号的补充)随时间的变化。接收器ADC启用信号致使接收ADC 120对对应接收器进行取样。此外,时序图156标绘啁啾快速傅里叶变换(Fast Fourier Transform,FFT)计算信号的电压根据时间的变化。啁啾FFT计算信号致使MCU 102读取ADC 120的输出,可使用所述输出(例如,通过数字信号处理)例如以在汽车检测系统或其它雷达系统中计算对象的位置和/或距离。如由时序图150到156说明,由硬件叶定时器模块114产生的硬件叶定时器可在紧密窗内控制雷达IC芯片100的操作。此外,图5中的实例硬件叶定时器的列表并非详尽的。在一些实例中,由硬件叶定时器模块114产生的硬件叶定时器可另外或替代地控制产生和/或发射雷达啁啾、启用和停用接收电路和/或起始几乎任何雷达操作。

[0055] 又另外,硬件叶定时器模块114可产生控制与雷达啁啾对准的信号产生,例如发射器和/或接收器的功率控制,的硬件叶定时器。举例来说,硬件叶定时器可致使发射器和/或接收器在雷达啁啾期间在高性能高功率状态下操作并在雷达啁啾结束时在低性能低功率状态下操作。

[0056] 如上文所描述,雷达IC芯片100可基于模式控制信号而在单一模式、主控模式或从属模式下操作。图6说明在单一模式下操作的雷达芯片100的实例。在图4和6中使用相同术语和附图标记以指示相同结构。此外,出于简化解释的目的,从图6省略图4中展现的一些信号以说明单一模式下的信号流。

[0057] 模式控制信号可被设定成单一模式,使得触发选择器106从MCU 102输出软件触发作为开始触发。因此,根定时器108的输出受MCU 102控制。而且,时钟选择器112(响应于模式控制信号)选择由根定时器108输出的根触发(帧脉冲)。因此,同步选通器116的输出受MCU 102控制。此外,在单一模式下,雷达IC芯片100不需要与另一雷达IC芯片同步。因此,在单一模式下,不可接收外部硬件触发,且不需要提供同步信号。因此,在单一模式下,MCU 102可控制对ADC 120、由硬件叶定时器模块114产生的硬件叶定时器和软件时序模块104的取样。

[0058] 图7说明在主控模式下操作的雷达芯片100的实例,其耦合到在从属模式下操作的另一雷达IC芯片100。在图4和7中使用相同术语和附图标记以指示相同结构。此外,出于简化解释的目的,从图7省略图4中展现的一些信号以说明主控模式下的信号流。

[0059] 模式控制信号可被设定成主控模式,使得触发选择器106从MCU 102输出软件触发作为开始触发。因此,根定时器108的输出受MCU 102控制。同步信号(帧脉冲)由根定时器108在同步输出端口115处输出。在此情形下,由根定时器108输出的同步信号在根触发信号下操作。此外,同步信号在同步输入端口105处被反馈到雷达IC芯片100中且耦合到时钟选择器112。同步输入端口105与同步输出端口115之间的连接可以是雷达IC芯片100的引脚之间的外部连接,或其可由雷达IC芯片100内的内部连接实施。在此情形下,延迟装置(例如,开关和/或定时器)可实施于内部连接中以匹配传播延迟与从属模式下操作的另一雷达IC

芯片100。

[0060] 而且,时钟选择器112选择在同步输入端口105处接收到的同步信号(响应于模式控制信号)。因此,同步选通器116的输出受MCU 102控制。此外,在主控模式下同步信号将被提供给一或多个从属雷达IC芯片。因此,在从属模式下,MCU 102可控制在雷达IC芯片本地的ADC 120、由硬件叶定时器模块114产生的硬件叶定时器和软件时序模块104的取样。

[0061] 图8说明在从属模式下操作的雷达芯片100的实例,其中雷达IC芯片100耦合到在从属模式下操作的另一雷达IC芯片。在图4、7和8中使用相同术语和附图标记以指示相同结构。此外,出于简化解释的目的,已从图8省略图4中展示的一些信号以说明从属模式下的信号流。

[0062] 在从属模式,在同步输入端口105处接收同步信号。可在从属模式下操作的雷达IC芯片提供同步信号,且将同步信号作为硬件触发(例如,帧脉冲)提供给触发选择器106。

[0063] 模式控制信号可被设定成从属模式,使得触发选择器106从MCU 102输出硬件触发作为开始触发。作为响应,根定时器108可基于开始触发而重启根触发,所述开始触发是基于由在从属模式下操作的IC芯片产生的同步信号。以此方式,硬件触发重新同步在从属模式下操作的雷达IC芯片100的根定时器108,使得在从属模式下操作的雷达IC芯片100的根定时器108与在从属模式下操作的IC芯片的根定时器对准。因此,根定时器108的输出受在从属模式下操作的雷达IC芯片控制。此重新同步可在一段时间内减少定时器漂移。

[0064] 而且,时钟选择器选择在同步输入端口105处接收到的同步信号(响应于模式控制信号)。因此,同步选通器116的输出受在从属模式下操作的雷达IC芯片控制。因此,在从属模式下,由在从属模式下操作的雷达IC芯片提供的同步信号可控制对ADC 120、由硬件叶定时器模块114产生的硬件叶定时器和在从属模式下操作的雷达IC芯片200本地的软件时序模块104的取样。

[0065] 因为在从属模式下操作的雷达芯片100的根定时器108与在从属模式下操作的雷达芯片的根定时器同步(通过同步信号),所以在从属模式下操作的雷达芯片100和在从属模式下操作的雷达芯片可同步各种雷达芯片100之间的组件(例如,发射器和/或接收器)校准、BIST、监视和功能雷达啁啾活动。另外,如图7和8中所说明,同步信号被提供给在从属模式下操作的雷达IC芯片100(图7中)和在从属模式下操作的雷达IC芯片100(图8中)两者中的同步输入端口105,以确保两个雷达IC芯片之间的恰当传播延迟匹配。

[0066] 如图4到8中所说明,同一雷达IC芯片100可在单一模式、从属模式或从属模式下操作。因此,在需要多个雷达IC芯片100的情形下,在从属模式下操作的雷达IC芯片100可控制连接的雷达IC芯片100中的每一个的总体时序。此外,在仅需要一个雷达IC芯片100的情形下,不需要重新设计/制造不同雷达IC芯片100。

[0067] 此外,可对雷达IC芯片100的MCU 102执行软件操作,例如校准和/或雷达啁啾的控制,甚至在雷达IC芯片100在从属模式下操作的情形下也是如此。此架构在每个连接的雷达IC芯片100的MCU 102当中分布此类软件操作的处理负荷。

[0068] 如关于图4到8所展示且描述,跨越多个雷达IC芯片100的硬件操作(包含ADC 120的取样)可在紧密窗内同步。跨越多个雷达IC芯片100的不需要此紧密同步的软件操作可在宽松窗内同步。以此方式,在多芯片系统中,相同雷达IC芯片100可用以实现多个雷达IC芯

片100之间的两个等级的同步(松弛和紧密)。此外,因为同步信号在每个雷达IC芯片100当中共用(图7和8中所说明),不需要实施主控雷达IC芯片100与一或多个从属雷达IC芯片100之间的信号交换过程。

[0069] 图9说明可使用图5到8中所说明的雷达IC芯片2和/或雷达IC芯片100的雷达系统200的实例。雷达系统200的组件可安装于印刷电路板(printed circuit board,PCB)202上。举例来说,雷达系统200可用于汽车检测系统或其它雷达系统中。雷达系统200可包含雷达控制204以处理来自雷达IC芯片(例如,来自在其上操作的MCU)的雷达数据。雷达控制204可实施为存取存储机器可读指令的存储器的微控制器或一或多个处理器核心。

[0070] 雷达系统200还可包含主控雷达IC芯片206和K数目个从属雷达IC芯片208,其中K是大于或等于一的整数。主控雷达IC芯片206可实施为图1中所说明的雷达芯片2和/或图5和7中说明的在主导模式下操作的雷达IC芯片100。K数目个从属雷达IC芯片208中的每一个可实施为图1中所说明的IC芯片2和/或图5和8中说明的在从属模式下操作的雷达IC芯片100。因此,主控雷达IC芯片206和K数目个从属雷达IC芯片208中的每一个可以是相同芯片设计的不同例子。可基于相应本地软件配置和/或基于PCB 202上的IC芯片引脚配置而设定主控雷达IC芯片206和K数目个从属雷达IC芯片208操作模式。

[0071] 主控雷达IC芯片206可产生被提供给K数目个从属雷达IC芯片208中的每一个的同步信号(例如,帧脉冲,在图9中标记为“同步信号”)并被反馈给主控雷达IC芯片206。在主导IC雷达芯片206和K数目个从属雷达IC芯片208中的每一个当中,同步信号可在紧密窗中同步硬件操作(例如,接收器的取样)并在宽松窗中同步软件操作(自校准、BIST、雷达啁啾)。

[0072] 举例来说,雷达控制204可将时间窗(例如,通过时分复用)分配给主控雷达IC芯片206和从属雷达IC芯片208,以执行某些软件功能(例如,对准和/或BIST)。基于所分配时间窗和同步信号,主控雷达IC芯片206和从属雷达IC芯片208中的每一个可协调操作以避免会在对准和/或BIST期间发生的相互干扰。

[0073] 而且,在操作期间,主控雷达IC芯片206和从属雷达IC芯片208中的每一个可向雷达控制204提供雷达数据。雷达数据可包含可对比且用以确定离对象的距离和对象相对于雷达IC芯片2的方向的数据。

[0074] 此外,主控雷达IC芯片206可同步主控雷达IC芯片206和K数目个从属雷达IC芯片208的操作与可(在一些实例中)通过例如互补金属氧化物半导体(complementary metal oxide semiconductor,CMOS)信号线等信号线提供的仅一个信号。

[0075] 结合图4到9描述一个实例。PCB 202含有雷达系统200。雷达系统200含有若干雷达IC芯片,在图9中标记为206和208,且每个雷达IC芯片被实施为图4中展示的雷达IC芯片100。雷达控制204和雷达IC芯片206和208将雷达帧的特性配置到雷达IC芯片206和208中。图9中的雷达IC芯片中的一个,即雷达IC芯片206,经配置以在主导模式下操作,且剩余雷达IC芯片208经配置以在从属模式下操作。

[0076] 在主导模式下,主控雷达IC芯片206的MCU 102(图4中所说明)产生软件触发,软件触发是在202中向雷达系统指示应发生雷达帧的信号事件。可以被称作如上文定义的帧脉冲的数字脉冲的形式指示此事件。主控雷达IC芯片206中的触发选择器106(多路复用器)将此软件触发转发到根定时器108(图4中所说明),这从此事件的时间开始对时间进行计数(根定时器108通过自此事件开始发生了系统时钟的多少边沿计数技术来执行此操作)。MCU

102中的主控雷达IC上执行的软件或固件(图4中所说明)或其它数字状态机在根定时器值到达预定义值时触发各种雷达操作。雷达操作可包含执行雷达组件或甚至雷达啁啾或帧的校准或BIST。雷达操作还可包含代表MCU 102产生根定时器108的一或多个后续软件触发。还将由根定时器108产生的帧脉冲发送到经配置以将帧脉冲转发到同步选通器116的时钟选择器112(多路复用器)。

[0077] 同步选通器116可实施为一组一或多个数字逻辑门和触发器。同步选通器116使得能够每次从帧脉冲将来自ADC时钟产生器118的时钟信号的时钟边沿同时(或几乎同时)输出到ADC 1 120到ADC 4 120(图4中所说明),直到从硬件叶定时器模块114脉冲停止时钟信号为止。这确保ADC 1 120到ADC 4 120中的每一个在紧密窗内对其相应接收器输出进行取样,以使得使用ADC输出对对象方向的方向的确定是准确的。

[0078] 根定时器108还控制主控雷达IC芯片206中的更多计数器的时序,所述计数器一起由图4中所说明的硬件叶定时器模块114表示。硬件叶定时器模块114可通过硬件叶定时器产生若干数字信号。数字信号可控制主控雷达IC芯片206中的各种活动的时序,例如启用和停用各种RX/TX/L0电路、开始和停止L0输出信号频率的斜升或斜降、开始ADC输出的数字处理等。

[0079] 描述从属雷达IC芯片208中的一个的操作,且其它从属雷达IC芯片208类似地操作。分别通过从属雷达IC芯片208中的时钟选择器112和触发选择器106的适当配置,还将由主控雷达IC芯片206的根定时器108产生的帧脉冲转发(作为同步信号)到从属雷达IC芯片208的同步选通器116和根定时器108。在接收到帧脉冲之后,从属雷达IC芯片208的根定时器108即刻重设以与主控雷达IC芯片206的根定时器108对准(对准可意味着相同值或具有已知差的值)。从属雷达IC芯片208中的组件的操作的其余部分与主控雷达IC芯片206相同。这确保主控雷达IC芯片206的ADC 1 120到ADC 4 120和从属雷达IC芯片208的ADC 1 120到ADC 4 120同时(或几乎同时)对其RX输出进行取样,以使得使用ADC输出对对象方向的方向的确定是准确的。组合的主从系统中比仅具有一个雷达IC芯片的系统中存在更多ADC 120提供改良的对象位置确定能力。而且,这确保主控雷达IC芯片206和从属雷达IC芯片208中的硬件叶定时器在紧密窗同步中操作。

[0080] 在一个实例中,PCB 202仅含有从属雷达IC芯片208,且软件触发或帧脉冲的产生功能由在雷达控制204中运行的微控制器而非主控雷达IC芯片206中的MCU 102执行。在此情形下,软件触发或帧脉冲被传达到所有从属雷达IC芯片208,且操作的其余部分类似于上文描述的实例中所描述的操作。

[0081] 图10说明雷达系统250的另一实例。雷达系统250可包含主控IC芯片252和从属IC芯片254。主控IC芯片252可实施为在主导模式下操作的图4的雷达IC芯片100的例子。类似地,从属IC芯片254可实施为在从属模式下操作的图4的雷达IC芯片100的例子。因此,如本文所描述,主控IC芯片252和从属IC芯片254中的每一个可实施为相同IC芯片设计的不同例子。主控IC芯片252和从属IC芯片254中的每一个可安装于PCB 256上。此外,可例如通过PCB 256上的软件配置和/或IC芯片引脚配置设定主控IC芯片252和从属IC芯片254中的每一个的操作模式。

[0082] 主控IC芯片252可包含可产生被提供给从属IC芯片254的触发选择器260的同步信号(在图10中标记为“同步信号”)的根定时器258。同步信号可以是在每个帧的开始或一组

帧的开始时提供时钟边沿的帧脉冲信号。触发选择器260可将同步信号作为开始触发信号转发到从属IC芯片254的根定时器262。响应于开始触发中的每个帧脉冲(对应于同步信号),根定时器262可重启/重设根触发,使得根触发与同步信号对准。

[0083] 主控IC芯片252和从属IC芯片254中的每一个可包含用于运用由同步信号直接或间接控制的时序执行雷达操作微控制器(处理器)264和266。雷达操作可包含雷达啁啾的触发、BIST的调度和执行、可在主控IC芯片252和从属IC芯片254中的每一个本地或外部的RF接收器和RF发射器电路的校准等等。此外,可使用微控制器264和266以执行依赖于主控IC芯片252与从属IC芯片254之间的相互对准的几乎任何软件操作。

[0084] 主控IC芯片252和从属IC芯片254中的每一个可包含硬件时钟控件268和270。硬件时钟控件268可基于同步信号而产生用于主控IC芯片252的叶定时器。类似地,硬件时钟控件270可基于来自根定时器262的根触发而产生用于从属IC芯片254的叶定时器,所述根触发基于同步信号。此外,基于同步信号,硬件时钟控件268可启用时钟边沿以控制主控IC芯片252的更多ADC 272的模拟输入的取样例子,且可将表征样品的数据输出到主控制器264。类似地,基于根触发信号(其基于同步信号),硬件时钟控件270可启用时钟边沿以控制从属IC芯片254的更多一或多个ADC 274的模拟输入的取样例子,且可将表征样品的数据输出到微控制器266。

[0085] 此外,可针对需要主控IC芯片252与从属IC芯片254之间的相互对准的多种不同操作使用由硬件时钟控件268和270产生的硬件叶定时器。此类操作可包含启用/停用各种RF接收电路和/或RF发射器电路(或其它电路)。此类操作还可包含起始几乎任何雷达操作,例如雷达啁啾频率产生、啁啾产生/发射、ADC输出的数字处理(由微控制器264和266或外部电路)、和/或与雷达啁啾对准的信号产生,例如RF发射和/或RF接收电路的功率控制。举例来说,功率控制可在雷达啁啾期间将RF发射和/或RF接收电路设定成高性能高功率状态,并在雷达啁啾结束之后将所述电路设定成低性能低功率状态。

[0086] 在所描述实施例中可能进行修改,且其它实施例在权利要求的范围内是可能的。

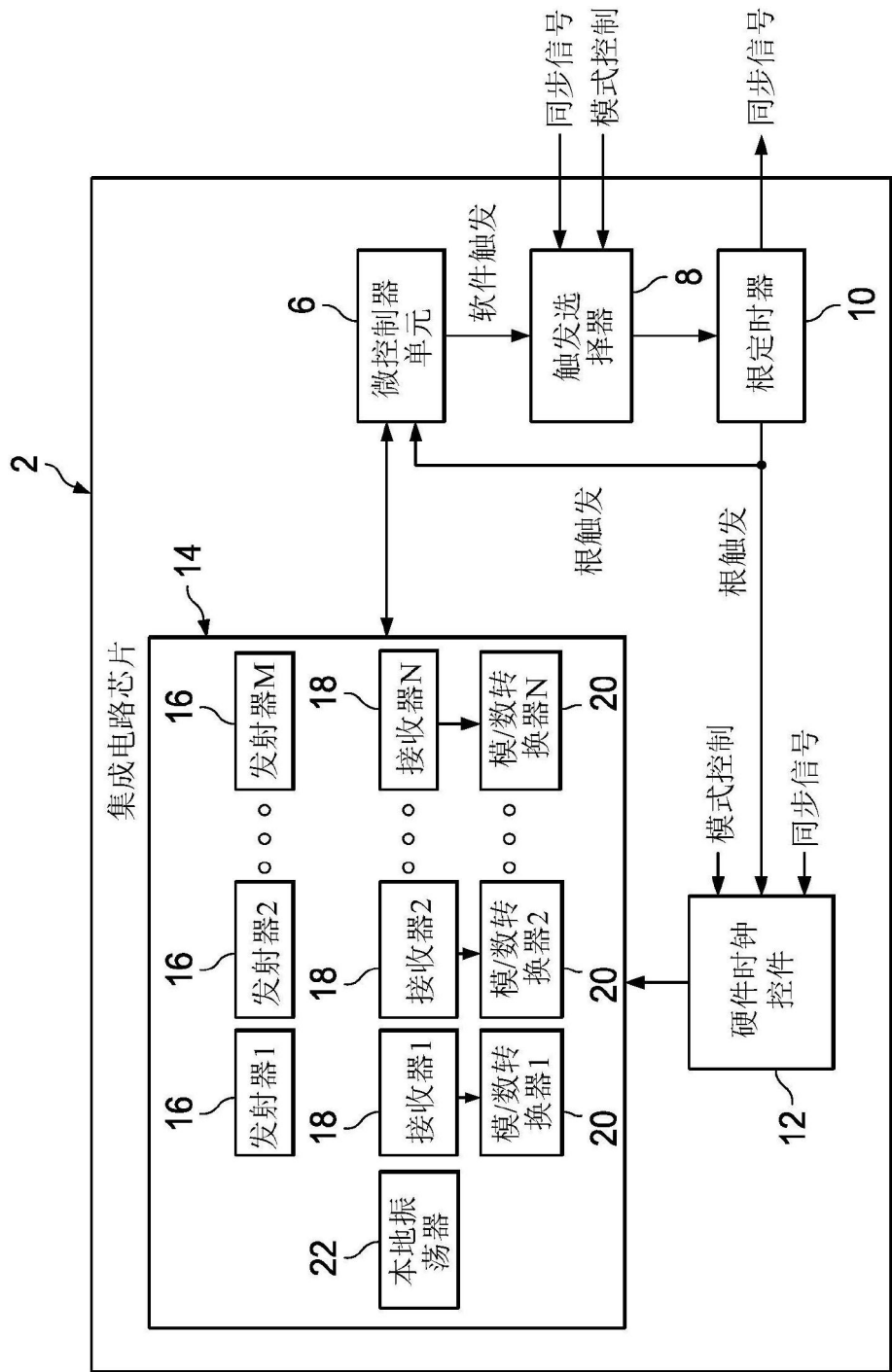


图1

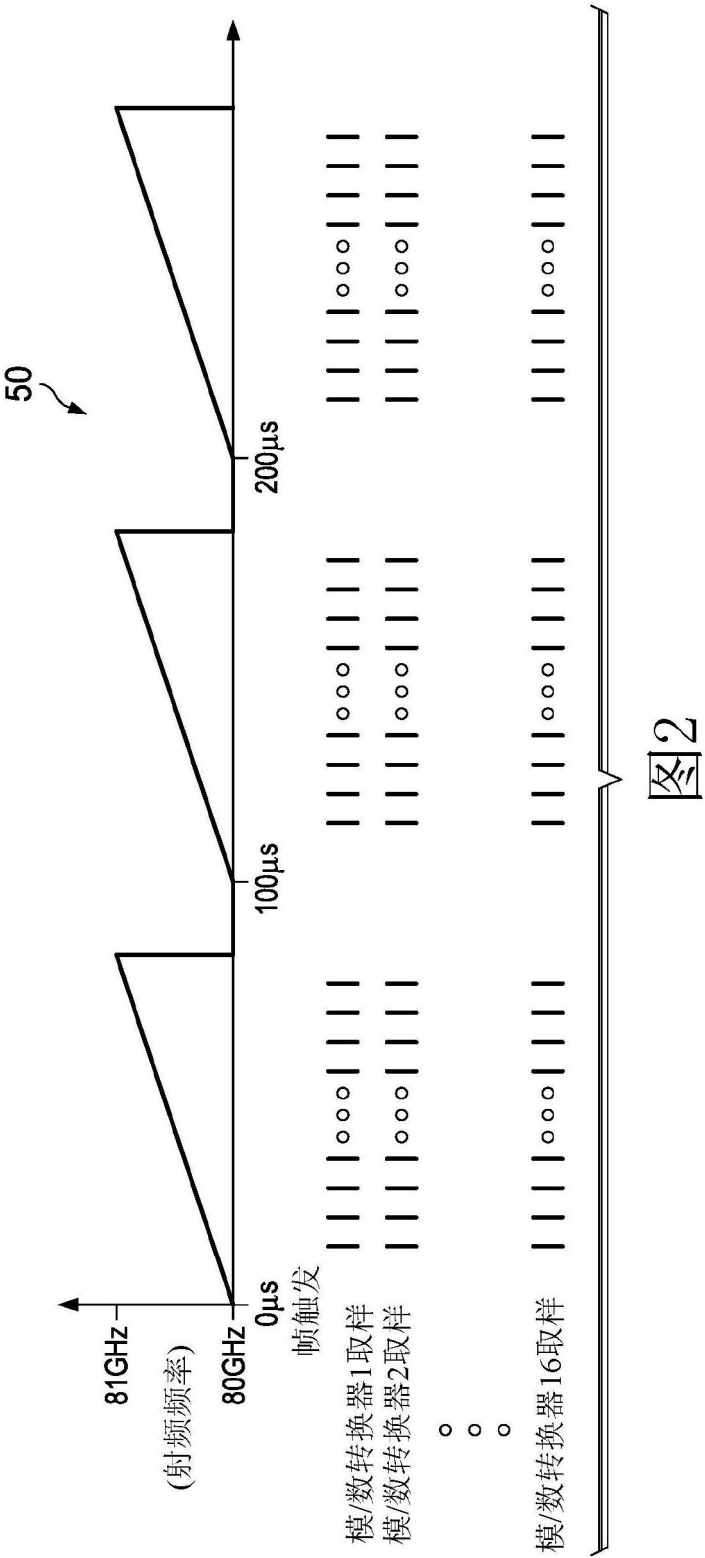


图2

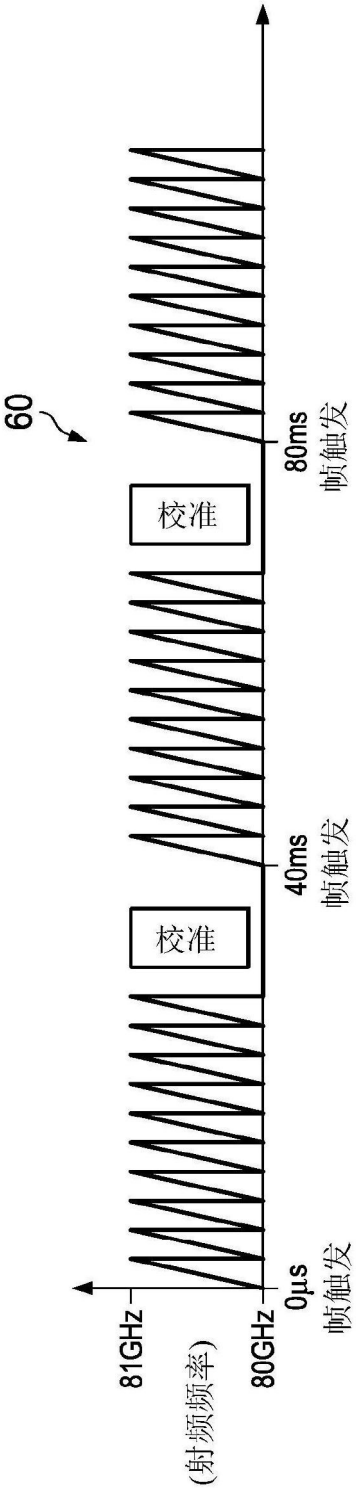


图3

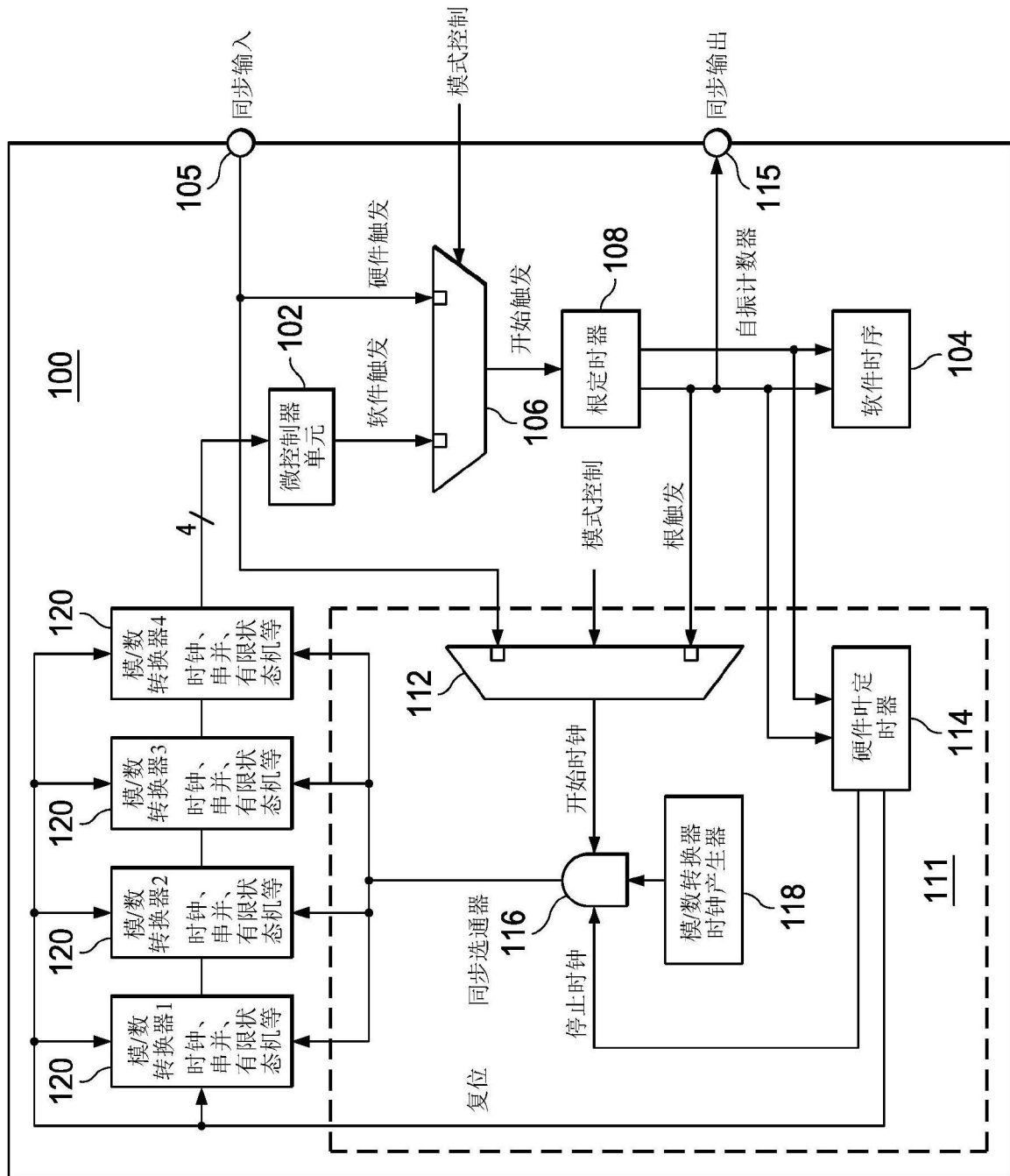


图4

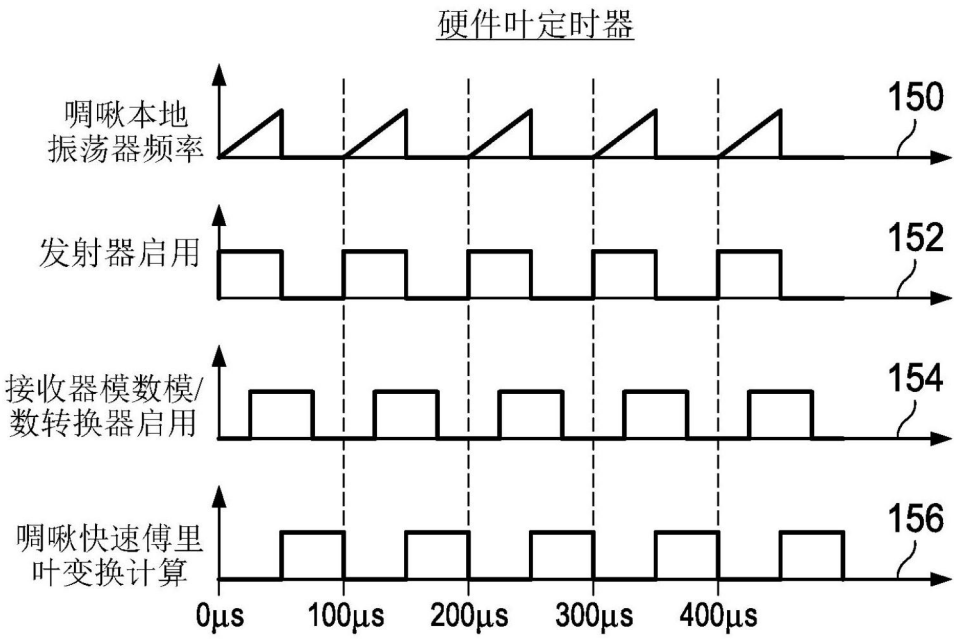


图5

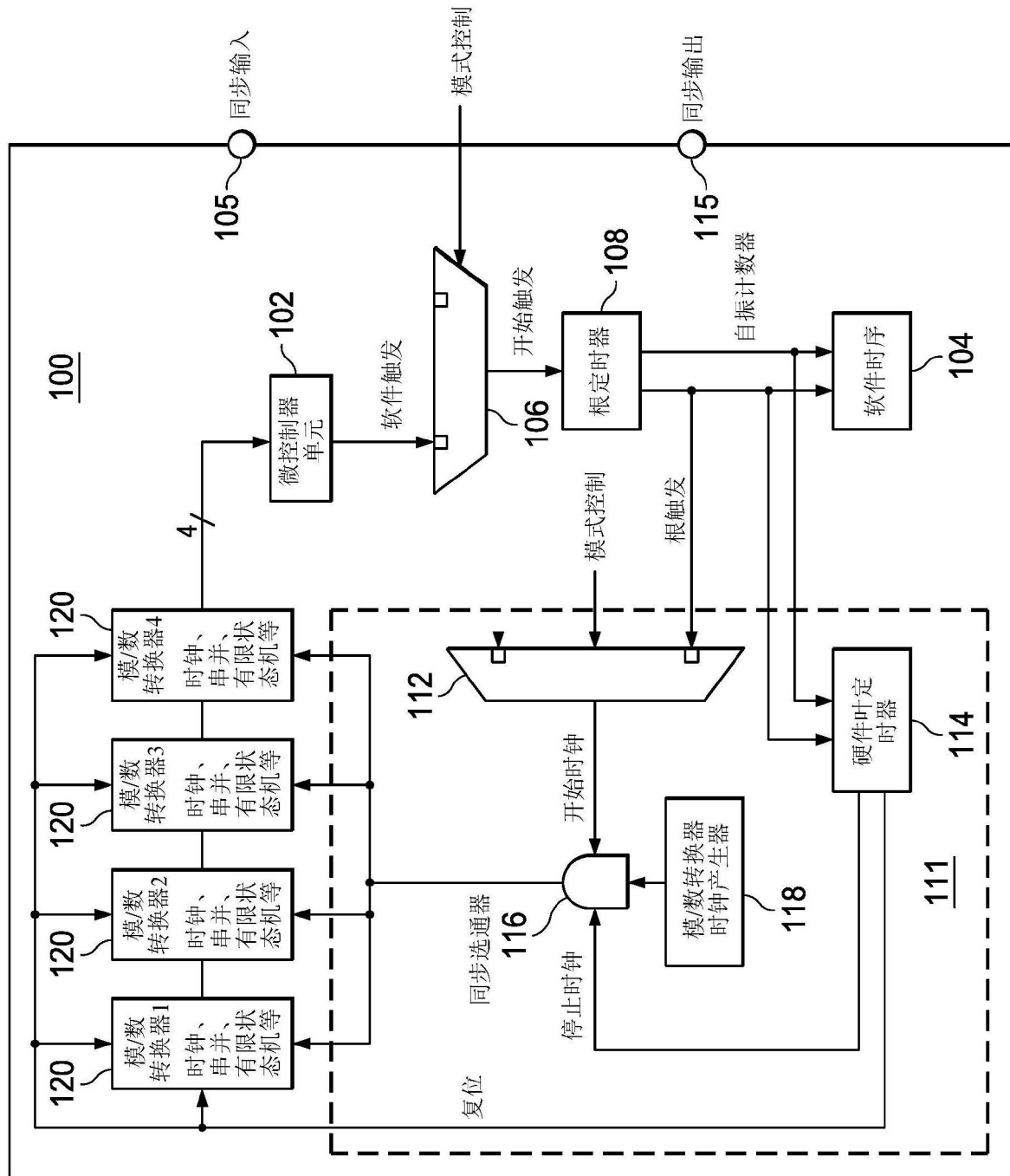


图6

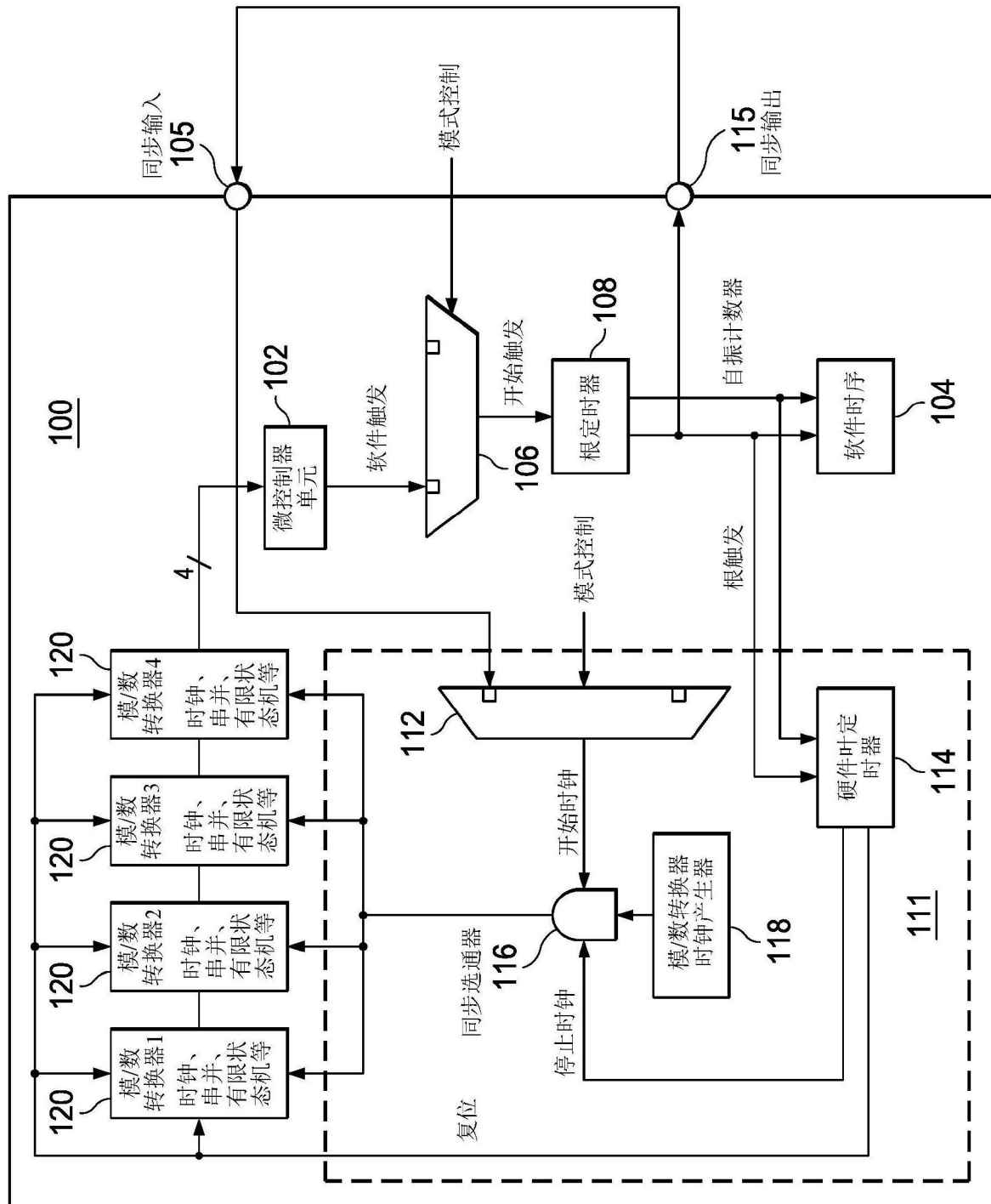


图7

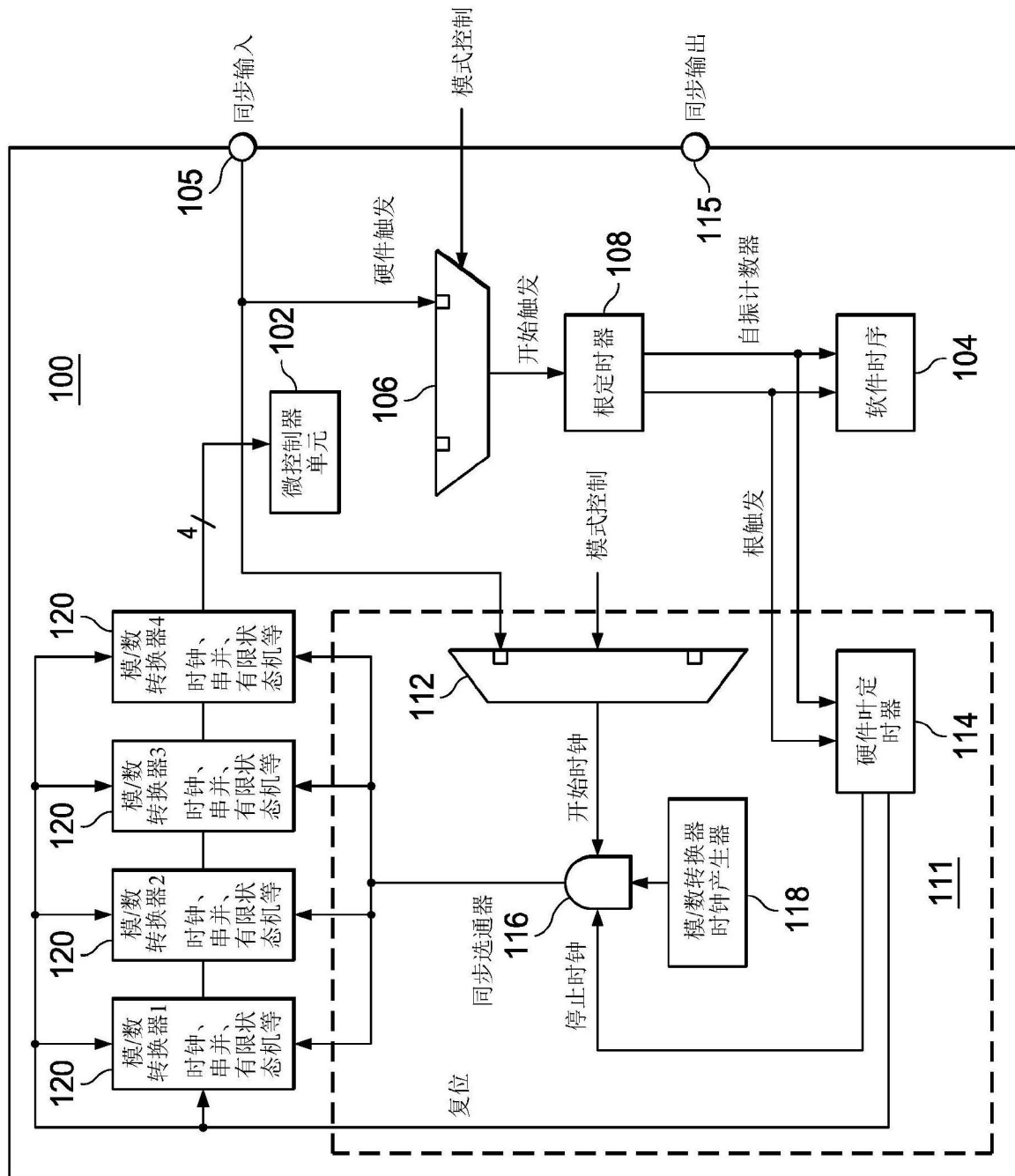


图8

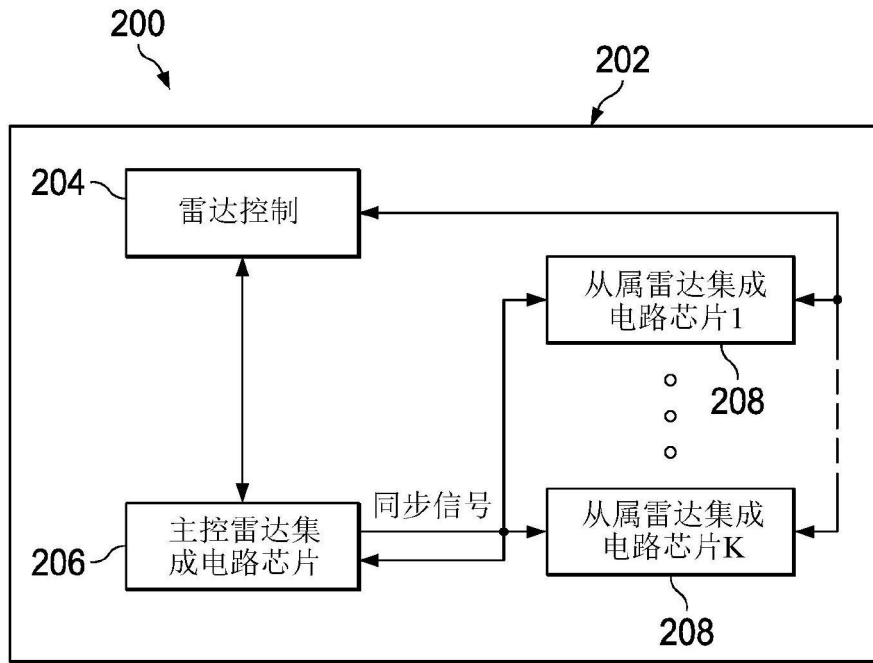


图9

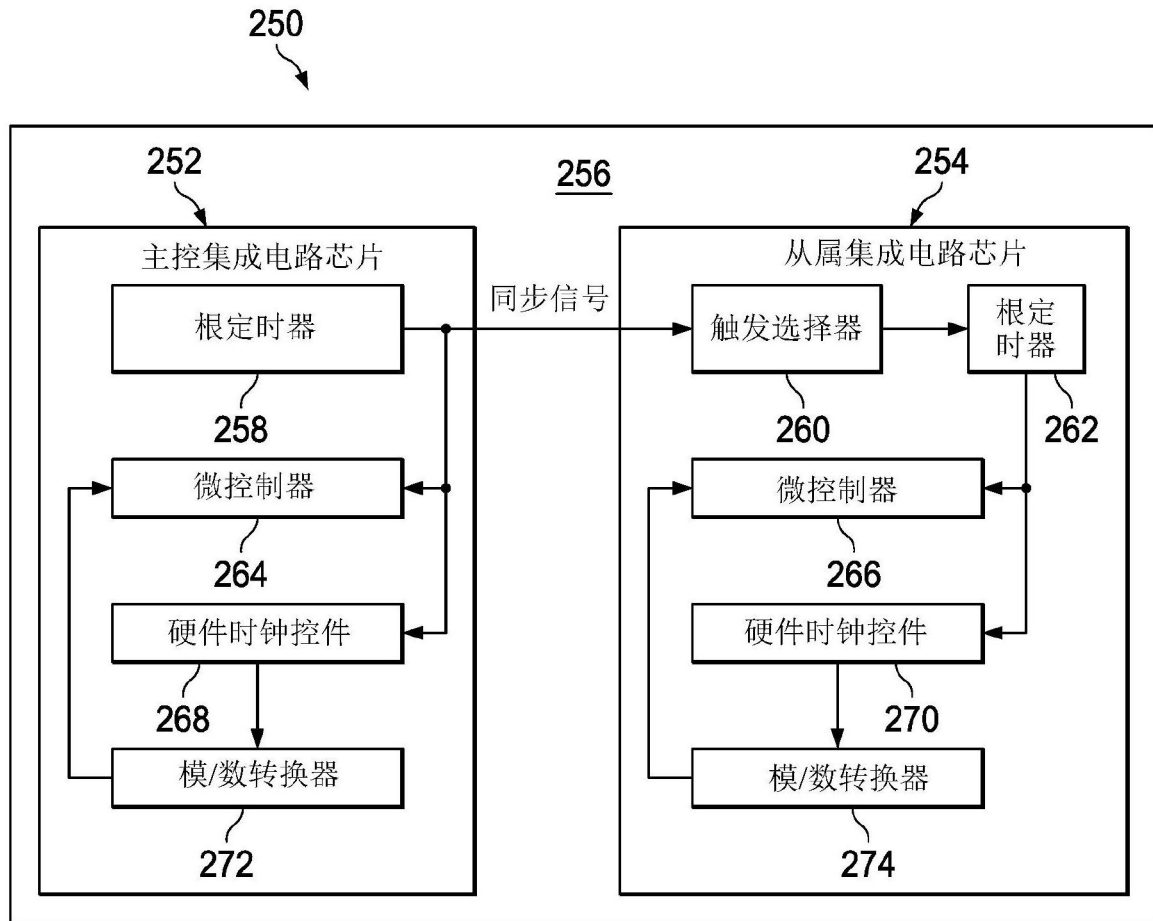


图10