



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년11월14일  
(11) 등록번호 10-1329432  
(24) 등록일자 2013년11월07일

- (51) 국제특허분류(Int. Cl.)  
*H04N 5/359* (2011.01) *H04N 5/374* (2011.01)  
(21) 출원번호 10-2008-7030965  
(22) 출원일자(국제) 2007년03월23일  
    심사청구일자 2011년11월03일  
(85) 번역문제출일자 2008년12월19일  
(65) 공개번호 10-2009-0023617  
(43) 공개일자 2009년03월05일  
(86) 국제출원번호 PCT/US2007/007388  
(87) 국제공개번호 WO 2007/149137  
    국제공개일자 2007년12월27일  
(30) 우선권주장  
    11/455,985 2006년06월20일 미국(US)

(56) 선행기술조사문헌

KR1020000010501 A\*

US06504196 B1\*

\*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 14 항

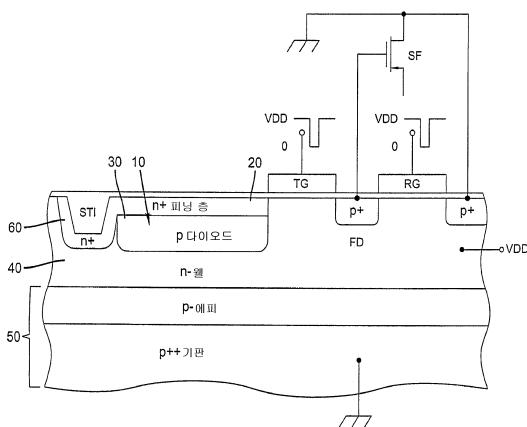
심사관 : 김응권

(54) 발명의 명칭 이미지 센서 및 이를 포함하는 카메라

**(57) 요 약**

본 명세서에는 홀을 전하 캐리어로서 사용하는 p 도전형의 광검출기를 각각 구비하는 복수의 픽셀을 포함하는 이미지 영역을 갖는 이미지 센서가 개시되었으며, 이러한 이미지 센서는, p 도전형의 기판과, 기판과 p 도전형의 광검출기 사이의 n 도전형의 제 1 층과, 각각의 픽셀 내의 제 1 층 내에 배치된 하나 이상의 인접하는 액티브 전자 구성요소와, 이미지 영역 외부의 기판 내에 배치되고 이미지 영역에 전기적으로 접속되는 CMOS 전자 지원 회로를 포함한다.

**대 표 도**



## 특허청구의 범위

### 청구항 1

p 도전형의 광검출기를 구비하는 복수의 픽셀을 포함하는 이미지 영역을 가진 이미지 센서로서,

(a) p 도전형의 기판과,

(b) 홀(hole)을 전하 캐리어로서 사용하는 상기 p 도전형의 광검출기와 상기 기판의 사이의 n 도전형의 제 1 층 - 상기 제 1 층은 상기 복수의 픽셀을 포함하는 상기 이미지 영역에 전체에 걸치고(spanning the entire image area), 초과 캐리어를 상기 기판 내로 이동시키도록 그레이딩된(graded) 도핑을 포함함- 과,

(c) 크로스토크를 감소시키기 위해 상기 기판 내로 초과 캐리어를 이동시키도록 상기 제 1 층을 상기 기판에 대해 사전결정된 포텐셜에서 바이어싱되도록 상기 제 1 층에 전기적으로 연결된 콘택트와,

(d) 각각의 픽셀 내에서 상기 제 1 층에 배치된 하나 이상의 인접하는 액티브 PMOS (P형 금속 산화막 반도체) 전자 구성요소와,

(e) 상기 이미지 영역 외부의 상기 기판에 배치되고 상기 이미지 영역에 전기적으로 접속되는 CMOS 전자 지원 회로(CMOS electronic support circuitry)를 포함하는

이미지 센서.

### 청구항 2

제 1 항에 있어서,

상기 하나 이상의 액티브 PMOS 전자 구성요소는 리셋 트랜지스터 및 플로팅 확산부를 포함하는

이미지 센서.

### 청구항 3

제 1 항에 있어서,

상기 하나 이상의 액티브 PMOS 전자 구성요소는 증폭기를 포함하는

이미지 센서.

### 청구항 4

제 1 항에 있어서,

상기 기판과 상기 제 1 층 사이에 배치된 p-에피택셜(p-epitaxial) 층을 더 포함하되,

상기 기판은 p+형이고 상기 제 1 층은 n형인

이미지 센서.

### 청구항 5

제 1 항에 있어서,

n 도전형 피닝층을 더 포함하며,

상기 광검출기는 펀드 광다이오드(pinned photodiode)인

이미지 센서.

### 청구항 6

제 1 항에 있어서,

상기 하나 이상의 액티브 PMOS 전자 구성요소는 플로팅 확산 증폭기를 포함하는

이미지 센서.

#### 청구항 7

제 5 항에 있어서,

STI(shallow trench isolation) 둘레 밑 하부를 둘러싸는 n 도전형의 제 2 층을 더 포함하며,

상기 제 2 층은 상기 피닝층 및 상기 n 도전형 제 1 층에 전기적으로 연결되는

이미지 센서.

#### 청구항 8

p 도전형의 광검출기를 구비하는 복수의 픽셀을 포함하는 이미지 영역을 가진 이미지 센서를 포함하는 카메라로서,

상기 이미지 센서는

(a) p 도전형의 기판과,

(b) 홀(hole)을 전하 캐리어로서 사용하는 상기 p 도전형의 광검출기와 상기 기판의 사이의 n 도전형의 제 1 층 - 상기 제 1 층은 상기 복수의 픽셀을 포함하는 상기 이미지 영역에 전체에 걸치고(spanning the entire image area), 초과 캐리어를 상기 기판 내로 이동시키도록 그레이딩된(graded) 도핑을 포함함- 과,

(c) 크로스토크를 감소시키기 위해 상기 기판 내로 초과 캐리어를 이동시키도록 상기 제 1 층을 상기 기판에 대해 사전결정된 포텐셜에서 바이어싱되도록 상기 제 1 층에 전기적으로 연결된 콘택트와,

(d) 각각의 픽셀 내에서 상기 제 1 층에 배치된 하나 이상의 인접하는 액티브 PMOS 전자 구성요소와,

(e) 상기 이미지 영역 외부의 상기 기판에 배치되고 상기 이미지 영역에 전기적으로 접속되는 CMOS 전자 지원회로를 포함하는

카메라.

#### 청구항 9

제 8 항에 있어서,

상기 하나 이상의 액티브 PMOS 전자 구성요소는 리셋 트랜지스터 및 플로팅 확산부를 포함하는

카메라.

#### 청구항 10

제 8 항에 있어서,

상기 하나 이상의 액티브 PMOS 전자 구성요소는 증폭기를 포함하는

카메라.

#### 청구항 11

제 8 항에 있어서,

상기 기판과 상기 제 1 층 사이에 배치된 에피택셜 층을 더 포함하되,

상기 기판은 p+형이고 상기 제 1 층은 n형인

카메라.

#### 청구항 12

제 8 항에 있어서,

상기 이미지 센서는 n 도전형의 피닝층을 더 포함하며,

상기 광검출기는 펀드 광다이오드인  
카메라.

### 청구항 13

삭제

### 청구항 14

제 8 항에 있어서,  
상기 하나 이상의 액티브 전자 구성요소는 플로팅 확산 증폭기를 포함하는  
카메라.

### 청구항 15

제 12 항에 있어서,  
상기 이미지 센서는 STI(shallow trench isolation) 둘레 밑 하부를 둘러싸는 n 도전형의 제 2 층을 더 포함하며,  
상기 제 2 층은 상기 피닝층 및 상기 n 도전형 제 1 층에 전기적으로 연결되는  
카메라.

## 명세서

### 기술 분야

[0001] 본 발명은 일반적으로 이미지 센서 분야에 관한 것으로, 보다 구체적으로는 크로스토크(cross talk)를 감소시키기 위해 n형 웰 내에 n형 피닝(pinning) 층 및 p형 수집 영역을 구비하는 액티브 픽셀 이미지 센서에 관한 것이다.

### 배경 기술

[0002] 최근에 액티브 픽셀 이미지 센서는 전형적으로 p형 또는 n형 실리콘 기판 상에 설계된다. 액티브 픽셀 센서는 각 픽셀 내의, 또는 각 픽셀과 연관된 증폭기와 같은 액티브 회로 소자를 구비하는 센서를 지칭한다. CMOS는 반대의 도편트(하나는 p형이고 하나는 n형인)로 구성된 두 개의 트랜지스터가 상보적인 방식으로 함께 와이어링된 "상보적 금속 산화물 실리콘" 트랜지스터를 지칭한다. 또한 액티브 픽셀 센서는 전형적으로 CMOS 트랜지스터를 사용하고, 이러한 식으로 호환성있게 사용된다.

[0003] p형 기판 상에 설계되는 CMOS 센서는 그 프로세스가 이미 완전히 개발되어 높은 레벨의 집적화를 지원하기 위해 필요한 디바이스 및 회로 라이브러리를 모두 포함하는 표준 CMOS로부터 파생되기 때문에 전형적으로 칩 상의 보다 높은 레벨의 회로 집적화를 포함한다. 불행히도, 이러한 센서는 이들이 설계된 p형 기판 내에서 소수 캐리어의 횡방향 확산을 발생시키는 높은 레벨의 픽셀-대-픽셀 크로스토크를 겪게 된다. 다른 한편으로, 전형적인 인터라인 CCD 이미지 센서로부터 파생된 프로세스를 사용하여 설계된 CMOS 이미지 센서는, (초점 평면이 n형 기판 상의 p-웰 내에 설계됨), 수직-오버플로우 드레인(VOD) 구조의 결과로서 횡방향 캐리어 확산을 제거하여 훨씬 적은 크로스토크를 갖는다. 이러한 디바이스에 있어서, 색상 크로스토크는 오버라잉 CFA의 전달에 의해 제한되기 때문에 주로 광학적이다.

[0004] p형 기판 상에 설계된 CMOS 센서에 대한 실리콘 기판 내의 전기적 크로스토크를 감소시키기 위해 최근에 몇몇 제안이 있었지만 (2005년 9월 28일 출원된 미국 기출원 번호 60/721,168 및 60/721,175), 크로스토크는 몇몇 애플리케이션에서는 이러한 기술을 사용하여 충분히 낮게 감소될 수 없다. 또한 CMOS 프로세스가 n형 기판에 대해 개발될 수 있지만, 모든 지원 회로 및 디바이스의 리-엔지니어링을 완성시킬 것이 요구된다. 또한 여기에서는

기판인 AC 접지 평면이 노이즈의 측면에서 바람직하지 않은 VDD 공급 전압에서 바이어스될 것이 요구된다. n형 기판은 또한 p형 기판보다 획득하기 어려우며, 이것은 보다 높은 레벨의 암전류 결함을 발생시킬 수 있다.

[0005] 따라서, 크로스토크가 감소된 동시에 현재의 장점과 혼존하는 주요 CMOS 프로세스의 개발 단계를 모두 유지시키는 CMOS 이미지 센서를 제공하는 것에 대한 필요성이 존재한다.

### 발명의 상세한 설명

[0006] 본 발명은 전술된 하나 이상의 문제를 극복하는 것에 관련된다. 간략하게 요약해서, 본 발명의 일 측면에 따르면, 본 발명은 제 1 도전형의 광검출기를 각각 구비하는 복수의 픽셀을 포함하는 이미지 영역을 가진 이미지 센서에 대한 것으로, 이미지 센서는, 제 1 도전형인 기판과, 기판과 광검출기 사이의 제 2 도전형의 제 1 층 - 상기 제 1 층은 이미지 영역에 걸치고, 크로스토크(cross talk)를 감소시키기 위해 기판 내로 초파 캐리어를 이동시키도록 기판에 대해 사전결정된 포텐셜에서 바이어싱됨 - 과, 각각의 픽셀 내에서 제 1 층 내에 배치된 하나 이상의 인접하는 액티브 전자 구성요소와, 이미지 영역 외부의 기판 내에 배치되고 이미지 영역에 전기적으로 접속되는 CMOS 전자 지원 회로를 포함한다.

[0007] 본 발명의 이들 측면, 목적, 특성 및 장점과 그외의 측면, 목적, 특성 및 장점이 첨부된 도면을 참조로 하여 하기의 바람직한 실시예의 상세한 설명 및 특허청구범위로부터 보다 명확하게 이해될 것이다.

[0008] 본 발명은 p형 기판 상에 집적된 주류의 표준 CMOS를 사용하는 모든 장점을 유지하는 동시에 크로스토크 및 벌크 확산 암전류 성분을 감소시키는 장점을 갖는다.

### 실시 예

[0028] 역사적으로, 전하 결합 디바이스(CCD:charge-coupled device) 기반의 이미지 센서는 신호-전하 캐리어로서 주로 전자를 사용해왔으며, 이는 보다 높은 이동도를 갖는 전자의 장점을 취하여 높은 데이터 속도(data rates)를 갖는 우수한 전송 효율을 유지하기 위함이었다. 컬러 크로스토크(color crosstalk) 및 화면 반점(smear)을 감소시키고 블루밍(blooming) 보호를 제공하도록, CCD 이미지는 전형적으로 웨л 또는 수직-오버플로우 드레인(VOD:vertical-overflow drain) 구조(미국 특허 4,527,182 참조) 내에 설계된다. 따라서, n-채널에 대한 요구에 따라 VOD 구조를 설계하는 것은 p-웨일 n형 기판 내에 형성될 것을 요구한다.

[0029] CMOS 기반의 이미지 센서는 보다 쉽게 입수 가능해졌다. 최근에 CMOS 이미지 센서는 전형적으로 p형 또는 n형 실리콘 기판 상에 설계된다. 주류의 CMOS 프로세싱을 사용하여 p형 기판 상에 설계된 CMOS 이미지 센서들은 높은 레벨의 회로 집적화를 포함할 수 있지만, 높은 레벨의 컬러 크로스토크로부터 문제를 겪는다. n형 기판 상에서 전형적인 CCD-유사 프로세스를 사용하여 설계된 CMOS 이미지 센서는 (S. Inoue 외 다수에 의한, 2001년 3월 출간된 Eizojoho Media Gakkai Gijutsu Hokoku (Technology Report, The Institute of Image Information and Television Engineers) Eijogakugihyo, vol.25, no. 28, pp. 37-41, ISSN 1342-6893.의 "A 3.25 M-pixel APS-C size CMOS Image Sensor") 낮은 컬러 크로스토크를 갖지만, 전술된 바와 같은 다른 단점을 포함한다.

[0030] CCD 이미지 센서와는 달리, CMOS 이미지 센서는 단지 하나의 전송, 즉 패다이오드로부터 플로팅 확산부로의 전송만을 갖는다. 그러므로, CMOS 이미지 센서는 높은 전하 캐리어 이동도를 요구하지 않는다. 이런 식으로, 훨씬 보다 낮은 이동도가 CMOS 이미지 센서에 있어서 결함이 되지 않을 것이다. 따라서 본 발명의 일 목적은 신호-전하 캐리어로서 홀을 이용하는 PMOS(p-채널) 픽셀 구조를 사용하는 CMOS 이미지 센서를 개시하는 것이다. 본 발명의 PMOS 구조는 픽셀이 p형 에피(epi) 상의 n-웨일 내에 설계되어 픽셀 대 픽셀 크로스토크를 감소시키도록 한다. 그러나, 전형적인 CCD 기반의 이미지 센서와 달리, 이 웨일은 센서의 이미징 섹션 아래에서만 (또는 위에 걸쳐져서) 사용된다. 칩 상에 집적된 모든 디지털 및 아날로그 CMOS 지원 회로는 p형 에피 내에 형성된다(도 4b를 참조하면, 즉 아날로그 또는 디지털 회로(80), 디지털 로직(90), 행 디코더(100) 및 열 디코더(110)). 이는 칩의 표준 CMOS 회로부 내의 디바이스들의 모든 물리적 측면이 유지됨을 의미한다. 또한, 웨일 내에 설계된 CCD 이미지 센서, 특히 웨일 접지에서 바이어스되고 기판은 소정의 포지티브 포텐셜에서 바이어스되는 CCD 이미지 센서와는 달리, 본 발명 구조의 n-웨일을 VDD에서 바이어싱함으로써, CMOS 회로에 대한 접지 평면(즉, p형 에피택셜 기판)이 OV에서 유지될 수 있다. 이것은 칩의 표준 CMOS 회로부의 모든 전기적 측면 또한 유지됨을 의미한다. 오직 디지털 및 아날로그 섹션 내의 일부 로직 펄스 및 신호 스윙(들)의 방향만이 전환되어야 하며, 이것은 당업자에 의해 쉽게 달성될 것이다. 따라서, 배경기술에서 전술된 p형 기판의 모든 장점이 유지된다. 웨일-형 구조는 또한 기판으로부터 확산 성분을 제거함으로써 암전류를 감소시킨다.

[0031]

전형적인 종래 기술의 CMOS 이미지 센서 핵셀의 상면도가 도 1에 도시되었다. 전형적인 핵셀은 광다이오드(PD), 광다이오드의 전하를 판독하는 전송 게이트(TG), 신호 전하를 전압 신호로 변환시키는 플로팅 확산부(FD), 자신의 게이트가 FD에 전기적으로 접속된 신호 베퍼로서의 역할을 하는 소스-폴로워(source-follower) 트랜지스터(SF), 소스-폴로워 트랜지스터의 출력을 열 출력 회로(도 1에 도시되지 않음)에 선택적으로 접속시키는 행-선택 트랜지스터(RS) 및 플로팅 확산부의 포텐셜을 리셋하는 리셋 게이트(RG)로 구성된다. 전력 공급 전압(VDD)은 핵셀의 리셋 동작 동안 소스 폴로워에 전력을 제공하고 신호 전하를 플로팅 확산부로부터 유출시키는 데에 사용된다.

[0032]

전형적인 종래 기술의 CMOS 이미지 센서 핵셀은 도 2a-2c에서 예시로서 도시된 바와 같이 p+ 형 피닝 층을 갖는 핀드 광다이오드 및 p-/p++ 에피택셜 실리콘 웨이퍼 상에 설계된 n형 저장 영역을 포함한다. 공핍 영역 깊이(도 2a 및 2c에 도시됨)는 광다이오드의 수집 경계를 규정한다. 종래 기술의 광다이오드의 중심을 통과하는 예시적인 도핑 프로파일이 도 2b에 도시되었다. 수집 영역(즉, 공핍 영역 경계) 내에서 생성된 보다 얕은 파장의 광으로부터 발생된 전하 캐리어(전자)는 신호 전하로서 획득 및 저장된다. 이 공핍 깊이를 지나서 생성된 보다 긴 파장의 광으로부터 발생된 전하 캐리어는 열 확산을 통해 임의의 방향으로 자유롭게 확산한다. 횡방향으로 확산하고 인접하는 핵셀에 의해 수집되는 임의의 전하는 전기적 크로스토크라 지칭된다.

[0033]

크로스토크는 비-발광 핵셀(들) 내의 신호 대 발광 핵셀(들) 내의 신호의 비(ratio)로 규정함으로써 정량화될 수 있으며, 분수 또는 백분율로 표현될 수 있다. 따라서, 크로스토크는 자신이 발생된 핵셀(들)에 의해 수집되지 않은 신호의 상대적인 양을 나타낸다. 예시적인 종래 기술의 핵셀에 있어서 공핍 깊이에 대한 크로스토크의 의존도가 도 3에 도시되었다. 크로스토크 계산은 하나의 라인을 따라 다른 모든 핵셀들이 발광하고 있음을 (그리고 교번하는, 인터리빙된 핵셀은 발광하지 않고 있음을) 가정한다. 이때 650nm의 파장이 가정되며, 이것은 보다 긴 파장에서 흡광계수(optical absorption coefficient)가 더욱 낮음으로 인해 크로스토크가 보다 긴 파장에서 문제시되기 때문이다(즉, 광자는 보다 깊이 흡수된다). 이러한 특성으로부터 공핍 깊이를 증가시키면 크로스토크를 감소시킬 수 있지만, 공핍 깊이가 3μm에 달할 때까지도 크로스토크가 0이 되지는 않음을 알 수 있으며, 이는 650nm에서의 실리콘에 대한 흡광계수에 대해서는 대략 1이다.

[0034]

본 발명의 PMOS 핵셀 아키텍처의 단면이 도 4a에 도시되었다. 이러한 핵셀 구조를 포함하는 예시적인 CMOS 이미지 센서의 상면도가 도 4b에 도시되었다. 광다이오드의 중심을 통과하는 예시적인 도핑 프로파일이 도 4c에 도시되었다. 비어있는 광다이오드의 중심을 통과한 예시적인 포텐셜 프로파일이 도 4d에 도시되었다. 도 4a 및 4c에 의해 알 수 있는 바와 같이, 본 발명의 핀드 광다이오드(10)는 p-/p++ 에피택셜 기판(50) 상의 n형 웨(40) 내에 설계된 n+ 피닝 층(20) 및 p형 내장(buried) 저장 영역(30)을 포함한다. 본 발명의 광다이오드의 표면 피닝 층(20)이 n형이기 때문에, 비소가 사용될 수 있다. 이는 봉소와 비교하여 비소의 임플란트 범위가 더욱 얕기 때문에 얕은 피닝 층을 생성하는 것을 보다 쉽게 만든다. (종래 기술 구조에서는 일반적으로 봉소가 p형 피닝 층으로 사용되었다.) 또한, 광다이오드의 저장 영역(30)이 n형이 아닌 p형이기 때문에 봉소가 사용될 수 있으며, (종래 기술 구조의 저장 영역에서 요구되는 인 또는 비소보다 긴 임플란트 범위를 가짐) 그에 따라 임플란트를 깊게 제조하는 것이 쉬워진다. 도 4a에 도시된 바와 같이 n+ 피닝 층(20)은 전형적인 STI(shallow trench isolation) 둘레의 n+ 형 분리 임플란트(60)를 통해 n-웨(40)에 전기적으로 접속된다. 이러한 피닝 층(20)은 다이오드의 표면에 (전자의) 축적을 유지한다. 신호 전하는 핀드 광다이오드(10)의 p형 내장 저장 영역(30)에 홀의 형태로 저장된다. n형 웨(40)은 도 4b에 도시된 상면도에 의해 나타내어진 바와 같이 복수의 핵셀을 구비하는 이미지 영역(70) 내에만 형성된다. 이러한 웨(40)을 오직 이미지 영역(70) 내에만 형성함으로써, 이미지 센서(75)는 p형 기판의 모든 이익을 유지하는 동시에 표준 주류 CMOS 디바이스 및 아날로그 또는 디지털 회로(80), 디지털 로직(90), 행 디코더(100) 및 열 디코더(110) 내의 회로를 사용한다. n-웨(40)의 형성이 다른 디바이스 구조에 영향을 미치지 않도록 n-웨(40)을 프로세스 시작 시에 형성하는 것이 바람직하다. 예를 들어, 만약 n-웨(40)이 임플란트 또는 열 드라이브에 의해 형성된다면, 이것을 표준 CMOS 프로세싱에 앞서 수행함으로써, 이미지 영역을 둘러싸는 CMOS 지원 회로 내에서 사용된 디바이스에 의해 요구되는 바와 같이 열 드라이브 단계가 얕은 접합 영역의 확산을 발생시키지 않을 것이다. 이러한 n-웨(40) 내에서 형성될 때, 핵셀의 전송 게이트(TG), 리셋 게이트(RG) 및 소스 폴로워(SF) 트랜지스터는 모두 p형 금속 산화물 실리콘(게이트는 일반적으로 금속이 아닌 폴리실리콘이고, 때때로 유전체가 단지 산화물인 것은 아니다), 전계 효과 트랜지스터(PMOS FET)인 것이 바람직하다. 소스 폴로워 증폭기(SF)의 출력과 직렬연결된 행 선택 트랜지스터(RS)(도시되지 않음) 또한 PMOS 디바이스일 것이다. 주변 지원 CMOS 회로(80, 90, 100, 110)의 전부는 p-/p++ 에피택셜 기판 내에서 형성된다. 기판은 접지하고 n-웨(40)은 VDD와 같은 편리한 포지티브 바이어스에서 바이어스된다. 이미지 수집 후에 (또는 그 동안에), 플로팅 확산부(FD)는 광다이오드로부터의 신호 전송에 앞서 리셋 게이트(RG) 상의 네거

티브 고잉 펄스(negative going pulse)를 사용하여 리셋된다. 편리한 FD 리셋 전압 레벨은 접지이다. 플로팅 확산부가 리셋된 후, (즉, RG 펄스 후) 광다이오드로부터 플로팅 확산부로의 전하(홀)의 전달이 전송 게이트(TG) 상의 네거티브 고잉 펄스에 의해 개시된다. 이러한 펄스로 사용되는 편리한 클록 전압(VDD)의 예시가 도 4a에 도시되었다. 다른 전압이 본 발명의 범주로부터 벗어나지 않는 한 사용될 수 있다. 본 발명의 구조에서 신호 전하는 홀이기 때문에, 플로팅 확산부 및 소스 폴로워(SF) 출력 상에서의 신호 스윙은 포지티브 고잉일 것이다. 광다이오드 수집 영역(30) 아래의 n-웰(40) 내에서 발생되는 임의의 광신호(홀)가 이웃하는 핀드 광다이오드(10)로 확산되기 이전에 기판(50)으로 흡수되며, 그에 따라 전기적인 크로스토크가 제거된다. 신호는 당업자에게 잘 알려진 바와 같은 일반적인 방식으로 침으로부터 판독될 수 있다. 이러한 구조를 나타내는 기판과 광다이오드 사이의 포텐셜 장벽 또한 기판(별크)으로부터 광다이오드로의 암전류의 확산 성분을 제거한다.

[0035] p형 기판 상의 n-웰 내에 설계된 핀드 광다이오드를 갖는 본 발명의 픽셀 구조에 대한 전기적 크로스토크는 도 5에 도시된 바와 같이 크게 감소된다. 크로스토크는 다양한 공핍 깊이에서 성크 깊이(sink depth)(캐리어가 기판으로 흐른 지나온 깊이)에 대해 도시되었다. 계산은 1994년 10월 출간된 IEEE Trans. on Electron Devices, vol. 41, no. 10, p.1753에서 E.G.Stevens와 J.P.Lavine에 의해 기술된 방법에 의해 수행된다. 이러한 샘플 방법에 있어서, 깊이에 대한 일정한 n-웰 도핑 농도가 가정된다. n-웰이 바람직하게 이온 주입을 통해 형성되는 실질적인 디바이스에 있어서, 결과적인 도핑 기울기(도 4c에 도시된 바와 같음)는 n-웰 내의 소수 캐리어(홀)이 기판으로 향하여 전기적 크로스토크 및 기판 암전류 성분의 실질적인 제거를 나타내는 포텐셜 기울기(도 4d에 도시된 바와 같음)를 생성한다.

[0036] 도 6을 참조하면, 종래의 소비자에게 친숙한 전형적인 상업적 실시예를 나타내는, 본 발명의 이미지 센서(75)를 구비한 디지털 카메라(120)가 도시되었다.

[0037] 도시된 본 발명의 바람직한 실시예가 p형 에피 기판 상의 n-웰 내의 n+ 피닝 (상단 표면) 층 및 p형 내장 수집 영역을 구성된 핀드 광다이오드를 포함하지만, 당업자는 본 발명의 범주로부터 벗어나지 않는 한 다른 구조가 사용될 수도 있음을 이해할 것이다. 예를 들어, 원한다면 n형 웰 내에 형성되어 단순히 피닝되지 않은 p형 다이오드가 사용될 수 있다. 또한, 단순한 비공유 픽셀 아키텍처가 도시되었지만, (예로서 미국 특허 6,107,655에서와 같은) 공유 아키텍처가 본 발명의 범주로부터 벗어나지 않는 한 사용될 수 있다.

### 도면의 간단한 설명

[0009] 도 1은 전형적인 종래 기술의 CMOS 이미지 센서에서 사용되는 이미지 영역 픽셀의 상면도,

[0010] 도 2a는 전형적인 종래 기술의 핀드 광다이오드 검출기의 전송 게이트 및 플로팅 확산부를 통한 단면도를 통해 획득된 2차원 도핑 구조의 개략도,

[0011] 도 2b는 종래 기술의 광다이오드의 중심을 통과한 실리콘 내로의 깊이 대 1차원 도핑 프로파일을 도시한 도면,

[0012] 도 2c는 종래 기술의 광다이오드의 중심을 통과한 실리콘 내로의 깊이 대 1차원 포텐셜 프로파일을 도시한 도면,

[0013] 도 3은 종래 기술의 CMOS 액티브 픽셀 이미지 센서 픽셀의 공핍 깊이 대 픽셀 대 픽셀 크로스토크의 2차원 계산의 예시적인 결과를 도시한 도면,

[0014] 도 4a는 전송 게이트, 플로팅 확산부 및 리셋 게이트를 통한 단면도를 통해 획득된 본 발명의 PMOS 픽셀 구조에 대한 2차원 도핑 구조의 개략도,

[0015] 도 4b는 도 4a의 이미지 센서에 대한 예시적인 레이아웃의 상면도,

[0016] 도 4c는 본 발명의 PMOS 픽셀 구조의 중심을 통과하는 실리콘 내로의 깊이 대 1차원 도핑 프로파일을 도시한 도면,

[0017] 도 4d는 본 발명의 PMOS 픽셀 구조의 중심을 통과하는 실리콘 내로의 깊이 대 1차원 포텐셜 프로파일을 도시한 도면,

[0018] 도 5는 웰 내에서 설계된 본 발명의 PMOS 픽셀 구조에서 다양한 광다이오드 공핍 깊이에 대한 픽셀 대 픽셀 크로스토크 대 오버플로우 또는 성크 깊이의 2-D 계산 결과를 도시한 도면,

[0019] 도 6은 종래의 소비자에게 친숙한 본 발명의 전형적인 상업적 실시예를 나타낸 디지털 카메라를 도시한 도면.

[0020] 도면의 각 부분의 명칭

[0021] 10 : 핀드 광다이오드 20 : n+ 피닝 층

[0022] 30 : p형 내장(buried) 저장 영역 40 : n-웰

[0023] 50 : p-/p++ 에피택셜 기판 60 : n+ 형 분리 임플란트

[0024] 70 : 이미지 영역 75 : 이미지 센서

[0025] 80 : 아날로그 또는 디지털 회로 90 : 디지털 로직

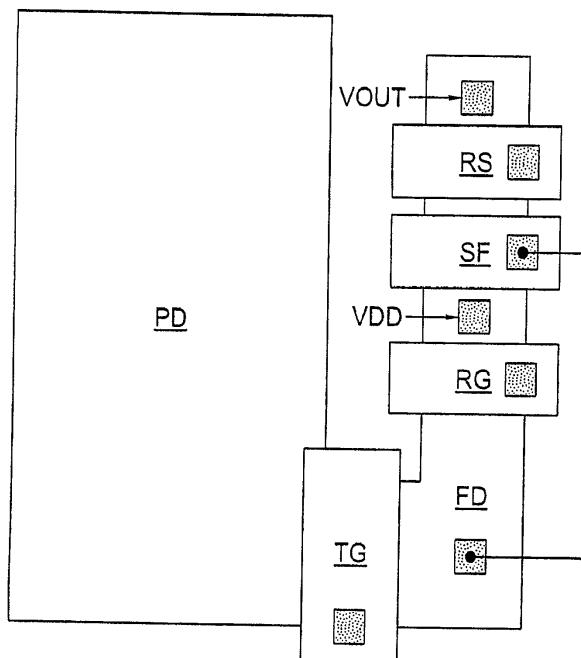
[0026] 100 : 행 디코더 110 : 열 디코더

[0027] 120 : 디지털 카메라

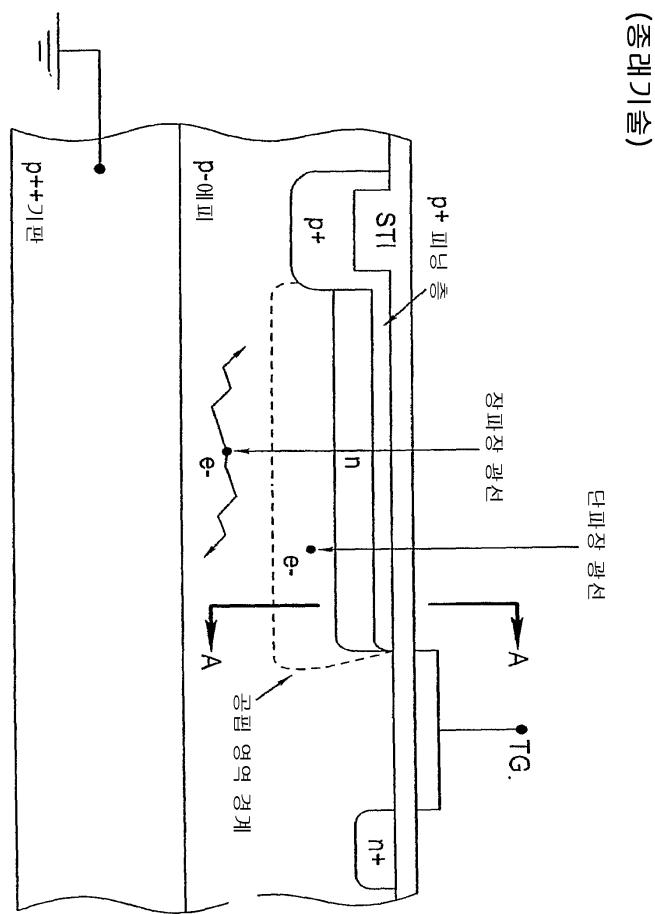
## 도면

### 도면1

(종래기술)

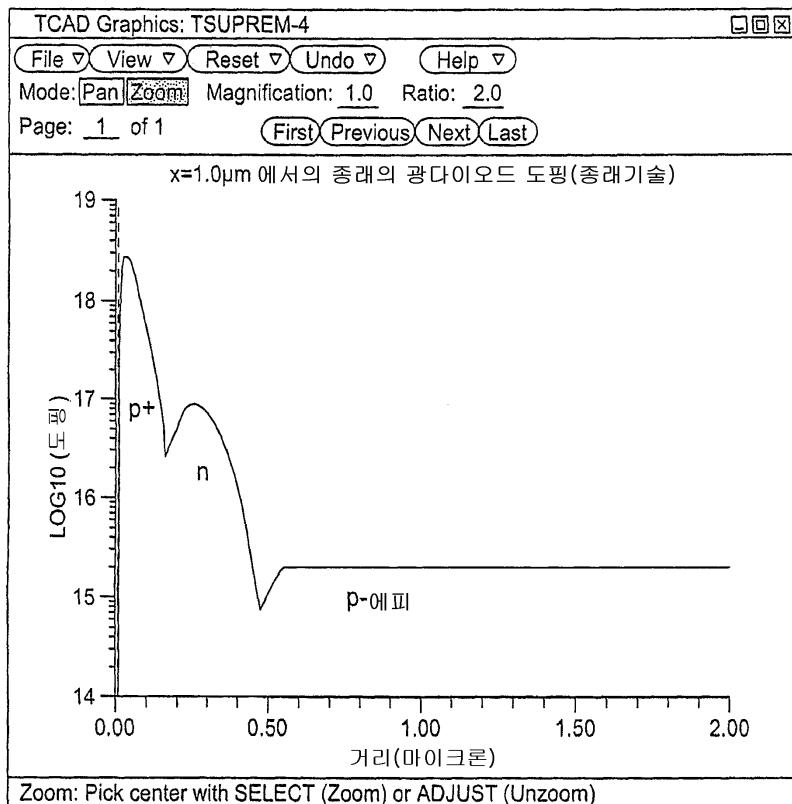


도면2a

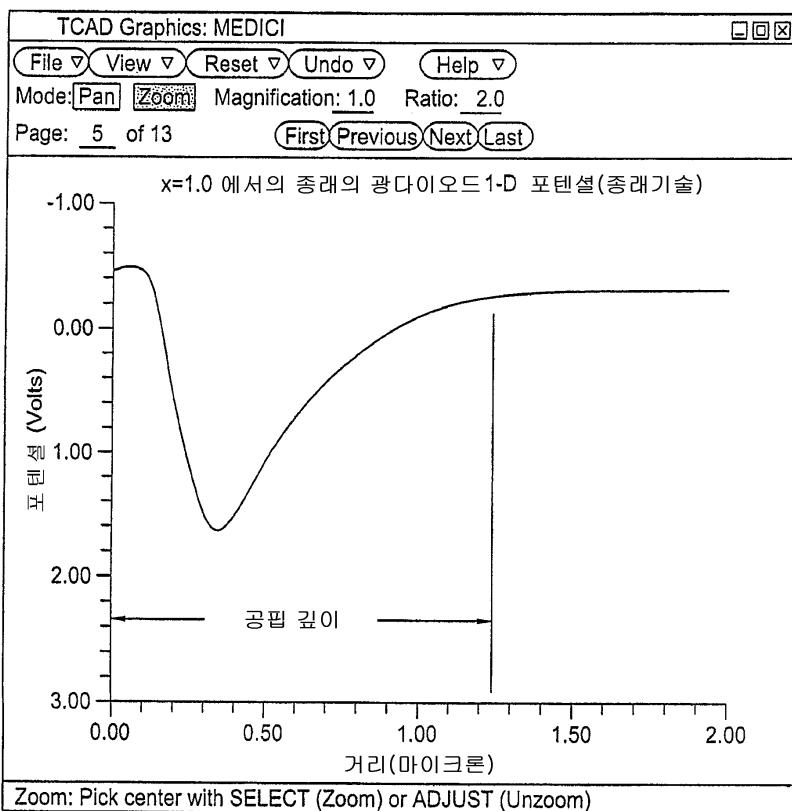


## 도면2b

(종래기술)



도면2c

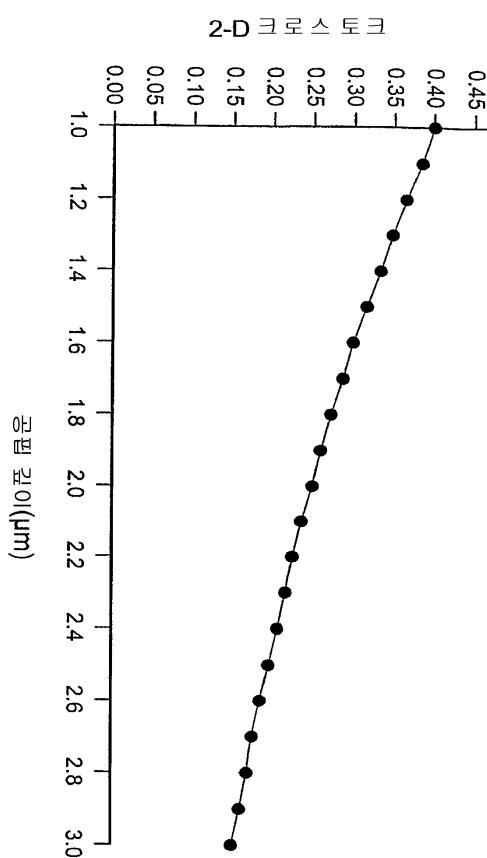


## 도면3

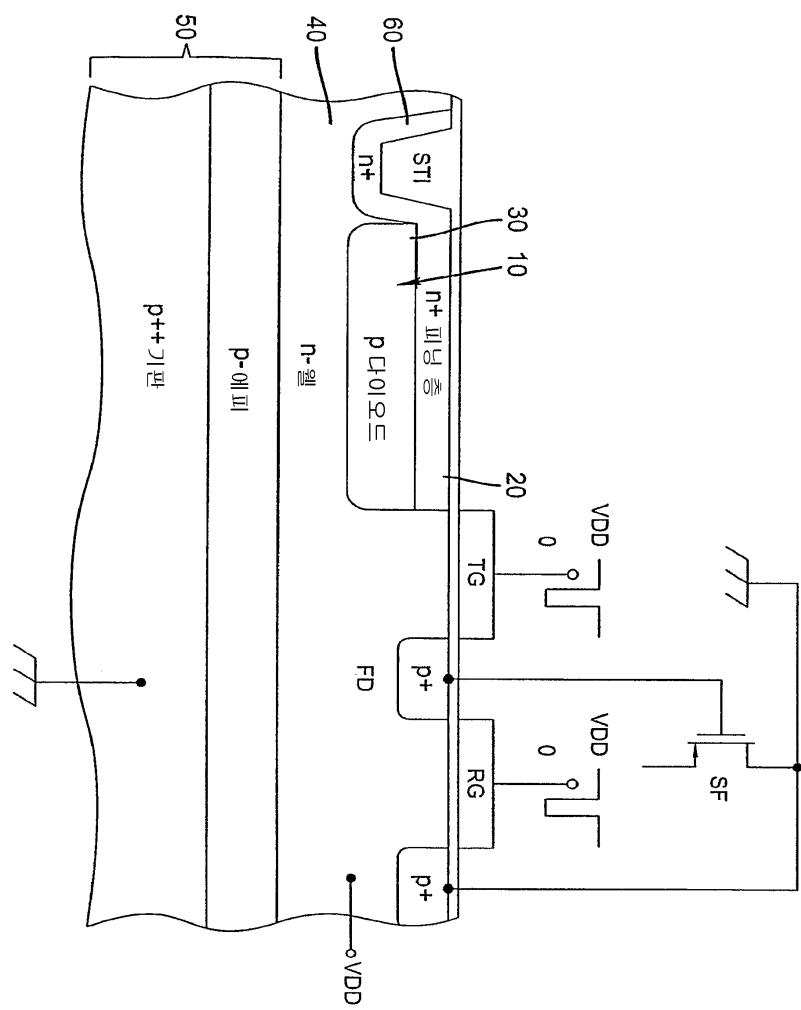
(종래기술)

 $p=2.7\mu m, Ne=2E15, Ns=5E18, \tau_{el-e}=6\mu s, \tau_{el-s}=0.6\mu s, T_e=5\mu m, T_s=15\mu m$ 

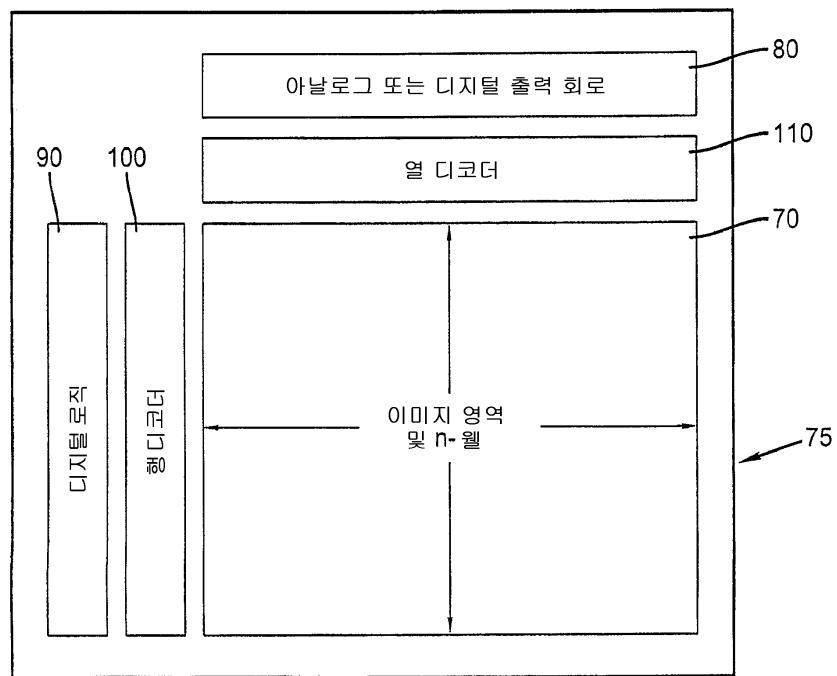
—●— 650 nm xtalk



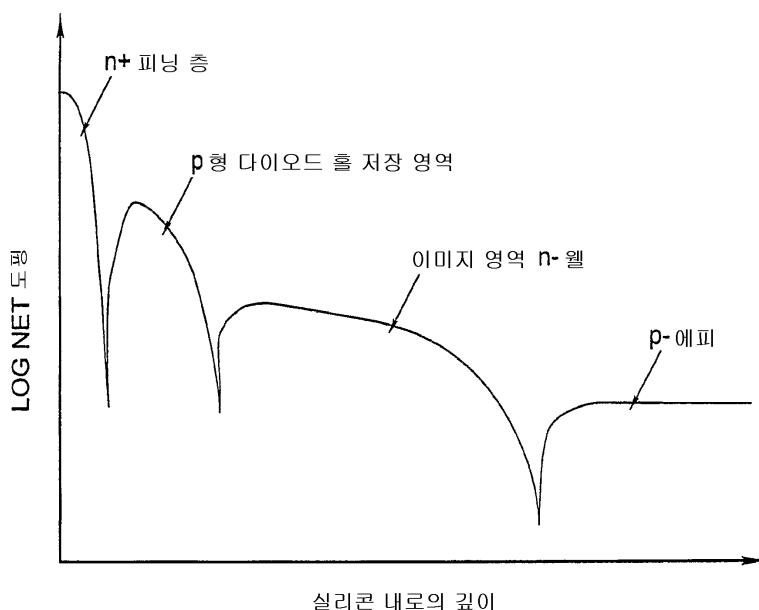
도면4a



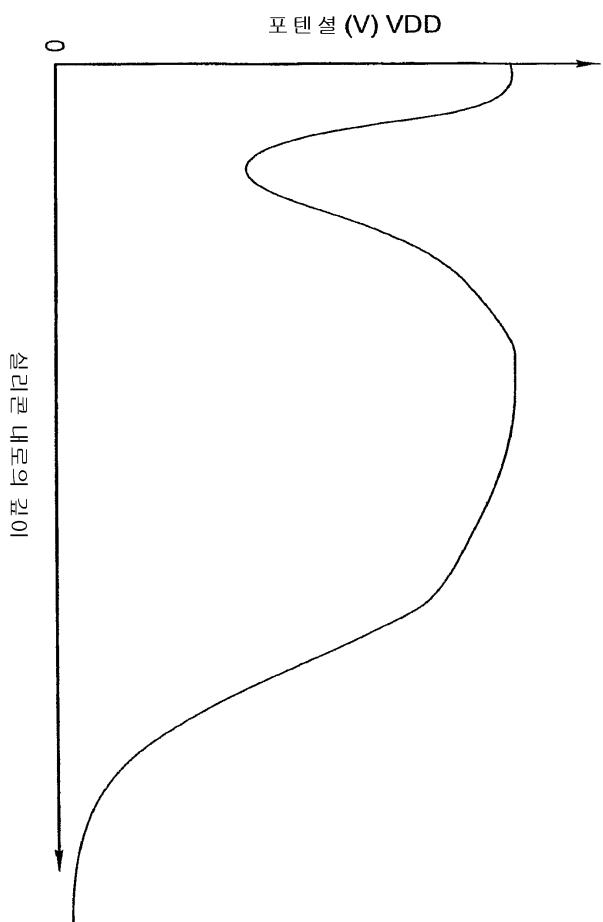
도면4b



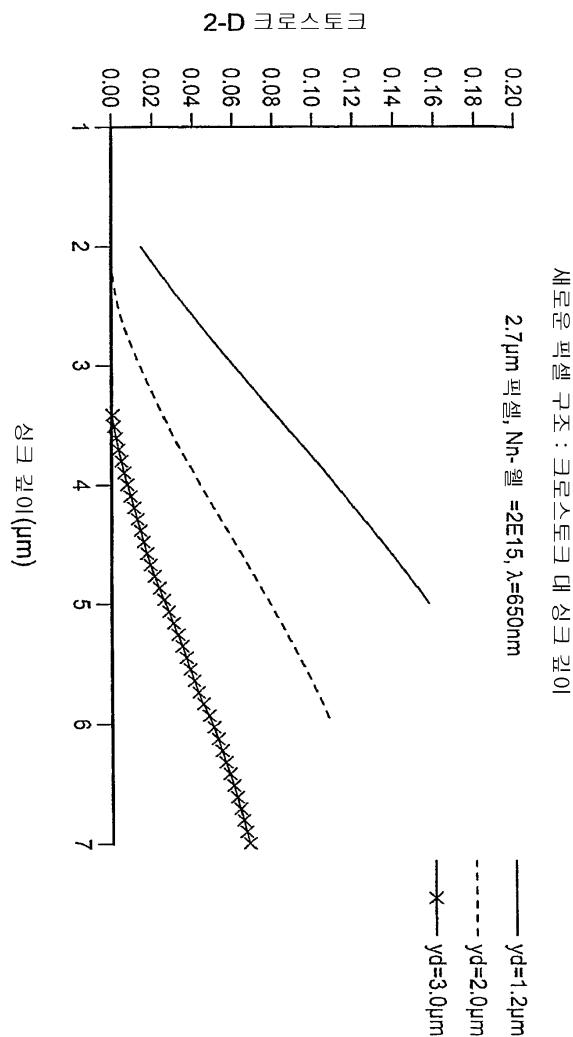
도면4c



도면4d



도면5



도면6

