



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I511562 B

(45)公告日：中華民國 104 (2015) 年 12 月 01 日

(21)申請案號：102112746

(22)申請日：中華民國 102 (2013) 年 04 月 10 日

(51)Int. Cl. : **H04N5/378 (2011.01)**

(30)優先權：2012/12/27 美國

13/728,716

(71)申請人：豪威科技股份有限公司 (美國) OMNIVISION TECHNOLOGIES, INC. (US)
美國

(72)發明人：喬韓森 羅伯 JOHANSSON, ROBERT (NO)

(74)代理人：陳長文

(56)參考文獻：

US 7391452B2

審查人員：黃冠霖

申請專利範圍項數：20 項 圖式數：4 共 26 頁

(54)名稱

用於減少像素陣列讀出時間之轉換電路

CONVERSION CIRCUITRY FOR REDUCING PIXEL ARRAY READOUT TIME

(57)摘要

本發明係關於一種影像感測器，其包括具有以列及行配置之像素之一像素陣列、一第一逐次逼近暫存器(「SAR」)類比至數位轉換器(「ADC」)、一第二 SAR ADC 及第一及第二控制電路。該第一 SAR ADC 包括共用耦合至一第一比較器且經耦合以接收第一類比像素信號之一第一共用終端之一第一電容器陣列(「FCA」)。該第二 SAR ADC 包括共用可選擇性地耦合至一第二比較器且經耦合以接收第二類比像素信號之一第二共用終端之一第二電容器陣列(「SCA」)。第一及第二控制模組經耦合以在與可選擇性地將該 SCA 之底板自一高參考電壓切換至低參考電壓相同之時間可選擇性地將該 FCA 之底板自一低參考電壓切換至高參考電壓。

An image sensor includes a pixel array having pixels arranged in rows and columns, a first successive-approximation-register (“SAR”) analog-to-digital-converter (“ADC”), a second SAR ADC, and first and second control circuitry. The first SAR ADC includes a first capacitor array (“FCA”) that shares a first common terminal coupled to a first comparator and coupled to receive first analog pixel signals. The second SAR ADC includes a second capacitor array (“SCA”) that shares a second common terminal selectably coupled to a second comparator and coupled to receive second analog pixel signals. The first and second control modules are coupled to selectably switch bottom plates of the FCA from a low reference voltage to the high reference voltage at a same time as selectably switching bottom plates of the SCA from a high reference voltage to the low reference voltage.

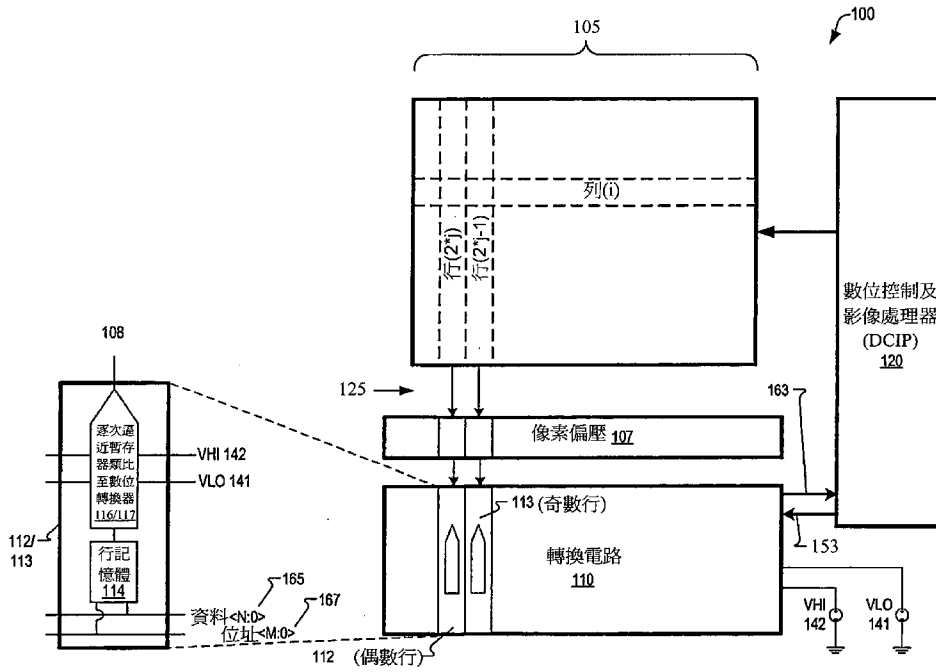


圖 1

- 100 . . . 影像感測器
- 105 . . . 像素陣列
- 107 . . . 像素偏壓電路
- 108 . . . 經偏壓像素信號
- 110 . . . 轉換電路
- 112 . . . 偶數行轉換模組/轉換模組
- 113 . . . 奇數行轉換模組/轉換模組
- 114 . . . 行記憶體電路
- 116 . . . 逐次逼近暫存器類比至數位轉換器
- 117 . . . 逐次逼近暫存器類比至數位轉換器
- 120 . . . 數位控制及影像處理器
- 125 . . . 讀出行線
- 141 . . . 低參考電壓/VLO/參考
- 142 . . . 高參考電壓/VHI/參考
- 153 . . . 控制信號
- 163 . . . 數位影像資料
- 165 . . . 資料信號
- 167 . . . 位址信號

發明摘要

※ 申請案號：102110746

※ 申請日：102.4.10

※ IPC 分類：H04N 5/378^(2011.01)

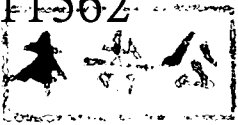
【發明名稱】

用於減少像素陣列讀出時間之轉換電路

CONVERSION CIRCUITRY FOR REDUCING PIXEL ARRAY
READOUT TIME

【中文】

本發明係關於一種影像感測器，其包括具有以列及行配置之像素之一像素陣列、一第一逐次逼近暫存器(「SAR」)類比至數位轉換器(「ADC」)、一第二SAR ADC及第一及第二控制電路。該第一SAR ADC包括共用耦合至一第一比較器且經耦合以接收第一類比像素信號之一第一共用終端之一第一電容器陣列(「FCA」)。該第二SAR ADC包括共用可選擇性地耦合至一第二比較器且經耦合以接收第二類比像素信號之一第二共用終端之一第二電容器陣列(「SCA」)。第一及第二控制模組經耦合以在與可選擇性地將該SCA之底板自一高參考電壓切換至低參考電壓相同之時間可選擇性地將該FCA之底板自一低參考電壓切換至高參考電壓。



【英文】

An image sensor includes a pixel array having pixels arranged in rows and columns, a first successive-approximation-register ("SAR") analog-to-digital-converter ("ADC"), a second SAR ADC, and first and second control circuitry. The first SAR ADC includes a first capacitor array ("FCA") that shares a first common terminal coupled to a first comparator and coupled to receive first analog pixel signals. The second SAR ADC includes a second capacitor array ("SCA") that shares a second common terminal selectably coupled to a second comparator and coupled to receive second analog pixel signals. The first and second control modules are coupled to selectably switch bottom plates of the FCA from a low reference voltage to the high reference voltage at a same time as selectably switching bottom plates of the SCA from a high reference voltage to the low reference voltage.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

100	影像感測器
105	像素陣列
107	像素偏壓電路
108	經偏壓像素信號
110	轉換電路
112	偶數行轉換模組/轉換模組
113	奇數行轉換模組/轉換模組
114	行記憶體電路
116	逐次逼近暫存器類比至數位轉換器
117	逐次逼近暫存器類比至數位轉換器
120	數位控制及影像處理器
125	讀出行線
141	低參考電壓/VLO/參考
142	高參考電壓/VHI/參考
153	控制信號
163	數位影像資料
165	資料信號
167	位址信號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

用於減少像素陣列讀出時間之轉換電路

CONVERSION CIRCUITRY FOR REDUCING PIXEL ARRAY
READOUT TIME

【技術領域】

本發明大體上係關於光學器件，且特定而言，但不排他地，係關於影像感測器。

【先前技術】

影像感測器用於許多應用中，舉例而言，數位相機、蜂巢式電話、保全相機，以及各種其他醫療、汽車、軍事及其他應用。隨著影像感測器在日常生活中變得普遍，消費者及行業需要較快、較小及較低功率之影像感測器。在一些應用中，影像感測器必須依序且較佳地以一高圖框速率擷取影像。然而，習知影像感測器受到多種因素限制而不能以一高圖框速率產生高品質影像。

限制一給定影像感測器之圖框速率之因素之一者係將來自一像素陣列之類比像素信號轉換成數位影像值之轉換電路之速度。在轉換電路內，一些影像感測器依賴逐次逼近暫存器(「Successive Approximation Register, SAR」)類比至數位轉換器(「ADC」)以將類比像素信號轉換成數位影像值。因此，提高轉換電路內之SAR ADC之速度將為有利的。

【圖式簡單說明】

參考以下圖式描述本發明之非限制及非詳盡實施例，其中除非另有指示，否則相同參考數字在所有各種視圖中指代相同部件。

圖1繪示根據本發明之一實施例之包括用於讀出一像素陣列之實

例轉換電路之一影像感測器之一系統圖。

圖2A及圖2B繪示根據本發明之一實施例之安置在圖1中繪示之轉換電路內之SAR ADC之實例組態。

圖3A及圖3B分別繪示根據本發明之一實施例之與圖2A及圖2B之SAR ADC相關聯之實例時序序列。

圖4展示繪示根據本發明之一實施例之讀出一像素陣列之一實例方法之一流程圖。

【實施方式】

在本文中描述用於減少像素陣列讀出時間之一系統及方法之實施例。在以下描述中，闡述許多特定細節以提供對實施例之一透徹理解。然而，熟悉此項技術者將認識到，可在沒有該等特定細節之一或多者之情況下實踐本文中描述之技術，或可用其他方法、組件、材料等等實踐本文中描述之技術。在其他例子中，未展示或詳細描述眾所周知之結構、材料或操作以避免模糊某些態樣。

整個本說明書中對「一個實施例」或「一實例」之參考意謂結合該實施例描述之一特定特徵、結構或特性包括在本發明之至少一個實施例中。因此，在整個本說明書之各種地方出現片語「在一個實施例中」或「在一實施例中」不必全都指代同一實施例。此外，可在一或多個實施例中以任何合適方式組合特定特徵、結構或特性。

圖1為包括耦合至一數位控制及影像處理器(「DCIP」)120之一像素陣列105之一影像感測器100之一方塊圖。像素陣列105耦合至像素偏壓電路107，該像素偏壓電路107耦合至習知轉換電路110。DCIP 120耦合至像素陣列105以控制像素陣列105之操作特性。舉例而言，DCIP 120可產生一快門信號以用於控制影像獲取。該快門信號可為一全域快門信號或一滾動快門信號。

如所繪示，像素陣列105包括以列及行配置之一二維像素陣列。

在影像獲取期間，像素陣列105中之像素之每一者可自光子撞擊像素之一光敏元件來產生影像電荷。像素陣列105中之每一像素可為一互補金屬氧化物半導體(CMOS)像素。

在每一像素已獲取其影像電荷之後，轉換電路110讀出表示所產生之影像電荷之類比像素信號且將該等類比像素信號轉換成數位影像資料163。DCIP 120耦合至轉換電路110以自轉換電路110接收數位影像資料163。像素偏壓電路107可耦合在轉換電路110與像素陣列105之間以在類比像素信號被轉換電路110轉換之前使該等類比像素信號偏壓。

轉換電路110可沿著讀出行線125一次讀出一列影像資料。在圖1中，轉換電路110包括用於像素陣列105之每一行之轉換模組111及112以轉換在該等行之每一者中產生之類比像素信號。在所繪示之實施例中，偶數行轉換模組112經組態以接收由像素陣列105之一偶數行(行2j)產生之類比像素信號，且奇數行轉換模組113經組態以接收由像素陣列105之一奇數行(行2j-1)產生之類比像素信號。

轉換模組112/113之放大視圖(如由虛線標記)展示偶數行轉換模組112包括SAR ADC 116且奇數行轉換模組113包括SAR ADC 117。每一SAR ADC 116/117經耦合以接收一低參考電壓141及一高參考電壓142。此外，每一轉換模組112/113包括經耦合以自DCIP 120接收控制信號153之行記憶體電路114。實例控制信號可包括位址信號167。行記憶體電路114亦可經耦合以輸出包括數位影像信號之資料信號165。

圖2A繪示可包括在轉換電路110之偶數行轉換模組112中之一SAR ADC 116。FCA 230中之電容器(234A至234N)之每一者之頂板連接至共用終端222且共用終端222耦合至比較器250之一輸入。在所繪示之實施例中，共用終端222可選擇性地經耦合以接收在像素陣列105之一第一行(諸如，2j)中產生之類比像素信號。FCA 230之底板可選

擇性地經耦合自低參考電壓141切換至高參考電壓142，以在起始一二進制搜尋序列時對FCA 230之電容器(諸如，MSB電容器234N)充電。在一個實施例中，如所繪示，FCA 230之底板可選擇性地經耦合以藉由開關233A至233N自低參考電壓141切換至高參考電壓142。可使用電晶體來實施開關233A至233N。

FCA 230包括N個電容器，其中N為SAR ADC 116之解析度之位元之數目。FCA 230內之電容器值經組態以執行一二進制搜尋序列。在圖2A中，電容器經二進制加權，此意謂一最低有效位元(「LSB」)電容器234A具有一值C，且FCA 230中之每一個後續電容器具有約為先前電容器之兩倍大之一值，直至最高有效位元(「MSB」)電容器234N具有約 $2^{(N-1)} \cdot C$ 之一值，其中N為SAR ADC 116中之解析度之位元之數目。

圖3A繪示與圖2A之SAR ADC 116相關聯之一時序序列。為完成一類比至數位轉換，執行一二進制搜尋序列。開始時，將來自一行之一輸入電壓(諸如，經偏壓像素信號108)取樣至FCA 230之共用終端222上。在已將輸入電壓取樣至FCA 230之共用終端222上之後，將與該輸入電壓成比例之一電荷儲存在FCA 230上。接著，開關233N將MSB電容器234N之一底板自低參考電壓141耦合至高參考電壓142，此將MSB電容器234N自低充電至高。對MSB電容器234N充電表示高參考電壓142之 $1/2$ 。接著將比較器輸入251上之電壓與比較器250之正輸入上之共用電壓(諸如，接地)進行比較，且比較器250輸出指示輸入電壓是低於高參考電壓142之 $1/2$ 還是高於高參考電壓142之 $1/2$ 之一數位位元。若輸入電壓高於高參考電壓142之 $1/2$ ，則設定暫存器242A且開關233繼續將MSB電容器234N之底板耦合至高參考電壓142。否則，不設定暫存器242N且開關233N將MSB電容器234N之底板耦合至低參考電壓141。如此項技術中所知，二進制搜尋序列通過在FCA

230中之電容器繼續下行直至藉由設定暫存器242A至242N而判定輸入電壓之一數位值為止。

圖2B繪示可包括在轉換電路110之奇數行轉換模組113中之一SAR ADC 117。第二電容器陣列(「SCA」)231中之電容器(239A至239N)之每一者之頂板連接至共用終端223且共用終端223耦合至比較器260之一輸入。在所繪示之實施例中，共用終端223可選擇性地經耦合以接收在像素陣列105之一第二行(諸如， $2j-1$)中產生之類比像素信號。SCA 231包括N個電容器，其中N為SAR ADC 117之解析度之位元之數目，其與SAR ADC 116之位元之數目相同。SCA 231內之電容器值經組態以用於執行一二進制搜尋序列。在圖2B中，電容器經二進制加權。

SCA 231之底板經耦合以自高參考電壓142切換至低參考電壓141以在起始一二進制搜尋序列時對SCA 231之電容器(諸如，MSB電容器239N)充電。因此，應注意，SAR ADC 116及SAR ADC 117將其等電容器充電至相反之電壓參考，其可具有相反之極性。SAR ADC 116及SAR ADC 117亦經耦合以回應於來自DCIP 120之控制信號153而在實質上相同之時間對其等電容器充電。第一控制電路270經耦合以在實質上與第二控制電路280回應於控制信號而可選擇性地將SCA 231之底板自VHI 142切換至VLO 141相同之時間，回應於控制信號(諸如，控制信號153)而可選擇性地將FCA 230之底板自VLO 141切換至VHI 142。

為校正SCA 231被充電至與FCA 230相反之一參考之事實，對SAR ADC 117做出調整(與SAR ADC 116相比)以仍然產生適當數位電壓輸出。在圖2B之所繪示之實施例中，反相器255經耦合以使由像素陣列105中之第二行產生之類比像素信號($V_{IN} < 2j-1 >$)反相，且移除耦合至SAR ADC 116中之比較器250之輸出之反相器257。此外，來自暫

存器247A至247N之Q_B信號經反相以適當地控制開關238A至238N在VLO 141與VHI 142之間之切換。使用對SAR ADC 117之此等調整，SAR ADC 116及SAR ADC 117可回應於相同控制信號產生一給定類比像素信號之相同期望數位值。換言之，即使在將其等電容器充電至相反電壓參考之情況下，若SAR ADC 116及SAR ADC 117如圖2A及圖2B中組態，則可不需要對系統之剩餘部分(諸如，不同控制信號)進行調整。在一個實施例中，將反相器255實施為一反相放大器(具有負1之一增益)。

習知影像感測器未經組態以具有擁有SAR ADC(其具有充電至相反電壓參考之電容器)之轉換電路。在一些習知影像感測器中，轉換電路中之所有SAR ADC都是相同的且電容器陣列充電至相同電壓參考。此可引起較長之用於電壓參考之穩定時間，此係因為SAR ADC內部之電容器陣列全部藉由在SAR ADC之二進制搜尋序列期間自電壓參考汲取電荷而(在大約相同時間)負載相同電壓參考。

在圖1至圖3之所繪示之實施例中，在其等各自二進制搜尋序列期間將SAR ADC 116及SAR ADC 117之電容器陣列(在實質上相同之時間)充電至相反電壓參考可藉由簡單地在FCA 230與SCA 231之間再分配電荷而不是藉由再汲取自電壓參考(VLO 141及VHI 142)對電容器充電所需之所有電荷來減少電容器之充電時間。因此，已儲存在轉換電路110內之電荷用於快速地對電容器再充電，而不是如習知影像感測器中所發生的那樣等待電壓參考來供應所有所需電荷。藉由減少電容器之充電時間，二進制搜尋序列中之比較之間之穩定時間被減少，此促成較快之類比至數位轉換，其使得較高之圖框速率對於該影像感測器而言是可能的。

為進行繪示，圖3A及圖3B分別繪示根據本發明之一實施例之與圖2A及圖2B之SAR ADC相關聯之實例二進制搜尋時序序列。在圖3A

中，繪示SAR ADC 116之穩定時間。該等穩定時間主控電壓緩衝器(低電壓參考141及高參考電壓142)將電容(與一給定位元相關聯)自參考141充電至參考142所花費之時間。明確而言，時間週期391表示對MSB電容器234N充電及穩定電壓參考所花費之時間，且時間週期393繪示對LSB電容器234A充電及穩定電壓參考所花費之時間。在MSB電容器234N之情形中，其具有最大值(且花費最長之時間來充電)且為在二進制搜尋序列中被充電之第一電容器。因為對於每一個二進制搜尋序列MSB電容器234N被充電，所以減少其充電時間將提高SAR ADC之速度。此繼而可貢獻於影像感測器中之一較高圖框速率能力。

圖3A及圖3B展示即使FCA 230及SCA 231在其等各自二進制搜尋序列期間被充電至相反參考，SAR ADC 116及117亦可使用相同之控制信號以產生數位值。圖3A展示，在一二進制搜尋序列之開始處，VDAC<2j>回應於被取樣至共用終端222上之輸入電壓VIN<2j>。信號SEL<N-1>選擇MSB電容器234N且其底板自VLO 141切換至VHI 142，如時間週期391期間節點VDAC<2j>處之降低電壓所展示。類似地，在二進制搜尋序列結束處，信號SEL<0>選擇LSB電容器234A且其底板自VLO 141切換至VHI 142，如時間週期393期間節點VDAC<2j>處之升高電壓所展示。因為LSB 234A與MSB 234N相比電容值較小，所以與時間週期391相比，VDAC<2j>上之電壓變化在時間週期393期間是較低的。熟悉此項技術者將理解在時間週期391與時間週期393之間發生之未繪示之時序。

圖3B展示在與圖3A中展示之二進制搜尋序列同步(在實質上相同之時間處)發生之一第二二進制搜尋序列。在第二二進制搜尋序列之開始處，VDAC<2j-1>回應於被取樣至共用終端223上之輸入電壓VIN<2j-1>。信號SEL<N-1>選擇MSB電容器239N且其底板自VHI 142切換至VLO 141，如時間週期396期間節點VDAC<2j-1>處之降低電壓

所展示。類似地，在二進制搜尋序列之結束處，信號SEL<0>選擇LSB電容器239A且其底板自VHI 142切換至VLO 141，如時間週期398期間節點VDAC<2j-1>處之降低電壓所展示。如上文陳述，在實質上相同之時間將FCA 230及SCA 231中之電容器充電至不同參考可藉由減少電容器之充電時間而使穩定時間391、393、396及398加速(與先前技術相比)。電容器之經減少充電時間可使得較快圖框速率對於像素陣列105而言是可能的。

返回參考圖1，轉換電路110可包括經耦合以接收由像素陣列105之偶數行產生之類比像素信號之複數個偶數行轉換模組112，且轉換電路110可包括經耦合以接收由像素陣列105之奇數行產生之類比像素信號之複數個奇數行轉換模組113。如所展示，像素陣列105可包括以一每隔一個之組態配置之偶數行及奇數行。在本發明之範圍中之其他配置中，SAR ADC 116及SAR ADC 117可不必要如像素陣列105之偶數行及奇數行般嚴格配對。在此等其他配置中，可為有利的是，使轉換電路之一半包括SAR ADC 116且使另一半包括SAR ADC 117，如此，被充電至相反參考之電容係平衡的，此可藉由減少需要自電壓參考汲取之電荷而減少穩定時間。

在一些實施例中，像素陣列105可包括經組態以接收不同顏色之光之像素。在一個實施例中，由像素陣列之綠色像素產生之類比像素信號可由如SAR ADC 116經組態般而組態之SAR ADC轉換成數位信號，且由像素陣列之紅色及藍色像素產生之類比像素信號可由如SAR ADC 117經組態般而組態之SAR ADC轉換成數位信號。

圖4繪示根據本發明之一實施例之繪示讀出一像素陣列之一實施方法之一流程圖400。一些或所有程序區塊在程序400中出現之順序不應被認為是限制性的。相反，受益於本發明之一般技術者中將理解可以多種未繪示之順序執行或甚至並行執行程序區塊之一些。

在程序區塊405中，將在一像素陣列之一第一行中產生之一第一類比像素信號取樣至一第一電容器陣列(「FCA」)之一共用終端(諸如，共用終端222)上。可在像素陣列之一偶數行中產生該第一類比像素信號且可將該電容器陣列耦合至一第一比較器。在程序區塊410中，將在像素陣列之一第二行中產生之一第二類比像素信號取樣至一第二電容器陣列(「SCA」)之一共用終端(諸如，共用終端223)上。可在相同像素陣列之一奇數行中產生該第二類比像素信號且可將該電容器陣列耦合至與第一比較器不同之一第二比較器。可在將第二類比像素信號取樣至第二電容器陣列上之前使該第二類比像素信號反相。FCA及SCA可包括具有二進制加權值之電容器。

在程序區塊415中，將FCA之一MSB電容器(諸如，電容器234N)之底板自一低參考電壓切換至一高參考電壓以起始用於判定第一類比像素信號之一數位值之一二進制搜尋序列。在程序區塊420中，將SCA之一MSB電容器(諸如，電容器239N)之底板自一高參考電壓切換至一低參考電壓，以起始用於判定第二類比像素信號之一數位值之一二進制搜尋序列。MSB電容器之底板與耦合至各自共用終端之MSB電容器之頂板實體上相對。在實質上相同之時間切換兩個MSB電容器之底板，此在FCA與SCA之間再分配電荷且減少需要自低參考電壓及高參考電壓汲取之電荷量。

在程序400中之一個實施例中，在將第一類比信號取樣至FCA之共用終端上之前重設第一比較器且在將第二類比信號取樣至SCA之第二共用終端上之前重設第二比較器。可以列及行配置像素陣列之像素，且像素陣列之行可包括以每隔一個之組態交錯之偶數行及奇數行。像素陣列之第一行可為偶數的且像素陣列之第二行可為奇數的。

第一比較器及FCA可包括在一第一SAR ADC中且第二比較器及SCA可包括在一第二SAR ADC中。在一個實施例中，一第一SAR

ADC或一第二SAR ADC經耦合以接收由像素陣列之每一行產生之類比像素信號。可同步地控制第一及第二SAR ADC之總數目，使得在實質上相同之時間切換總數個FCA及SCA中之電容器，以在該等電容器上適當地再分配電荷。由像素陣列之綠色像素產生之類比像素信號可由第一SAR ADC轉換成數位信號，且由像素陣列之紅色及藍色像素產生之類比像素信號可由第二SAR ADC轉換成數位信號。

在上文論述圖2B時，描述對SAR ADC 117之修改，其將校正將SCA 231充電至與FCA 230相反之一極性。在一個實施例中，為校正相反極性，可消除SAR ADC 117中之反相器255，且替代地使取樣像素信號之順序逆轉。

通常，對於一四電晶體(「4T」)像素架構，可在浮動擴散(「FD」)及光電二極體(「PD」)被重設時開始取樣(其可稱為相關雙取樣「CDS」)。此使具自由電荷之PD空乏，使得重設操作不在PD中儲存雜訊電荷。第二，像素整合影像光。第三，重設FD且讀出一FD重設值。第四，接著將電荷自PD轉移至FD。第五，讀出FD值(其表示由像素整合之光)。總之，首先讀出重設值且其次讀出信號值。

為使取樣具有一4T架構之一像素之順序逆轉，可以重設FD及PD而開始取樣序列。第二，像素整合影像光。第三，重設FD。第三，將電荷自PD轉移至FD。第五，讀出信號值。第六，重設FD且讀出重設值。

使如何讀出像素之序列逆轉有效地實現與使類比像素信號反相相同之結果。因此，可以一逆轉序列讀出SAR ADC 117而不是包括反相器255。

值得注意的是，使讀出像素之序列逆轉不是CDS，CDS可貢獻於雜訊更大之讀出。然而，可在仍然藉由將重設值儲存在一儲存元件(諸如，一取樣及保持電路)中而將重設值之前之信號值供應至SAR

ADC 117時實施CDS。

根據電腦軟體及硬體描述上文解釋之程序。所描述之技術可構成在一有形或非暫時性機器(諸如，電腦)可讀儲存媒體內體現之機器可執行指令，當由一機器執行時該等指令將引起機器執行所描述之操作。此外，可在硬體(諸如，一特定應用積體電路(「ASIC」)或其他硬體)內體現該等程序。

一有形非暫時性機器可讀儲存媒體包括以一機器(諸如，一電腦、網路裝置、個人數位助理、製造工具、具有一組一或多個處理器之任何裝置等等)可存取形式提供(即，儲存)資訊之任何機構。舉例而言，一機器可讀儲存媒體包括可記錄/不可記錄媒體(諸如，唯讀記憶體(ROM)、隨機存取記憶體(RAM)、磁碟儲存媒體、光學儲存媒體、快閃記憶體裝置等等)。

對所繪示之本發明之實施例之以上描述(包括摘要中描述之內容)不希望為詳盡的或將本發明限於所揭示之精確形式。雖然出於繪示目的在本文中描述本發明之特定實施例及實例，但如熟悉此項技術者將認識到，在本發明之範圍內各種修改是可能的。

可根據以上詳細描述對本發明做出此等修改。隨附申請專利範圍中使用之術語不應被理解為將本發明限於說明書中揭示之特定實施例。相反，本發明之範圍完全由根據已確立之請求項解釋規則來理解之隨附申請專利範圍判定。

【符號說明】

100	影像感測器
105	像素陣列
107	像素偏壓電路
108	經偏壓像素信號
110	轉換電路

112	偶數行轉換模組/轉換模組
113	奇數行轉換模組/轉換模組
114	行記憶體電路
116	逐次逼近暫存器類比至數位轉換器
117	逐次逼近暫存器類比至數位轉換器
120	數位控制及影像處理器
125	讀出行線
141	低參考電壓/VLO/參考
142	高參考電壓/VHI/參考
153	控制信號
163	數位影像資料
165	資料信號
167	位址信號
222	共用終端
223	共用終端
230	第一電容器陣列
231	第二電容器陣列
233A	開關
233N	開關
234A	電容器/最低有效位元(「LSB」)電容器
234N	電容器/最高有效位元(「MSB」)電容器
238A	開關
238N	開關
239A	電容器/LSB電容器
239N	電容器/MSB電容器
242A	暫存器

242N	暫存器
247A	暫存器
247N	暫存器
250	比較器
251	比較器輸入
255	反相器
257	反相器
260	比較器
270	第一控制電路
280	第二控制電路
391	時間週期/穩定時間
393	時間週期/穩定時間
396	時間週期/穩定時間
398	時間週期/穩定時間

申請專利範圍

1. 一種影像感測器，其包含：

一像素陣列，其具有以列及行配置之像素；

一第一逐次逼近暫存器(「SAR」)類比至數位轉換器(「ADC」)，其經耦合以將一第一類比像素信號轉換成第一數位資料，該第一SAR ADC包括具有二進制加權值之一第一電容器陣列(「FCA」)，其中該FCA之頂板共用耦合至一第一比較器輸入之一第一共用終端且該FCA之底板經耦合以自一低參考電壓切換至一高參考電壓，且其中該第一共用終端可選擇性地經耦合以接收由該像素陣列之一第一行產生之該第一類比像素信號；

一第二SAR ADC，其經耦合以將一第二類比像素信號轉換成第二數位資料，該第二SAR ADC包括具有二進制加權值之一第二電容器陣列(「SCA」)，其中該SCA之頂板共用耦合至一第二比較器輸入之一第二共用終端且該SCA之底板經耦合以自該高參考電壓切換至該低參考電壓，且其中該第二共用終端可選擇性地耦合至使由該像素陣列之一第二行產生之該第二類比像素信號反相之一反相器之一反相器輸出；且

該第一SAR ADC之第一控制電路經耦合以回應於控制信號而在實質上與該第二SAR ADC之第二控制電路回應於該等控制信號可選擇性地將該SCA之該等底板自該高參考電壓切換至該低參考電壓相同之時間，可選擇性地將該FCA之該等底板自該低參考電壓切換至該高參考電壓。

2. 如請求項1之影像感測器，其中該第一SAR ADC係複數個第一SAR ADC之一者且該第二SAR ADC係複數個第二SAR ADC之一者，且其中該複數個第一SAR ADC之一給定SAR ADC經耦合以

接收由該像素陣列之奇數行產生之奇數行像素信號，且該複數個第二SAR ADC之一給定SAR ADC經耦合以接收由該像素陣列之偶數行產生之偶數行像素信號，該像素陣列之該等行包括以一每隔一個之組態交錯之該等偶數行及該等奇數行，該第一行係該等偶數行之一者且該第二行係該等奇數行之一者。

3. 如請求項2之影像感測器，其中該像素陣列之綠色像素安置在該等奇數行中且該像素陣列之紅色及藍色像素安置在該等偶數行中。
4. 如請求項1之影像感測器，其中該FCA包括一最高有效位元(「MSB」)電容器且該SCA包括另一MSB電容器，該第一控制電路經耦合以在一第一二進制搜尋序列中自該MSB電容器開始依序將該FCA之該等底板自該低參考電壓切換至該高參考電壓，且其中該第二控制電路經耦合以在一第二二進制搜尋序列中自另一MSB電容器開始依序將該SCA之該等底板自該高參考電壓切換至該低參考電壓。
5. 如請求項1之影像感測器，其中該第一SAR ADC及該第二SAR ADC兩者都具有N個解析度位元數且該FCA包括至少N個電容器且該SCA包括至少N個電容器。
6. 如請求項5之影像感測器，其中該FCA中之一第一最高有效位元(「MSB」)電容器具有約為2之 $(N-1)*C1$ 冪次之一第一值，其中C1為該FCA中之一第一最低有效位元(「LSB」)電容器之一第一電容值，且其中該SCA中之一第二MSB電容器具有約為2之 $(N-1)*C2$ 冪次之一第二值，其中C2為該SCA中之一第二LSB電容器之一第二電容值。
7. 如請求項1之影像感測器，其中該第一控制電路包括第一暫存器，該等第一暫存器經耦合以可選擇性地切換經耦合以回應於

該等控制信號而個別地將該FCA之該等底板自該低參考電壓切換至該高參考電壓之第一開關，且其中該第二控制電路包括第二暫存器，該等第二暫存器經耦合以可選擇性地切換經耦合以回應於該等控制信號而個別地將該SCA之該等底板自該高參考電壓切換至該低參考電壓之第二開關。

8. 一種讀出一像素陣列之方法，該方法包含：

將一第一類比像素信號取樣至耦合至一第一比較器之一第一電容器陣列(「FCA」)之一第一共用終端上，其中該第一類比像素信號由該像素陣列之一第一行產生；

將一第二類比像素信號取樣至耦合至一第二比較器之一第二電容器陣列(「SCA」)之一第二共用終端上，其中該第二類比像素信號由該像素之一第二行產生；

將該FCA之一最高有效位元(「MSB」)電容器之一第一底板自一低參考電壓切換至一高參考電壓以起始用於判定該第一類比像素信號之一第一數位值之一第一二進制搜尋序列；及

將該SCA之一第二MSB電容器之一第二底板自該高參考電壓切換至該低參考電壓以起始用於判定該第二類比像素信號之一第二數位值之一第二二進制搜尋序列，其中該第一底板及該第二底板分別與該等第一及第二共用終端相對，且其中在實質上與將該第二底板自該高參考電壓切換至該低參考電壓相同之時間將該第一底板自該低參考電壓切換至該高參考，以在該FCA與該SCA之間再分配電荷以減少自該低電壓參考及該高電壓參考汲取之額外電荷量。

9. 如請求項8之方法，其進一步包含在將該第二類比像素信號取樣至該第二共用終端上之前使該第二類比像素信號反相。

10. 如請求項8之方法，其進一步包含：

在將該第一類比信號取樣至該FCA之該第一共用終端上之前重設該第一比較器；及

在將該第二類比像素信號取樣至該SCA之該第二共用終端上之前重設該第二比較器。

11. 如請求項8之方法，其中該像素陣列係以列及行配置且該像素陣列之該等行包括以一每隔一個之組態交錯之偶數行及奇數行，該第一行係一偶數行且該第二行係一奇數行。
12. 如請求項11之方法，其中該像素陣列之綠色像素係安置在該等奇數行中且該像素陣列之紅色及藍色像素係安置在該等偶數行中。
13. 如請求項8之方法，其中將來自該像素陣列之綠色像素之綠色像素信號取樣至該FCA上但不取樣至該SCA上。
14. 如請求項8之方法，其中該FCA及該SCA包括具有二進制加權值之電容器。
15. 一種提供指令之非暫時性機器可存取儲存媒體，當由一機器執行時，該等指令將引起該機器執行包含以下操作之操作：

將一第一類比像素信號取樣至耦合至一第一比較器之一第一電容器陣列(「FCA」)之一第一共用終端上，其中該第一類比像素信號由該像素陣列之一第一行產生；

將一第二類比像素信號取樣至耦合至一第二比較器之一第二電容器陣列(「SCA」)之一第二共用終端上，其中該第二類比像素信號由該像素之一第二行產生；

將該FCA之一最高有效位元(「MSB」)電容器之一第一底板自一低參考電壓切換至一高參考電壓以起始用於判定該第一類比像素信號之一第一數位值之一第一二進制搜尋序列；及

將該SCA之一第二MSB電容器之一第二底板自該高參考電壓切

換至該低參考電壓以起始用於判定該第二類比像素信號之一第二數位值之一第二二進制搜尋序列，其中該第一底板及該第二底板分別與該等第一及第二共用終端相對，且其中在實質上與將該第二底板自該高參考電壓切換至該低參考電壓相同之時間將該第一底板自該低參考電壓切換至該高參考，以在該FCA與該SCA之間再分配電荷以減少自該低電壓參考及該高電壓參考汲取之額外電荷量。

16. 如請求項15之非暫時性機器可存取儲存媒體，其進一步提供當由該機器執行時將引起該機器執行進一步操作之指令，該等指令包含：

在將該第二類比像素信號取樣至該第二共用終端上之前使該第二類比像素信號反相。

17. 如請求項15之非暫時性機器可存取儲存媒體，其進一步提供當由該機器執行時將引起該機器執行進一步操作之指令，該等指令包含：

在將該第一類比信號取樣至該FCA之該第一共用終端上之前重設該第一比較器；及

在將該第二類比像素信號取樣至該SCA之該第二共用終端上之前重設該第二比較器。

18. 如請求項15之非暫時性機器可存取儲存媒體，其中該像素陣列係以列及行配置且該像素陣列之該等行包括以一每隔一個之組態交錯之偶數行及奇數行，該第一行係一偶數行且該第二行係一奇數行。

19. 如請求項18之非暫時性機器可存取儲存媒體，其中該像素陣列之綠色像素係安置在該等奇數行中且該像素陣列之紅色及藍色像素係安置在該等偶數行中。

20. 如請求項15之非暫時性機器可存取儲存媒體，其中該FCA及該SCA包括具有二進制加權值之電容器。

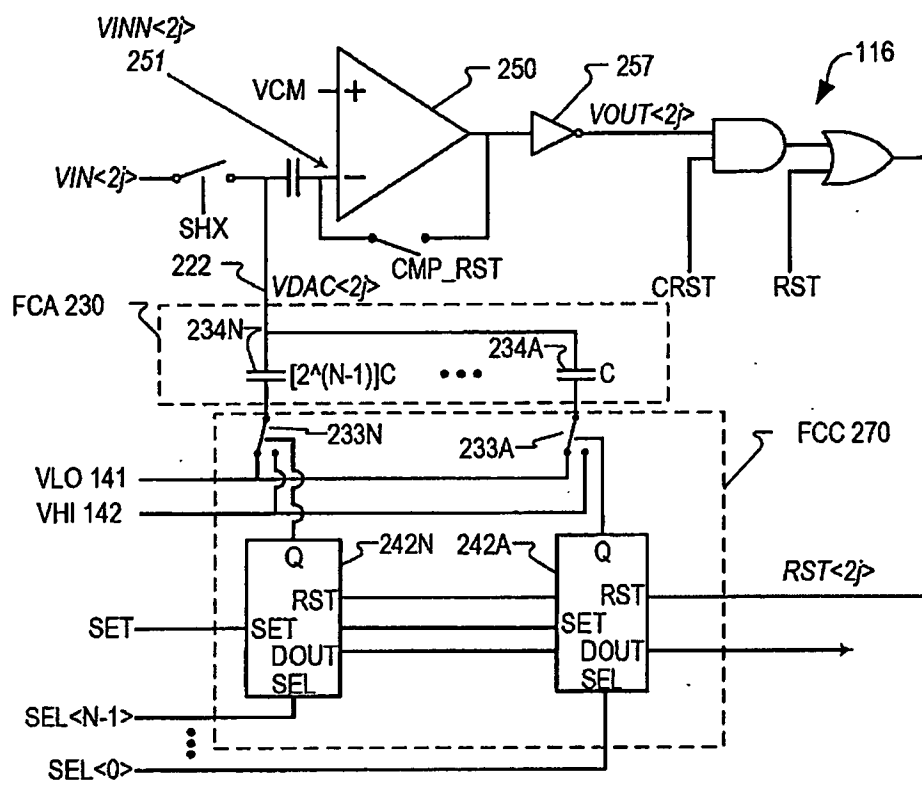


圖 2A

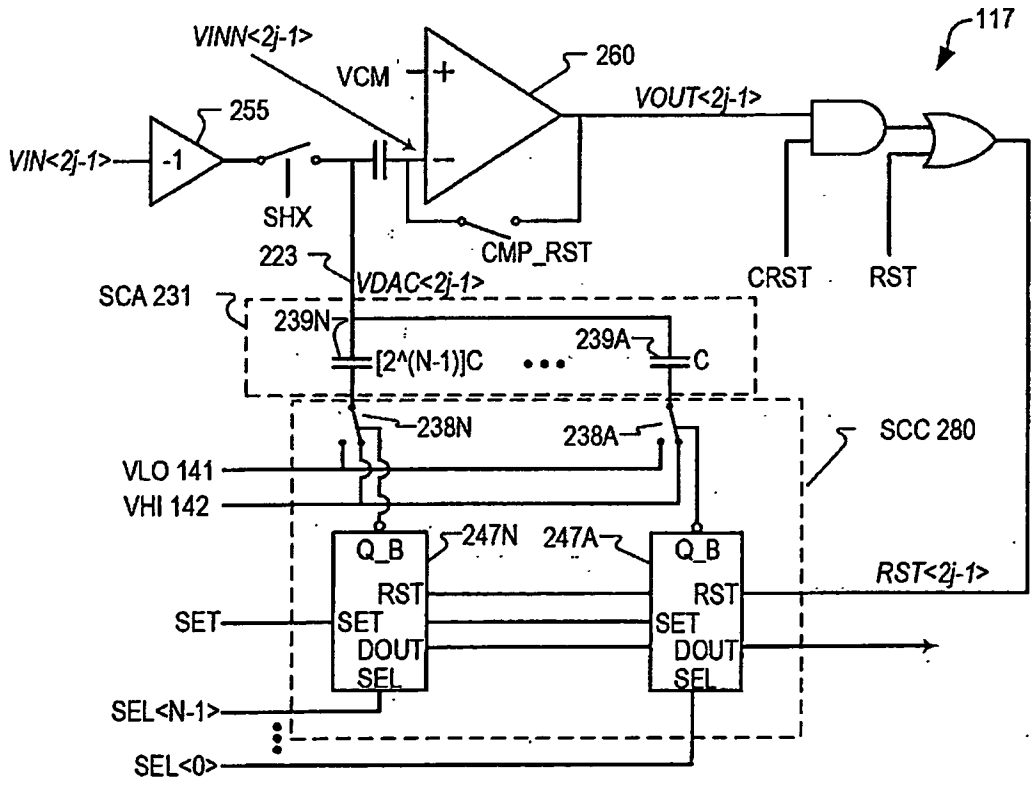


圖 2B

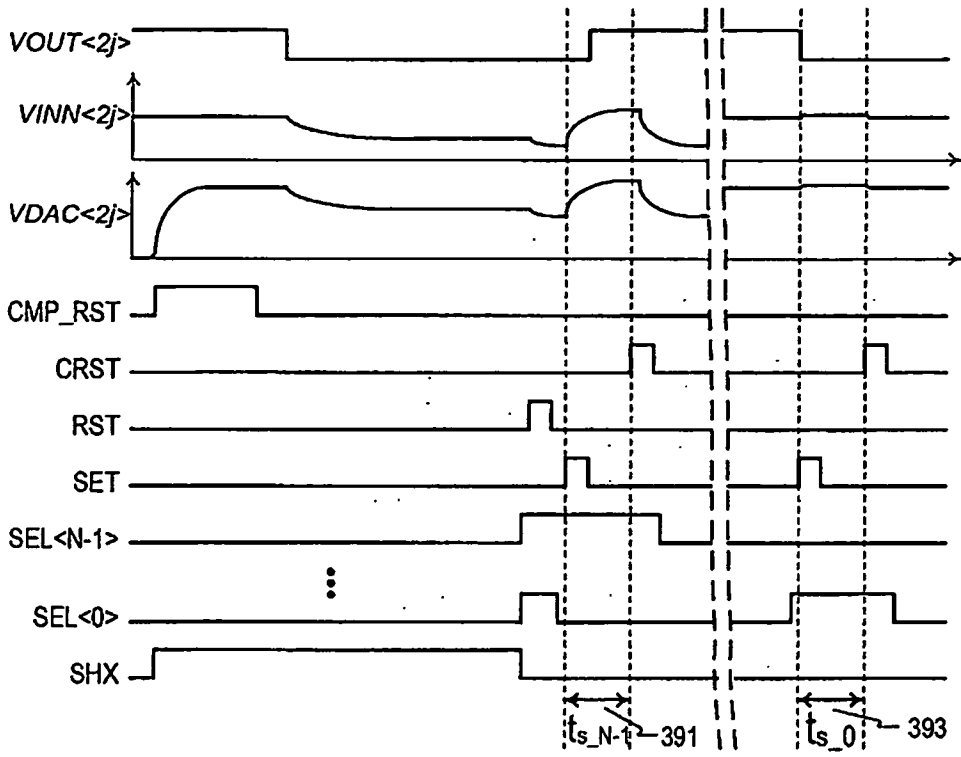


圖 3A

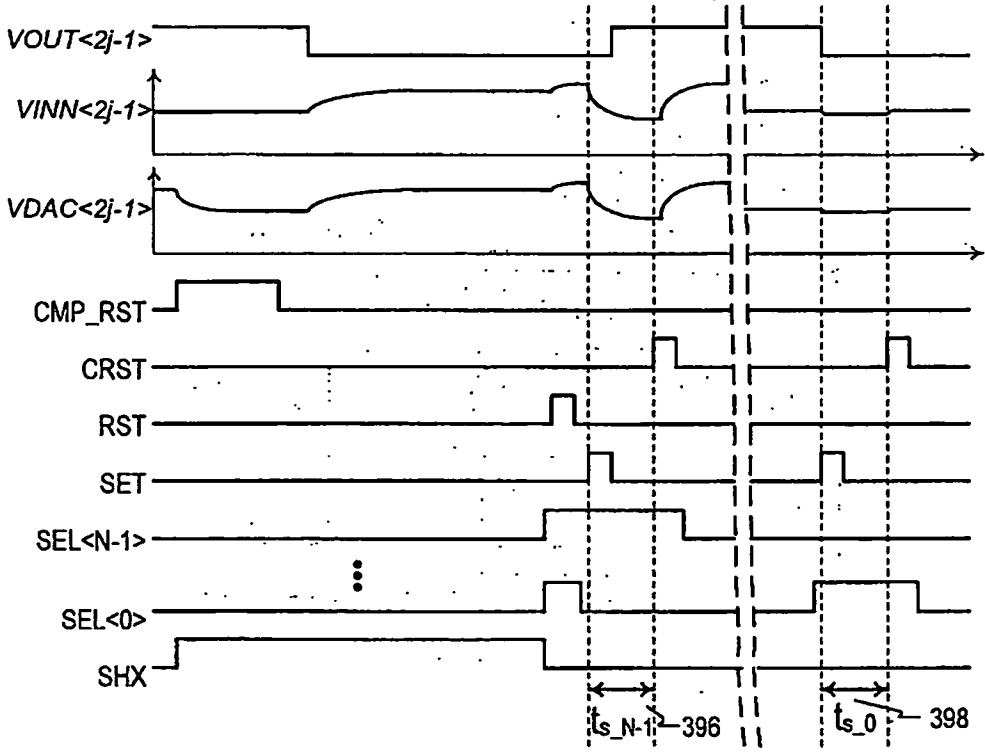


圖 3B

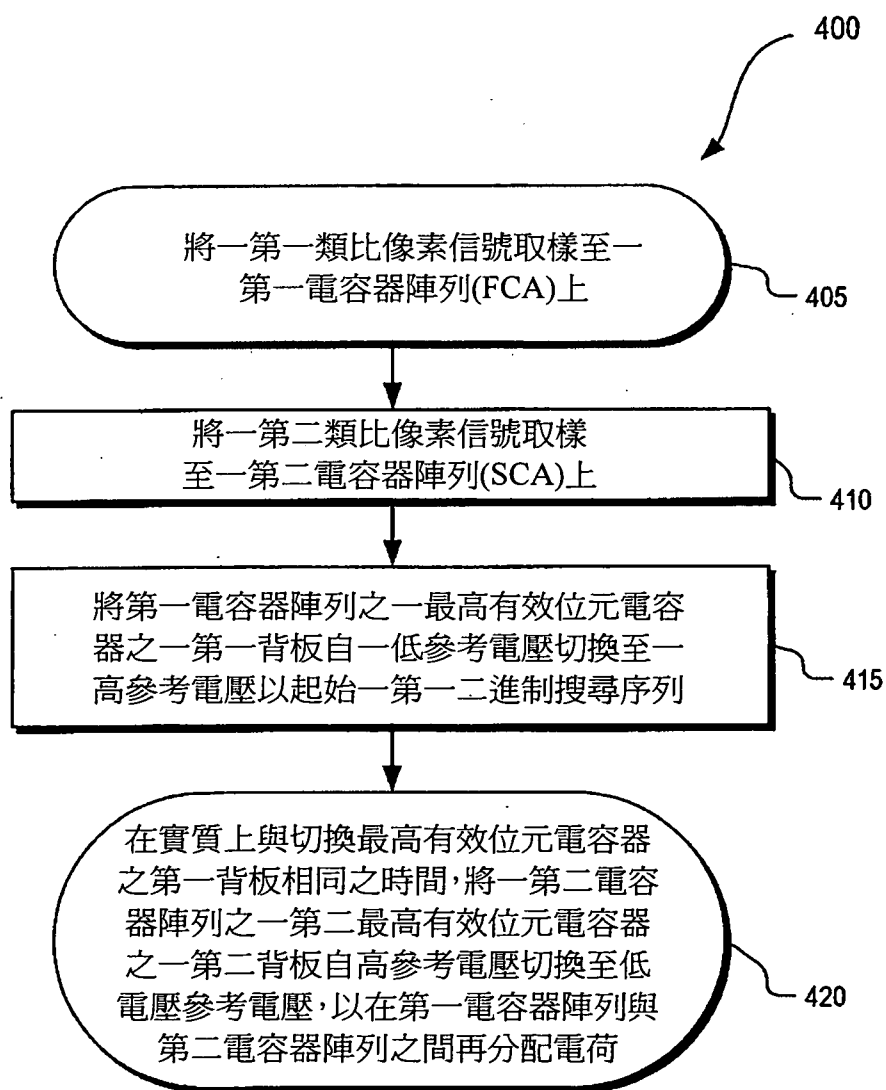


圖 4