

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/136

G02F 1/1343 G03F 7/20

H01L 29/786



[12] 发明专利说明书

[21] ZL 专利号 01142600.4

[45] 授权公告日 2004 年 9 月 1 日

[11] 授权公告号 CN 1164972C

[22] 申请日 2001.12.4 [21] 申请号 01142600.4

[30] 优先权

[32] 2000.12.5 [33] US [31] 09/730,218

[71] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 伊文·G·科尔根

凯·R·施莱尤彭 辻村隆俊

审查员 谢有成

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

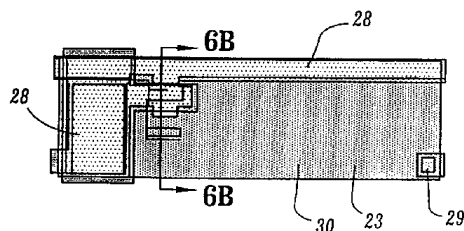
代理人 王永刚

权利要求书 2 页 说明书 9 页 附图 8 页

[54] 发明名称 象素单元及其制作方法

[57] 摘要

一种象素单元，它具有制作在衬底上的薄膜晶体管结构。信号导体被图形化在薄膜晶体管结构上，且透明导电材料组成的第一图形化层覆盖着信号导体。第一图形化层提供图形，用来腐蚀薄膜晶体管结构的沟道区。介电层被制作在象素单元上且包括直至透明导电材料组成的第一图形化层的通孔。第二透明导电材料层延伸穿过通孔，以便接触第一图形化层，其中第二层自对准于晶体管结构。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种象素单元，它包含：
制作在衬底上的薄膜晶体管结构；
在薄膜晶体管结构上图形化的信号导体；
透明导电材料组成的第一图形化层覆盖该信号导体，该第一图形化层提供图形，用来腐蚀薄膜晶体管结构的沟道区；
制作在象素单元上的介电层，它包括直至透明导电材料构成的第一图形化层的通孔；以及
延伸穿过通孔以便接触第一图形化层的第二透明导电材料层，其中该第二层自对准于晶体管结构。
2. 权利要求 1 所述的单元，其中透明导电材料组成的第一图形化层包括接触部分，以便提供通过通孔到第二透明导电材料层的连接。
3. 权利要求 2 所述的单元，其中接触部分制作在透明材料上。
4. 权利要求 3 所述的单元，其中透明材料包括衬底。
5. 权利要求 2 所述的单元，其中晶体管结构包括栅介电层，且接触部分制作在栅介电层上。
6. 权利要求 1 所述的单元，其中第二透明导电材料层被图形化，以形成液晶显示单元的象素电极。
7. 权利要求 1 所述的单元，其中晶体管结构是不透明的，以便借助于背面曝光操作来提供第二透明导电材料层的自对准。
8. 权利要求 1 所述的单元，其中晶体管结构包括背沟道腐蚀型晶体管。
9. 一种象素单元的制作方法，它包括下列步骤：
在衬底上制作薄膜晶体管结构；
图形化连接到薄膜晶体管结构的信号线；
图形化连接到信号线的第一透明导电层；
在象素单元上淀积介电层；
在介电层中制作暴露部分第一透明导电层的通孔；

在介电层上和通孔中淀积第二透明导电层，以便将第二透明导电层连接到第一透明导电层，以及

图形化第二透明导电层，以形成像素电极，

其中图形化第二透明导电层的步骤包括下列步骤：在第二透明导电层上形成抗蚀剂，以及利用晶体管结构作为光掩模对抗蚀剂进行背面曝光或者利用光掩模对抗蚀剂进行正面曝光。

10. 权利要求 9 所述的方法，还包含正面曝光抗蚀剂层，以便图形化第二透明导电层的其它部分的步骤。

11. 权利要求 9 所述的方法，其中在衬底上制作薄膜晶体管结构的步骤包括下列步骤：

在衬底上制作栅金属；

在栅金属上制作栅介电层；以及

在栅介电层上制作半导体层。

12. 权利要求 11 所述的方法，其中第一导电层包括制作在栅介电层上的接触部分，且在介电层上和通孔中淀积第二透明导电层的步骤包括连接第一导电层的接触部分与第二导电层。

13. 权利要求 11 所述的方法，还包含在半导体层中制作欧姆接触的步骤。

14. 权利要求 9 所述的方法，其中第一导电层包括制作在衬底上的接触部分，且在介电层上和通孔中淀积第二透明导电层的步骤包括连接第一导电层的接触部分与第二导电层。

15. 权利要求 9 所述的方法，其中图形化第一透明导电层的步骤包括下列步骤：

在信号线上的第一透明导电层中图形化一个间隙；以及

在间隙中腐蚀信号线。

16. 权利要求 9 所述的方法，其中信号线制作在薄膜晶体管结构上，且薄膜晶体管结构包括半导体层和制作在半导体层上的欧姆接触层，而在间隙中腐蚀信号线的步骤包括穿过信号线、穿过欧姆接触层、进入半导体区，以形成薄膜晶体管结构的沟道区的腐蚀步骤。

象素单元及其制作方法

技术领域

本发明涉及到显示器件，更确切地说是涉及到制造透明导电电极的方法，此方法采用背面曝光和负性光抗蚀剂来减少整个光刻步骤的数目并提供象素电极与薄膜晶体管阵列中的象素的对称自对准。

背景技术

在有源矩阵液晶显示器（AMLCD）中，减少光处理步骤的数目和改善薄膜晶体管（TFT）阵列的性能具有巨大的经济意义。改善性能的一种方法是采用绝缘透明整平的聚合物薄膜（可能是可光成象的）将象素电极分隔于包括 TFT 和相关布线的衬底（见例如题为“有源矩阵型电光器件”的美国专利 No.5612799、题为“LCD 和图象传感器使用的包括可光成象的绝缘层的 TFT 结构”的美国专利 No.5780871、以及题为“有源矩阵衬底”的美国专利 No.5585951）。这些专利所述的方法的优点是，由于整平材料（如果其厚度足够的话）起电绝缘体的作用并降低了电容性耦合，故使象素电极能够覆盖寻址线。这又允许更大的窗口比率，这是有用的，但由于没有减少所需光处理步骤的数目因而没有明显地降低 TFT 阵列的加工成本。通常整平聚合物所需的光处理步骤的数目为 5（见例如论文：Sakamoto et al., pp.681-684 SID '96 Digest、Zhong et al., pp.971-974 SID '98 Digest、和 Nakabu et al., pp.732-735 SID '99 Digest）。在所有这些处理中，最后二个步骤对整平聚合物和透明导电电极材料进行图形化。

在 TFT 阵列处理中，象素电极必须很好地与数据（也称为信号）线对准，使每一侧上象素电极与数据线之间的电容性耦合相等（对称）。这可以使用例如点反转的适当的驱动反转方案，来确保图象质量不被数据线与象素电极之间的“串扰”（亦即未被消除的电容性耦合）降低。

因此，对于提供像素电极与地址线之间改进的对准并减少制造这种器件所需的光处理步骤数目的制造显示器件的方法存在着需求。

发明内容

提供了一种像素单元，它具有制作在衬底上的薄膜晶体管结构以及在薄膜晶体管结构上图形化的地址线（例如栅线和数据（信号）线）。透明导电材料组成的第一图形化层覆盖着数据（信号）线，并被用来图形化数据金属，且借助于执行背沟道腐蚀（BCE）型 TFT 的沟道区腐蚀而用掺杂的硅层来形成沟道区。在像素单元上制作介电层，并将通孔一直图形化到透明导电材料组成的第一图形化层。第二透明导电材料层延伸穿过通孔以便接触第一图形化层，其中第二层自对准于晶体管结构。最好借助于负性光抗蚀剂的背面曝光来获得自对准。

在变通实施方案中，透明导电材料组成的第一图形化层可以包括接触部分，以便提供通过通孔到第二透明导电材料层的连接。接触部分可以形成在透明材料上。透明材料可以包括衬底。晶体管结构可以包括栅介电层，且接触部分可以制作在栅介电层上。第二透明导电材料层可以被图形化以形成液晶显示盒（liquid crystal display cell）的像素电极。晶体管结构可以是不透明的，以便借助于背面曝光操作来提供第二透明导电材料层的自对准。晶体管结构可以包括背沟道腐蚀型晶体管。

用来制作像素单元的方法包括下列步骤：在衬底上制作薄膜晶体管结构，图形化连接到薄膜晶体管结构的信号线，图形化连接到信号线的第一透明导电层，在像素单元上淀积介电层，在介电层中制作暴露部分第一透明导电层的通孔，在介电层上和通孔中淀积第二透明导电层以便将第二透明导电层连接到第一透明导电层，以及图形化第二透明导电层以形成像素电极。

在其它的方法中，图形化第二透明导电层的步骤可以包括下列步骤：在第二透明导电层上形成抗蚀剂，以及利用晶体管结构作为光掩模，对抗蚀剂进行背面曝光。此方法可以包括正面曝光抗蚀剂层，以便图形化第二透明导电层的其它部分。图形化第二透明导电层的步骤

可以包括下列步骤：在第二透明导电层上形成抗蚀剂，以及利用光掩模，对抗蚀剂进行正面曝光。在衬底上制作薄膜晶体管结构的步骤可以包括下列步骤：在衬底上制作栅金属，在栅金属上制作栅介电层，以及在栅介电层上制作半导体层。第一导电层可以包括制作在栅介电层上的接触部分，且在介电层上和通孔中淀积第二透明导电层的步骤可以包括连接第一导电层的接触部分与第二导电层。此方法可以包括在半导体层中制作欧姆接触的步骤。第一导电层可以包括制作在衬底上的接触部分，且在介电层上和通孔中淀积第二透明导电层的步骤可以包括连接第一导电层的接触部分与第二导电层。图形化第一透明导电层的步骤可以包括在信号线上的第一透明导电层中图形化一个间隙并在间隙中腐蚀信号线。信号线可以制作在薄膜晶体管结构上，且薄膜晶体管结构可以包括半导体层和制作在半导体层上的欧姆接触层，且在间隙中腐蚀信号线的步骤可以包括穿过信号线、穿过欧姆接触层、进入半导体区，以便形成薄膜晶体管结构的沟道区的腐蚀步骤。

从结合附图对本发明示例性实施方案的下列详细描述中，本发明的这些和其它的目的、特点、和优点将变得显而易见。

附图说明

在下列优选实施方案的描述中，将参照下列附图来详细地描述本发明，其中：

图 1A 是象素单元的俯视图，示出了根据本发明制作在衬底上的栅金属；

图 1B 是根据本发明的沿剖面线 1B-1B 的剖面图；

图 2A 是图 1A 象素单元的俯视图，示出了根据本发明制作并图形化的栅介质、半导体层、欧姆接触层（掺杂的硅）和数据金属；

图 2B 是根据本发明的沿剖面线 2B-2B 的剖面图；

图 3A 是图 2A 象素单元的俯视图，示出了根据本发明制作并图形化的第一透明导体；

图 3B 是根据本发明的沿剖面线 3B-3B 的剖面图；

图 4A 是图 3A 象素单元的俯视图，示出了根据本发明形成直到制

作在栅介电层上的第一透明导体的通孔的介电层;

图 4B 是根据本发明的沿剖面线 4B-4B 的剖面图;

图 5A 是图 4A 象素单元的剖面图, 示出了根据本发明制作成与第一透明导电层接触的第二透明导体材料以及被背面曝光和可选正面曝光的负性抗蚀剂;

图 5B 是图 5A 象素单元的剖面图, 示出了根据本发明被显影的抗蚀剂层以及被腐蚀的第二透明导体;

图 6A 是图 5A 象素单元的俯视图, 示出了根据本发明被清除的抗蚀剂层以及被图形化以形成自对准象素电极的第二透明导体层;

图 6B 是根据本发明的沿剖面线 6B-6B 的剖面图;

图 7A 是象素单元的俯视图, 示出了根据本发明制作在衬底上的栅金属;

图 7B 是根据本发明的沿剖面线 1B-1B 的剖面图;

图 8A 是图 7A 象素单元的俯视图, 示出了根据本发明制作并图形化的栅介质、半导体层、欧姆接触层(掺杂的硅)和数据金属;

图 8B 是根据本发明的沿剖面线 8B-8B 的剖面图;

图 9A 是图 8A 象素单元的俯视图, 示出了根据本发明制作并图形化的第一透明导体;

图 9B 是根据本发明的沿剖面线 9B-9B 的剖面图;

图 10A 是图 9A 象素单元的俯视图, 示出了根据本发明形成直到制作在衬底上的第一透明导体的通孔的介电层;

图 10B 是根据本发明的沿剖面线 10B-10B 的剖面图;

图 11A 是图 10A 象素单元的剖面图, 示出了根据本发明制作成与第一透明导体层接触的第二透明导体材料以及被背面曝光的负性抗蚀剂;

图 11B 是图 10A 象素单元的剖面图, 示出了根据本发明被显影的抗蚀剂层以及被腐蚀的第二透明导体;

图 12A 是图 11A 象素单元的俯视图, 示出了根据本发明被清除的抗蚀剂层以及被图形化以形成自对准象素电极的第二透明导体层;

图 12B 是根据本发明的沿剖面线 12B-12B 的剖面图。

具体实施方式

本发明最好利用背面曝光和负性光抗蚀剂来图形化保留在阵列区暴露处的透明导电电极。利用背面曝光方法，减少了整个光刻步骤的数目，且由于不可能引起不对准导致一侧比另一侧耦合更强，从而使信号从数据线到像素电极的耦合更对称，故透明电极（像素电极）到信号线的自对准进一步改善了性能。本发明被最佳地使用在液晶显示器（LCD），例如有源矩阵液晶显示器（AMLCD）中。

本发明人之一已经在 IBM 公司 Tsujimura 等人的 Japanese Technical Bulletin No.JA8-97-0635 中描述了显示器件阵列区中自对准透明导体图形的背面曝光。此工艺需要阵列区中利用掩模的额外的正面曝光，以便透明电极材料可以保留在被通孔暴露的不透明的导体上，从而将像素电极电连接到 TFT 阵列。本发明提供了一种薄膜晶体管（TFT）阵列工艺流程，此流程采用二个透明导体层，使阵列中能够只使用一个背面曝光。有利的是，不需要阵列区中利用掩模的额外的正面曝光。

本发明的方法借助于从衬底背面用紫外（UV）光对制作在衬底正面上的负性抗蚀剂进行曝光而图形化透明电极，从而利用用于 TFT 液晶显示器（LCD）阵列的透明电极。在背面曝光过程中，最好用光掩模来消除周边空白区（像素/TFT 阵列周围的区域）。本发明的方法能够非常准确地将透明电极对准于数据线和栅线，并能够获得宽的窗口比率。由于周边区域因光掩模而不被曝光，故不需要从周边区域清除第二透明导体的额外步骤。

现详细地参照附图，其中相同的参考号表示相同的或相似的元件，并从参照图 1A 和 1B 开始，示出了本发明一个示例性实施方案的工艺流程。衬底 10 包括透明材料，例如玻璃、聚合物、或其它适合的衬底材料。栅金属 12 被淀积和图形化在衬底 10 上。栅金属 12 可以包括一个或多个导电层，可以包括例如铝、钼、Al(Nd)等。栅金属 12 的图形化最好用光刻和腐蚀工艺来执行。

参照图 2A 和 2B, 执行栅绝缘体 14、非晶硅层 16、N+掺杂的硅层 18、以及数据金属 20 的淀积。栅绝缘体 14 最好包括二氧化硅和/或氮化硅。层 16 将形成薄膜晶体管器件的有源沟道区, 而层 18 将形成薄膜晶体管 13 的欧姆源漏接触(见图 3B)。数据金属 20 最好包括铝、钼、或其它适合于用作地址线的材料。

第二光刻工艺被用来提供光抗蚀剂的腐蚀掩模。如图 2B 所示, 执行湿法腐蚀和干法腐蚀来图形化叠层(亦即层 16 和 18 以及数据金属 20)直到栅绝缘体 14。

参照图 3A 和 3B, 然后淀积第一透明导电层 22。导电层 22 最好包括氧化铟锡(ITO), 虽然例如氧化铟锌(IZO)的其它透明导体也可以使用。第三光刻工艺被用来制作腐蚀掩模, 用以腐蚀导电层 22 以及数据金属 20 和 N+掺杂的硅 18。通过数据金属 20 和层 18 腐蚀的间隙 21 终止于层 16 上或层 16 中。此间隙 21 将层 18 的源区和漏区分隔开, 并在其间形成沟道区 23, 根据施加到栅金属 12 的电压而导电。透明导电层 22 的部分 24 延伸超过数据金属 20。如下面将要描述的那样, 部分 24 将被用作象素接触。注意, 在接触部分 24 下方没有栅金属、数据金属、或其它不透明的材料。这就形成了背沟道腐蚀型(BCE) TFT 器件。

参照图 4A 和 4B, 可以可选地淀积介电层 26, 例如氮化硅。若有层 26, 则被用作无机介电离子势垒层。淀积透明聚合物层 28, 例如丙烯酸树脂基材料, 诸如可从 JSR 购得的 PC 403、可从 Fujifilm Olin 购得的 FZT-S100、或可从 Tokyo Oka 购得的 TPAR 系列。绝缘层 26 可以包括例如氮化硅、氧化硅、或其它无机绝缘体。绝缘层 28 可以包括例如丙烯酸聚合物、聚酰亚胺、透明聚合物、或有色聚合物。透明聚合物层 28 可以是光敏的, 此时不需要光抗蚀剂来图形化层 28。若有聚合物层 28 和层 26, 则被图形化以便开出通孔 25 来暴露作为腐蚀停止层的第一透明导体层 22 的部分 24。还制作第二通孔 29 来连接象素电极 23 到制作在邻近象素(未示出)的栅线(栅金属 12)上的存储电容器。仅仅在采用栅上存储电容器型设计时才需要通孔 29。栅绝

缘体 14 可以被腐蚀，以便暴露可能希望形成栅金属 14 和数据金属 20 与第二透明导体层 30 之间的电接触的 TFT 阵列外面区域中的栅金属 12。

参照图 5A 和 5B，在阵列区域中淀积并图形化第二透明导体层 30。如图 5A 和 5B 所示，最好采用负性抗蚀剂 32 和背面曝光（沿箭头“A”方向曝光）来制作自对准的像素电极 23（图 6A）。最好用旋涂机来涂敷负性抗蚀剂 32。若阵列外面不需要栅金属 12 与数据金属 20 之间的连接，则在背面曝光过程中，此区域正好被光掩模或光阀（未示出）掩蔽。紫外（UV）光从背面曝光，负性抗蚀剂在烘焙之后交联。在显影液中显影之后，腐蚀透明导体层 30（图 5B）。然后如图 6A 和 6B 所示剥离光抗蚀剂。由于由层 30 形成的像素电极 23 与数据线 20 之间的重叠是均匀且对称的，故图象质量因降低了无补偿的串扰而得到了改善。利用背面曝光时间和曝光光源的平行度，能够控制重叠量。

若阵列区外面需要栅金属与数据金属之间的连接，则从正面用光掩模 45 的额外的掩蔽曝光（例如沿图 5A 中箭头“B”方向的光）能够被用来图形化阵列区外面的第二透明导体层 30。作为变通，可以采用背面曝光与掩蔽的正面曝光的组合，或在阵列区外面有限区域中的背面曝光（避免了例如若仅仅使用背面曝光而可能被 ITO 短路的键合焊点）。

参照图 7A 和 7B，示出了本发明另一示例性实施方案的另一种工艺流程。衬底 10 包括透明材料，例如玻璃、聚合物、或其它适合的衬底材料。栅金属 12 被淀积和图形化在衬底 10 上。栅金属 12 可以包括一个或多个导电层，可以包括例如铝、钼、Al(Nd)等。栅金属 12 的图形化最好用光刻和腐蚀工艺来执行。

参照图 8A 和 8B，执行栅绝缘体 14、非晶硅层 16、N⁺掺杂的硅层 18、以及数据金属 20 的淀积。光刻、湿法腐蚀、和干法腐蚀被用来图形化这一整个叠层直至栅金属 12。采用在被腐蚀的层上提供稍微倾斜的侧壁的工艺来确保被薄的透明导体层 22 恰当地台阶覆盖（见图 9B）是可取的。栅绝缘体 14 最好包括二氧化硅和/或氮化硅。层 16 将

形成薄膜晶体管器件的有源沟道区，而层 18 将形成薄膜晶体管 13 的欧姆源漏接触（图 9B）。数据金属 20 最好包括铝、钼、或其它适合于用作地址线的材料。

参照图 9A 和 9B，然后例如用溅射方法，淀积第一透明导体层 22。透明导电层 22 最好包括氧化铟锡（ITO），虽然例如氧化铟锌（IZO）的其它透明导体也可以使用。第三光刻工艺被用来制作光抗蚀剂的腐蚀掩模，用以腐蚀导电层 22 以及数据金属 20 和 N+掺杂的硅 18。通过数据金属 20 和层 18 腐蚀的间隙 21 终止于层 16 上或层 16 中。此间隙 21 将层 18 的源区和漏区分隔开，并在其间形成沟道区 23，根据施加到栅金属 12 的电压而导电。透明导电层 22 的部分 24 延伸超过数据金属 20。如下面将要描述的那样，部分 24 将被用作像素接触。注意，栅金属与数据金属（分别为 12 和 20）能够被第一透明导体层 22 直接连接。这就形成了背沟道腐蚀型（BCE）TFT 器件 13。

参照图 10A 和 10B，可以可选地淀积介电层 26，例如氮化硅。若有层 26，则被用作无机介电离子势垒层。淀积透明聚合物层 28，例如丙烯酸树脂基材料，诸如可从 JSR 购得的 PC 403、可从 Fujifilm Olin 购得的 FZT-S100、或可从 Tokyo Oka 购得的 TPAR 系列。绝缘层 26 可以包括例如氮化硅、氧化硅、或其它无机绝缘体。绝缘层 28 可以包括例如丙烯酸聚合物、聚酰亚胺、透明聚合物、或有色聚合物。透明聚合物层 28 可以是光敏的，此时不需要光抗蚀剂来图形化层 28。若有聚合物层 28 和层 26，则被图形化以便开出通孔 27 来暴露作为腐蚀停止层的第一透明导体层 22 的部分 24。还制作第二通孔 29 来连接像素电极 23 到制作在邻近像素（未示出）的栅线（栅金属 12）上的存储电容器。仅仅在采用栅上存储电容器型设计时才需要通孔 29。

参照图 11A 和 11B，用负性抗蚀剂 32 和背面曝光（沿箭头“A”方向曝光），在阵列区域中淀积并图形化第二透明导体层 30。最好用旋涂机来涂敷负性抗蚀剂 32。紫外（UV）光从背面曝光，且负性抗蚀剂在烘焙之后交联。在显影液中显影之后，导体层 30 被腐蚀。然后如图 12A 和 12B 所示，剥离光抗蚀剂。由于由层 30 形成的像素电极

23 与数据线 20 之间的重叠是均匀且对称的，故图象质量因降低了无补偿的串扰而得到了改善。利用背面曝光时间和曝光光源的平行度，能够控制重叠量。

由于能够用第一透明导电层 22 来形成阵列外面栅金属 12 与数据金属 20 之间的连接，故在背面曝光过程中，连接区正好被光掩模或光阀（未示出）掩蔽，致使这些区域中不存在第二透明层 30。

有利的是，本发明采用了在阵列区中使用 4 个完整光刻步骤和一个背面曝光来建立具有整平聚合物上的透明象素电极 23 的 TFT 阵列的工艺。此工艺流程使得能够用第一透明导体层（例如 ITO 或其它透明导体）或者用第二透明导体层（例如 ITO 或其它透明导体）来实现阵列区外面的栅金属与信号（数据）金属之间的连接。如参照图 1-6 示例性所述那样，阵列区外面栅金属与数据金属之间的连接是通过第二透明导电层 30 形成的。若在阵列区外面不使用额外的掩模，数据和栅金属被制作成正确的形状以得到第二透明导电层 30 的所希望的位置，致使仅仅需要背面曝光来图形化第二透明导电层 30。数据金属 20 和晶体管材料（层 16 和 18）以及栅金属 12 是不透明的，以便使这些结构能够被用作光掩模来在背面曝光过程中图形化抗蚀剂 32。数据金属 20 被连接到第一透明导体 22，第一透明导体 22 被连接到第二透明导体 30，第二透明导体 30 又被连接到栅金属 12。第二透明导体 30 到栅金属 12 之间的连接利用了背面曝光工艺能够导致透明导体 30 在栅金属 12 边沿上少许覆盖的事实。如图 7-12 所示，第二示例性工艺流程使栅 12 和数据金属 20 能够直接被第一透明导电层 22 连接。

以上描述了具有自对准透明象素电极的薄膜晶体管的优选实施方案（被认为是示例性的而不是限制性的），要指出的是，本技术领域熟练人员根据上述说明，能够作出各种修正和改变。因此，要理解的是，可以在所公开的本发明的具体实施方案中作出各种改变，这些改变都包含在所附权利要求指出的本发明的范围与构思以内。用专利法要求的细节和特殊性描述本发明之后，在所附权利要求中提出了所要求并希望得到专利证书保护的内容。

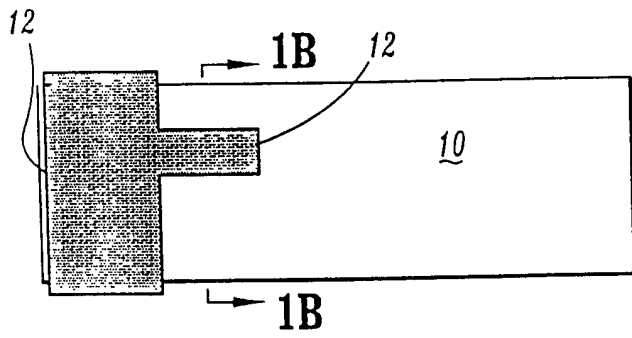


图 1A

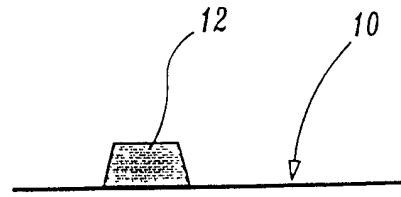


图 1B

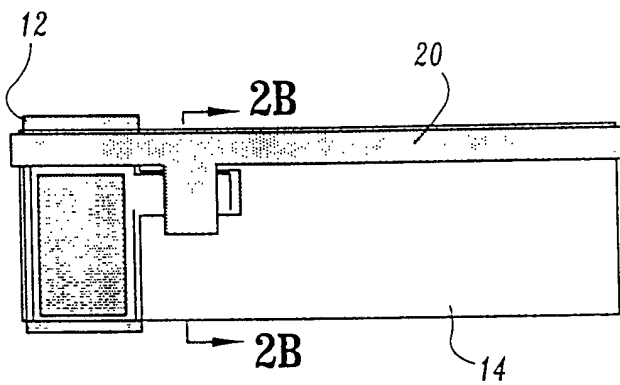


图 2A

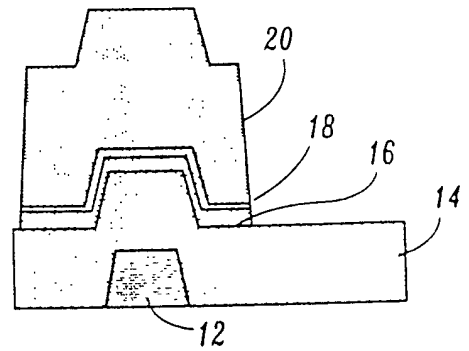


图 2B

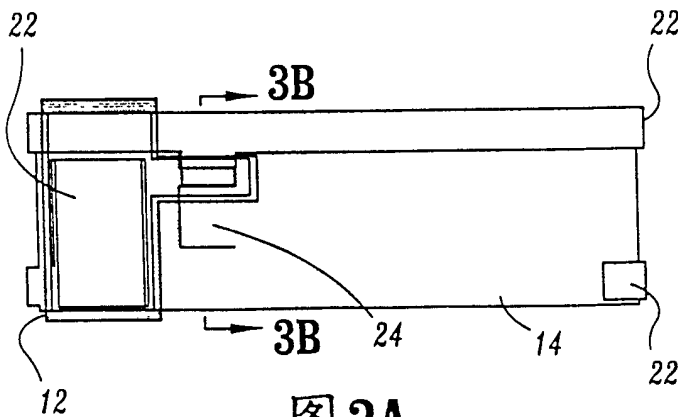


图 3A

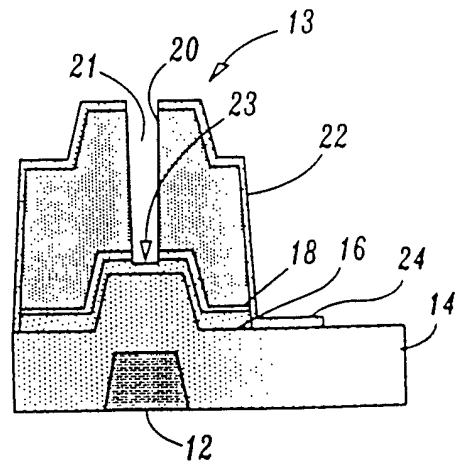


图 3B

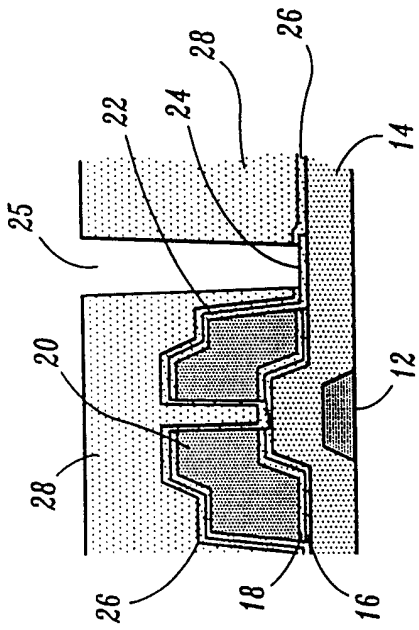


图 4B

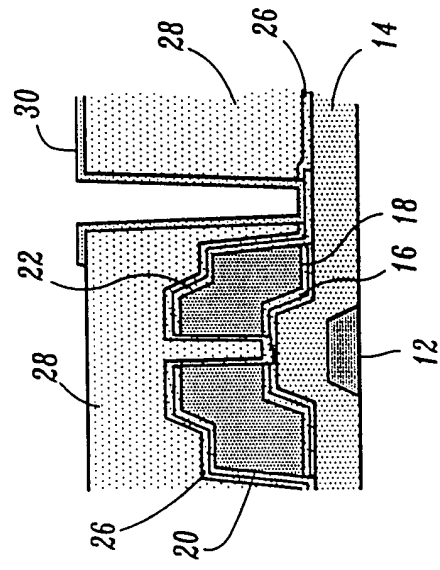


图 6B

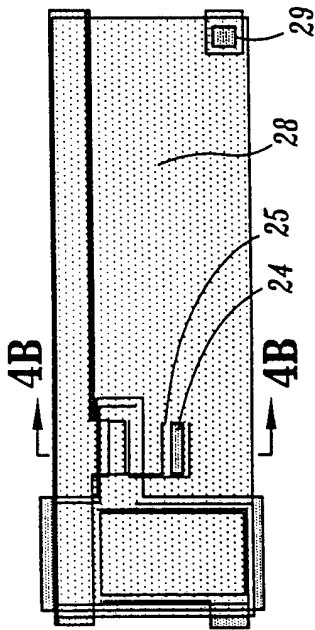


图 4A

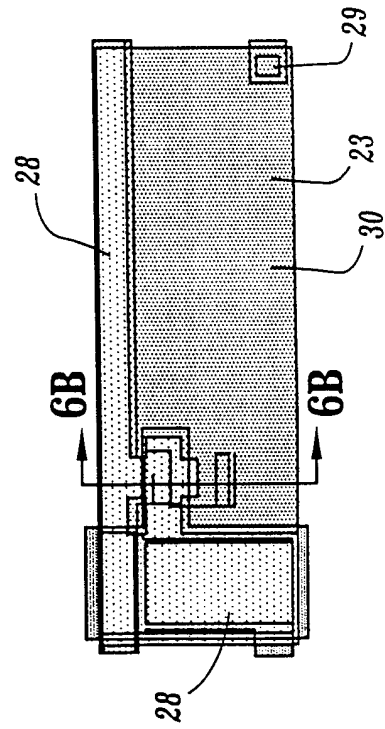


图 6A



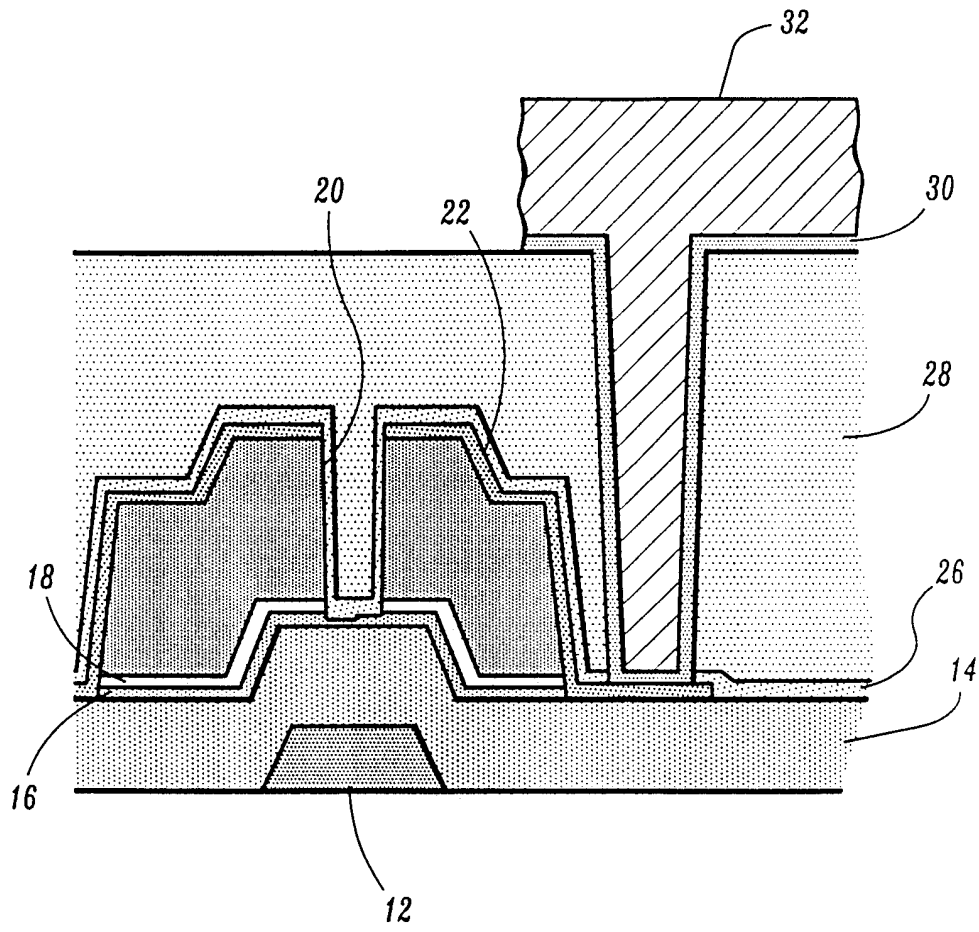


图 5B

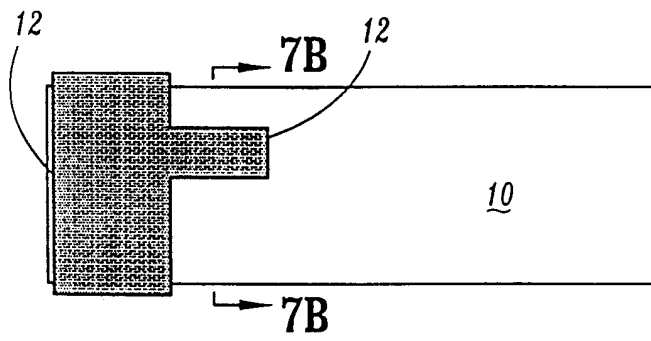


图 7A

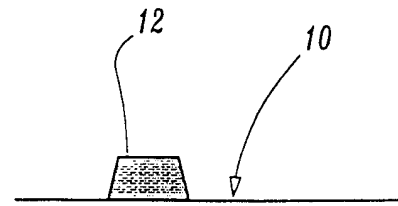


图 7B

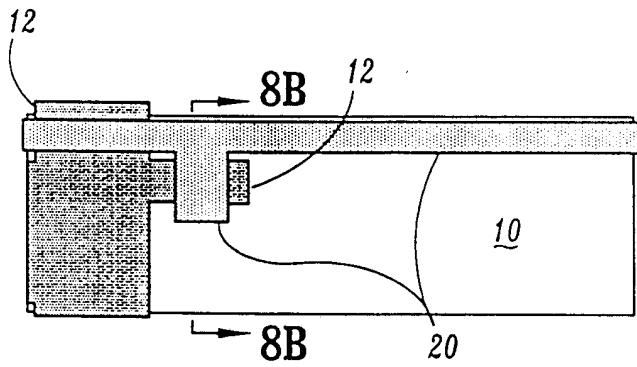


图 8A

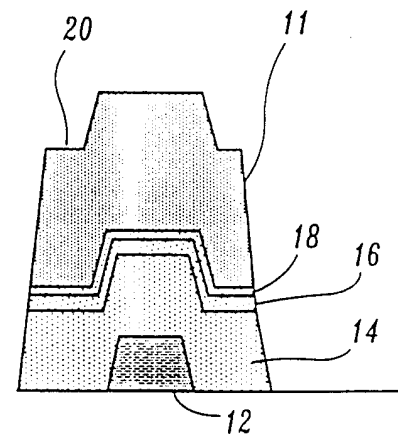


图 8B

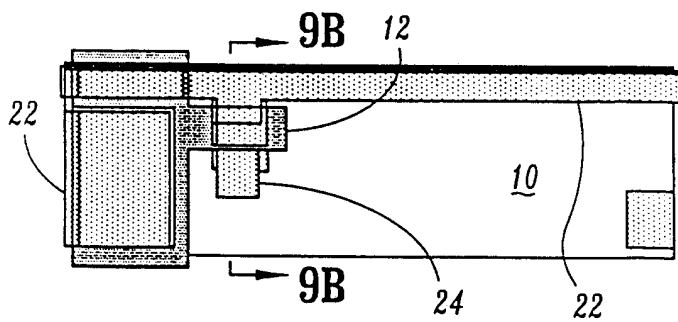


图 9A

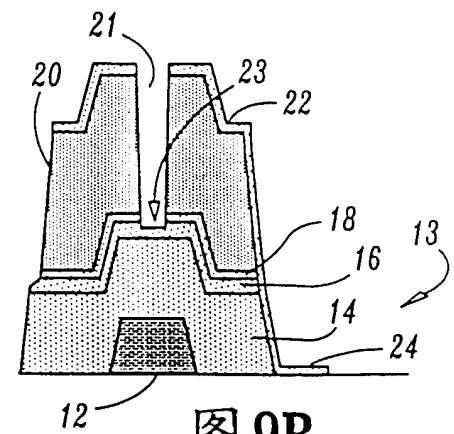


图 9B

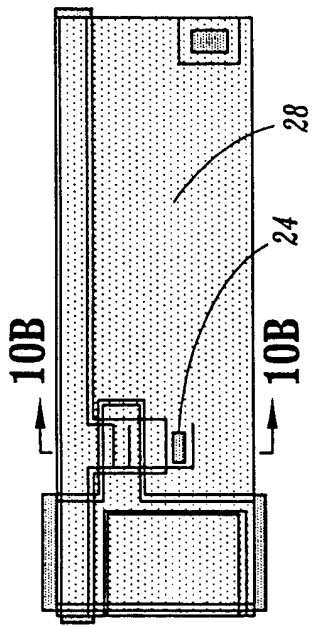


图 10A

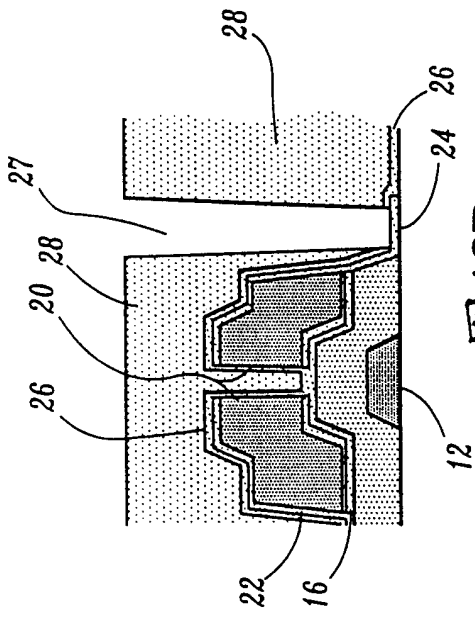


图 10B

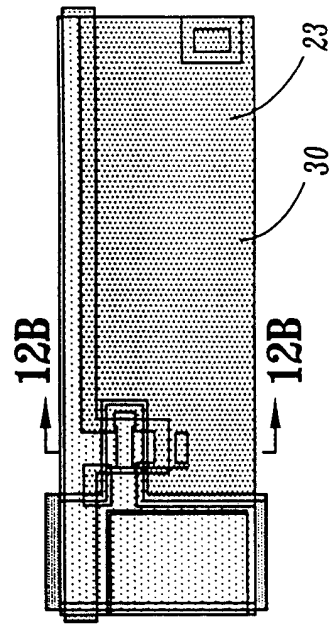


图 12A

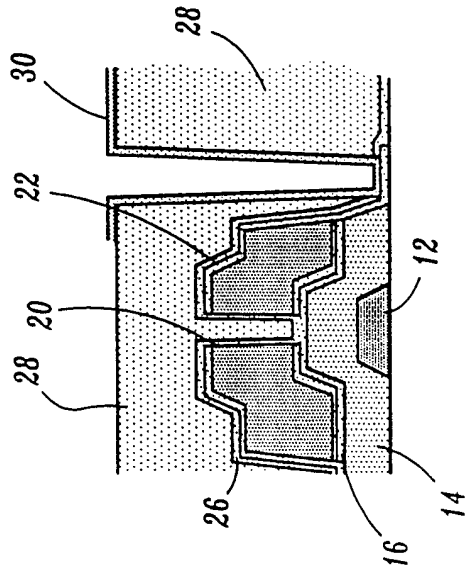


图 12B

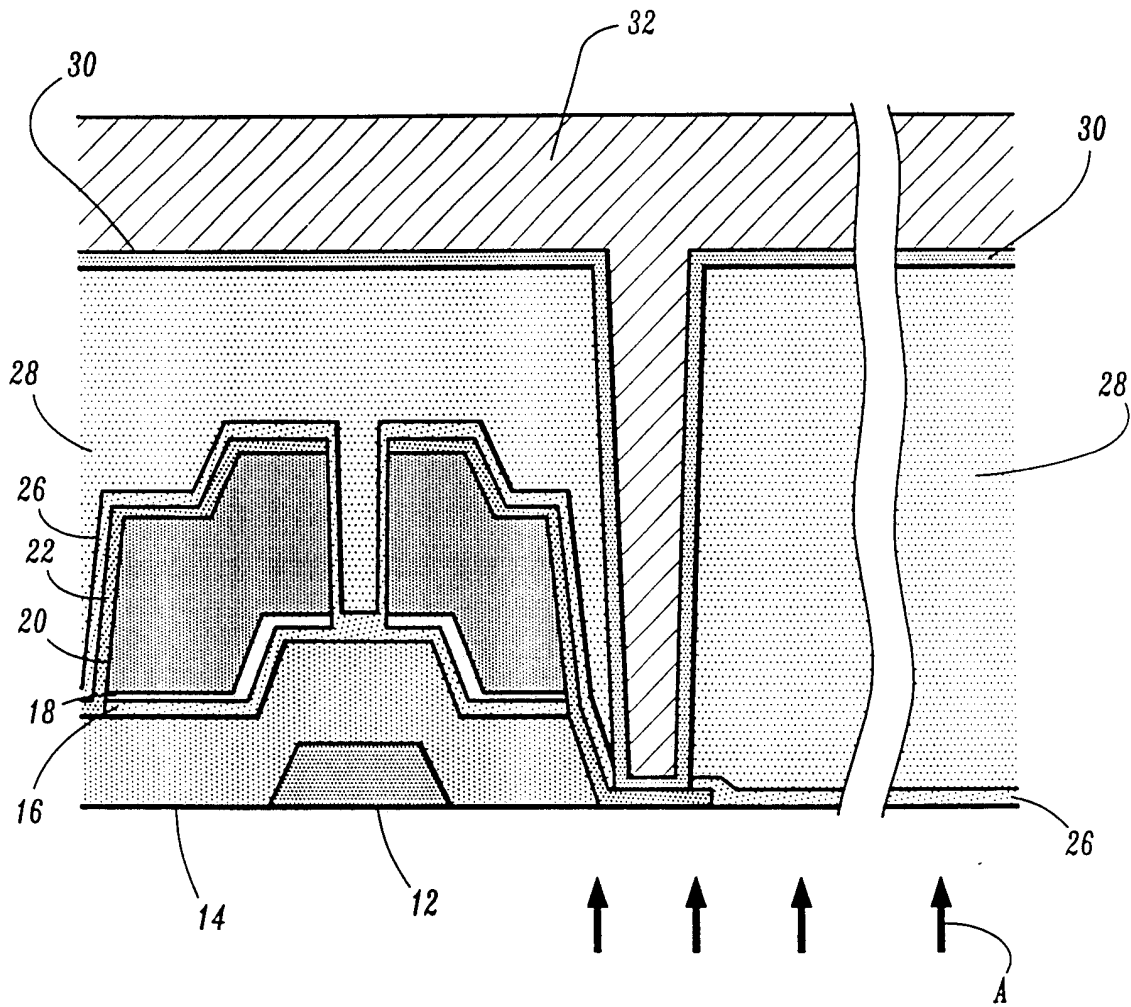


图 11A

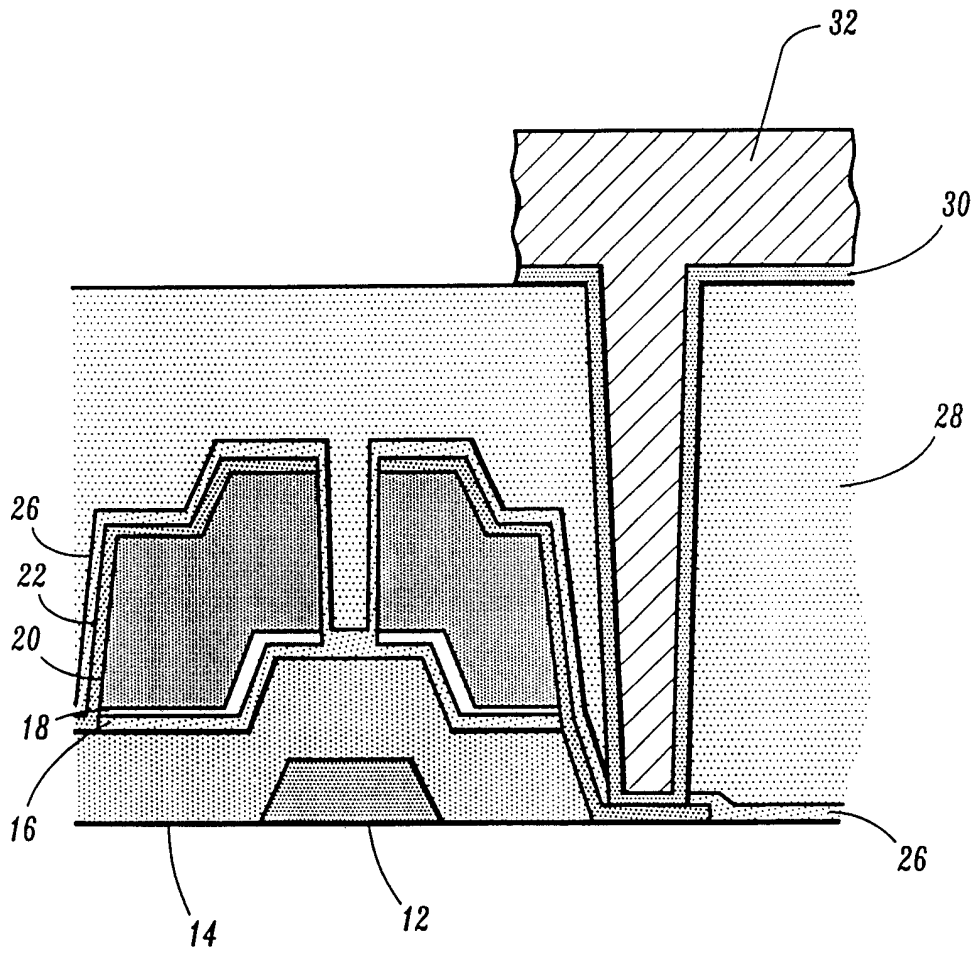


图 11B