

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 27/11 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년04월24일 10-0573276 2006년04월17일
---------------------------------------	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0101390 2003년12월31일	(65) 공개번호 (43) 공개일자	10-2005-0069366 2005년07월05일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	동부아남반도체 주식회사 서울 강남구 대치동 891-10
(72) 발명자	안희균 경기도부천시원미구중2동꿈마을아파트1009-503
(74) 대리인	서천석

심사관 : 정병홍

(54) 에스램 소자 및 그 제조방법

요약

본 발명은 국부 연결(Local Interconnection) 공정을 이용하여 SRAM 소자 단위셀의 콘택홀 개수를 줄임으로써 공정 마진 확보 및 소자의 미세화를 담보할 수 있는 SRAM 소자 및 그 제조방법에 관한 것으로서,

본 발명에 따른 SRAM 소자는 제 1 및 제 2 부하 소자와 제 1 및 제 2 구동 트랜지스터를 포함하여 구성되는 SRAM 소자에 있어서, 소자분리막에 의해 정의되는 액티브 영역을 구비하는 반도체 기판;과, 상기 소자분리막 좌우의 액티브 영역에 각각 형성된 상기 제 2 부하 소자의 게이트 전극과 제 2 구동 트랜지스터의 게이트 전극;과, 상기 소자분리막 좌우의 액티브 영역의 소정 부분 및 소자분리막 영역에 상응하는 기판 상에 형성된 제 1 부하 소자 및 제 1 구동 트랜지스터의 공동 게이트 전극;과, 상기 제 2 부하 소자의 게이트 전극 및 제 2 구동 트랜지스터의 게이트 전극 좌우의 액티브 영역에 형성된 소스/드레인;과, 상기 게이트 전극들을 포함한 기판 전면 상에 형성된 층간절연막;과, 상기 층간절연막의 소정 부위가 식각, 제거되어 상기 공동 게이트 전극의 상부면을 노출시키도록 형성된 콘택홀;과, 상기 콘택홀에 도전성 물질이 충전되어 형성된 금속층을 포함하여 이루어지는 것을 특징으로 한다.

대표도

도 5

색인어

SRAM, 국부 배선, 콘택홀

명세서

도면의 간단한 설명

도 1은 종래의 일반적인 SRAM 소자 단위셀의 회로도.

도 2는 종래의 일반적인 SRAM 소자 단위셀의 레이아웃.

도 3은 도 2의 A-A` 선에 따른 구조 단면도.

도 4는 본 발명에 따른 SRAM 소자 단위셀의 레이아웃.

도 5는 도 4의 B-B` 선에 따른 구조 단면도.

도 6a 내지 6d는 본 발명에 따른 SRAM 소자의 제조방법을 설명하기 위한 공정 단면도.

<도면의 주요 부분에 대한 설명>

401 : 반도체 기판 402 : 소자분리막

403 : 살리사이드층 404 : 층간절연막

405 : 콘택홀 406 : 플러그

421 : 제 2 부하 소자의 게이트 전극

441 : 제 2 구동 트랜지스터의 게이트 전극

471 : 공동 게이트 전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 SRAM 소자 및 그 제조방법에 관한 것으로서, 보다 상세하게는 국부 연결(Local Interconnection) 공정을 이용하여 SRAM 소자 단위셀의 콘택홀 개수를 줄임으로써 공정 마진 확보 및 소자의 미세화를 담보할 수 있는 SRAM 소자 및 그 제조방법에 관한 것이다.

일반적으로, SRAM(Static Random Access Memory)의 단위셀(unit cell)은 6개의 트랜지스터(6T)로 구성되는데, 구체적으로 2개의 구동 트랜지스터(Drive Transistor), 2개의 액세스 트랜지스터(Access Transistor), 2개의 부하 소자(Load element)로 구성된다.

상기 6개의 트랜지스터로 구성되는 일반적인 SRAM 단위셀의 회로도 및 레이아웃을 살펴보면 다음과 같다. 도 1은 일반적인 SRAM 소자 단위셀의 회로도이고, 도 2는 일반적인 SRAM 소자 단위셀의 레이아웃(layout)이다.

도 1 및 도 2에 도시한 바와 같이, 각각의 게이트에 워드라인(WL)이 연결되고 드레인에 정비트라인(BL) 및 부비트라인(/BL)이 연결된 액세스 트랜지스터(Q1, Q3)(250, 260)와, 소스단에 전원전압(Vcc)이 인가된 부하 소자(Q5, Q6)(210, 220)와, 상기 부하 소자(Q5, Q6)(210, 220)의 드레인단과 상기 액세스 트랜지스터(Q1, Q3)(250, 260)의 소스단이 공통 연결된 정셀노드(N) 및 부셀노드(/N)와, 상기 부하 소자(Q5, Q6)와 직렬로 연결되고 공통으로 게이트가 연결된 CMOS 구조를 가지며 상기 게이트가 상기 정셀노드(N) 및 부셀노드(/N)에 교차 결합되는 구동 트랜지스터(Q2, Q4)(230, 240)로 구성된다. 참고로, 도 2의 점선 부분이 6T SRAM 소자의 단위셀에 해당되며, 상기 단위셀 내의 실선 부분이 액티브 영역에 해당된다. 또한, 해칭되어 있는 사각형은 콘택홀(206)을 나타낸다.

도 2의 레이아웃을 참고하면, 부하 소자(210)와 구동 트랜지스터(230)의 게이트에 각각 동기 신호를 인가하는 공동 게이트 전극(271)이 구비된다. 또한, 도면에 도시하지 않았지만 상기 6개의 트랜지스터는 그 상부에 층간절연막을 매개로 상부

배선이 형성되어 있는데, 상기 트랜지스터와 증간절연막의 전기적 연결을 위해 콘택홀이 형성되어 있으며 상기 콘택홀(206)에는 플러그가 충전되어 있다. 통상의 SRAM 소자의 단위셀에 있어서, 트랜지스터와 금속배선의 연결을 위한 콘택홀은 도 2에 도시한 바와 같이 8.5개가 형성된다. 세부적으로, 상기 8.5개의 콘택홀은 트랜지스터의 접합층(소스/드레인 영역)과의 연결을 위한 콘택홀이 6.5개이고, 트랜지스터의 공동 게이트 전극과의 연결을 위한 콘택홀이 2개이다.

최근, 반도체 소자가 고집적화됨에 따라 디자인 룰(design rule)이 축소되고 있다. 이에 따라, SRAM 소자의 단위셀 면적 또한 축소되고 있다. 그러나, 6T SRAM 소자의 단위셀은 전술한 바와 같이, 단위셀당 8.5개의 콘택홀이 요구되는 바, 콘택홀이 단위셀 내에서 고정적으로 차지하는 면적이 상당하다. 따라서, SRAM 소자의 고집적화를 기하기 위해서는 디자인 룰의 미세화뿐만 아니라, SRAM 소자의 단위셀에서 요구되는 콘택홀의 개수 역시 최소화할 필요가 있다.

SRAM 소자의 단위셀에서 콘택홀의 개수를 줄이는 해법을 찾기 위한 방안의 일환으로서, 도 2의 A-A` 선에 따른 단면을 살펴보자. 도 3은 도 2의 A-A` 선에 따른 구조 단면도이다.

도 3에 도시한 바와 같이, 반도체 기판(201)의 액티브 영역을 정의하는 필드 영역에 소자분리막(202)이 형성되어 있으며, 상기 액티브 영역의 반도체 기판(201) 상에는 구동 트랜지스터 및 부하 소자(Load element)의 게이트 전극(203, 204)이 각각 형성되어 있다. 또한, 상기 게이트 전극들(203, 204)의 좌우에는 소스/드레인(S/D)이 구비되어 있다. 도면에 도시하지 않았지만, 상기 게이트 전극들(203, 204)의 하부에는 게이트 절연막을 구비할 수 있으며, 상기 게이트 전극의 측벽에는 스페이서가 형성될 수 있다.

상기 게이트 전극들(203, 204) 사이에는 부하 소자 및 구동 트랜지스터의 게이트 전극에 동기 신호를 인가하기 위한 공동 게이트 전극(271)이 형성되어 있다. 또한, 상기 공동 게이트 전극(271)을 포함한 기판 전면 상에는 증간절연막(205)이 구비되어 있으며, 상기 증간절연막(205) 상에는 상부 배선(도시하지 않음)이 형성되어 있다. 여기서, 상기 소스/드레인(S/D) 및 공동 게이트 전극(271)은 플러그(207)를 통해 상기 상부 배선(도시하지 않음)과 전기적 연결을 갖는데, 상기 플러그(207)는 상기 증간절연막의 소정 부위가 식각되어 형성된 콘택홀(206) 내에 충전된 것이다. 상기 콘택홀(206)은 상기 두 개의 트랜지스터의 접합층(소스 또는 드레인)과 공동 게이트 전극(271)을 노출하도록 상기 증간절연막(205)을 식각하여 형성한 것이다.

### 발명이 이루고자 하는 기술적 과제

종래의 SRAM 소자의 단위셀에 있어서, 도 2의 A-A` 선에 따른 단면에서와 같이, 상부 배선과 부하 소자, 공동 게이트 전극, 구동 트랜지스터의 전기적 연결을 위한 콘택홀이 3개가 요구됨을 알 수 있다.

한편, 상기 부하 소자, 공동 게이트 전극 및 구동 트랜지스터에 각각 형성되는 콘택홀들은 도 2에 도시한 바와 같이 거의 동일선상에 형성됨을 알 수 있다. 이와 같이, 콘택홀이 동일선상에 형성되고 밀집됨에 따라 디자인 룰이 미세화될수록 공정 마진(margin)이 작아지는 문제가 있다. 이와 같은 문제 이외에, 전술한 바와 같이 SRAM 소자의 단위셀에 요구되는 콘택홀이 8.5개로 고정됨에 따라 반도체 소자의 고집적화에 어려움이 따른다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 국부 연결(Local Interconnection) 공정을 이용하여 SRAM 소자 단위셀의 콘택홀 개수를 줄임으로써 공정 마진 확보 및 소자의 미세화를 담보할 수 있는 SRAM 소자 및 그 제조방법을 제공하는 것을 목적으로 한다.

### 발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 SRAM 소자는 제 1 및 제 2 부하 소자와 제 1 및 제 2 구동 트랜지스터를 포함하여 구성되는 SRAM 소자에 있어서, 상기 제 1 부하 소자의 게이트 전극 및 제 1 구동 트랜지스터의 게이트 전극에 일체형으로 연결되어 상기 게이트 전극들에 동기 신호를 인가하는 공동 게이트 전극이, 상기 제 2 부하 소자의 접합층 및 제 2 구동 트랜지스터의 접합층 영역에 겹치도록 반도체 기판 상부에 형성되며, 상기 공동 게이트 전극이 콘택홀을 통해 상부 배선과 전기적 연결을 갖는 것을 특징으로 한다.

바람직하게는, 상기 제 2 부하 소자의 접합층 및 제 2 구동 트랜지스터의 접합층 영역의 기판 상과 상기 공동 게이트 전극 상에 실리사이드층이 더 형성된다.

바람직하게는, 상기 콘택홀은 상기 실리사이드층을 노출시키도록 형성된다.

본 발명에 따른 SRAM 소자는 제 1 및 제 2 부하 소자와 제 1 및 제 2 구동 트랜지스터를 포함하여 구성되는 SRAM 소자에 있어서, 소자분리막에 의해 정의되는 액티브 영역을 구비하는 반도체 기판;과, 상기 소자분리막 좌우의 액티브 영역에 각각 형성된 상기 제 2 부하 소자의 게이트 전극과 제 2 구동 트랜지스터의 게이트 전극;과, 상기 소자분리막 좌우의 액티브 영역의 소정 부분 및 소자분리막 영역에 상응하는 기판 상에 형성된 제 1 부하 소자 및 제 1 구동 트랜지스터의 공동 게이트 전극;과, 상기 제 2 부하 소자의 게이트 전극 및 제 2 구동 트랜지스터의 게이트 전극 좌우의 액티브 영역에 형성된 소스/드레인;과, 상기 게이트 전극들을 포함한 기판 전면 상에 형성된 층간절연막;과, 상기 층간절연막의 소정 부위가 식각, 제거되어 상기 공동 게이트 전극의 상부면을 노출시키도록 형성된 콘택홀;과, 상기 콘택홀에 도전성 물질이 충전되어 형성된 금속층을 포함하여 이루어지는 것을 특징으로 한다.

바람직하게는, 상기 소스/드레인의 기판 상 및 공동 게이트 전극 상에 실리사이드층이 더 형성된다.

바람직하게는, 상기 콘택홀은 상기 실리사이드층을 노출시키도록 형성된다.

본 발명에 따른 SRAM 소자는 제 1 및 제 2 부하 소자와 제 1 및 제 2 구동 트랜지스터를 포함하여 구성되는 SRAM 소자의 제조방법에 있어서, 소자분리막을 형성하여 액티브 영역을 정의하는 단계;와, 소자 분리막 좌우의 액티브 영역에 각각 상기 제 2 부하 소자의 게이트 전극과 제 2 구동 트랜지스터의 게이트 전극을 형성함과 동시에 상기 소자분리막 좌우의 액티브 영역의 소정 부분 및 소자분리막 영역에 상응하는 기판 상에 상기 제 1 부하 소자 및 제 1 구동 트랜지스터의 공동 게이트 전극을 형성하는 단계;와, 상기 제 2 부하 소자의 게이트 전극 및 제 2 구동 트랜지스터의 게이트 전극 좌우의 액티브 영역에 소스/드레인을 형성하는 단계;와, 상기 게이트 전극들을 포함한 기판 전면 상에 층간절연막을 적층하는 단계;와, 상기 층간절연막의 소정 부위를 식각, 제거하여 상기 공동 게이트 전극의 상부면이 노출되도록 하는 단계;와, 상기 콘택홀에 금속층을 매립하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

바람직하게는, 상기 소스/드레인을 형성하는 단계 이후, 층간절연막을 적층하는 단계를 진행하기 전에, 상기 소스/드레인 및 공동 게이트 전극 상에 실리사이드층을 형성하는 단계를 더 포함할 수 있다.

바람직하게는, 상기 콘택홀은 상기 실리사이드층을 노출시키도록 형성할 수 있다.

본 발명의 특징에 따르면, 부하 소자, 구동 트랜지스터 및 상기 부하 소자와 구동 트랜지스터의 게이트에 동기 신호를 인가하는 공동 게이트 전극을 구비하는 SRAM 소자에 있어서, 상기 부하 소자, 구동 트랜지스터 및 공동 게이트 전극의 상부 배선과의 전기적 연결을 위한 콘택홀을 1개만 구비시킴으로써 공정 단순화 및 소자의 미세화를 구현할 수 있게 된다.

이하, 도면을 참조하여 본 발명에 따른 SRAM 소자 및 그 제조방법을 상세히 설명하기로 한다. 도 4는 본 발명에 따른 SRAM 소자 단위셀의 레이아웃이다.

도 4에 도시한 바와 같이, 본 발명에 따른 SRAM 소자의 단위셀은 종래의 일반적인 SRAM 소자와 마찬가지로 6개의 트랜지스터 즉, 2개의 부하 소자(410, 420), 2개의 구동 트랜지스터(430, 440), 2개의 액세스 트랜지스터(450, 460)가 횡렬로 정렬되어 있다. 단위셀의 중앙 부위에 2개의 부하 소자(410, 420) 및 2개의 구동 트랜지스터(430, 440)가 밀집되어 있으며, 상기 구동 트랜지스터의 일측부에 2개의 액세스 트랜지스터(450, 460)가 구비되어 있다. 상기 액세스 트랜지스터의 게이트는 워드 라인과 연결되어 있다.

한편, 상기 제 1 부하 소자 및 제 1 구동 트랜지스터의 게이트 전극들(411, 431)은 일체형으로 연결되어 있으며, 일단에 상부 배선(도시하지 않음)으로부터 전기적 신호를 인가 받아 상기 제 1 부하 소자(410) 및 제 1 구동 트랜지스터(430)에 동기 신호를 전달하는 공동 게이트 전극(471)이 형성되어 있다. 상기 제 1 부하 소자(410) 및 제 1 구동 트랜지스터(430)의 공동 게이트 전극(471) 이외에 상기 제 2 부하 소자(420) 및 제 2 구동 트랜지스터(440)를 위한 공동 게이트 전극(도시하지 않음)이 다른 단위셀에 구비되어 있음은 물론이다.

상기 제 1 부하 소자 및 제 1 구동 트랜지스터의 공동 게이트 전극 패턴(471)은 그 일단이 상기 제 2 부하 소자(420) 및 제 2 구동 트랜지스터(440)의 액티브 영역 정확히는, 소스 또는 드레인 영역에 겹치도록 형성되어 있다. 상기 공동 게이트 전극 패턴(471)은 도핑된 폴리실리콘을 사용할 수 있다.

한편, 도 4의 액티브 영역 및 공동 게이트 전극 등의 게이트 상에는 상부 배선과의 전기적 연결을 위한 콘택홀(405)이 복수 개 형성되어 있다. 본 발명의 SRAM 단위셀에 형성된 콘택홀(405)은 공동 게이트 전극(471)을 포함한 트랜지스터의 게이

트 패턴 상에 형성되어 있는 2개의 콘택홀과 트랜지스터의 접합층(소스/드레인 영역) 상에 형성되어 있는 4.5개의 콘택홀로 구성된다. 이와 같이, 본 발명의 SRAM 단위셀에 형성되어 있는 콘택홀의 총개수는 6.5개로 종래의 SRAM 단위셀에 구비되는 8.5개에 비해 2개의 콘택홀이 적다.

종래의 SRAM 단위셀에 형성된 부위별 콘택홀 개수를 비교하여 보면, 공동 게이트 전극을 포함한 게이트 상에 형성된 콘택홀의 개수는 본 발명 및 종래 기술 모두 2개로 동일하나, 트랜지스터의 접합층 상에 형성되는 콘택홀은 종래 기술이 6.5개인 반면, 본 발명은 4.5개로 본 발명이 2개 적음을 알 수 있다.

이와 같이, 트랜지스터의 접합층 상에 형성되는 콘택홀의 개수가 종래 기술보다 2개가 적은 이유는 다음과 같다.

종래 기술의 경우, SRAM 단위셀 내의 동일선상에 위치하는 제 1 부하 소자(210)의 접합층, 공동 게이트 전극(271) 및 제 1 구동 트랜지스터(230)의 접합층의 상부 배선과의 전기적 연결을 위해 각각의 콘택홀을 구비시켰으나, 본 발명에 있어서는 상술한 바와 같이 공동 게이트 전극 패턴의 일단을 상기 제 2 부하 소자(420)의 접합층 및 제 2 구동 트랜지스터(440)의 접합층 영역과 겹치도록 형성하여 상부 배선과의 전기적 연결을 위한 콘택홀을 상기 공동 게이트 전극 패턴 상의 임의의 한 곳에만 형성하도록 했기 때문이다. 즉, 상기 공동 게이트 전극 패턴은 제 2 부하 소자 및 제 2 구동 트랜지스터를 오버랩하여 형성됨에 따라 공동 게이트 전극 패턴 상의 콘택홀이 복수개 형성될 필요가 없다. 이에 따라, 종래의 이 부위에 형성되었던 3개의 콘택홀을 1개의 콘택홀로 줄일 수 있게 되는 것이다.

상기 3개의 콘택홀을 1개의 콘택홀을 줄인 부위의 구조를 보다 상세히 살펴보면 다음과 같다. 도 5는 도 4의 B-B' 선에 따른 구조 단면도이다.

도 5에 도시한 바와 같이, 반도체 기판(401) 상에 필드 영역에 의해 액티브 영역이 정의되어 있으며, 상기 필드 영역에는 셸로우 트렌치 아이솔레이션(Shallow Trench Isolation, STI) 공정 또는 LOCOS(Local Oxidation Of Silicon) 공정 등의 소자 분리 공정을 통해 형성된 소자분리막(402)이 형성되어 있다.

상기 소자분리막(402) 좌우의 액티브 영역에는 제 2 부하 소자의 게이트 전극(421)과 제 2 구동 트랜지스터의 게이트 전극(441)이 각각 형성되어 있다. 상기 각각의 게이트 전극 좌우의 기판 내부에는 소정의 접합층 즉, 소스/드레인 영역(S/D)이 형성되어 있다.

상기 소자분리막(402) 상에는 정확히는, 상기 소자분리막(402)과 상기 제 2 부하 소자의 접합층 및 상기 제 2 구동 트랜지스터의 접합층의 일부 영역에 상응하는 기판 상에는 공동 게이트 전극 패턴(471)이 형성되어 있다. 상기 공동 게이트 전극 패턴(471)은 도핑된 폴리실리콘층으로 형성할 수 있다.

상기 제 2 부하 소자의 접합층(D) 및 제 2 구동 트랜지스터의 접합층(D)의 기판 상과 상기 공동 게이트 전극 패턴(471) 상에는 살리사이드(Self-Aligned silicide)층(403)이 형성되어 있다. 상기 살리사이드층(403)은 일 예로, 티타늄 실리사이드(Ti-silicide), 코발트 실리사이드(Co-silicide), 몰리브덴 실리사이드(Mo-silicide) 등으로 형성할 수 있다.

상기 살리사이드층(403)을 포함한 기판 전면 상에는 층간절연막(404)이 형성되어 있으며, 상기 살리사이드층(403)이 노출되도록 상기 층간절연막(404)의 소정 부위가 식각되어 형성된 콘택홀(405)이 구비되어 있다. 상기 콘택홀(405)에는 텅스텐(W)과 같은 도전성 금속층이 충전되어 플러그(406)가 형성되어 있으며, 상기 플러그(406)를 포함한 층간절연막(404) 상에는 알루미늄, 구리 등의 물질로 이루어진 상부 배선이 형성되어 있다.

여기서, 상기 층간절연막(404)의 소정 부위가 식각되어 형성되는 콘택홀(405)은 상기 살리사이드층(403)을 노출시킨다는 전제 하에 상기 살리사이드층(403)의 임의의 곳에 형성될 수 있다.

이와 같은 구조를 갖는 본 발명의 SRAM 소자에 대한 제조 공정을 설명하면 다음과 같다. 도 6a 내지 6d는 본 발명에 따른 SRAM 소자의 제조방법을 설명하기 위한 공정 단면도이다. 참고로, 도 6a 내지 6d는 도 4의 B-B' 선에 따른 단면에 대한 공정 흐름을 나타낸 것이다.

먼저, 도 6a에 도시한 바와 같이, 반도체 기판(401)의 액티브 영역을 정의하기 위해 소자 분리 공정, 예를 들어 STI(Shallow Trench Isolation, STI) 공정을 이용하여 상기 반도체 기판(401)의 필드 영역에 소자분리막(402)을 형성한다. 이어, 상기 반도체 기판의 액티브 영역 상에 게이트 절연막을 위한 산화막(도시하지 않음)을 열산화 공정으로 성장시킨다. 그런 다음, 상기 산화막 상에 게이트 전극(104)을 위한 도전층을 적층한다. 상기 도전층으로는 고농도 불순물 이온이 도핑된 폴리실리콘층이 사용될 수 있다.

이와 같은 상태에서, 상기 도전층 및 산화막을 선택적으로 패터닝하여 상기 액티브 영역 상에 제 2 부하 소자의 게이트 전극 패턴(421), 공동 게이트 전극 패턴(471) 및 제 2 구동 트랜지스터의 게이트 전극 패턴(441)을 형성한다.

상기 게이트 전극 패턴들이 형성된 상태에서, 도 6b에 도시한 바와 같이 고농도의 불순물 이온을 주입한 다음, 열처리 공정을 실시하여 상기 제 2 부하 소자의 게이트 전극(421) 및 제 2 구동 트랜지스터의 게이트 전극(441)의 좌우 양측의 액티브 영역에 접합층 즉, 소스/드레인을 형성한다.

물론, 상기 소스/드레인을 형성하기 전에 게이트 전극들(421, 441) 좌우의 액티브 영역에 엘디디(Lightly Doped Drain, LDD) 구조를 저농도의 불순물 이온 주입 공정을 실시할 수도 있다. 상기 LDD 구조를 형성하는 형태라면, 상기 소스/드레인을 형성하기 전에 상기 게이트 전극의 측벽에 스페이서를 먼저 형성해야 한다.

한편, 상기 접합층(소스/드레인)을 형성한 후에, 상기 게이트 전극 패턴을 포함한 기판 전면 상에 티타늄(Ti), 코발트(Co) 또는 니켈(Ni)과 같은 비저항이 낮은 고용점 금속층을 적층시킨다. 이어서, 고용점 금속층을 급속 열처리 공정(Rapid Thermal Processing: RTP) 또는 통상적인 로(Furnace)를 이용한 통상적인 열처리 공정에 의해 질소(N<sub>2</sub>) 가스이나, 헬륨(He) 또는 아르곤(Ar)과 같은 불활성 가스 분위기에서 열처리시킨다. 이에 따라, 상기 게이트 전극들 및 소스/드레인 상의 고용점 금속층은 반도체 기판 또는 게이트 전극의 실리콘과 반응하여 실리사이드층으로 변환되나, 그 이외의 영역 상의 고용점 금속층은 미반응한 채 그대로 잔존한다. 상기 미반응 고용점 금속층을 식각하여 제거하면, 살리사이드층(403)은 완성된다.

여기서, 상기 살리사이드층(403)의 형성 공정을 진행함에 있어 상기 공동 게이트 전극 패턴(471) 및 상기 접합층들 상에만 살리사이드층(403)을 선택적으로 형성할 수도 있다. 도 6b는 상기 공동 게이트 전극 패턴(471) 및 상기 접합층들 상에만 살리사이드층(403)을 형성한 것을 도시한 것이다.

상기 살리사이드층(403)이 형성된 상태에서, 도 6c에 도시한 바와 같이 상기 살리사이드층(403)을 포함한 기판 전면 상에 층간절연막(404)을 형성한다. 상기 층간절연막(404)은 BPSG(Boro Phosphorous Silicate Glass) 등과 같은 통상의 산화막으로 형성할 수 있다. 이어, 상기 층간절연막(404)의 소정 부위를 식각, 제거하여 콘택홀(405)을 형성한다. 이 때, 형성되는 콘택홀(405)은 상기 살리사이드층(403)을 노출하는 임의의 부위에 형성된다. 도 6c의 점선은 이와 같은 콘택홀(405) 형성의 임의성을 나타낸 것이다.

상기 콘택홀(405)이 형성된 상태에서, 도 6d에 도시한 바와 같이 상기 콘택홀(405)에 도전성 금속층을 충전시켜 플러그(406)를 형성한다. 이어, 상기 플러그(406) 상에 상부 배선을 형성하면 본 발명에 따른 SRAM 소자의 제조 공정은 완료된다. 여기서, 상기 플러그(406) 및 상부 배선은 듀얼 다마신 공정을 이용하여 동시에 형성할 수도 있다.

이와 같은 공정을 통해 형성되는 SRAM 소자는 제 2 부하 소자의 접합층 및 제 2 구동 트랜지스터의 접합층 영역을 포함한 영역 상에 공동 게이트 전극 패턴(471)이 형성되고 상기 공동 게이트 전극 패턴(471) 및 상기 접합층들 상에 살리사이드층(403)이 형성됨에 따라, 상기 살리사이드층(403) 상에 형성되는 콘택홀(405)이 그 형성 위치에 무관하게 상기 제 2 부하 소자의 접합층을 위한 콘택홀, 제 2 구동 트랜지스터의 접합층을 위한 콘택홀 및 공동 게이트 전극 패턴을 위한 콘택홀의 역할을 동시에 수행하게 된다. 이에 따라, 종래 기술에 비하여 동일 부위에 형성되는 콘택홀의 개수를 3개에서 1개로 줄일 수 있게 되는 것이다.

### 발명의 효과

본 발명에 따른 SRAM 소자 및 그 제조방법은 다음과 같은 효과가 있다.

구동 트랜지스터 및 상기 부하 소자와 구동 트랜지스터의 게이트에 동기 신호를 인가하는 공동 게이트 전극을 구비하는 SRAM 소자에 있어서, 상기 부하 소자, 구동 트랜지스터 및 공동 게이트 전극의 상부 배선과의 전기적 연결을 위한 콘택홀을 1개만 구비시킴으로써 공정 단순화 및 소자의 미세화를 구현할 수 있게 된다.

### (57) 청구의 범위

#### 청구항 1.

삭제

**청구항 2.**

삭제

**청구항 3.**

삭제

**청구항 4.**

제 1 및 제 2 부하 소자와 제 1 및 제 2 구동 트랜지스터를 포함하여 구성되는 SRAM 소자의 제조방법에 있어서,  
 소자분리막을 형성하여 액티브 영역을 정의하는 단계;

소자 분리막 좌우의 액티브 영역에 각각 상기 제 2 부하 소자의 게이트 전극과 제 2 구동 트랜지스터의 게이트 전극을 형성  
 함과 동시에 상기 소자분리막 좌우의 액티브 영역의 소정 부분 및 소자분리막 영역에 상응하는 기판 상에 상기 제 1 부하  
 소자 및 제 1 구동 트랜지스터의 공동 게이트 전극을 형성하는 단계;

상기 제 2 부하 소자의 게이트 전극 및 제 2 구동 트랜지스터의 게이트 전극 좌우의 액티브 영역에 소스/드레인을 형성하  
 는 단계;

상기 소스/드레인 및 공동 게이트 전극 상에 실리사이드층을 형성하는 단계;

상기 게이트 전극들을 포함한 기판 전면 상에 층간절연막을 적층하는 단계;

상기 층간절연막의 소정 부위를 식각, 제거하여 상기 공동 게이트 전극의 상부면이 노출되도록 하는 단계;

상기 콘택홀에 금속층을 매립하는 단계를 포함하여 이루어지는 것을 특징으로 하는 SRAM 소자의 제조방법.

**청구항 5.**

삭제

**청구항 6.**

제 4 항에 있어서, 상기 콘택홀은 상기 실리사이드층을 노출시키도록 형성하는 것을 특징으로 하는 SRAM 소자의 제조방  
 법.

**청구항 7.**

제 1 및 제 2 부하 소자와 제 1 및 제 2 구동 트랜지스터를 포함하여 구성되는 SRAM 소자에 있어서,

소자분리막에 의해 정의되는 액티브 영역을 구비하는 반도체 기판;

상기 소자분리막 좌우의 액티브 영역에 각각 형성된 상기 제 2 부하 소자의 게이트 전극과 제 2 구동 트랜지스터의 게이트  
 전극;

상기 소자분리막 좌우의 액티브 영역의 소정 부분 및 소자분리막 영역에 상응하는 기판 상에 형성된 제 1 부하 소자 및 제  
 1 구동 트랜지스터의 공동 게이트 전극;

상기 제 2 부하 소자의 게이트 전극 및 제 2 구동 트랜지스터의 게이트 전극 좌우의 액티브 영역에 형성된 소스/드레인;

상기 소스/드레인의 기판 상 및 공동 게이트 전극 상에, 고용점 금속층과 게이트 전극의 실리콘과의 열처리에 의해 형성된 실리사이드층;

상기 게이트 전극들을 포함한 기판 전면 상에 형성된 층간절연막;

상기 층간절연막의 소정 부위가 식각, 제거되어 상기 공동 게이트 전극의 상부면을 노출시키도록 형성된 콘택홀;

상기 콘택홀에 도전성 물질이 충전되어 형성된 금속층을 포함하여 이루어지는 것을 특징으로 하는 SRAM 소자.

**청구항 8.**

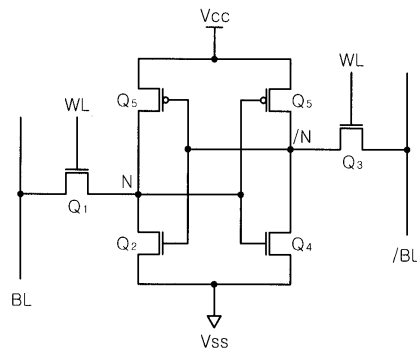
삭제

**청구항 9.**

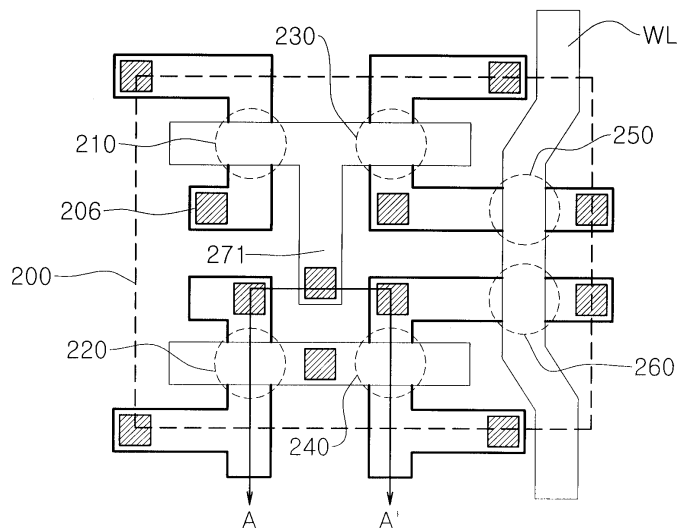
제 7 항에 있어서, 상기 콘택홀은 상기 실리사이드층을 노출시키도록 형성된 것을 특징으로 하는 SRAM 소자.

**도면**

도면1

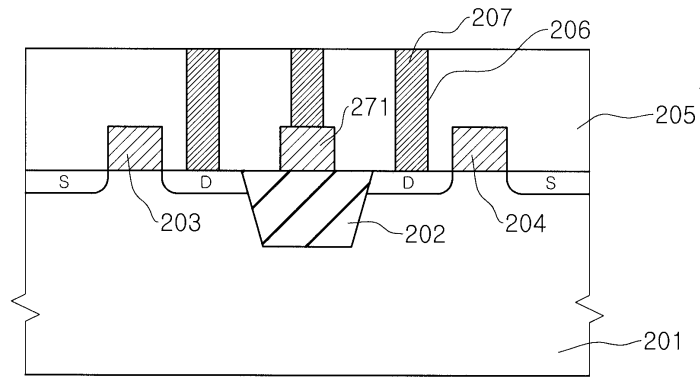


도면2

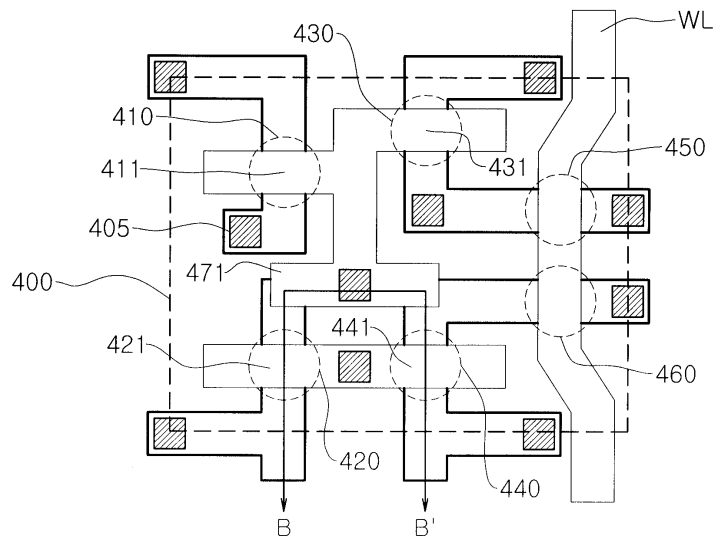




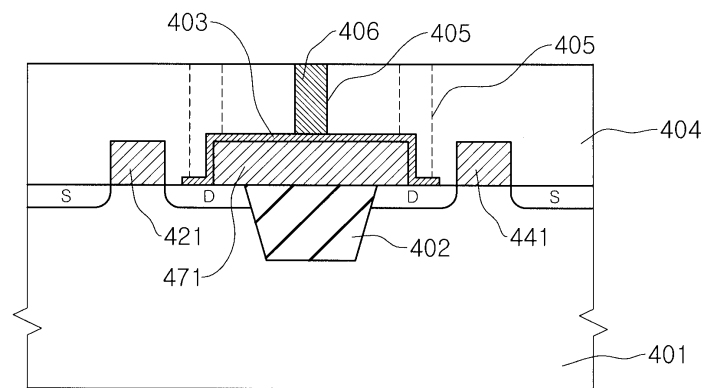
도면3



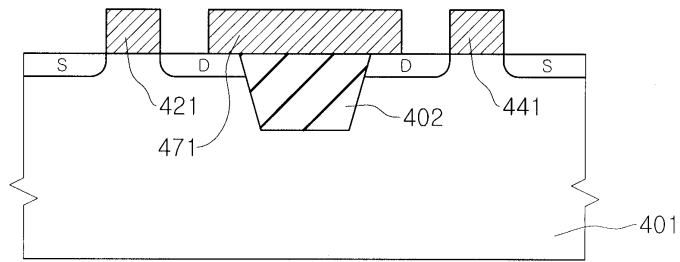
도면4



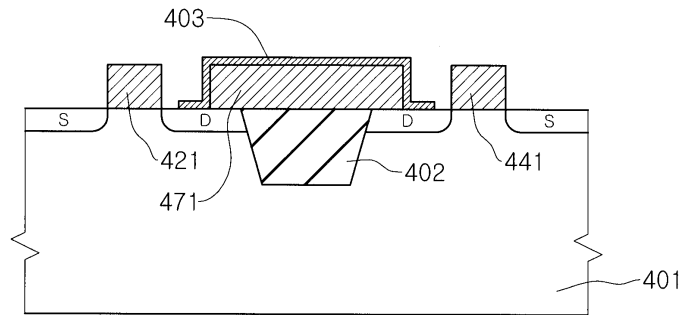
도면5



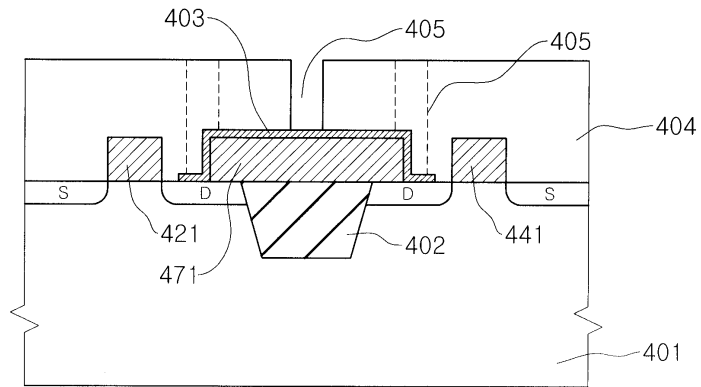
도면6a



도면6b



도면6c



도면6d

