(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0154393
(43) 공개일자 2022년11월22일

(51) 국제특허분류(Int. Cl.)
G11C 15/04 (2006.01) *G11C 11/412* (2006.01)
G11C 11/413 (2006.01)
(52) CPC특허분류
G11C 15/04 (2013.01)
G11C 11/412 (2013.01)
(21) 출원번호 10-2021-0061883
(22) 출원일자 2021년05월13일
심사청구일자 2021년09월14일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
최우영
서울특별시 용산구 원효로 216, 109동 1303호(신계동, 용산e편한세상)
(74) 대리인
정부연

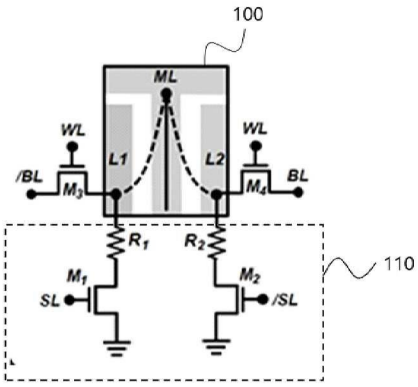
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **내용 주소화 기억 장치 및 이를 이용한 일치도 감지 방법**

(57) 요 약

본 발명은 내용 주소화 기억 장치 및 이를 이용한 데이터 일치도 감지 방법 매치라인을 기준으로 병렬로 연결된 다수의 TCAM 유닛 셀에 있어서, 상기 TCAM 유닛 셀은 상기 매치라인과 연결되고, 캔틸레버 전극, 제1 전극 및 제2 전극을 포함하는 메모리 셀과, 서치라인과 서치라인 바의 전압 인가에 따라 메모리 검색을 수행하며, 일정 값 이상의 온 저항을 갖는 제1 트랜지스터 및 제2 트랜지스터를 포함하는 비교 트랜지스터부와, 비트라인과 비트라인 바의 전압 인가에 따라 상기 캔틸레버 전극이 상기 제1 전극 및 제2 전극에 접지되는 방식으로 동작하는 제3 트랜지스터 및 제4 트랜지스터를 포함하는 접근 트랜지스터부와, 상기 매치라인의 일단에 방전 속도를 감지하는 매치라인 증폭기 회로를 포함하며, 상기 매치라인 증폭기 회로는 출력단에서 불일치 비트 수에 따라 시차를 두고 전압 강하를 일으켜 검색 데이터에 대한 데이터 일치도를 감지하는 것을 특징으로 한다.

대 표 도 - 도1a



(52) CPC특허분류
G11C 11/413 (2013.01)

명 세 서

청구범위

청구항 1

매치라인을 기준으로 병렬로 연결된 다수의 TCAM 유닛 셀에 있어서,

상기 TCAM 유닛 셀은

상기 매치라인과 연결되고, 캔틸레버 전극, 제1 전극 및 제2 전극을 포함하는 메모리 셀;

서치라인과 서치라인 바의 전압 인가에 따라 메모리 검색을 수행하며, 일정 값 이상의 온 저항을 갖는 제1 트랜지스터 및 제2 트랜지스터를 포함하는 비교 트랜지스터부;

비트라인과 비트라인 바의 전압 인가에 따라 상기 캔틸레버 전극이 상기 제1 전극 및 제2 전극에 접지되는 방식으로 동작하는 제3 트랜지스터 및 제4 트랜지스터를 포함하는 접근 트랜지스터부; 및

상기 매치라인의 일단에 방전 속도를 감지하는 매치라인 증폭기 회로를 포함하며, 상기 매치라인 증폭기 회로는 출력단에서 불일치 비트 수에 따라 시차를 두고 전압 강하를 일으켜 검색 데이터에 대한 데이터 일치도를 감지하는 것을 특징으로 하는 내용 주소화 기억 장치.

청구항 2

제1항에 있어서,

상기 비교 트랜지스터부는 상기 제1 트랜지스터 및 제2 트랜지스터와 각각 연결된 제1 저항 및 제2 저항을 더 포함하는 것을 특징으로 하는 내용 주소화 기억 장치.

청구항 3

제1항에 있어서,

상기 비교 트랜지스터부는 상기 제1 트랜지스터 및 제2 트랜지스터의 사이즈를 조절하여 온 저항을 증가시키는 것을 특징으로 하는 내용 주소화 기억 장치.

청구항 4

제1항에 있어서,

상기 비교 트랜지스터부는 상기 제1 트랜지스터 및 상기 제2 트랜지스터의 게이트와 연결된 상기 서치라인에 인가되는 전압을 조절하여 온 저항을 증가시키는 것을 특징으로 하는 내용 주소화 기억 장치.

청구항 5

제1항에 있어서,

상기 비교 트랜지스터부의 상기 제1 트랜지스터 및 제2 트랜지스터는 터널링 전계 효과 트랜지스터(TFET)로 구성하여 온 저항을 증가시키는 것을 특징으로 하는 내용 주소화 기억 장치.

청구항 6

매치 라인을 기준으로 병렬로 연결된 다수의 TCAM 유닛 셀에서 데이터 검색은 상기 유닛 셀의 비교 트랜지스터부를 통해 동작하며,

상기 비교 트랜지스터부의 제1 트랜지스터의 게이트에 연결된 서치라인 및 제2 트랜지스터의 게이트에 연결된 서치라인 바에 검색하고자 하는 검색 데이터를 인가하는 단계; 및

저장된 데이터와 상기 검색 데이터의 일치/불일치 여부를 감지하되, 불일치 비트 수에 따른 출력단 전압 강하의 시차 구분을 통해 데이터 일치도를 감지하는 단계

를 포함하는 것을 특징으로 하는 내용 주소화 기억 장치를 이용한 데이터 일치도 감지 방법.

청구항 7

제6항에 있어서,

상기 비교 트랜지스터부는

상기 제1 트랜지스터 및 제2 트랜지스터와 각각 연결된 제1 저항 및 제2 저항을 더 포함하는 것을 특징으로 하는 내용 주소화 기억 장치를 이용한 데이터 일치도 감지 방법.

청구항 8

제6항에 있어서,

상기 비교 트랜지스터부는 상기 제1 트랜지스터 및 제2 트랜지스터의 사이즈를 조절하여 온 저항을 증가시키는 것을 특징으로 하는 내용 주소화 기억 장치를 이용한 데이터 일치도 감지 방법.

청구항 9

제6항에 있어서,

상기 데이터 검색 시'0'을 검색하고자 하는 경우에는 상기 서치라인에 저전압(GND)를 인가하고, 서치라인 바에 고전압(VDD)를 인가하고,

상기 데이터 검색 시'1'을 검색하고자 하는 경우에는 서치라인에 고전압(VDD)을 인가하고, 상기 서치라인 바에 저전압(GND)을 인가하는 것을 특징으로 하는 내용 주소화 기억 장치를 이용한 데이터 일치도 감지 방법.

청구항 10

제6항에 있어서,

상기 저장된 데이터와 검색 데이터가 일치하는 경우 매치라인이 고전압으로 유지되는 것을 특징으로 하는 내용 주소화 기억 장치를 이용한 데이터 일치도 감지 방법.

청구항 11

제6항에 있어서,

상기 저장된 데이터와 검색 데이터가 불일치할 경우, 상기 매치라인이 방전되며 불일치하는 비트 수가 증가할수록 상기 매치라인의 방전속도가 증가하는 것을 특징으로 하는 내용 주소화 기억 장치를 이용한 데이터 일치도 감지 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 내용 주소화 기억 장치를 이용한 일치도 감지 방법에 관한 것으로, 보다 상세하게는 불일치 비트 수에 따른 매치 라인 방전 시간을 구분하여 검색 데이터에 대한 일치도 감지가 가능한 내용 주소화 기억 장치를 이용한 일치도 감지 방법에 관한 것이다.

배 경 기 술

[0003] 최근 인공지능, 빅데이터 분야에서 대용량 반도체 메모리 소자에 대한 수요가 증가하고 있다. 기존의 임의 접근 기억 장치로 대표되는 메모리 소자의 경우 데이터 저장 기능만을 담당하며, 데이터의 연산은 대부분 중앙 처리 장치 (central processing unit, CPU)에서 수행된다. 따라서, 데이터 연산 동작은 메모리 소자에 저장된 데이터를 중앙 처리 장치로 불러와 연산한 뒤 그 결과를 다시 메모리 소자에 저장하는 과정을 반복하게 된다. 이는 필연적으로 CPU와 메모리 소자 간의 데이터 버스 체증을 유발하여 저전력/고성능 반도체 칩 구현에 한계가 되고 있다.

[0004] 한편, 내용 주소화 기억 장치는 기존의 임의 접근 기억 장치와는 다르게, 데이터 저장 기능뿐만 아니라 데이터 검색 기능을 수행할 수 있다. 또한, 이런 검색 동작은 모든 저장된 데이터와 검색 데이터를 동시에 병렬적으로 비교하여 수행하기 때문에 고속 동작이 가능하다. 따라서, CPU와 메모리 간의 상호작용 없이 메모리 소자 내에서 저전력/고성능 검색이 가능한 메모리 소자로서 인공지능, 딥러닝 분야에서 각광받고 있다. 그러나, 기존의 CMOS (SRAM) 기반의 터너리 내용 주소화 기억 장치는 16개의 트랜지스터로 이루어져 있어서 대용량 집적 및 활용에는 한계가 존재한다. 이를 극복하기 위하여 자기 저항 메모리 또는 상변화 메모리와 같은 차세대 비휘발성 메모리를 적용한 내용 주소화 기억 장치가 제안되었지만, 낮은 on/off 저항 비로 인하여 감지 마진이 저하되며 일치도를 감지하는 등의 응용에는 한계가 있다.

[0006] 한국공개특허 10-2020-0132442호는 내용 주소화 메모리 장치 및 그 동작 방법에 관한 것으로, 내용 주소화 메모리 장치에 있어서, 제 1 측면에 따른 내용 주소화 메모리 장치 는 직렬 접속된 복수의 내용 주소화 메모리 셀들을 각각 포함하는 복수의 워드라인들; 검색하고자 하는 검색 값 에 따라, 상기 내용 주소화 메모리 셀에 제 1 검색 비트 및 반전된 제 1 검색 비트를 각각 전달하는 검색 데이 터 레지스터; 상기 내용 주소화 메모리 셀의 매치라인에 프리차지 전압을 상기 워드라인 단위로 인가하는 매치 라인 프리차지부; 상기 내용 주소화 메모리 셀의 접지라인의 단부와 접지 사이에 각 워드라인 별로 접속되어 상 기 매치라인에 대하여 풀다운 경로의 생성 여부를 조절하는 풀다운 경로 제어부; 및 상기 내용 주소화 메모리 셀의 매치라인의 전압 상태를 상기 워드라인 단위로 감지하여, 상기 검색 값과 상기 워드라인에 포함된 내용 주 소화 메모리 셀들에 저장된 정보의 비교 결과를 출력하는 감지 증폭기를 포함하는 것을 특징으로 한다.

[0007] 한국공개특허 10-2020-0140167호는 터너리 내용 주소화 메모리 및 이의 동작 방법에 관한 것으로, 복수의 함수들의 연산 결과에 대한 룩-업 테이블(look-up table)을 저장하는 캐시 메모리(cache memory), 마스크 비트(mask bit)들을 생성하는 근사 유닛(approximation unit), 및 상기 마스크 비트에 기반하여 입력된 키에 상응하는 근사 입력 값을 획득하고, 상기 획득된 근사 입력 값에 대응하는 출력 값을 상기 룩-업 테이블에서 검색하는 컨트롤러를 포함하는 것을 특징으로 할 수 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 한국공개특허 제10-2020-0132442호(2020.11.25.)

(특허문헌 0002) 한국공개특허 제10-2020-0140167호(2020.12.15.)

발명의 내용

해결하려는 과제

[0010] 본 발명의 일 실시예는 높은 ON/OFF 저항비를 갖는 메모리 소자를 적용한 내용 주소화 기억 장치를 구현함에 따

라 불일치 비트 수에 따른 매치 라인 방전 시간을 구분하여 검색 데이터에 대한 일치도 감지가 가능한 내용 주소화 기억 장치 및 이를 이용한 일치도 감지 방법을 제공하고자 한다.

[0011] 본 발명의 일 실시예는 다른 차세대 메모리에 비해 높은 저항 비를 가지는 전기기계 메모리 소자를 활용하여 데이터 검색 시 일치도를 감지함으로써, 인공지능 분야에 활용 가능한 내용 주소화 기억 장치 및 이를 이용한 일치도 감지 방법을 제공하고자 한다.

과제의 해결 수단

[0013] 실시예들 중에서, 본 발명은 내용 주소화 기억 장치는 매치라인을 기준으로 병렬로 연결된 다수의 TCAM 유닛 셀에 있어서, 상기 TCAM 유닛 셀은 상기 매치라인과 연결되고, 캔틸레버 전극, 제1 전극 및 제2 전극을 포함하는 메모리 셀과, 서치라인과 서치라인 바의 전압 인가에 따라 메모리 검색을 수행하며, 일정 값 이상의 온 저항을 갖는 제1 트랜지스터 및 제2 트랜지스터를 포함하는 비교 트랜지스터부와, 비트라인과 비트라인 바의 전압 인가에 따라 상기 캔틸레버 전극이 상기 제1 전극 및 제2 전극에 접지되는 방식으로 동작하는 제3 트랜지스터 및 제4 트랜지스터를 포함하는 접근 트랜지스터부와, 상기 매치라인의 일단에 방전 속도를 감지하는 매치라인 증폭기 회로를 포함하며, 상기 매치라인 증폭기 회로는 출력단에서 불일치 비트 수에 따라 시차를 두고 전압 강하를 일으켜 검색 데이터에 대한 데이터 일치도를 감지하는 것을 특징으로 한다.

[0014] 상기 비교 트랜지스터부는 상기 제1 트랜지스터 및 제2 트랜지스터와 각각 연결된 제1 저항 및 제2 저항을 더 포함한다.

[0015] 상기 비교 트랜지스터부는 상기 제1 트랜지스터 및 제2 트랜지스터의 사이즈를 조절하여 온 저항을 증가시키는 것을 특징으로 한다.

[0016] 상기 비교 트랜지스터부는 상기 제1 트랜지스터 및 상기 제2 트랜지스터의 게이트와 연결된 상기 서치라인에 인가되는 전압을 조절하여 온 저항을 증가시키는 것을 특징으로 한다.

[0017] 상기 비교 트랜지스터부의 상기 제1 트랜지스터 및 제2 트랜지스터는 터널링 전계 효과 트랜지스터(TFET)로 구성하여 온 저항을 증가시키는 것을 특징으로 한다.

[0018] 실시예들 중에서, 본 발명은 내용 주소화 기억 장치 및 이를 이용한 데이터 일치도 감지 방법은 매치 라인을 기준으로 병렬로 연결된 다수의 TCAM 유닛 셀에서 데이터 검색은 상기 유닛 셀의 비교 트랜지스터부를 통해 동작하며, 상기 비교 트랜지스터부의 제1 트랜지스터의 게이트에 연결된 서치라인 및 제2 트랜지스터의 게이트에 연결된 서치라인 바에 검색하고자 하는 검색 데이터를 인가하는 단계와, 저장된 데이터와 상기 검색 데이터의 일치/불일치 여부를 감지하되, 불일치 비트 수에 따른 출력단 전압 강하의 시차 구분을 통해 데이터 일치도를 감지하는 단계를 포함하는 것을 특징으로 한다.

[0019] 상기 비교 트랜지스터부는 상기 제1 트랜지스터 및 제2 트랜지스터와 각각 연결된 제1 저항 및 제2 저항을 더 포함하는 것을 특징으로 한다.

[0020] 상기 비교 트랜지스터부는 상기 제1 트랜지스터 및 제2 트랜지스터의 사이즈를 조절하여 온 저항을 증가시키는 것을 특징으로 한다.

[0021] 상기 데이터 검색 시'0'을 검색하고자 하는 경우에는 상기 서치라인에 저전압(GND)를 인가하고, 서치라인 바에 고전압(VDD)를 인가하고, 상기 데이터 검색 시'1'을 검색하고자 하는 경우에는 서치라인에 고전압(VDD)을 인가하고, 상기 서치라인 바에 저전압(GND)을 인가하는 것을 특징으로 한다.

[0022] 상기 저장된 데이터와 검색 데이터가 일치하는 경우 매치라인이 고전압으로 유지되는 것을 특징으로 한다.

[0023] 상기 저장된 데이터와 검색 데이터가 불일치할 경우, 상기 매치라인이 방전되며 불일치하는 비트 수가 증가할수록 상기 매치라인의 방전속도가 증가하는 것을 특징으로 한다.

발명의 효과

[0025] 개시된 기술은 다음의 효과를 가질 수 있다. 다만, 특정 실시예가 다음의 효과를 전부 포함하여야 한다거나 다음의 효과만을 포함하여야 한다는 의미는 아니므로, 개시된 기술의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.

[0026] 본 발명의 일 실시예에 따른 내용 주소화 기억 장치 및 이를 이용한 일치도 감지 방법은 높은 ON/OFF 저항비를

갖는 메모리 소자를 적용한 내용 주소화 기억 장치를 구현함에 따라 불일치하는 비트 수에 따른 매치라인 방전 시간을 구분하여 검색 데이터에 대한 일치도 감지가 효율적으로 진행되도록 할 수 있다.

[0027] 본 발명의 일 실시예에 따른 내용 주소화 기억 장치 및 이를 이용한 일치도 감지 방법은 다른 차세대 메모리에 비해 높은 저항 비를 가지는 전기기계 메모리 소자를 활용하여 데이터 검색 시 일치도를 감지함으로써, 인공지능 분야에 활용 가능한 반도체 기억 장치를 제공하는 효과를 얻을 수 있다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 일 실시예에 따른 내용 주소화 기억 장치의 구성을 개략적으로 도시한 도면이다.

도 2는 본 발명의 일 실시예에 따른 내용 주소화 기억 장치의 상태에 따른 매치 정보를 설명하기 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 내용 주소화 기억 장치를 이용한 일치도 감지 방법을 도시한 것이다.

도 4는 본 발명의 다른 실시예에 따른 내용 주소화 기억 장치를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0030] 본 발명에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 본 발명의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 본 발명의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다. 또한, 본 발명에서 제시된 목적 또는 효과는 특정 실시예가 이를 전부 포함하여야 한다거나 그러한 효과만을 포함하여야 한다는 의미는 아니므로, 본 발명의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.

[0031] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0032] "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0033] 어떤 구성요소가 다른 구성요소에 "연결되어"있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결될 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어"있다고 언급된 때에는 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 한편, 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0034] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함하다"또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이며, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0035] 각 단계들에 있어 식별부호(예를 들어, a, b, c 등)는 설명의 편의를 위하여 사용되는 것으로 식별부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.

[0036] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 본 발명이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.

[0037] 이하 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 이하 도면상의 동일한 구성 요소에 대하여는 동일한 참조 부호를 사용하고, 동일한 구성 요소에 대해서 중복된 설명은 생략한다.

[0039] 도 1은 본 발명의 일 실시예에 따른 내용 주소화 기억 장치의 구성을 개략적으로 도시한 도면이다.

[0040] 도 1을 참조하면, 도 1a는 내용 주소화 기억장치의 단위 셀을 도시한 것이고, 도 1b는 단위 워드를 구성하는 매치라인(Match Line, ML)을 도시한 것이다.

[0041] 먼저, 도 1a을 참조하여 단위 셀을 설명하면, 단위 셀은 데이터 저장을 담당하는 전기기계 메모리 셀(100)와 접근 트랜지스터부 및 데이터 검색 동작을 위한 비교 트랜지스터부(110)를 포함한다.

[0042] 비교 트랜지스터부(110)는 제1 트랜지스터(M1) 및 제2 트랜지스터(M2)를 포함하고, 매치라인 방전 전류 조절을 위한 2개의 저항 성분 (R1, R2)이 연결된다. 또한, 접근 트랜지스터부는 메모리 셀(100) 양측에 제3 트랜지스터(M3) 및 제4 트랜지스터(M4)를 포함한다.

[0043] 제3 트랜지스터(M3) 및 제4 트랜지스터(M4)의 게이트에 워드라인 (Word Line, WL)이 연결되어 있고, 제3 트랜지스터(M3) 및 제4 트랜지스터(M4) 각각의 드레인에 비트라인 (Bit Line, BL)과 비트라인 바 (/Bit Line, /BL)가 연결되어 전기기계 메모리 셀(100)의 전류 경로(저장 데이터)를 스위칭 할 수 있다.

[0044] 제1 트랜지스터(M1) 및 제2 트랜지스터(M2)의 게이트에는 각각 서치라인 (Search Line, SL)과 서치라인 바 (/Search Line, /SL)가 연결되며, 검색하고자 하는 데이터를 셀에 인가하여 검색 동작을 수행한다. 저장된 데이터와 검색 데이터의 일치/불일치에 따라 매치라인 (Match Line, ML)의 전압이 유지되거나 방전된다. 하나 이상의 셀이 불일치할 경우 매치라인이 방전되며, 불일치하는 비트 수가 증가할수록 매치라인의 방전 전류가 커져 방전 속도가 빨라진다. 이를 통해 내용 주소화 기억 장치의 데이터 일치도를 감지할 수 있다.

[0045] 도 1b를 참조하여 단위 워드를 설명하면, 단위 워드는 매치라인(ML)을 기준으로 병렬로 연결된 다수의 TCAM 단위 셀을 포함한다. 데이터 검색 동작 시 불일치하는 셀의 수가 증가할수록 매치 라인의 방전 시간이 짧아지며, 이를 매치 라인 증폭기 회로 (Match Line Sense amplifier, MLSA)가 감지한다.

[0047] 도 2는 본 발명의 일 실시예에 따른 내용 주소화 기억 장치의 상태에 따른 매치 정보를 설명하기 위한 도면이다.

[0048] 도 2 및 표 1을 참조하여 내용 주소화 기억 장치를 이용한 데이터 저장 및 데이터 저장 시 동작을 설명하면 다음과 같다. 먼저, 데이터 저장은 접근 트랜지스터 (M3, M4)를 통해 메모리 셀의 양쪽에 위치한 전극 (L1, L2)에 전압을 인가하면, 캔틸레버 전극이 메모리 셀 양쪽의 전극 L1 또는 L2에 접지되는 방식으로 동작한다. 또한, 데이터 검색은 비교 트랜지스터(M1, M2)를 통해 동작한다. 비교 트랜지스터 중 제1 트랜지스터(M1)의 게이트는 서치라인(SL)에 연결되고, 제2 트랜지스터(M2)는 서치라인 바에(/SL) 연결된다.

[0049] 아래의 표 1을 참조하면,'0'을 검색하고자 하는 경우에는 서치라인에 저전압(GND)를 인가하고, 서치라인 바에 고전압(VDD)를 인가한다. 반대로, '1'을 검색하고자 하는 경우에는 서치라인에 고전압(VDD)을 인가한다.

[0050]

Stored date	Search data			Output	
	Value	SL	/SL	ML	State
0	0	GND	VDD	High	Match
	1	VDD	GND	Low	Mismatch
1	0	GND	VDD	Low	Mismatch
	1	VDD	GND	High	Match
X	0	GND	VDD	High	Match
	1	VDD	GND	High	Match

[0051] < 표 1 >

[0052] 검색 데이터와 저장 데이터가 일치(Match)하는 경우 도 2a와 같이 방전 전류 경로가 형성되지 않아 전압 강하가 일어나지 않고, 매치 라인이 고전압으로 유지된다. 반면, 검색 데이터와 저장 데이터가 불일치(Mismatch)인 경우 도 2b와 같이 메모리 셀의 캔틸레버 전극과 서치라인과 연결된 비교 트랜지스터(M1)를 통해 접지까지 연결되는 방전 전류 경로가 형성되어 매치 라인의 전압 강하가 일어난다. 또한, 저장된 데이터와 관계없이 항상 일치

한다고 판단되는'X(Don't care)'의 경우 도 2c와 같이 방전 전류 경로가 형성되지 않아 전압 강하가 일어나지 않고, 매치 라인이 고전압으로 유지된다.

[0054] 도 3은 본 발명의 일 실시예에 따른 내용 주소화 기억 장치를 이용한 일치도 감지 방법을 도시한 것이다.

[0055] 도 3a를 참조하면, 내용 주소화 기억 장치는 매치라인(ML)을 기점으로 병렬로 연결된 다수의 TCAM 단위 셀을 포함한다.

[0056] 데이터 검색 동작 시 워드 내의 단위 셀들에 저장된 데이터가 검색 데이터와 일치할 경우 매치라인에 충전된 전압은 방전되지 않고 고전압으로 유지된다. 반면, 다수의 단위 셀 중 하나 이상의 단위 셀들에 저장된 데이터가 검색 데이터와 불일치할 경우 방전 전류 경로(Discharge Current)가 발생하여 매치라인이 방전된다.

[0057] 도 3b의 타임 테이블을 통해 데이터 검색 동작을 살펴보면, 프리차지(Precharge) 동작이 수행된 후 서치(Search) 동작이 수행된다. 프리차지 동작 시 매치 라인(ML)에 전압이 인가되며, 서치 동작 시 검색 데이터와 저장된 데이터가 일치(Match)하는 경우 고전압이 유지된다. 검색 데이터와 저장된 데이터가 불일치(Mismatch)하는 경우 매치 라인이 방전되고, 매치라인 증폭기 회로의 출력단(SA_out)에서는 전압강하가 발생한다.

[0058] 도 3c는 매치라인의 전압 변화를 도시한 그래프로, 불일치하는 비트 수가 1bit mismatch에서 8bit mismatch로 증가할수록 매치라인의 방전 속도가 빨라지는 것을 알 수 있다. 매치라인의 방전 시간은 매치라인과 방전 전류 경로에 존재하는 RC 지연(delay)에 비례하며, 이는 워드 내의 메모리 셀 수에 따라 변경될 수 있다. 이때, 도 1a에 도시된 단위 셀 내의 저항 성분(R1, R2)은 매치라인의 방전 속도를 조절하여 불일치 비트 수간의 방전 시간 간격을 조절하는 역할을 한다.

[0059] 일반적으로는 저항이 0에 가까워야 소자의 특성이 우수하지만, 본 발명에서는 RC 지연을 이용하여 저항이 순차적으로 바뀌어야 불일치 비트 수를 더욱 명확하게 구분할 수 있으므로, 높은 ON/OFF 저항비를 가지는 소자를 적용하여 데이터 일치도 감지할 수 있는 동작 마진을 향상시킬 수 있다.

[0060] 도 3d는 매치라인 증폭기 회로에서 감지된 출력 값의 변화를 도시한 그래프로, 불일치하는 비트 수에 따라 시차를 두고 전압 강하를 일으키는 것을 알 수 있다. 이에 따라 출력단 전압 강하의 시차 구분이 가능하며 이를 통해 데이터 일치도를 구분할 수 있다.

[0062] 도 4는 본 발명의 다른 실시예에 따른 내용 주소화 기억 장치를 도시한 것이다. 매치라인의 방전 시간은 매치라인과 방전 전류 경로에 존재하는 RC지연에 비례하며, 이는 워드 내 메모리 셀의 수에 따라 변경될 수 있다. 이때, 단위 셀 내의 저항(도 1a 참조.)이 매치라인의 방전 속도를 조절하여 불일치 비트 수간의 방전 시간 간격을 조절하는 역할을 한다. 이 두개의 저항(R1, R2)은 도 4에 도시된 바와 같은 예시로 구현될 수 있다.

[0063] 먼저, 도 4a와 같이 메모리 셀의 비교 트랜지스터(M1, M2)의 온 저항을 높이기 위해 트랜지스터의 사이즈를 조절하는 방식을 이용할 수 있다. 도 4a에서는 트랜지스터의 저항을 기존보다 증가시키기 위해 트랜지스터의 너비를 작게 구현하여 전류가 잘 흐르지 않도록 하고 이에 따라 게이트 전압이 감소되도록 한다.

[0064] 도 4b는 데이터 검색 동작 시 서치라인에 인가되는 전압을 조절하여 온 저항을 증가시키는 방식을 나타낸다. 도 4b에 도시된 그래프를 참조하면, 서치라인에 인가되는 전압의 크기가 작을수록 불일치 비트 수에 따른 출력단 전압 강하의 시차 구분이 명확하게 드러나는 것을 알 수 있다.

[0065] 도 4c는 MOSFET에 비해 온 저항이 큰 터널링 트랜지스터(TFET)을 이용하는 방식을 나타낸다. 터널링 트랜지스터는 기존 MOSFET에 비해 10 내지 1000배 정도 큰 저항을 가지므로 RC 지연을 이용하여 불일치하는 비트 수를 더욱 효과적으로 구분하여 감지할 수 있다.

[0066] 도 4에 도시된 방식 이외에도 비교 트랜지스터를 생략하고 저항을 제공한다면 어떠한 구성요소 예컨대, 저항, ReRAM등과 같은 구성요소를 사용하는 방식으로 구현이 가능하다.

[0068] 상술한 바와 같이, 높은 저항 비를 갖는 전기기계 메모리 소자를 활용하여 데이터 검색 동작 시 불일치 비트 수에 따른 매치라인의 방전 양상을 확인하여 데이터 일치도를 감지하는 내용 주소화 장치를 구현함에 따라 인공지능 분야에 활용 가능한 반도체 기억 장치를 제공하는 효과를 얻을 수 있다.

[0070] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

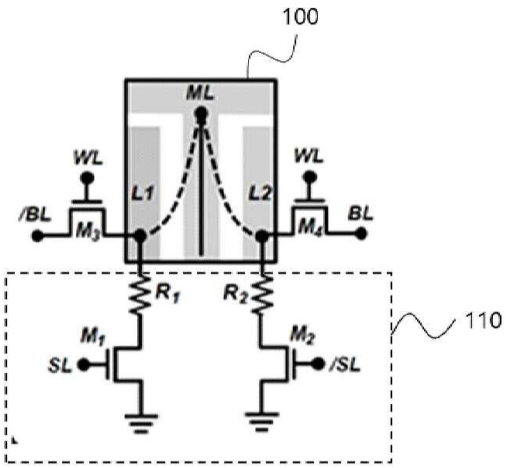
부호의 설명

[0072] 100 : 메모리 셀

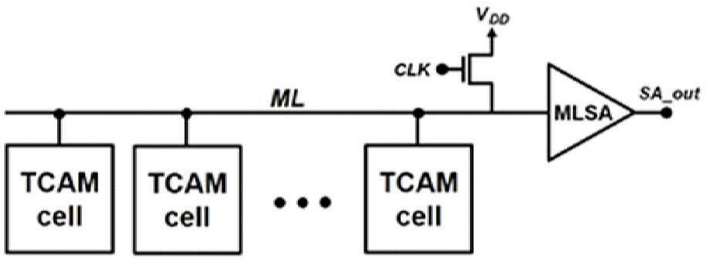
110 : 비교 트랜지스터부

도면

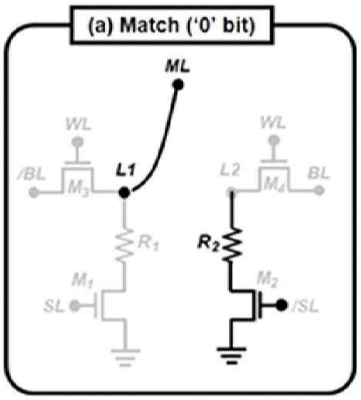
도면1a



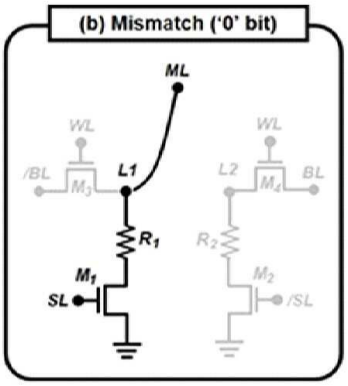
도면1b



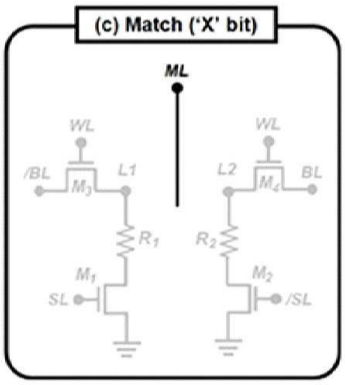
도면2a


(a) Match ('0' bit)
ML
WL
/BL
M3
L1
R1
M1
SL
WL
L2
M4
BL
R2
M2
/SL

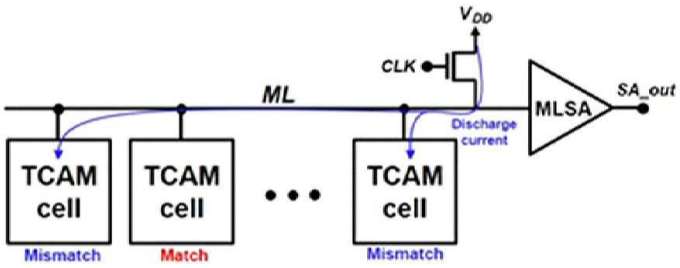
도면2b


(b) Mismatch ('0' bit)
ML
WL
/BL
M3
L1
R1
M1
SL
WL
L2
M4
BL
R2
M2
/SL

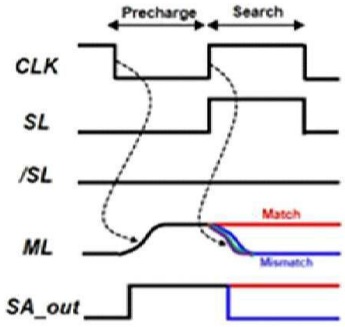
도면2c


(c) Match ('X' bit)
ML
WL
WL
/BL
L1
L2
BL
M_3
M_4
R_1
R_2
M_1
M_2
SL
/SL

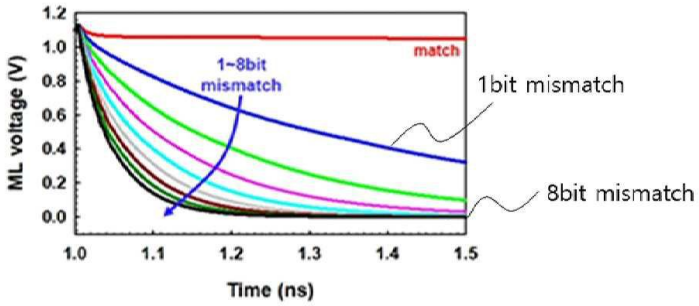
도면3a


V_{DD}
CLK
ML
MLSA
SA_out
Discharge current
TCAM cell
TCAM cell
TCAM cell
Mismatch
Match
Mismatch

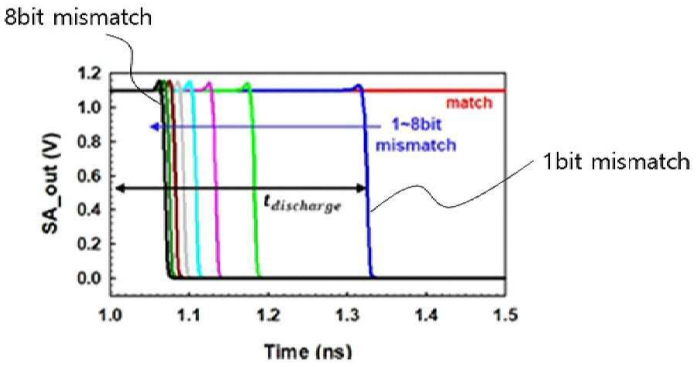
도면3b


Precharge
Search
CLK
SL
/SL
ML
Match
Mismatch
SA_out

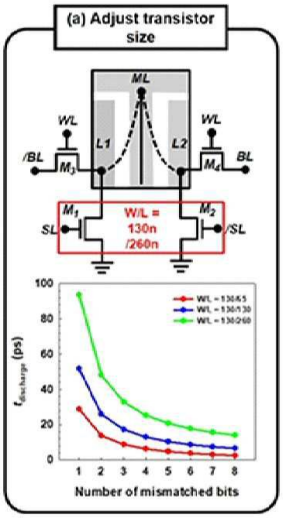
도면3c


ML voltage (V)
Time (ns)
match
1~8bit
mismatch
1bit mismatch
8bit mismatch

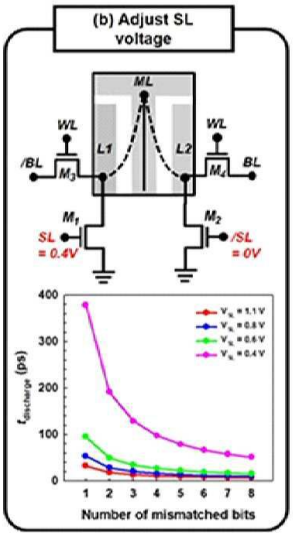
도면3d


8bit mismatch
match
1~8bit
mismatch
1bit mismatch
$t_{discharge}$
SA_out (V)
Time (ns)
1.2
1.0
0.8
0.6
0.4
0.2
0.0
1.0
1.1
1.2
1.3
1.4
1.5

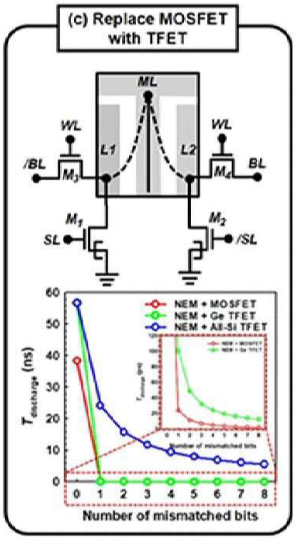
도면4a


(a) Adjust transistor size
ML
WL
WL
/BL
BL
L1
L2
M_3
M_4
M_1
M_2
SL
/SL
W/L =
130n
/260n
$t_{discharge}$ (ps)
Number of mismatched bits

도면4b


(b) Adjust SL voltage
ML
WL
WL
/BL
L1
L2
BL
M3
M4
M1
M2
SL
= 0.4V
/SL
= 0V
400
300
200
100
0
1 2 3 4 5 6 7 8
Number of mismatched bits

도면4c


(c) Replace MOSFET with TFET
ML
WL
WL
/BL
L1
L2
BL
M3
M4
M1
M2
SL
/SL
NEM + MOSFET
NEM + Ge TFET
NEM + All-Si TFET
60
50
40
30
20
10
0
0 1 2 3 4 5 6 7 8
Number of mismatched bits