

# 新型專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95215381

※申請日期：95.8.30

※IPC 分類：G06T 1/00 (2006.01)

## 一、新型名稱：(中文/英文)

影像積體電路及其影像處理裝置/ VIDEO INTEGRATED  
CIRCUIT AND VIDEO PROCESSING APPARATUS THEREOF

## 二、申請人：(共1人)

啟能國際科技有限公司/BEACON ADVANCED  
TECHNOLOGY CO., LTD.

代表人：(中文/英文) 黃啟能/HUANG, WILLIAM

住居所或營業所地址：(中文/英文)

台北縣永和市保生路2號16樓/16FL., NO. 2, BAO-SHENG  
RD., YUNG-HO, TAIPEI HSIEN, 234 TAIWAN, R.O.C.

國籍：(中文/英文) 中華民國/TAIWAN, R.O.C.

## 三、創作人：(共1人)

姓名：(中文/英文)

崔開良/TSUI, KAI-LIANG

國籍：(中文/英文) 中華民國/TAIWAN, R.O.C.

**四、聲明事項：**

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

## 八、新型說明：

### 【新型所屬之技術領域】

本創作是有關於一種影像積體電路及其影像處理裝置，更詳細來說，係關於一種用於影像信號處理之影像積體電路及其影像處理裝置。

### 【先前技術】

在這科技進步的時代，影像相關技術發展迅速，因此影像顯示裝置是與人們生活息息相關的商品。然而一般僅能顯示單一畫面的影像顯示裝置已無法迎合在短時間內得到更多資訊的需求，是故具有子母畫面或多分割畫面的影像顯示裝置因應而生。

習知可處理多個畫面之影像顯示裝置的處理控制電路大多由數個積體電路組成，例如欲處理一包含多個數位視訊訊號的輸入並生成相對應之影像，需要處理器、視訊輸出輸入埠單元、編碼譯碼器、整合驅動電子(integrated drive electronics, IDE)控制器等多種積體電路配合操作，由於這樣的組合其電路布局面積大，不僅成本過高，且其產品的體積亦無法符合現代輕薄短小的要求。

有鑑於此，提供一種單一積體電路以處理多種影像信號之影像積體電路及其影像處理裝置，乃為此一業界亟待解決的問題。

### 【新型內容】

本創作之一目的在於提供一種影像積體電路，其係連接至一影像播放裝置。影像積體電路包含一處理器、一影像擷取單元、一浮水印產生單元、一編碼譯碼器(codec)和一影像輸出單元。影像擷取單元因應處理器之一信號而接收一數位影像信號並產生一處理信號。浮水印產生單元因應處理器之一信號而接收處理信號，並將一浮水印嵌入對應處理信號之一影像以產生一整合信

號。編碼譯碼器因應處理器之一信號而接收並壓縮整合信號以產生一壓縮信號。影像輸出單元係因應處理器之一信號將壓縮信號輸出至影像播放裝置。

本創作之另一目的在於提供一種影像處理裝置，係連接至一影像播放裝置，影像處理裝置包含一第一影像積體電路及一第二影像積體電路。第一影像積體電路及第二影像積體電路分別包含一處理器、一影像擷取單元、一浮水印產生單元、一編碼譯碼器以及一影像輸出單元。影像擷取單元包含一第一輸入端及一第二輸入端，係因應處理器之一信號而自第一輸入端接收一個數位影像信號並產生一處理信號。浮水印產生單元因應處理器之一信號而接收處理信號，並將一浮水印信號嵌入處理信號以產生一整合信號。編碼譯碼器因應處理器之一信號而接收並壓縮整合信號以產生一壓縮信號。影像輸出單元包含一第一輸出端及一第二輸出端，影像輸出單元因應處理器之一信號將壓縮信號自第一輸出端輸出至影像播放裝置。其中，第一影像積體電路之影像輸出單元之第二輸出端連接至第二影像積體電路之影像擷取單元之第二輸入端，第一影像積體電路之壓縮信號輸入至第二影像積體電路。

本創作僅使用單一積體電路便能將影像進行多項處理。是故本創作可減少電路佈局面積，縮小應用產品體積，並簡化製造或作業程序。

在參閱圖式及隨後描述之實施方式後，該技術領域具有通常知識者便可瞭解本創作之其他目的，以及本創作之技術手段與實施態樣。

## 【實施方式】

本創作之第一實施例如第 1 圖所示，係為一種影像積體電路 1，用於處理至少一個數位影像信號，並將處理後的數位影像信號輸出於一影像播放裝置 103 上。

影像積體電路 1 電連接至一記憶體 101 與影像播放裝置 103，並包含一處理器 105、一影像擷取單元 107、一浮水印產生單元 109、一影像辨識單元 111、一編碼譯碼器 113、一記憶體控制單元 115 及一影像輸出單元 117。處理器 105 藉由一線路 119 及一匯流排 121 輸出信號，以控制影像積體電路 1 之其他單元。影像擷取單元 107 接收由處理器 105 經線路 119 及匯流排 121 所輸出之第一信號 122 後，因應第一信號 122 接收至少一數位影像信號 102，並產生一處理信號 104，處理信號 104 被傳送至匯流排 121。在此實施例中，匯流排 121 為先進高效匯流排(advanced high-performance bus, AHB)。

浮水印產生單元 109 接收由處理器 105 經線路 119 及匯流排 121 所輸出之第二信號 124 後，因應第二信號 124 自影像擷取單元 107 接收處理信號 104，並將一浮水印嵌入對應處理信號之一影像，以產生一整合信號 106。浮水印可視為一種雜訊資料，嵌入代表原資料之訊號中的一特定位置，以防止未經允許之處理，諸如數位和類比間的轉換、過濾、壓縮和編輯等。除本實施例所述之影像外，浮水印尚可加入文字格式、靜態影像格式、動態影像格式、聲頻格式等格式的資料中；而浮水印更可分為可肉眼視察與無法肉眼視察兩者。

影像辨識單元 111 接收由處理器 105 經線路 119 及匯流排 121 所輸出之第三信號 126，其中第三信號 126 包含一比對信號(圖未示出)，因應第三信號 126 自影像擷取單元 107 擷取挾帶影像之一資訊的處理信號 104，影像辨識單元 111 接著從該資訊取樣，與比對信號進行比對以辨識該影像並產生一判斷結果信號 108，影像辨識單元 111 再將判斷結果信號 108 傳送至處理器 105。第三信號 126 中的比對信號可由一使用者程式控制而決定。舉例而言，若本創作應用於指紋辨識，數位影像信號 102 係為對應至一指紋，處理器 105 根據儲存於記憶體 101 之一參考指紋資訊產生第三信號 126，其中第三信號 126 所含之比對信號便含有前述之參考指紋

資訊。當影像辨識單元 111 接收第三信號 126 後，便因應挾帶影像之一資訊的處理訊號 104 對資訊進行取樣，取樣後再比對取樣結果和比對信號，若取樣結果和比對信號具有一定程度以上的相同度，便將挾帶影像資訊的處理訊號 104 加入一比對結果以產生判斷結果信號 108。於此，判斷結果信號 108 即為具有一定程度以上之相同度的指紋之影像信號。

編碼譯碼器 113 接收由處理器 105 經線路 119 及匯流排 121 所輸出之第四信號 128 後，因應第四信號 128 自匯流排 121 接收並壓縮整合信號或判斷結果信號以產生一壓縮信號 110，其壓縮格式可為聯合影像壓縮標準(joint photographic experts group, JPEG)格式、MPEG-3 格式、MPEG-4 格式或 H.264 標準格式等。

記憶體控制單元 115 接收由處理器 105 經線路 119 及匯流排 121 所輸出之第五信號 130 後，將編碼譯碼器 113 產生的壓縮信號 110 儲存至記憶體 101，因此壓縮信號 110 便被保存在記憶體 101 中。記憶體 101 可為一靜態記憶體(static memory)或一雙倍資料速率(double data rate, DDR)記憶體。若記憶體 101 為靜態記憶體，其相應之記憶體控制單元 115 為一靜態記憶體控制器；若記憶體 101 為雙倍資料速率記憶體，其相應之記憶體控制單元 115 為一雙倍資料速率記憶體控制器。

當壓縮信號 110 需要被擷取出來時，處理器 105 經線路 119 及匯流排 121 傳送第六信號 132 至影像輸出單元 117，影像輸出單元 117 便因應第六信號 132 自記憶體 101 擷取壓縮信號 110，並將此壓縮信號 110 解壓縮後，更經編碼處理而輸出至影像播放裝置 103 以顯示數位影像信號 102 加入浮水印後之畫面。其中，影像輸出單元 117 更可依需求將解壓縮之壓縮信號 110 以線路 118 輸出至下一級積體電路。

影像積體電路 1 更包含一視訊編碼器 123，其係介於該影像輸出單元 117 和影像播放裝置 103 之間，影像輸出單元 117 係透過

視訊編碼器 123 將解壓縮後之壓縮信號輸出至影像播放裝置 103。視訊編碼器 123 編碼自影像輸出單元 117 擷取之壓縮信號 110，並將編碼後壓縮信號輸出至影像播放裝置 103。視訊編碼器 123 可為一視頻圖形陣列編碼器或一電視編碼器。當視訊編碼器 123 為視頻圖形陣列編碼器時，影像積體電路 1 可直接產生視頻圖形陣列之信號，相應之影像播放裝置 103 為視頻圖形陣列顯示器、投影機或液晶顯示器。當視訊編碼器 123 為電視編碼器時，影像積體電路 1 可直接產生電視信號，相應之影像播放裝置 103 為電視或投影機。

影像積體電路 1 更包含一加密單元 125。加密單元 125 接收由處理器 105 經線路 119 及匯流排 121 所輸出之第七信號 134 後，因應第七信號 134 使用一密鑰以加密壓縮信號 110。加密單元 125 可為一資料加密標準(data encryption standard, DES)單元、一三重資料加密標準(triple data encryption standard, 3DES)單元或其他加密標準之單元。

影像積體電路 1 更連接至一硬碟 127，且影像積體電路 1 更包含一整合驅動電子(integrated drive electronics, IDE)控制器 129，其接收由處理器 105 經線路 119 及匯流排 121 所輸出之第八信號 136 後，將壓縮信號 110 儲存至硬碟 127。由於硬碟 127 可儲存大量的資料，因此壓縮信號 110 可被長時間的保存，待日後需使用時再從硬碟 127 讀取出，進行播放或進一步的處理。

影像積體電路 1 更連接至一週邊控制器介面匯流排 131，且影像積體電路 1 更包含一週邊控制器介面單元(peripheral controller interface, PCI)133，其接收由處理器 105 經線路 119 及匯流排 121 所輸出之第九信號 138 後，將壓縮信號 110 輸出至週邊控制器介面匯流排 131，而週邊控制器介面匯流排 131 為電腦資料傳輸之標準介面，藉此壓縮信號 110 可傳送至電腦顯示或進一步處理。

影像積體電路 1 更連接至一序列先進技術附件(serial advanced technology attachment, SATA)介面 135，且影像積體電路 1 更包含一序列先進技術附件控制器 137，其接收由處理器 105 經線路 119 及匯流排 121 所輸出之第十信號 140 後，將壓縮信號 110 輸出至序列先進技術附件介面 135。序列先進技術附件介面 135 亦為一種可與電腦主機或多媒體影音裝置連接的介面，藉此壓縮信號 110 可傳送至電腦或多媒體影音裝置顯示或進一步處理。

影像積體電路 1 更連接至一通用串列匯流排(universal serial bus, USB)埠 139，且影像積體電路 1 更包含一通用串列匯流排單元 141，其接收由處理器 105 經線路 119 及匯流排 121 所輸出之第十一信號 142 後，將壓縮信號 110 輸出至通用串列匯流排埠 139。通用串列匯流排埠 139 亦為一種可與電腦主機連接的介面，藉此壓縮信號 110 可傳送至電腦顯示或進一步處理。

影像積體電路 1 更連接至一乙太網路實體層(physical layer)143，且影像積體電路 1 更包含一乙太網路媒體存取控制層(media access control layer)145，其接收由處理器 105 經線路 119 及匯流排 121 所輸出之第十二信號 144 後，將壓縮信號輸出至乙太網路實體層 143，藉此壓縮信號可傳送至網路。

本創作之第二實施例如第 2 圖所示，此實施例之影像積體電路 2 亦連接至一記憶體 101 與一影像播放裝置 103，同樣包含一處理器 105、一影像擷取單元 107、一浮水印產生單元 109、一影像辨識單元 111、一編碼譯碼器 113、一記憶體控制單元 115 及一影像輸出單元 117，其功能與第一實施例之相對應元件相同，故不贅述。此外，影像積體電路 2 包含之一第一匯流排 215 係同於第一實施例中的匯流排 121，故在此亦不贅述。

與影像積體電路 1 不同之處在於影像積體電路 2 更包含一第二匯流排 201 及一匯流排橋接器 203，其中第二匯流排 201 為一先進週邊裝置匯流排(advanced peripheral bus, APB)，而匯流排橋接器

203 為 AHB-APB 橋接器，用以連接第一匯流排 215 及第二匯流排 201。第二匯流排 201 連接至一兩線式控制匯流排 (I<sup>2</sup>C bus)205、串列周邊介面(serial peripheral interface, SPI)207、一紅外線數據協定(IrDA)介面 209、一儲存卡(storage card)介面 211、一通用輸出輸入埠(GPIO port)213、一聲音介面(audio I/F，可為 inter IC sound, I<sup>2</sup>S)215、一立體聲頻編解碼(stereo audio codec)介面 217、一鍵盤與滑鼠介面 219、一通用非同步接收及傳送器(UART)介面 221 及一中斷控制器 223。第二匯流排 201 藉由匯流排橋接器 203 可與第一匯流排 215 傳遞信號，因此處理器 105、影像擷取單元 107、浮水印產生單元 109、影像辨識單元 111、編碼譯碼器 113、記憶體控制單元 115 及影像輸出單元 117 所產生之任何信號可經由上述介面 205、207、209、211、213、215、217、219、221、223 傳送出去，而使用者亦可藉由上述介面 205、207、209、211、213、215、217、219、221、223 將控制信號或資料輸入至影像積體電路 2。

本創作亦提供一種影像處理裝置，其實施例如第 3 圖所示，此影像處理裝置 3 用以將多個數位影像信號處理控制後，顯示於液晶顯示器、電視、監視器、投影機等顯示器上，使單一顯示器同時顯示多個分割畫面。

影像處理裝置 3 包含一第一影像積體電路 31 及一第二影像積體電路 33。第一影像積體電路 31 及第二影像積體電路 33 之內部元件與第一實施例、第二實施例相同，故不贅述。第一影像積體電路 31 之影像擷取單元 107(a)更包含一第一輸入端 301(a)及一第二輸入端 303(a)，第二影像積體電路 33 之影像擷取單元 107(b)更包含一第一輸入端 301(b)及一第二輸入端 303(b)。第一輸入端 301(a)和第一輸入端 301(b)用以接收至少一數位影像信號 302、304，並產生如前所述之壓縮信號，第二輸入端 303(b)連接至前一級影像積體電路 31 之影像輸出單元 117(a)。第一影像積體電路 31 之影像輸出單元 117(a)更包含一第一輸出端 305(a)及一第二輸出端 307(a)，第二影像積體電路 33 之影像輸出單元 107(b)更包含一

第一輸出端 305(b)及一第二輸出端 307(b)，第一輸出端 305(b)將壓縮信號輸出至一影像播放裝置 103，第二輸出端 307(a)則連接至下一級影像積體電路 33 之影像擷取單元 107(b)之第二輸入端 303(b)。以此一實施例而言，第一影像積體電路 31 之影像輸出單元 117(a)之第二輸出端 307(a)連接至第二影像積體電路 33 之影像擷取單元 107(b)之第二輸入端 303(b)，因此第一影像積體電路 31 之壓縮信號可輸入至第二影像積體電路 33。

若第一影像積體電路 31 及第二影像積體電路 33 分別可處理四個數位影像信號，則第二影像積體電路 33 之影像輸出單元 117(b)之第一輸出端 305(b)及第二輸出端 307(b)分別可輸出八個畫面，其中四個來自第一影像積體電路 31 之影像擷取單元 107(a)之第一輸入端 301(a)的數位影像信號，四個來自第二影像積體電路 33 之影像擷取單元 107(b)之第一輸入端 301(b)的數位影像信號。第二影像積體電路 33 可藉由其第一輸出端 305(b)將此八個畫面同時顯示於影像播放裝置上。

雖然此實施例以包含兩個影像積體電路之影像處理裝置說明之，但熟悉該技術領域者可輕易推及包含兩個以上影像積體電路之影像處理裝置之實施態樣，例如包含四個影像積體電路之影像處理裝置，這樣的影像處理裝置便可同時顯示十六個畫面。

由於影像積體電路 1、影像積體電路 2 和影像處理裝置 3 可接收至少一個數位影像信號，因此可同時處理並顯示至少一個畫面。習知技術在處理數個影像信號時須使用多個裝置，因此成本高且體積大。本創作之影像積體電路係將習知多個積體電路晶片之功能整合於單一積體電路晶片上，僅使用單一積體電路便能將影像進行多項處理。是故本創作減少了電路佈局之面積，進而達到簡化製造或作業程序、降低成本及縮小產品體積之目的。

綜上所述，雖然本創作以前述實施例說明之，但並非用以限定本創作之實施方式，任何熟知此技藝者，在不脫離本創作之精

神和如下申請專利範圍所界定的內容及其均等技術範圍下，當可做各種更動與修改。

## 【圖式簡單說明】

第 1 圖為本創作之影像積體電路的第一實施例之示意圖；

第 2 圖為本創作之影像積體電路的第二實施例之示意圖；以及

第 3 圖為本創作之影像處理裝置的實施例之示意圖。

## 【主要元件符號說明】

1：影像積體電路	111：影像辨識單元
101：記憶體	113：編碼譯碼器
102：數位影像信號	115：記憶體控制單元
103：影像播放裝置	117：影像輸出單元
104：處理信號	118：線路
105：處理器	119：線路
106：整合信號	121：匯流排
107：影像擷取單元	123：視訊編碼器
108：判斷結果信號	125：加密單元
109：浮水印產生單元	127：硬碟
110：壓縮信號	129：整合驅動電子控制器

# M306366

- 131：週邊控制器介面匯流排
- 133：週邊控制器介面單元
- 135：序列先進技術附件介面
- 137：序列先進技術附件控制器
- 139：通用串列匯流排埠
- 141：通用串列匯流排單元
- 143：乙太網路實體層
- 145：乙太網路媒體存取控制層
- 122：第一信號
- 124：第二信號
- 126：第三信號
- 128：第四信號
- 130：第五信號
- 132：第六信號
- 134：第七信號
- 136：第八信號
- 138：第九信號
- 140：第十信號
- 142：第十一信號
- 144：第十二信號
- 2：影像積體電路
- 215：第一匯流排
- 201：第二匯流排
- 203：匯流排橋接器
- 205：兩線式控制匯流排
- 207：串列周邊介面
- 209：紅外線數據協定介面
- 211：儲存卡介面
- 213：通用輸出輸入埠
- 215：聲音介面
- 217：立體聲頻編解碼
- 219：鍵盤與滑鼠介面
- 221：通用非同步接收及傳送器  
介面
- 223：中斷控制器
- 3：影像處理裝置
- 31：第一影像積體電路
- 33：第二影像積體電路
- 107(a)、107(b)：影像擷取單元
- 117(a)、107(b)：影像輸出單元
- 301(a)、301(b)：第一輸入端
- 303(a)、303(b)：第二輸入端

# M306366

305(a)、305(b)：第一輸出端

302、304：數位影像信號

307(a)、307(b)第二輸出端

### 五、中文新型摘要：

一種與影像播放裝置連接，用於處理並顯示多種影像信號之影像積體電路及其影像處理裝置，包含一處理器、一影像擷取單元、一浮水印(watermark)產生單元、一編碼譯碼器(codec)以及影像輸出單元等元件。影像擷取單元因應處理器之一信號而接收一數位影像信號並產生一處理信號。浮水印產生單元因應處理器之一信號而接收處理信號，並將一浮水印嵌入對應處理信號之一影像以產生一整合信號。編碼譯碼器因應處理器之一信號而接收並壓縮整合信號以產生一壓縮信號。影像輸出單元係因應處理器之一信號將壓縮信號輸出至影像播放裝置。

### 六、英文新型摘要：(案件名稱：VIDEO INTEGRATED CIRCUIT AND VIDEO PROCESSING APPARATUS THEREOF)

A video integrated circuit and a video processing apparatus thereof, connected to a video display apparatus, for processing and displaying a plurality of video signals are provided. The video integrated circuit and the video processing apparatus comprise a processor, a video capture unit, a watermark generating unit, a codec, and a video output unit. The video capture unit receives a digital video signal in response to a first signal from the processor, and then generates a processing signal. The watermark generating unit receives the processing signal in response to a second signal from the processor, and then embeds a watermark into a video corresponding to the processing signal to generate an integrated signal. The codec receives and compresses the integrated signal in response to a third signal from the processor, and then generates a compressed signal. The video output unit outputs the compressed signal to the video

M306366

display apparatus in response to a fourth signal from the processor.

九、申請專利範圍：

1. 一種影像積體電路，係連接至一影像播放裝置，包含：
  - 一處理器；
  - 一影像擷取單元，係因應該處理器之一信號而接收一數位影像信號並產生一處理信號；
  - 一浮水印(watermark)產生單元，係因應該處理器之一信號而接收該處理信號，並將一浮水印嵌入對應該處理信號之一影像以產生一整合信號；
  - 一編碼譯碼器(codec)，係因應該處理器之一信號而接收並壓縮該整合信號以產生一壓縮信號；以及
  - 一影像輸出單元，係因應該處理器之一信號將該壓縮信號輸出至該影像播放裝置。
2. 如請求項 1 所述之影像積體電路，更包含一影像辨識單元，係因應該處理器之一信號而辨識該影像並產生一判斷結果，該影像辨識單元更將該判斷結果傳送至該處理器。
3. 如請求項 1 所述之影像積體電路，更包含一視訊編碼器，介於該影像輸出單元與該影像播放裝置之間，編碼來自該影像輸出單元之該壓縮信號，並將該編碼後壓縮信號輸出至該影像播放裝置。
4. 如請求項 3 所述之影像積體電路，其中該視訊編碼器係為一視頻圖形陣列(video graphics array, VGA)編碼器，且該影像播放裝置係為一視頻圖形陣列顯示器。
5. 如請求項 3 所述之影像積體電路，其中該視訊編碼器係為一視頻圖形陣列編碼器，且該影像播放裝置係為一液晶顯示器。
6. 如請求項 3 所述之影像積體電路，其中該視訊編碼器係為一電

視編碼器，且該影像播放裝置係為一電視。

7. 如請求項 1 所述之影像積體電路，更連接至一記憶體，該影像積體電路更包含一記憶體控制器，係因應該處理器之一信號將該壓縮信號儲存至該記憶體。
8. 如請求項 7 所述之影像積體電路，其中該記憶體係為一靜態記憶體(static memory)，且該記憶體控制器係為一靜態記憶體控制器。
9. 如請求項 7 所述之影像積體電路，其中該記憶體係為一雙倍資料速率(double data rate, DDR)記憶體，且該記憶體控制器係為一雙倍資料速率記憶體控制器。
10. 如請求項 1 所述之影像積體電路，更連接至一硬碟，該影像積體電路更包含一整合驅動電子(integrated drive electronics, IDE)控制器，係因應該處理器之一信號將該壓縮信號儲存至該硬碟。
11. 如請求項 1 所述之影像積體電路，更連接至一週邊控制器介面(peripheral controller interface, PCI)匯流排，該影像積體電路更包含一週邊控制器介面單元，係因應該處理器之一信號將該壓縮信號輸出至該週邊控制器介面匯流排。
12. 如請求項 1 所述之影像積體電路，更連接至一序列先進技術附件(serial advanced technology attachment, SATA)介面，該影像積體電路更包含一序列先進技術附件控制器，係因應該處理器之

一信號將該壓縮信號輸出至該序列先進技術附件介面。

13. 如請求項 1 所述之影像積體電路，更連接至一通用串列匯流排 (universal serial bus, USB) 埠，該影像積體電路更包含一通用串列匯流排單元，係因應該處理器之一信號將該壓縮信號輸出至該通用串列匯流排埠。
14. 如請求項 1 所述之影像積體電路，更連接至一乙太網路實體層 (physical layer)，該影像積體電路更包含一乙太網路媒體存取控制層 (medium access control layer)，係因應該處理器之一信號將該壓縮信號輸出至該乙太網路實體層。
15. 如請求項 1 所述之影像積體電路，更包含一加密單元，係因應該處理器之一信號而加密該壓縮信號。
16. 如請求項 15 所述之影像積體電路，其中該加密單元係為一資料加密標準 (data encryption standard, DES) 單元和一三重資料加密標準 (triple data encryption standard, 3DES) 單元其中之一。
17. 如請求項 1 所述之影像積體電路，其中該動畫壓縮標準編碼譯碼器係以 H.264 格式進行壓縮。
18. 如請求項 1 所述之影像積體電路，其中該動畫壓縮標準編碼譯碼器係以 MPEG-4 格式進行壓縮。
19. 如請求項 1 所述之影像積體電路，其中該動畫壓縮標準編碼譯碼器係以 JPEG 格式進行壓縮。
20. 如請求項 1 所述之影像積體電路，更包含一先進高效匯流排，

用以傳送該信號及該壓縮信號。

21. 一種影像處理裝置，係連接至一影像播放裝置，該影像處理裝置包含一第一影像積體電路及一第二影像積體電路，該第一影像積體電路及該第二影像積體電路分別包含：

一處理器；

一影像擷取單元，包含一第一輸入端及一第二輸入端，該影像擷取單元因應該處理器之一信號而自該第一輸入端接收一個數位影像信號並產生一處理信號；

一浮水印產生單元，係因應該處理器之一信號而接收該處理信號，並將一浮水印信號嵌入該處理信號以產生一整合信號；

一編碼譯碼器，係因應該處理器之一信號而接收並壓縮該整合信號以產生一壓縮信號；以及

一影像輸出單元，包含一第一輸出端及一第二輸出端，該影像輸出單元因應該處理器之一信號將該壓縮信號自該第一輸出端輸出至該影像播放裝置；

其中，該第一影像積體電路之該影像輸出單元之該第二輸出端連接至該第二影像積體電路之該影像擷取單元之該第二輸入端，該第一影像積體電路之該壓縮信號輸入至該第二影像積體電路。

22. 如請求項 21 所述之影像處理裝置，其中各該影像積體電路更包含一影像辨識單元，係因應該處理器之一信號而辨識該影像並產生一判斷結果，該影像辨識單元更將該判斷結果傳送至該處理器。

23. 如請求項 21 所述之影像處理裝置，其中該第二影像積體電路更包含一視訊編碼器，介於該影像輸出單元與該影像播放裝置之間，用以編碼來自該影像輸出單元之該壓縮信號，並將該編

碼後壓縮信號輸出至該影像播放裝置。

24. 如請求項 23 所述之影像處理裝置，其中該視訊編碼器係為一視頻圖形陣列編碼器，且該影像播放裝置係為一視頻圖形陣列顯示器。
25. 如請求項 23 所述之影像處理裝置，其中該視訊編碼器係為一視頻圖形陣列編碼器，且該影像播放裝置係為一液晶顯示器。
26. 如請求項 23 所述之影像處理裝置，其中該視訊編碼器係為一電視編碼器，且該影像播放裝置係為一電視。
27. 如請求項 21 所述之影像處理裝置，更連接至一記憶體，其中該第一及第二影像積體電路更分別包含一記憶體控制器，係因應該處理器之一信號將該壓縮信號儲存至該記憶體。
28. 如請求項 27 所述之影像處理裝置，其中該記憶體係為一靜態記憶體，且該記憶體控制器係為一靜態記憶體控制器。
29. 如請求項 27 所述之影像處理裝置，其中該記憶體係為一雙倍資料速率記憶體，且該記憶體控制器係為一雙倍資料速率記憶體控制器。
30. 如請求項 21 所述之影像處理裝置，更連接至一硬碟，該第一及第二影像積體電路更分別包含一整合驅動電子控制器，係因應該處理器之一信號將該壓縮信號儲存至該硬碟。
31. 如請求項 21 所述之影像處理裝置，更連接至一週邊控制器介面匯流排，該第一及第二影像積體電路更分別包含一週邊控制器介面單元，係因應該處理器之一信號將該壓縮信號輸出至該

週邊控制器介面匯流排。

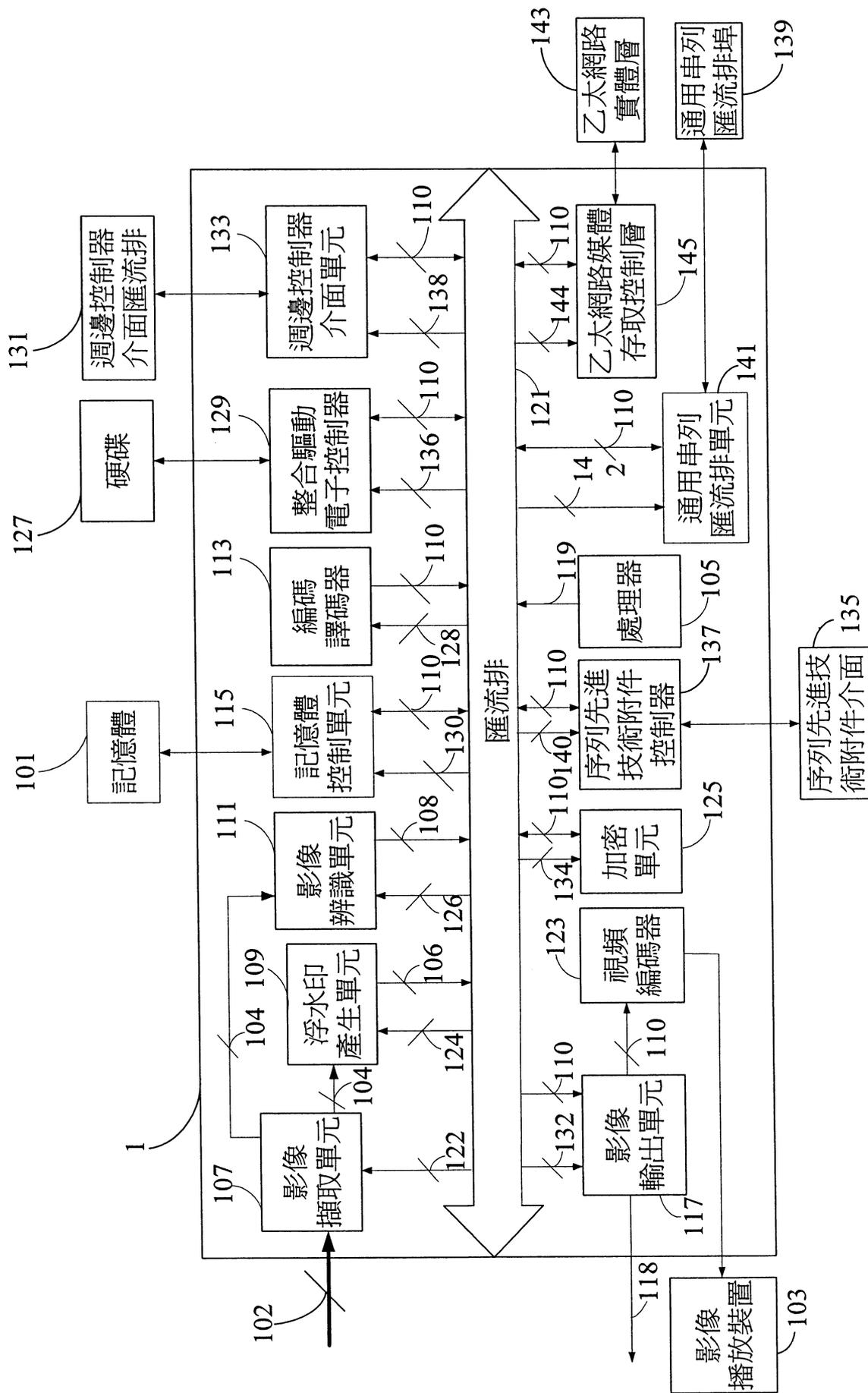
32. 如請求項 21 所述之影像處理裝置，更連接至一序列先進技術附件介面，該第一及第二影像積體電路更分別包含一序列先進技術附件控制器，係因應該處理器之一信號將該壓縮信號輸出至該序列先進技術附件介面。
33. 如請求項 21 所述之影像處理裝置，更連接至一通用串列匯流排埠，該第一及第二影像積體電路更分別包含一通用串列匯流排單元，係因應該處理器之一信號將該壓縮信號輸出至該通用串列匯流排埠。
34. 如請求項 21 所述之影像處理裝置，更連接至一乙太網路實體層，該第一及第二影像積體電路更分別包含一乙太網路媒體存取控制層，係因應該處理器之一信號將該壓縮信號輸出至該乙太網路實體層。
35. 如請求項 21 所述之影像處理裝置，該第一及第二影像積體電路更分別包含一加密單元，係因應該處理器之一信號而加密該壓縮信號。
36. 如請求項 35 所述之影像處理裝置，其中該加密單元係為一資料加密標準單元和一三重資料加密標準單元其中之一。
37. 如請求項 21 所述之影像處理裝置，其中該動畫壓縮標準編碼譯碼器係以 H.264 格式進行壓縮。
38. 如請求項 21 所述之影像處理裝置，其中該動畫壓縮標準編碼

譯碼器係以 MPEG-4 格式進行壓縮。

39. 如請求項 21 所述之影像處理裝置，其中該動畫壓縮標準編碼譯碼器係以 JPEG 格式進行壓縮。

40. 如請求項 21 所述之影像處理裝置，該第一及第二影像積體電路更分別包含一先進高效匯流排，用以傳送該信號及該壓縮信號。

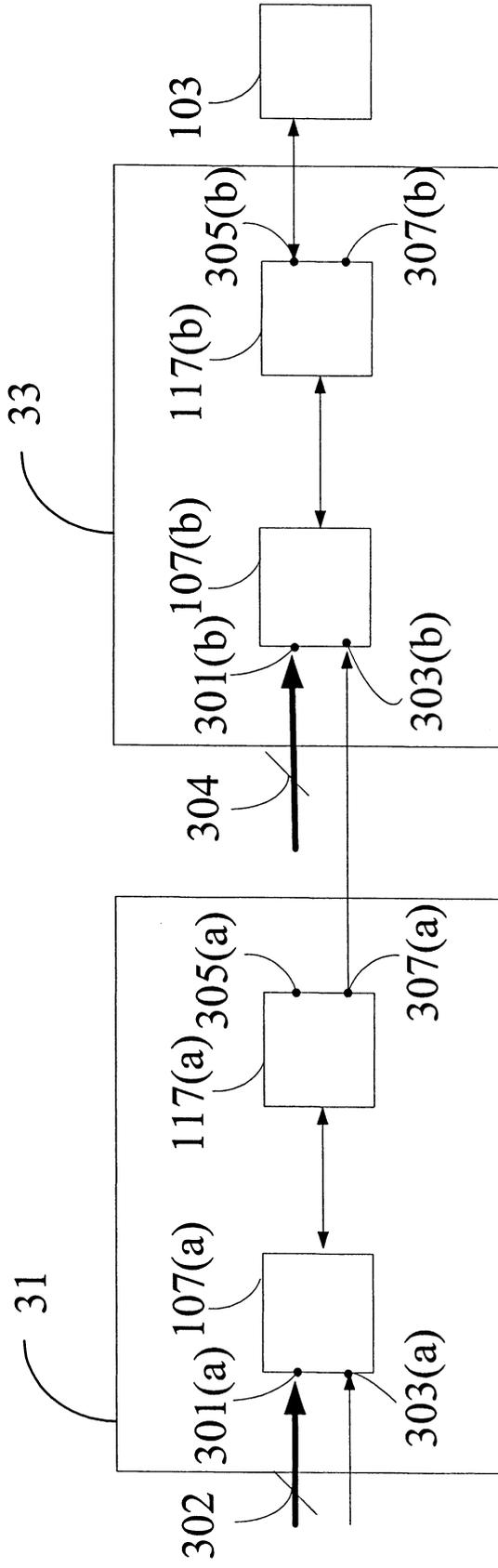
十一、圖式：



第1圖



3



第3圖

七、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

1：影像積體電路	123：視訊編碼器
101：記憶體	125：加密單元
102：數位影像信號	127：硬碟
103：影像播放裝置	129：整合驅動電子控制器
104：處理信號	131：週邊控制器介面匯流排
105：處理器	133：週邊控制器介面單元
106：整合信號	135：序列先進技術附件介面
107：影像擷取單元	137：序列先進技術附件控制器
108：判斷結果信號	139：通用串列匯流排埠
109：浮水印產生單元	141：通用串列匯流排單元
110：壓縮信號	143：乙太網路實體層
111：影像辨識單元	145：乙太網路媒體存取控制層
113：編碼譯碼器	122：第一信號
115：記憶體控制單元	124：第二信號
117：影像輸出單元	126：第三信號
118：線路	128：第四信號
119：線路	130：第五信號
121：匯流排	132：第六信號

# M306366

134：第七信號

136：第八信號

138：第九信號

140：第十信號

142：第十一信號

144：第十二信號