



(12)发明专利

(10)授权公告号 CN 106663596 B

(45)授权公告日 2019.11.22

(21)申请号 201580041512.5

(22)申请日 2015.07.22

(65)同一申请的已公布的文献号
申请公布号 CN 106663596 A

(43)申请公布日 2017.05.10

(30)优先权数据
14179690.4 2014.08.04 EP

(85)PCT国际申请进入国家阶段日
2017.01.25

(86)PCT国际申请的申请数据
PCT/EP2015/066785 2015.07.22

(87)PCT国际申请的公布数据
W02016/020196 EN 2016.02.11

(73)专利权人 埃皮根股份有限公司
地址 比利时哈瑟尔特

(72)发明人 乔夫·德卢伊 斯蒂芬·迪格鲁特

(74)专利代理机构 成都超凡明远知识产权代理有限公司 51258

代理人 魏彦

(51)Int.Cl.
H01L 21/02(2006.01)

(56)对比文件
US 2014361345 A1, 2014.12.11,
US 2007045639 A1, 2007.03.01,
US 2014045284 A1, 2014.02.13,
US 2014138699 A1, 2014.05.22,
CN 102208332 A, 2011.10.05,
CN 102790155 A, 2012.11.21,

审查员 周辉辉

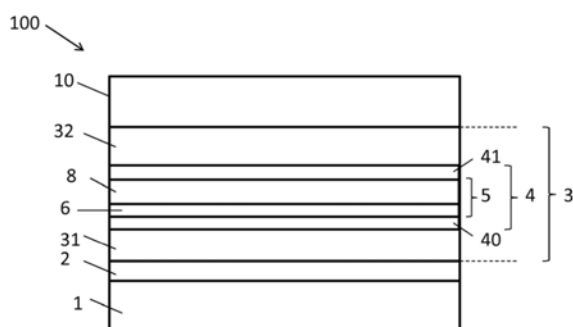
权利要求书2页 说明书7页 附图7页

(54)发明名称

包括在缓冲层堆叠上的III-V型有源半导体层的半导体结构和用于生产半导体结构的方法

(57)摘要

本发明涉及一种半导体结构,该半导体结构包括:-包括多个III-V材料层的缓冲层堆叠体,该缓冲层堆叠体包括至少一个分层子结构,各分层子结构包括压缩应力诱导结构,该压缩应力诱导结构位于相应第一缓冲层与在缓冲层堆叠体中定位成比相应第一缓冲层更高的相应第二缓冲层之间,相应第二缓冲层的下表面具有比相应第一缓冲层的上表面更低的Al含量;-III-V型有源半导体层,该III-V型有源半导体层设置在该缓冲层堆叠体上;其中,所述相应弛豫层的表面足够粗糙,以抑制相应第二缓冲层的弛豫,具有大于1nm的均方根(RMS)粗糙度;以及用于生产该半导体结构的方法。



1. 一种半导体结构,包括:

-包括多个III-V材料层的缓冲层堆叠体,所述缓冲层堆叠体包括至少一个分层子结构,每个所述分层子结构包括压缩应力诱导结构,所述压缩应力诱导结构在相应第一缓冲层与在所述缓冲层堆叠体中定位成比所述相应第一缓冲层更高的相应第二缓冲层之间,所述相应第二缓冲层的下表面具有比所述相应第一缓冲层的上表面更低的Al含量;

-III-V型有源半导体层,所述III-V型有源半导体层设置在所述缓冲层堆叠体上;

其中,每个所述压缩应力诱导结构包括在其下表面附近的伪晶平面化层和在其上表面附近的弛豫层,所述伪晶平面化层的下表面的Al含量低于或等于所述相应第一缓冲层的所述上表面的Al含量,并且所述平面化层的上表面的Al含量低于所述弛豫层的下表面的Al含量,并且所述弛豫层的上表面的Al含量高于所述相应第二缓冲层的Al含量;并且

其中,所述相应弛豫层的表面具有大于1nm的均方根(RMS)粗糙度,使得所述粗糙度抑制所述相应第二缓冲层的弛豫。

2. 根据权利要求1所述的半导体结构,还包括硅基晶片,所述缓冲层堆叠体通过与所述硅基晶片和所述缓冲层堆叠体直接接触的AlN成核层与所述硅基晶片隔开。

3. 根据前述权利要求中任一项所述的半导体结构,其中,对于至少一个分层子结构而言,所述相应平面化层和弛豫层直接接触,并且所述伪晶平面化层和所述弛豫层之间的过渡在Al含量方面是突变的或不连续的。

4. 根据权利要求1或2所述的半导体结构,其中,所述相应第一缓冲层的Al含量在15%至100%的范围内。

5. 根据权利要求1或2所述的半导体结构,其中,所述相应第一缓冲层的厚度在50nm至2微米的范围内,并且其中,所述相应第二缓冲层的厚度在50nm至8微米的范围内。

6. 根据权利要求1或2所述的半导体结构,其中,所述相应第二缓冲层的Al含量在0%至40%的范围内。

7. 根据权利要求1或2所述的半导体结构,其中,所述相应伪晶平面化层具有在0%至20%的范围内的Al含量。

8. 根据权利要求1或2所述的半导体结构,其中,所述相应伪晶平面化层的Al含量对于至少一个分层子结构而言是恒定的。

9. 根据权利要求8所述的半导体结构,其中,所述伪晶平面化层对于至少一个分层子结构是Ga_{0.5}N_{0.5}层。

10. 根据权利要求1或2所述的半导体结构,其中,所述相应弛豫层具有在50%至100%的范围内的Al含量。

11. 根据权利要求10所述的半导体结构,其中,所述弛豫层对于至少一个分层子结构是AlN层。

12. 根据权利要求1或2所述的半导体结构,其中,所述相应弛豫层的厚度在0.28nm至50nm的范围内。

13. 根据权利要求1或2所述的半导体结构,其中,所述缓冲层堆叠体是成分渐变的,在其下表面处具有较高的Al含量,除了所述压缩应力诱导结构以外,Al含量朝着所述有源半导体层单调降低。

14. 根据权利要求13所述的半导体结构,其中,所述缓冲层堆叠体是成分渐变的,在其

下表面处具有较高的Al含量,除了所述压缩应力诱导结构以外,Al含量朝着所述有源半导体层连续降低。

15. 根据权利要求13所述的半导体结构,其中,所述降低是阶梯式的。

16. 根据权利要求1或2所述的半导体结构,包括至少两个分层子结构。

17. 一种用于生产半导体结构的方法,包括:

-在基底上生长包括多个III-V材料层的缓冲层堆叠体;

-生长设置在所述缓冲层堆叠体上的III-V型有源半导体层;

其中,生长所述缓冲层堆叠体包括至少一次生长分层子结构,其中,生长分层子结构包括生长第一缓冲层、在所述第一缓冲层的顶部上的压缩应力诱导结构,以及在所述压缩应力诱导结构的顶部上生长第二缓冲层,从而在所述相应第二缓冲层的下表面处提供比在所述相应第一缓冲层的上表面处更低的Al含量;

其中,生长压缩应力诱导结构包括在所述相应第一缓冲层上生长相应伪晶平面化层,并在所述平面化层上生长相应的初始为伪晶的弛豫层,所述相应伪晶平面化层的下表面的Al含量低于或等于所述相应第一缓冲层的上表面的Al含量,并且所述相应伪晶平面化层的上表面的Al含量低于所述相应弛豫层的下表面的Al含量,并且所述相应弛豫层的上表面的Al含量高于所述相应第二缓冲层的Al含量;并且

其中,生长所述相应弛豫层的步骤包括在大于1200℃的温度下生长,所述相应弛豫层的表面具有大于1nm的均方根(RMS)粗糙度,使得所述粗糙度抑制所述相应第二缓冲层的弛豫。

18. 根据权利要求17所述的方法,其中,在所述平面化层上生长所述相应弛豫层的步骤包括首先伪晶地生长所述相应弛豫层并使所述相应弛豫层弛豫。

包括在缓冲层堆叠上的III-V型有源半导体层的半导体结构 和用于生产半导体结构的方法

技术领域

[0001] 本发明涉及一种半导体结构,包括具有多个III-V材料层的缓冲层堆叠体和设置在该缓冲层堆叠体上的III-V型有源半导体层例如GaN层,该缓冲层堆叠体设置在基底上。本发明还涉及用于生产这种半导体结构的方法。

背景技术

[0002] 氮化镓材料是具有相对宽的直接带隙的半导体化合物。这些电子跃迁为氮化镓材料提供了许多有吸引性的性质,例如承受高电场的能力,在高频率下传输信号的能力等。因此,氮化镓材料在许多微电子应用(诸如晶体管、场致发射体和光电子设备)中被广泛研究。氮化镓材料包括氮化镓(GaN)及其合金,诸如氮化铝镓(AlGaN),氮化铟镓(InGaN)和氮化铝铟镓(AlInGaN)。

[0003] 大多数GaN外延层生长在异质基底上,诸如蓝宝石(Al_2O_3),SiC或Si,因为天然GaN基底难以制作,因此非常昂贵。与(In)(Al)GaN外延层相比,这些基底具有不同的结构性质和机械性质,例如,这些基底包括不同的热膨胀系数或不同的晶格常数。这就导致在GaN外延层中的严重应变积累,其随着外延层厚度增加而增加。

[0004] 因此,在现有技术中,在基底和设备的有源部分之间引入分层缓冲结构。该缓冲结构尽可能地调节基底材料与在层的有源部分中使用的材料的性质之间的差异的影响。这种差异可以包括但不限于晶格常数的差异、热膨胀系数的差异、不同的晶体结构、不同的带隙能量和造成的介电击穿强度。理想地,该缓冲层不会影响有源部分或设备的性质,但是,在最终设备中可能具有较小的功能,例如作为接触层或替代地作为电流阻挡层。

[0005] 层堆叠体的有源部分是直接确定将在层堆叠体上制造的设备的性质的结构的一部分。例如,AlGaN/GaN HEMT结构的有源部分通常由相对厚(>100nm)的GaN通道层组成,在顶部具有薄(约20nm厚)的AlGaN阻挡层(barrier layer)。在这种HEMT中,阈值电压、跨导以及一部分导通状态电阻直接由AlGaN阻挡层的成分和厚度确定。例如在LED中,量子阱和阻挡物的成分和厚度确定发射光的波长。优化有源部分中材料的设计和选择以获得最佳的设备性能,并且尽可能少地依赖由基底或缓冲结构的选择所施加的约束。

[0006] 在硅基氮化镓(GaN-on-Si)技术中,几乎总是一方面在基底与缓冲结构之间引入额外的成核层,另一方面在缓冲结构与有源部分之间引入额外的成核层。该层可以是AlN层,因为AlGaN或GaN层中的镓导致Si基底的回蚀。在一些情况下,在基底上沉积介电层以减轻这种影响(例如,Si上的SiC,Si中的金刚石等)。术语“AlGaN”涉及包括任何化学计量/组成比($\text{Al}_x\text{Ga}_{1-x}\text{N}$)的Al、Ga和N的组合物,该组合物可以在层中变化,例如从在层的底部没有Ga到在层的顶部没有Al。诸如(In)AlGaN的组合物还可以包括任何合适量的铟(In)。

[0007] 缓冲结构通常由多个层组成。在硅基氮化镓(GaN-on-Si)技术中,缓冲层的成分通常从AlN成核层附近的富Al层向通常包括一个或多个GaN层的有源部分附近的富Ga层变化。从成核层到有源部分的组成变化可以以各种方式来进行。

[0008] 在硅基氮化镓技术的情况下,缓冲结构应当补偿在从层堆叠体的外延沉积期间的操作温度冷却至室温期间在层堆叠体中诱导的拉伸应力。通常,通过选择缓冲结构中的层使得这些层的组合在生长温度下向层中引入压缩应力来完成这一点。例如,在具有较高Al浓度的第一厚且弛豫的AlGaIn层的顶部上沉积具有较低Al浓度的第二AlGaIn层将诱导压缩应力,因为第二层的较大晶格常数将被压缩以匹配第一层的较小晶格常数。

[0009] 例如,在W00213245中公开了缓冲结构的使用。

[0010] 存在下述工业需要:改进缓冲结构,使得缓冲结构补偿在从层堆叠体的外延沉积期间的操作温度冷却到室温期间在层堆叠体中诱导的拉伸应力。

发明内容

[0011] 根据本发明的第一方面,公开了一种半导体结构,该半导体结构包括:包括多个III-V材料层(或由其组成)的缓冲层堆叠体,该缓冲层堆叠体包括至少一个(或至少两个、或至少三个;例如一个、两个、三个或四个)分层子结构,每个分层子结构包括压缩应力诱导结构,该压缩应力诱导结构在相应第一缓冲层与在缓冲层堆叠体中定位成比相应第一缓冲层更高(在相应第一缓冲层上方)的相应第二缓冲层之间,相应第二缓冲层的下表面具有比相应第一缓冲层的上表面更低的Al含量;以及设置在该缓冲层堆叠体上的III-V型有源半导体层。

[0012] 层中的元素(例如铝)的含量被定义为一方面层中的铝原子数量与另一方面层中的所有III族原子的总数之间的比率。如果Al是III族的成员,这意味着该比率大于或等于零,并且小于或等于一。

[0013] 根据优选实施方式,III-V型有源半导体层包括GaIn型层。根据优选实施方式,有源半导体层是层堆叠体的有源部分的下层。根据优选实施方式,层堆叠体的有源部分包括GaIn通道层和AlGaIn电子诱导阻挡层。

[0014] 根据优选实施方式,半导体结构还包括硅基晶片,缓冲层堆叠体通过与硅基晶片和缓冲层堆叠体直接接触的AlN成核层与硅基晶片隔开。根据优选实施方式,成核层的总厚度在10nm和200nm之间的范围内。

[0015] 根据优选实施方式,缓冲层堆叠体具有上缓冲层和下缓冲层,下缓冲层与AlN成核层直接接触,而上缓冲层与有源层直接接触。根据优选实施方式,缓冲层堆叠体的总厚度在500nm和10 μ m之间的范围内。缓冲层堆叠体的层优选地全部是(In)AlGaIn层。

[0016] 根据优选实施方式,压缩应力诱导分层结构或多个压缩应力诱导分层结构中的每个包括在其下表面附近的伪晶平面化层和在其上表面附近(在平面化层顶部/上方)的弛豫层,平面化层的下表面的Al含量等于或低于相应第一缓冲层的上表面的Al含量,并且平面化层的上表面的Al含量低于弛豫层的下表面的Al含量,并且弛豫层的上表面的Al含量高于相应第二缓冲层的Al含量。

[0017] 根据优选实施方式,分层子结构的相应平面化层和弛豫层直接接触。根据优选实施方式,分层子结构的伪晶平面化层和弛豫层之间的过渡在Al含量方面是突变的或不连续的。根据优选实施方式,分层子结构的伪晶平面化层和弛豫层之间的过渡在Al含量方面是突变的或不连续的。根据优选实施方式,分层子结构的伪晶平面化层和弛豫层之间的过渡在Al含量方面大于10%或大于20%或大于50%。

[0018] 根据优选实施方式,相应第一缓冲层的Al含量在15%至100%的范围内。更优选地其在40%至70%的范围内。

[0019] 根据优选实施方式,相应第一缓冲层的厚度在50nm至2微米的范围内。更优选地,其在350nm至1微米的范围内。

[0020] 根据优选实施方式,相应第二缓冲层的Al含量在0%和40%的范围内。更优选地其在8%至40%的范围内。

[0021] 根据优选实施方式,相应第二缓冲层的厚度在50nm至8微米的范围内。更优选地,其在500nm至4微米的范围内。

[0022] 相应第一缓冲层和第二缓冲层优选地包括(In) AlGa_N层。

[0023] 根据优选实施方式,相应平面化层具有在0至20%的范围内的Al含量。根据优选实施方式,相应平面化层中的至少一个、多个或全部具有0%的Al含量,即不含有铝。

[0024] 根据优选实施方式,相应平面化层的Al含量对于至少一个(或对于多个或全部)分层子结构是恒定的。

[0025] 根据优选实施方式,平面化层对于至少一个(或多个或全部)分层子结构是Ga_N层。

[0026] 根据优选实施方式,相应平面化层的厚度在5nm至50nm的范围内。

[0027] 根据优选实施方式,相应弛豫层具有在50%至100%的范围内的Al含量。

[0028] 根据优选实施方式,其中,至少一个(或多个或全部)分层子结构的弛豫层的Al含量是恒定的。

[0029] 根据优选实施方式,弛豫层对于至少一个(或多个或全部)分层子结构是Al_N层。

[0030] 根据优选实施方式,相应弛豫层的厚度在0.28nm至50nm的范围内,更优选地在1nm至10nm的范围内。优选地,相应弛豫层的厚度大于1nm,或大于2nm,或大于5nm。

[0031] 根据优选实施方式,弛豫层的表面足够粗糙,以抑制相应第二缓冲层的弛豫。优选地,弛豫层的RMS(均方根)粗糙度大于1nm。优选地,弛豫层的RMS粗糙度在1nm至10nm的范围内。

[0032] 根据优选实施方式,缓冲层堆叠体是成分渐变的,在其下表面处具有较高的Al含量,除了压缩应力诱导结构之以,Al含量朝着有源半导体层单调降低。

[0033] 根据本发明的第二方面,公开了一种用于生产半导体结构的方法,该方法包括:

[0034] -在基底上生长包括(由其组成)多个III-V材料层的缓冲层堆叠体;

[0035] -生长设置在该缓冲层堆叠体上的III-V型有源半导体层;

[0036] 其中,生长缓冲层堆叠体包括至少一次生长分层子结构,其中,生长分层子结构包括生长第一缓冲层、在第一缓冲层的顶部上的压缩应力诱导结构,以及在压缩应力诱导结构的顶部上生长第二缓冲层,从而在相应第二缓冲层的下表面处设置比在相应第一缓冲层的上表面处更低的Al含量。

[0037] 根据优选实施方式,该方法包括提供硅基晶片,在硅基晶片上生长Al_N成核层并在Al_N成核层上生长缓冲层堆叠体。

[0038] 根据优选实施方式,生长缓冲层堆叠体包括使缓冲层堆叠体生长为使得缓冲层堆叠体是成分渐变的(例如优选地阶梯式渐变,但也可以连续渐变),在其下表面处具有较高的Al含量,除了在构成压缩应力诱导结构的层之外,Al含量朝着有源半导体层单调降低。

[0039] 根据优选实施方式,生长压缩应力诱导分层结构包括在相应第一缓冲层上生长相

应伪晶平面化层,并在平面化层上生长相应的初始为伪晶的弛豫层,相应平面化层的下表面的A1含量低于或等于相应第一缓冲层的上表面的A1含量,并且相应平面化层的上表面的A1含量低于相应弛豫层的下表面的A1含量,并且相应弛豫层的上表面的A1含量高于相应第二缓冲层的A1含量。

[0040] 根据优选实施方式,在大于1100℃或大于1200℃的温度下进行生长弛豫层。在这些温度下生长弛豫层导致RMS粗糙度增加,例如大于1nm。这提供了以下优点:抑制了设置在弛豫层顶部上的相应第二缓冲层的弛豫。那么在顶部伪晶生长的第二缓冲层就将具有高水平的或最大化的面内压缩应变。

[0041] 如对于本发明的第一方面的实施方式所解释的特征和优点适用于本发明的第二方面,反之亦然,细节上作必要的修改。

[0042] 出于本公开内容之目的,只要限定了范围,其意在以封闭、开放以及两个半开的形式公开这些范围。即使在限定这样的范围的上下文中使用了术语“之间”,意在公开所有这些选项。

[0043] 在整个说明书中详述本发明的优点。

附图说明

[0044] 图1示出了包括缓冲层堆叠体的现有技术半导体结构。

[0045] 图2示出了根据本发明的一种优选实施方式的缓冲层堆叠体。

[0046] 图3示出了根据本发明的另一实施方式的缓冲层堆叠体。

[0047] 图4示出了与现有技术相比根据本发明的实施方式的方法和半导体结构的有效性。

[0048] 图5示出了对于现有技术方案,沿堆叠体的生长方向“z”测量的作为层堆叠体内高度水平函数的晶格常数的演变。

[0049] 图6示出了对于本发明的优选实施方式,沿着堆叠体的生长方向“z”测量的作为随层堆叠体内高度水平函数的晶格常数的演变。

[0050] 图7示出了对于本发明的优选实施方式,沿堆叠体的生长方向“z”测量的作为层堆叠体内高度水平函数的应力的演变。

具体实施方式

[0051] 将参考具体实施方式并参考某些附图来描述本发明,但是本发明并不限于此,而是仅由权利要求来限制。所描述的附图仅是示意性的而非限制性的。在附图中,为了说明的目的,可能放大一些元件的大小并且并未按比例进行绘制。尺寸和相对尺寸不与本发明实践的实际减少对应。

[0052] 此外,说明书和权利要求书中的术语第一、第二、第三等用于区分类似元件,而不一定用于描述次序或时间顺序。这些术语在适当的情况下是能够互换的,并且本公开内容的实施方式可以以不同于本文所描述的或示出的其它顺序来操作。

[0053] 此外,说明书和权利要求书中的术语顶部、底部、上方、下方等用于描述之目的,而不一定用于描述相对位置。如此使用的术语在适当的情况下是能够互换的,并且本文所描述的本公开内容的实施方式可以以不同于本文所描述的或示出的其它定向来操作。

[0054] 此外,各种实施方式,虽然被称为“优选”,但应以示例的方式理解,在这些实施方式中可以实现本公开内容,而不限本公开内容的范围。

[0055] 图1示出了一种现有技术半导体结构100,该半导体结构包括具有多个III-V材料层的缓冲层堆叠体3和设置在缓冲层堆叠体上的III-V型有源半导体层10。有源半导体层10是例如层堆叠体的有源部分的下层。通过与硅基晶片1和缓冲层堆叠体3直接接触的AlN成核层2,将缓冲层堆叠体3与硅基晶片隔开。缓冲结构或缓冲层堆叠体3通常由多个层组成。在硅基氮化镓(GaN-on-Si)技术中,缓冲层的成分通常从AlN成核层附近的富Al层向有源半导体层10例如GaN层10附近的富Ga(和相对贫Al)层演变。缓冲层3从成核层2到有源部分10的成分变化可以以技术人员已知的各种方式来进行。成分变化可以包括例如缓冲层3的Al含量的阶梯式渐变或连续渐变。

[0056] 在硅基氮化镓(GaN-on-silicium)技术的情况下,缓冲层堆叠体或缓冲结构应当补偿在从层堆叠体的外延沉积期间的操作温度冷却到室温期间在层堆叠体中诱导的拉伸应力。

[0057] 发现在典型的缓冲层堆叠体3中具有高铝浓度(例如Al%大于50%)的层可能遭受明显的表面粗糙度。此外,在第一缓冲层和第二缓冲层的铝含量为阶梯式渐变的现有技术情况下,具有比第一缓冲层(前一步骤)更低的Al含量的第二缓冲层(后一步骤),在第二缓冲层的第一生长部分的伪晶生长期间诱导面内压缩应力。随着生长的第二缓冲层弛豫,该缓冲层开始呈现其自身的无应变晶格常数,这就减小并最终停止压缩应力的积累。

[0058] 在本发明的方面中,通过在缓冲层堆叠体3内在第一缓冲层40与在所述缓冲层堆叠体中定位成比所述相应第一缓冲层40高的第二缓冲层41之间包括至少一个压缩应力诱导结构5,进一步增加了压缩应力的产生,压缩应力诱导结构优选地包括两层。该压缩应力诱导结构5优选地包括两层:平面化层6和弛豫层8。分层子结构4包括压缩应力诱导结构5,压缩应力诱导结构在第一缓冲层40与在所述缓冲层堆叠体中定位成比所述相应第一缓冲层40高的第二缓冲层41之间。优选地,第二缓冲层41的下表面具有比第一缓冲层40的上表面低的Al含量。

[0059] 在图2中描绘了用于缓冲层堆叠体3(31、4(40、5(6、8)、41)、32)的本发明的这种优选实施方式。设置有硅基底1,在该硅基底上生长了AlN成核生长层2。缓冲层堆叠体3在AlN成核层2的顶部上生长,该缓冲层堆叠体包括下部31、分层结构4和上部32。在缓冲层堆叠体3上,设置有III-V型有源半导体层10,例如GaN层。

[0060] 平面化层6降低了第一缓冲层40的表面粗糙度。优选地,该平面化层在不弛豫(由此该平面化层的晶格常数呈现第一缓冲层40的晶格常数的值,并且因此该层伪晶地生长在第一缓冲层的顶部上)的条件下生长(例如,适当低温(例如小于1250°C,或小于1200°C,或小于1100°C;并且也优选地大于900°C)和高生长速率)。另外,使平面化层6的厚度保持较低(例如,厚度在5nm与50nm之间),以避免超过临界厚度,在临界厚度之后开始发生弛豫。为了促进平面化,该层是富Ga的,即,平面化层的Al浓度保持尽可能低(例如纯GaN层,不包括任何Al)。该层6的平面性确保了弛豫层8的第一部分(即,首先生长的部分)对于平面化层6和第一缓冲层40是伪晶的(具有相同的面内晶格常数)。

[0061] 弛豫层8在平面化层6的顶部上生长。弛豫层8在下述条件下生长,即使层的第一部分伪晶地生长,弛豫也尽可能快地发生。理想地,弛豫层的顶部完全弛豫,但在一些情况下,

其也可以仅部分地弛豫。弛豫可以例如通过产生失配位错或通过表面的粗糙化而发生。实际上,使用高温(例如大于1100℃或大于1200℃),并且与平面化层6相比,对弛豫层8使用大的晶格常数差异(例如Al含量(Al%)的差异可以大于50%)。优选地,弛豫层8是富Al的,即,该弛豫层具有尽可能高的Al含量(即,尽可能低的晶格常数),使得该弛豫层具有抑制第二缓冲层的弛豫的表面,例如使得该弛豫层具有足够粗糙的表面(例如具有大于1nm的RMS粗糙度),并且使得在顶部伪晶地生长的第二缓冲层包含尽可能多的面内压缩应变。优选地,该弛豫层是AlN层。另外,可以通过有意地引入生长中断或改变前体和环境气体分压来促进弛豫。虽然增加弛豫层的厚度可有利于促进弛豫,但最好使弛豫层保持相对薄,以避免过多的拉伸应力的积累。

[0062] 第二缓冲层生长在弛豫层的顶部上。因为第二缓冲层具有比弛豫层更低的Al含量,所以只要第二缓冲层未完全弛豫,就会积累压缩应力。在该层中弛豫的发生是可以控制的生长条件(较低的生长温度,高生长率)以及其生长所在层的顶部的平面性的函数。

[0063] 图3示出了本发明的另一优选实施方式,该实施方式类似于关于图2描述的实施方式,但是其中,两个分层子结构(4、4')在缓冲层堆叠体3内生长。缓冲层堆叠体从底部到顶部包括下部31、第一子结构4、中部32、第二子结构4'和上部33。在缓冲层堆叠体3中,第二子结构4'定位成比第一子结构高并且类似于第一子结构4。第二子结构4'可以通过缓冲层堆叠体部32与第一子结构4隔开。替代地,层41和层40'可以是同一层。第二子结构4'包括第一缓冲层40',生长在第一缓冲层40'上的压缩应力诱导分层结构(CSIS)5'和生长在压缩应力诱导结构5'上的第二缓冲层41'。压缩应力诱导结构5'包括生长在第一缓冲层40'上的平面化层6'和生长在平面化层6'上的弛豫层8'。第二子结构的性质类似于对第一子结构描述的那些性质。第一子结构和第二子结构可以是相同的或者可以是不同的。

[0064] 根据优选实施方式,如技术人员将认识到的一样,这些子结构(4、4'、4''、4'''...)中的多个可以生长在缓冲层堆叠体3中。例如,可以存在两个、三个、四个、五个或更多个子结构。在缓冲层堆叠体3中存在的子结构越多,可以引入的压缩应力越多。

[0065] 根据优选实施方式,缓冲层堆叠体3是成分渐变的,在其下表面处具有较高Al含量,除了压缩应力诱导结构4、4'、4''...以外,Al含量朝着有源半导体层10单调、连续或阶梯式地降低。换句话说,包括不是CSIS 5、5'的一部分的缓冲层堆叠体的部分40、41、40'、41'、31、32、33的虚拟堆叠体可以是成分渐变的,在其下表面具有较高的Al含量,Al含量朝向其上表面单调、连续或阶梯式地降低。

[0066] 优选地,成核层2、缓冲层堆叠体3的层和有源层10的生长通过MOCVD或MBE或HVPE或CBE来进行。根据一种优选实施方式,使用MOCVD来生长层。例如,将硅(Si)基底引入MOCVD反应器室中。反应器具有受控的环境气体流(例如氢气和/或氮气),并且保持在良好受控压力 and 良好受控温度下。应该采取措施以避免反应器室中存在污染物。在氢气环境中将基底加热至高温(例如高于1000℃)以除去天然氧化物。随后,将氮前体(例如NH₃)和Al前体(例如TMA1)的受控气流同时或以特定切换顺序引入反应器中,以开始AlN成核层的生长。当完成成核层的生长时,例如通过引入Al的前体(例如TMA1)、Ga的前体(例如TMGa)和氮的前体(例如NH₃)来生长缓冲层堆叠体。在缓冲堆叠体的顶部,生长有源部分。在生长之后,将基底冷却至合适的处理温度,在该处理温度下,可以从反应器室中移除顶部上具有III-N层堆叠体的基底并进一步处理。

[0067] 在图4至图7中描述了通过半导体结构的应力积累。

[0068] 当在伪晶生长期间生长层呈现其他(下面)层的面内晶格常数时,正在积累应力。取决于生长层的有效面内晶格常数和其自然晶格常数(即,未应变“本征”层的晶格常数)之间的差异,诱导局部面内应变。

[0069] 在本发明的实施方式中,通过生长伪晶的低Al浓度平面化层6来诱导第一压缩应力。该层保持相当薄以避免弛豫。弛豫层8具有高Al含量,使得当该弛豫层在平面化层6的顶部上以应变状态生长时,诱导拉伸应力。通过调整生长条件使得尽可能快地发生弛豫,该层8的厚度可以保持得尽可能低,使得拉伸应力或多或少地由平面化层6中产生的压缩应力补偿。一旦弛豫层8完全弛豫,即使该层将增加厚度,也不会产生额外的拉伸应力。

[0070] 在该弛豫的弛豫层8的顶部上,生长第二缓冲层41。因为应变产生现在由弛豫层8和第二缓冲层41之间的晶格常数的差异决定(与在现有技术第一缓冲层40的典型状态与第二缓冲层41的典型状态之间的低得多的晶格常数差异相反),所以在该过渡处的压缩应力的量可以大很多。此外,在本发明的优选实施方式中,该层的弛豫被尽可能地延迟,例如,通过选择适当的生长条件或通过将其生长在具有足够粗糙的表面的层的顶部上。

[0071] 图4示出了作为生长时间函数并因此作为生长的层厚度函数的晶片翘曲度的量,这代表生长层中的应变。“-CSIS”曲线对应于如图1所述的现有技术结构的应力积累。“+CSIS”曲线对应于类似结构的应力积累,其与现有技术结构主要不同在于存在压缩应力诱导结构5。另外用于产生两个结构的工艺参数基本相同。清楚的是,根据本发明实施方式的压缩应力诱导结构5的使用允许引入比现有技术方案更多的压缩应力。事实上,+CSIS曲线继续下降(应力继续积累)较长时间直到水平S2,而-CSIS曲线更快地演变为稳定状态的情况,下降到水平S1,由此该层弛豫并且不发生进一步的应力积聚。

[0072] 图5、图6和图7是进一步示出了现有技术结构与根据本发明的实施方式的结构之间的差异的图。

[0073] 图5和图6示出了对于现有技术堆叠体中的两个后续阶梯式渐变层(图5)和本发明的实施方式的分层子结构4(图6),晶格常数作为层堆叠体厚度(沿着生长方向“z”,通常在基底表面上垂直)的函数的演变。图5示出了第二缓冲层41直接生长在第一缓冲层40上的现有技术情况,第二缓冲层41具有比第一缓冲层40更大的晶格常数(具有更低的铝含量)。指示区域大体上示出了在层堆叠体中积累的应力的量。图6是根据本发明的实施方式的结构等效图,该结构包括在第一缓冲层40与第二缓冲层41之间的压缩应力诱导结构5。指示区域大体上示出了在这种情况下积累的应力的量,其显著大于现有技术的结构中应力的量。

[0074] 图7示出了对于现有技术堆叠体(虚线)以及根据本发明的一种优选实施方式的堆叠体(实线),作为层堆叠体厚度函数(沿着生长方向“z”,通常在基底表面上垂直)的所产生的应力演变。该图示出了由根据本发明的实施方式的压缩应力诱导结构5诱导的压缩应力大于用于现有技术的结构的压缩应力。

[0075] 虽然上文的详细描述已经示出、描述并指出了应用于各种实施方式的本发明的各方面的新颖特征,但是,要理解的是,在不偏离本发明各方面的一般构思的情况下,本领域技术人员可以对所示装置或工艺的形式和细节进行各种省略、替换和改变。

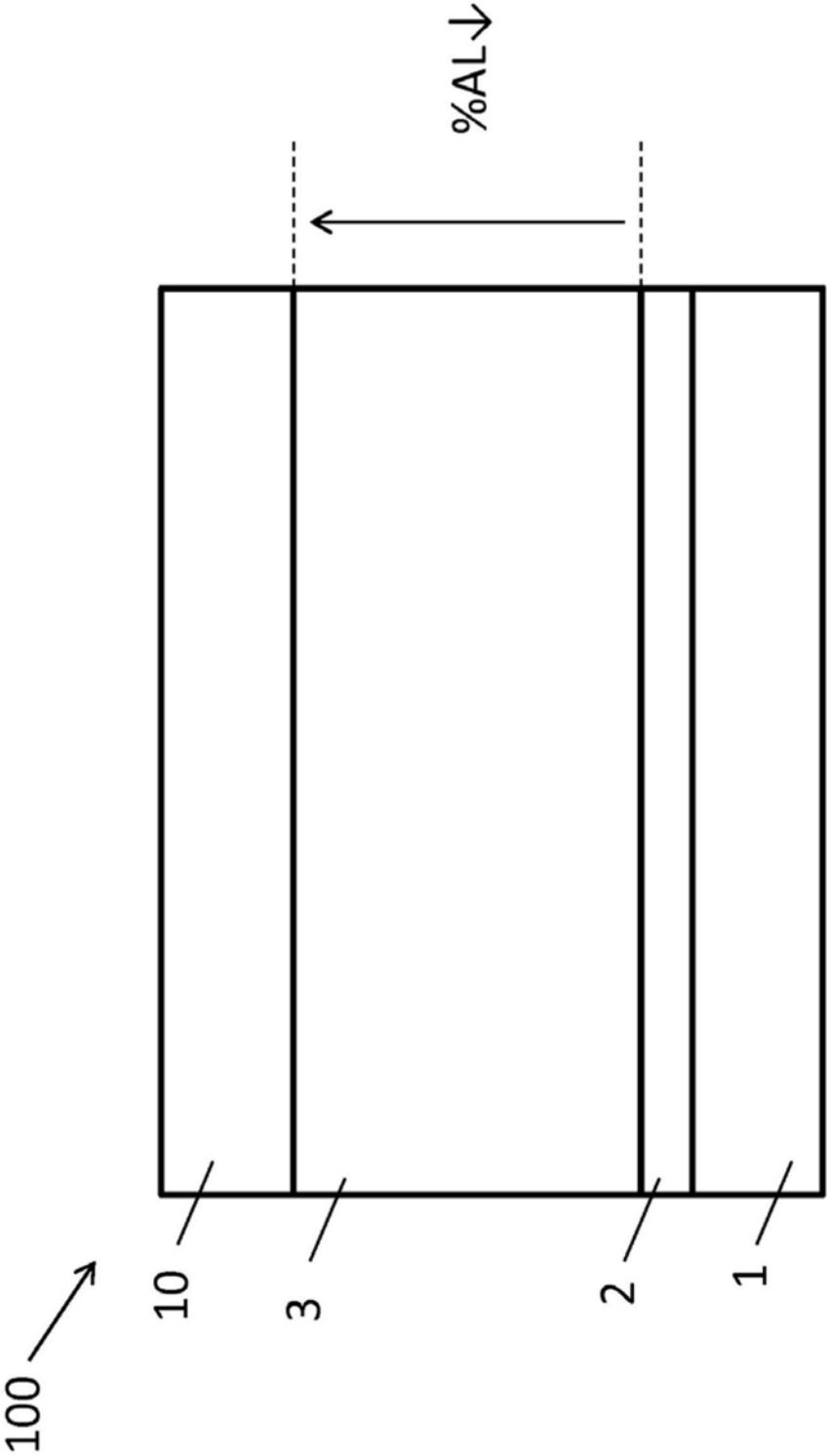


图1现有技术

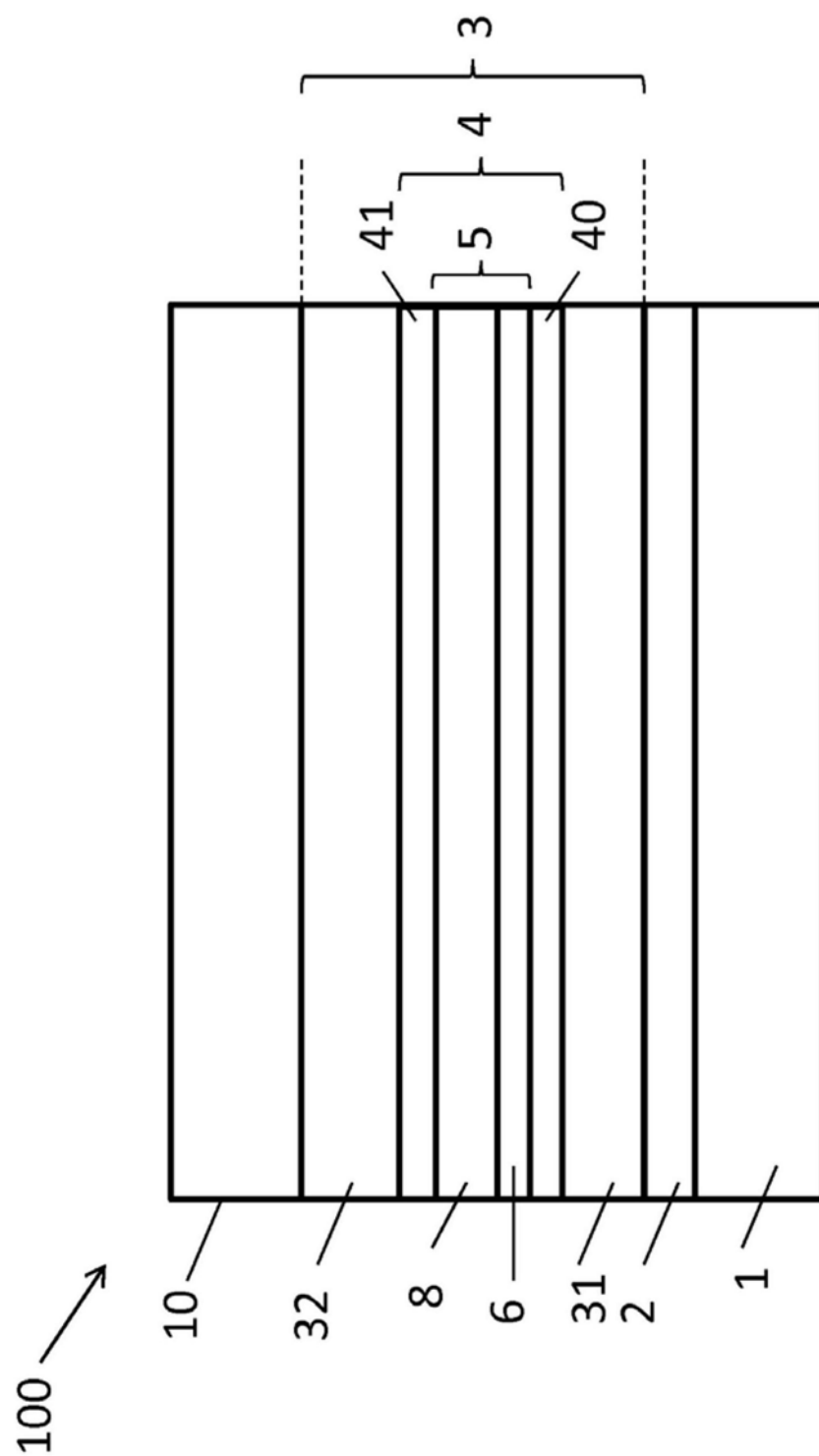


图2

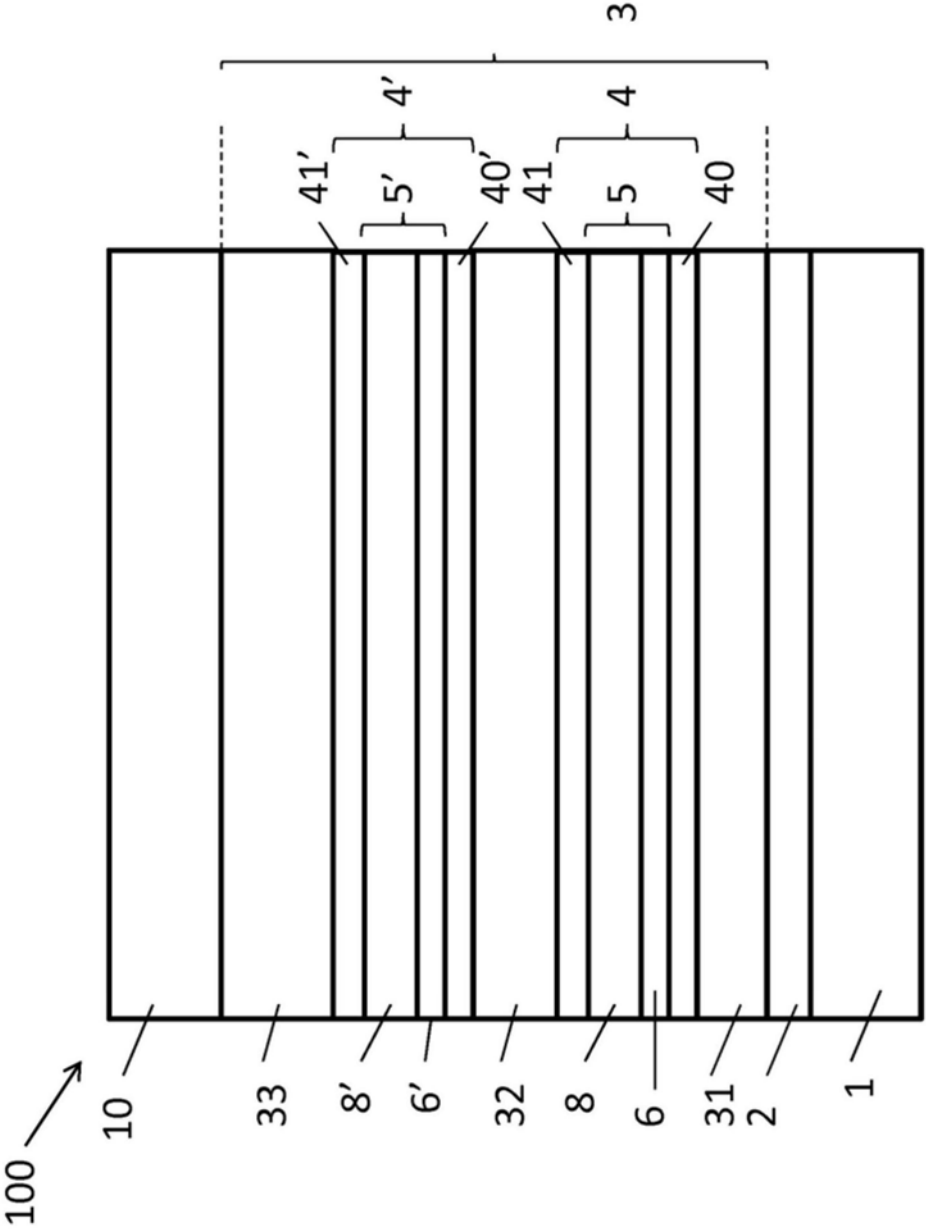


图3

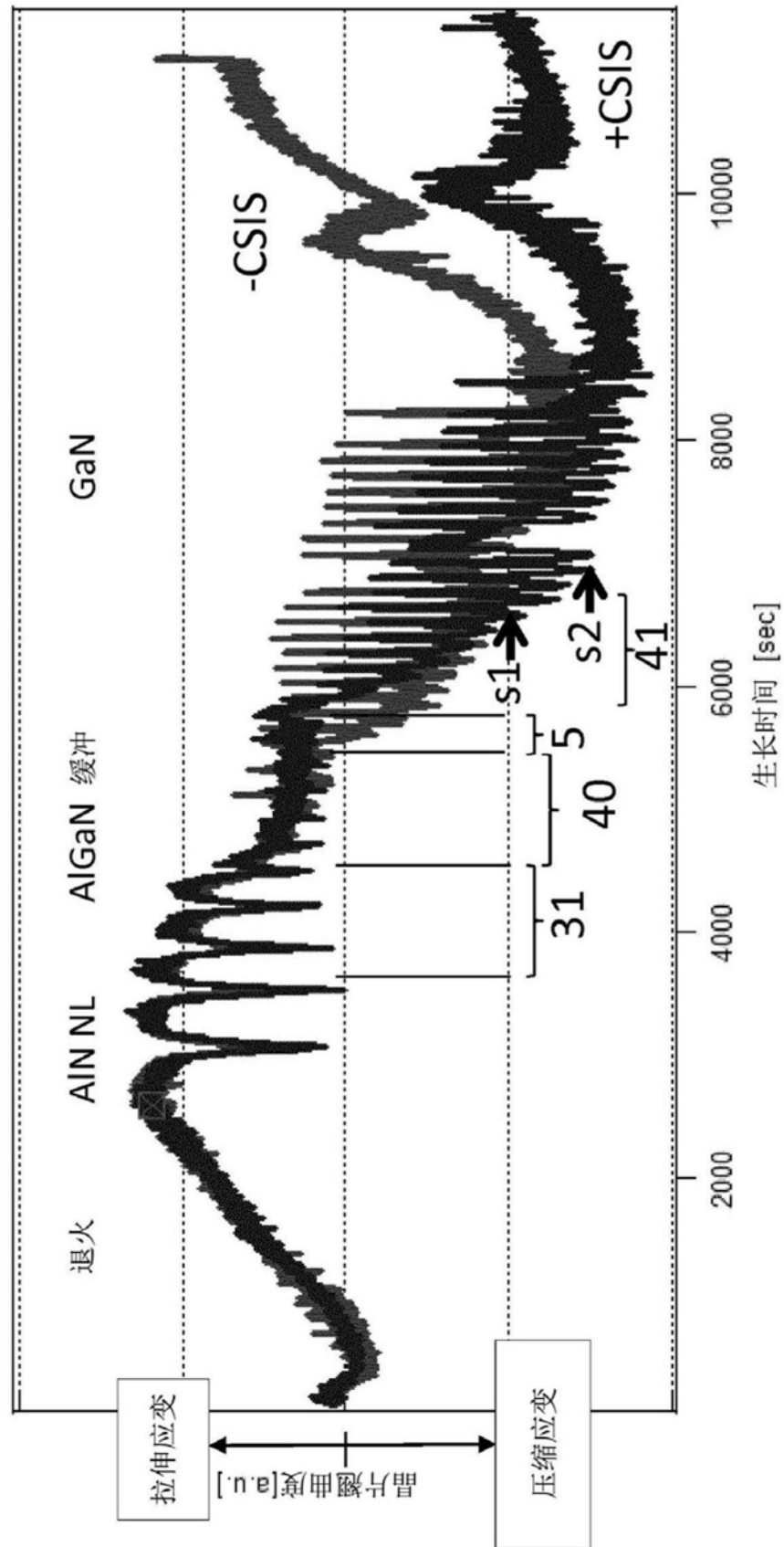


图4

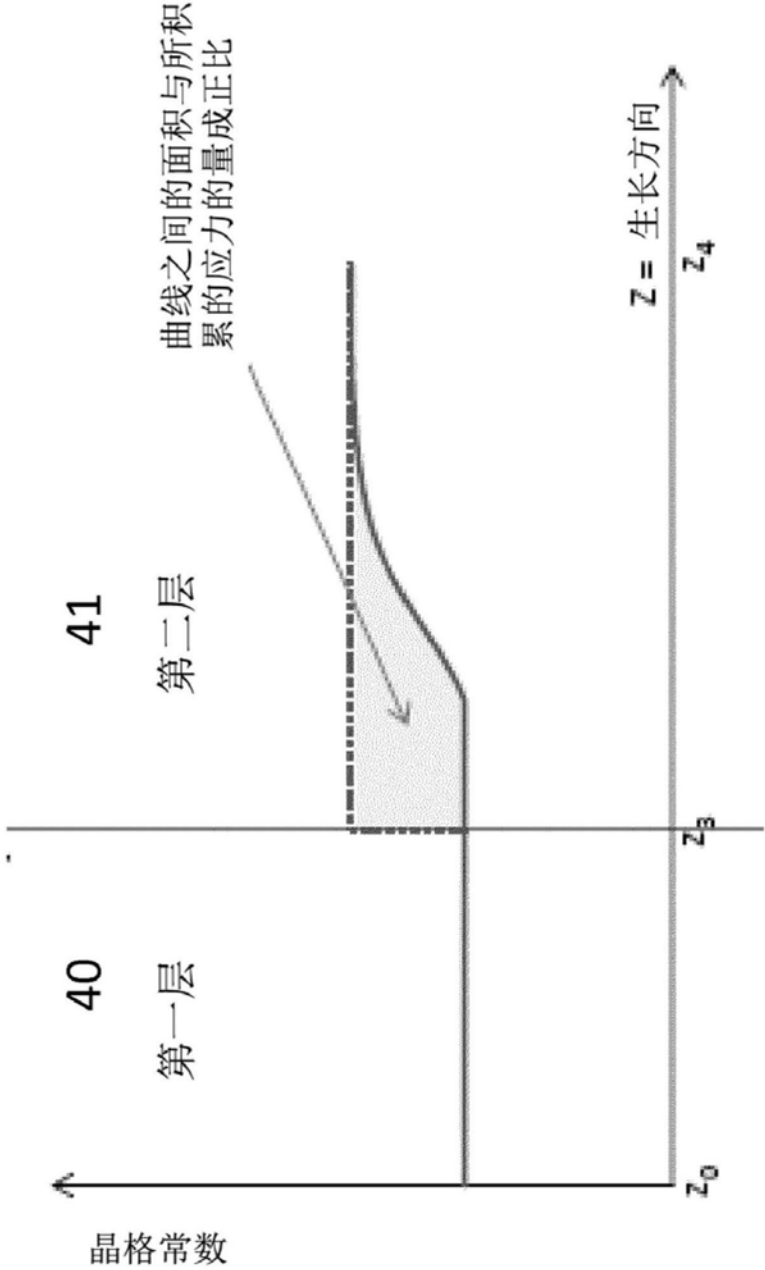


图5

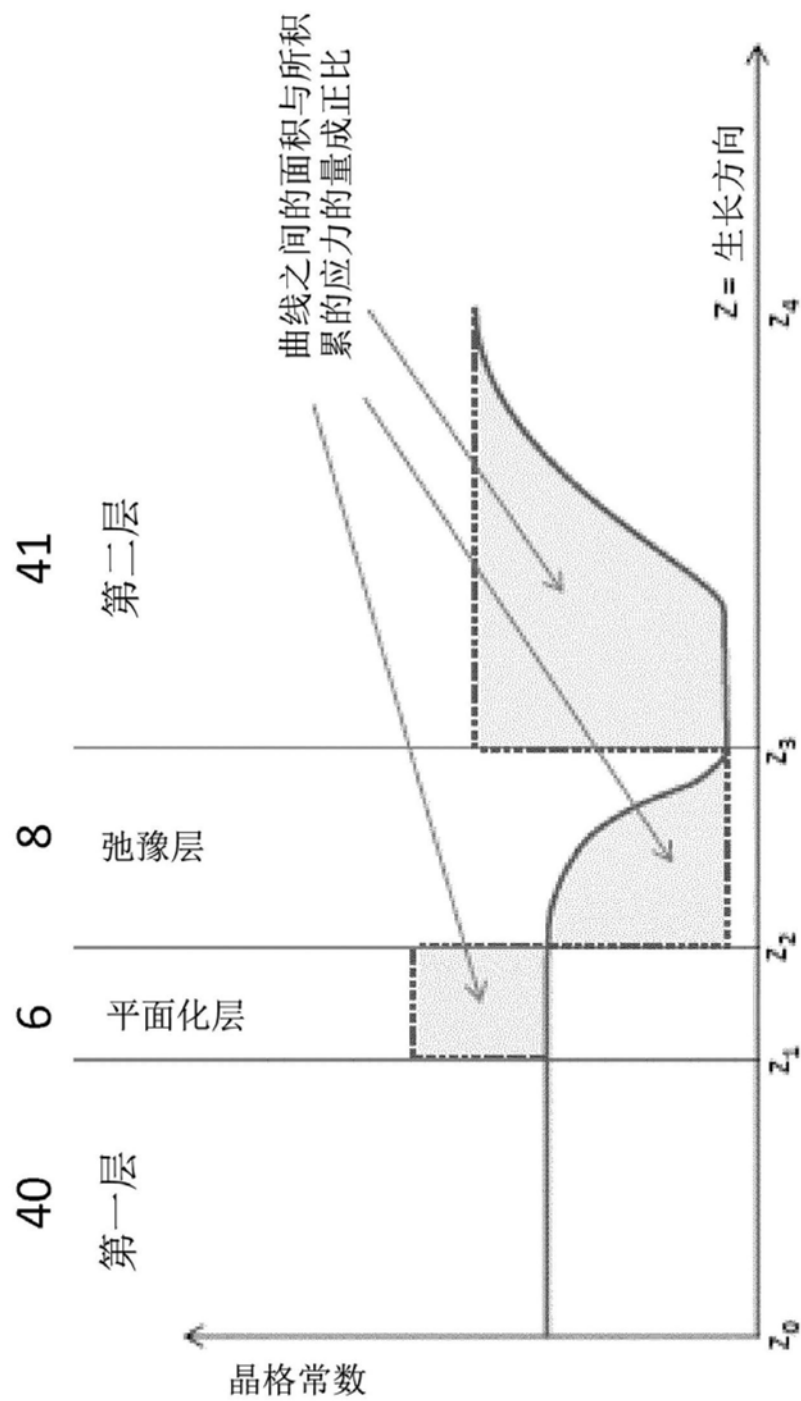


图6

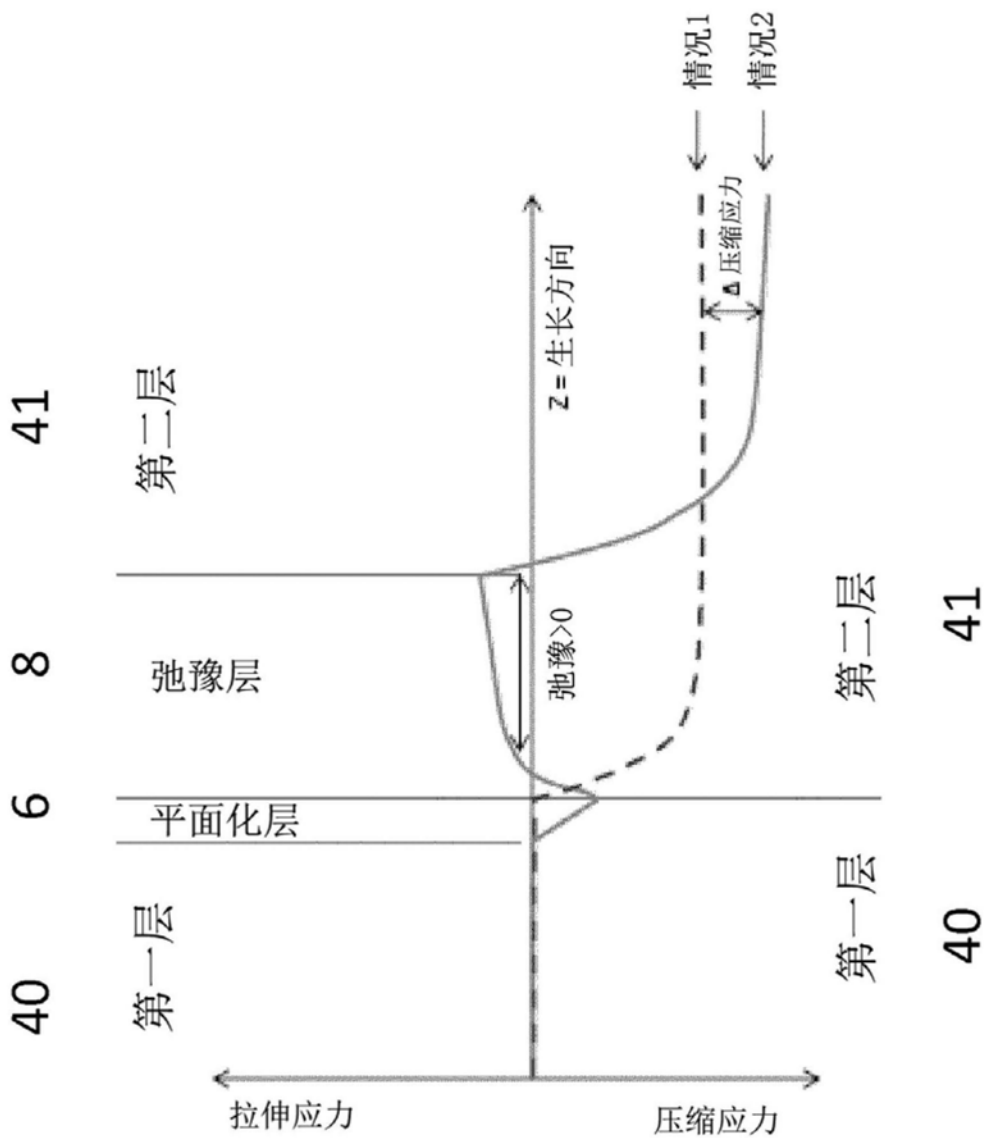


图7