

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 94114834.3

H01L 27/00

H01L 21/70

G09G 3/00 G09G 3/36

G09F 9/00 G02F 1/13

[45]授权公告日 1999 年 6 月 16 日

[11]授权公告号 CN 1043702C

[22]申请日 94.7.28 [24]颁证日 99.2.27

[21]申请号 94114834.3

[30]优先权

[32]93.7.28 [33]JP [31]186459/93

[32]93.9.29 [33]JP [31]242259/93

[32]93.10.27 [33]JP [31]268929/93

[73]专利权人 夏普公司

地址 日本大阪市

[72]发明人 米田裕 吉田茂人 加藤宪一

山根康邦 石井裕

[56]参考文献

US5,200,847 1993. 4. 6 G02F1/13

审查员 赵百令

[74]专利代理机构 中国专利代理(香港)有限公司

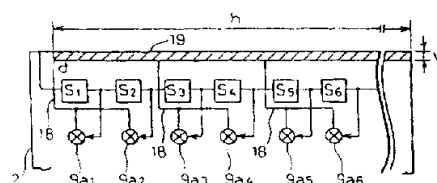
代理人 董 巍 萧掬昌

权利要求书 4 页 说明书 51 页 附图页数 35 页

[54]发明名称 半导体器件

[57]摘要

在一种衬底上形成了半导体有源器件电路和导电线
的半导体器件中,导电线被多次分割且各线的布线电阻
限制在一预定数值或更小以便各线有均匀的布线电阻。
将波形变坏响应信号分量加到通过信号线传输的信号上
以便改善信号的波形变坏。此外,形成了一个与电源线
相对的电容形成电极,并用在电源线和电容形成电极之
间插入电介质的方法形成一个电容以便降低发生在电源
线中的高频噪音。这就比以前更彻底地降低了有源器
件电路中不规则运行的出现。



ISSN 1008-4274

权 利 要 求 书

1.一种半导体器件，它包括：

一个衬底；

一个包括一个半导体有源器件的有源器件电路，上述有源器件电路带有多个输入端，上述有源器件电路形成在上述衬底上；

一个用来与上述半导体器件之外的外部电路进行电连接的外部连接端，上述外部连接端形成在上述衬底的一个边缘上；

一个用来在上述有源器件电路的各输入端和上述外部连接端之间进行连接的导电线，上述导电线形成在上述衬底上；以及

一个将显示图象的多个像素形成为矩阵状的图象显示部分；

其特征在于，

所述各个输入端是沿着与上述各个输入端对应的像素的排列方向形成的，所述外部连接端是与上述各个输入端并列设置的；

所述导电线由多个分线构成，而上述多个分线是对应由至少一个输入端组成的输入端子群设置的。

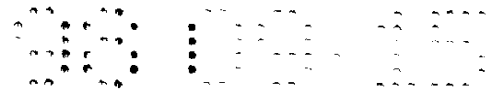
2.权利要求 1 所述的半导体器件，其特征在于所述的有源器件电路单片形成在上述衬底上。

3.权利要求 1 所述的半导体器件，其特征在于所述的有源器件电路是一种安装在上述衬底上的半导体芯片。

4.权利要求 1 所述的半导体器件，其特征在于所述的导电线是一种用来从外部电路输入一个信号到上述有源器件电路中去的信号线。

5.权利要求 1 所述的半导体器件，其特征在于所述的导电线是一种用来从外部电路向上述有源器件电路供电的电源线。

6.权利要求 1 所述的半导体器件，其特征在于所述的外部连



接端沿衬底的边缘形成，且平行于衬底边缘方向上的端宽度大于与衬底边成直角的方向上的端宽度。

7.权利要求 6 所述的半导体器件，其特征在于：

多个上述外部连接端存在于衬底上，且

上述多个连接端在从衬底边缘到衬底内部的方向上排成一行。

8.权利要求 1 所述的半导体器件是一种图象显示器件，其特征在于：

一个图象显示区形成在上述衬底上，且

上述有源器件电路包括一个用来驱动上述图象显示区的驱动电路。

9.权利要求 8 所述的半导体器件，其特征在于每一个分线如此形成，以致上述外部连接端和上述有源器件电路的各输入区之间的布线电阻的变化相对于布线电阻的平均值，在 $\pm 3.1\%$ 的范围以内。

10.权利要求 9 所述的半导体器件，其特征在于：

上述各分线由具有主线和多个由上述主线分支出来以便连接到上述有源器件电路的多输入区的支线所组成，以及

随着离上述外部连接端的布线距离变长，上述支线的宽度变大，以便上述外部连接端和上述有源器件电路输入区之间的布线电阻的变化落在上述范围之内。

11.权利要求 9 所述的半导体器件，其特征在于：

所述的分线由主线和多个从上述主线分支出来以便连接到上述有源器件电路的多输入区去的支线所组成，且

随着主线离上述外部连接端变远，其宽度变大以便上述外部连接端和上述有源器件电路各输入区之间的布线电阻的变化落在

上述范围以内。

12.权利要求 8 所述的半导体器件，其特征在于：

所述的导电线是一种用来从外部电路向上述驱动电路传输视频信号的视频信号线，

所述的驱动电路包括一种带有多个取样开关、用来对从上述视频信号线输入的视频信号进行取样的取样电路，且

所述的取样开关分成多个组，每组和上述外部连接点用上述视频信号线的各分线连接起来。

13.权利要求 8 所述的半导体器件，其特征在于：

所述的导电线是一种用来从外部电路向上述驱动电路传输启动信号的启动信号线，且

所述的驱动电路包括一种用来产生根据从上述启动线输入的启动信号决定视频信号取样周期的取样信号的取样信号发生电路。

14.权利要求 8 所述的半导体器件，其特征在于所述的图象显示器件是一种液晶显示器。

15.权利要求 8 所述的半导体器件，其特征在于：

所述的图象显示区包括一个用来驱动象素的有源器件，且

上述有源器件的载流子迁移率 μ 有下列关系： $\mu \geq 5\text{cm}^2/\text{V} \cdot \text{sec}$ 。

16.权利要求 15 所述的半导体器件，其特征在于所述的有源器件是一种多晶硅薄膜晶体管。

17.权利要求 9 所述的半导体器件，其特征在于各分线形成为使各分线长度相对于全部分线平均长度的变化落在 $\pm 3.1\%$ 的范围内。

18.权利要求 8 所述的半导体器件，其特征在于：

所述的导电线是一个用来从外部电路向上述驱动电路传输时钟信号的时钟信号线;

所述的驱动电路包括一个用来产生根据从时钟信号线输入的时钟信号来决定图象信号的取样周期的取样信号的取样依赖发生电路。

说明书

半导体器件

本发明涉及到一种带有驱动器单片型图象显示器的半导体器件, 其半导体有源器件电路以及诸如向半导体有源器件电路供电用的电源线或用来向半导体有源器件电路输入信号的信号线, 都安装在一个衬底上。

大多数图象显示器带有以矩阵形式安排的象素, 其代表是液晶显示器, 它带有各种具有规定功能的电路(诸如用来驱动显示器的驱动电路和用来控制驱动电路的控制电路)。这些电路的排布和规模随图象显示器的结构而变化, 但为了根据象电视这样的各种媒介来显示信息图象, 这些电路是必不可少的。这里将描述液晶显示器, 具体来说是有源矩阵型液晶显示器的安排。

上述液晶显示器的扫描信号线与数据信号线相交而形成在作为液晶显示器(LCD)部件的衬底的表面上, 而象素形成在各信号线的交点附近, 此象素中的液晶安装在象素电极和对电极之间。这些安排成矩阵的象素构成一个象素区。每一象素由一个诸如形成在扫描信号线和数据信号线交点附近的薄膜晶体管(以下称为TFT)之类的象素驱动元件来驱动。

二种驱动器被用作液晶显示器的驱动电路: (1)数据驱动器亦称为源驱动器, 它接收一个视频信号并对信号取样以便在一个水平扫描周期内即在一个水平线周期内得到输出取样图象数据; 以及(2)扫

描驱动器亦称为门驱动器, 它指定一个传输到象素区的图象数据的储存象素。虽然驱动器的每种结构随液晶显示器的指标而变化, 但数据驱动器是由例如一个移位寄存器、一个取样电路、一个传输电路和一个输出缓冲器等组成的, 而扫描驱动器由例如一个移位寄存器、一个电平移位器和一个输出缓冲器等组成。

作为一个例子, 参照图 66 - 图 69 来描述数据驱动器的结构和运行。图 66 是一个采用逐行扫描系统、用于有源矩阵液晶显示器的典型的数据驱动器的方框图, 图 67 是图 66 中每个区域的时序图的例子, 图 68 是采用逐点扫描系统的数据驱动器的方框图, 而图 69 是图 68 中每个区域的时序图的例子。

如图 66 所示, 在采用逐行扫描系统的数据驱动器中, 时钟信号 (以下称为 CLP) 和启动信号 (以下称为 STP) 被输入到数据驱动器的取样信号发生电路 101 中。例如, 若数据驱动器输出的个数为 N , 则取样信号发生电路 101 包括带有 N 个台阶的移位寄存器电路。使一个水平扫描周期的数据开始取样的 STP 被输入到取样信号发生电路 101, 以便根据 CLP 的时序, 从电路 101 各输出区输出取样脉冲 $C_1 - C_N$ 。视频信号由从取样信号发生电路 101 输出的取样脉冲 $C_1 - C_N$ 在取样电路 102 中进行取样, 而取样信号数据 $Z_1 - Z_N$ 被相继地写入取样电容器。写入取样电容的一个水平扫描周期的信号数据, 从传输电路 103 经由输出缓冲器 104, 根据传输信号 (以下称为 TRF) 被输出到数据信号线。一个水平扫描周期的数据, 藉助于根据数据转换 (transfer) 对数据信号线的时序从扫描驱动器将一扫描脉冲加到扫描信号线的方法, 被存储到液晶显示屏的一预定的象素中。

再者, 当信号数据被传输到液晶显示器时, 下一个水平扫描周期

的视频信号就被取样。然后,在向输出缓冲器 104 传输新的取样数据的 TRF 信号被输入到缓冲电路 103 之前,将一个放电信号(以下称为 DIS) 加到输出缓冲器 104,从而将先前的信号数据从数据信号线删去。

同时,在采用逐点扫描系统的数据驱动器中,如图 68 所示,视频信号根据从取样信号发生电路 101 输出的取样脉冲 $C_1 - C_n$ 而被取样,其方式与采用逐行扫描系统的数据驱动器相似。然而,取样信号被立即传输到数据信号线而不写入取样电容。藉助于根据数据传输对数据信号线的时序从扫描驱动器将一扫描脉冲加于扫描信号线的方法,一个水平扫描周期的数据被存储在液晶显示器的预定象素中,与上述方式相同。

此处,在逐点扫描系统中,因为对于存储着一水平扫描周期中取样时序为最后的信号数据的象素来说,从信号数据输出到数据信号线至扫描脉冲关断的时间短,若作为有源器件的象素驱动元件的载流子迁移率低,则对象素的充电时间不足,信号数据写入不充分。因此,逐点扫描系统不可避免地要求载流子迁移率高的有源器件。

通常,在逐行扫描系统中,非晶硅薄膜晶体管(以下称为 a-SiTFT) 用作液晶显示器中的有源器件,而在逐点扫描系统中,使用载流子迁移率比 a-SiTFT 高的多晶硅薄膜晶体管(以下称为 p-SiTFT)。

驱动电路(数据驱动器或扫描驱动器)连接到通常用 TAB(带自动压焊)方法形成有象素区的衬底上。在此法中,采用将作为驱动电路的驱动器 LSI(大规模集成)电路成组地压焊到柔性带上,并采用将柔性带热压焊到包含在液晶显示屏中的玻璃衬底上的方法来做成

连接。

但近年来,由于液晶显示器获得了很大的改进,其象素间距变小了。结果就要求小于上述 TAB 连接极限间距的象素间距,并采用一种所谓 COG (玻璃上的芯片) 方法,此法中的驱动 LSI 电路直接安装在液晶显示器的玻璃衬底上。

此外,当采用 p-SiTFT 作为有源器件时,其载流子迁移率 $\mu \geq 5 \text{cm}^2/\text{V} \cdot \text{Sec}$ 。结果由于载流子迁移率 μ 比 a-SiTFT 的高 10-1000 倍,象素区和上述驱动电路就能够单片形成在显示屏的玻璃衬底上。

如上所述,当驱动电路用 COG 法直接安装在玻璃衬底上或单片形成在玻璃衬底上时,倘若驱动电路安装在玻璃衬底上,就不可避免地不仅要对扫描信号线和数据信号线,还要对从外电源向驱动电路供电的电源线和向驱动电路输入时钟信号、启动信号、视频信号等的许多信号线 152... (见图 70) 进行布线。

此处图 70 中的参考符号 S (S_1 、 S_2 、...) 表示取样信号发生电路 101 的移位寄存器电路,而图 70 中的参考号 102a... 表示取样电路 102 的取样开关。

若采用常规 a-SiTFT-LCD 所用的 Ta 或 TaN_x 作为电源线和信号线 152 的布线材料,则屏幕左右二端的图象质量不同,从而引起降低显示性能之类的问题。

这一问题是由下列二个原因共同引起的。

一是材料的特性,若 Ta 或 TaN_x 的电阻率 ρ 为 $25-30 \mu\Omega \cdot \text{cm}$ 并用同一种布线材料来布线,若布线宽度为 $100 \mu\text{m}$ 且膜厚为 300nm ,则布线电阻为每厘米 100Ω 。

如图 71 所示, 另一原因是每一信号线 152, 如用于向移位寄存器电路 $S(S_1, S_2, \dots)$ 输入启动信号的启动信号线和用来向取样开关 102a...输入视频信号的视频信号线, 被连接起来, 而对每一输入信号形成一个用于与外电路衬底连接的连接焊点 153。此处图 71 的参考号 155 表示衬底。

具体描述将说明作为信号线 152 的视频信号。在对角线为 25cm 左右的液晶显示器中, 当视频信号线在交叉端对端相连时, 其布线长度变成约为 20cm 而信号线的布线电阻变为 $2k\Omega$ 。再者, 即使在对角线为 13cm 左右的液晶显示器中, 信号线的布线电阻成为 $1k\Omega$ 。当视频信号经由这种高阻信号线传输时, 阻抗就增加。如图 72 所示, 当在作为信号输入端的连接焊点 153 处具有 A 频带的一个信号经由信号线 152 传输时, 其频带特性如 $A \rightarrow B \rightarrow C$ 变坏, 在信号线 152 的末端, 信号频带特性如 D。这一现象则引起屏幕左右二端图象质量不同的麻烦, 从而引起不能显示质量均匀的图象的问题。

此外, 若这一现象出现在启动信号线 152 或用来向取样信号发生电路 101 的每个移位寄存器电路 $S(S_1, S_2, \dots)$ 输入开始信号的时钟信号线 152, 或者向移位寄存器电路的下一步传输移位脉冲的线路中, 如图 73(a) - 73(c) 所示, 取样电路 102 输出的取样信号的波形从其早期状态发生变化, 当信号被传送过取样信号发生电路 101 的各步时, 其上升和下降部分的陡度变小。换言之发生了波形变坏。亦即, 在取样信号发生电路 101 的第一步从移位寄存器电路 S_1 输出的取样信号, 用图 73(a) 中的波形代表, 但如图 73(b) 所示, 在第 n 步从移位寄存器电路 S_n 输出的取样信号用波形 b' 代表, 这是由于原来波形 b 变坏而得到的。进一步, 如图 73(c) 所示, 在第 m 步从移位寄存器电

路 S_m 输出的取样信号用波形 c 代表, 这是由于原来波形 c 变坏而得到的。因此出现取样相位偏离其正常位置或不能产生取样信号的情况, 从而引起不能显示质量好的图象的问题。

日本专利公开 No. 398385/191992 (Tokukaihei 4-348385) 公开了一个技术, 藉助于探测流到显示屏的电流并根据电流量控制加到显示屏的电压, 来补偿信号数据的波形变坏。但此上述申请揭示的技术特用于采用简单矩阵驱动的图象显示器, 而不能用于例如带有采用有源矩阵驱动系统即器件电路中不规则运行的有源器件的显示器中由单片或 COG (玻璃上芯片) 驱动器引起的波形变坏。

此外, 上述阻抗 (布线电阻) 的增加不仅可能在信号线 152 中出现, 而且可能在电源线中出现。如图 74 所示, 当到连接焊点的距离增加时, 源电压下降。例如, 即使源电流为 1mA, 当电流流过 $2k\Omega$ 的电源线时, 源电压也下降 2V。这一源电压的下降引起不规则运行, 包括连接于电源线的各电路不工作、信号电平起伏等等, 从而引起显示特征的下降。

当液晶显示屏中屏幕的尺寸变大时, 上述问题肯定会变得更明显。

如图 75 所示, 为了防止布线阻抗增加, 通常考虑增大信号线 152' 的布线宽度。此时, 例如用将 $100\mu m$ 的布线宽度改为 10 倍即 1mm 的办法, 布线电阻能够限制为约十分之一。但此法中, 例如若信号线 152' 的阻抗进一步降低时, 信号线 152' 就必须更厚。结果, 如图 76 所示, 当连接焊点 153... 被安排在衬底 155 的周边以便构成与外电路衬底的连接时, 显示器上无象素区域相对于象素的面积就随布线和连接焊点面积的增加而变大。此外, 出现依情况布线覆盖电容增

加、布线之间信号漏泄增加之类的缺点。

另外,为防止布线阻抗增加,考虑了用铝(Al)或铝合金(Al-Si)作为布线材料。例如,若用电阻率 $\rho = 5 \mu \Omega \cdot \text{cm}$ 的 Al-Si 作为布线材料以使用前述的布线宽度和膜厚来布线,则布线电阻被限制到约为用 Ta 或 TaN_x 得到的六分之一。例如,当上述 Al-Si 用于对角线为 25cm 左右的图象显示器时,总布线电阻约变为 330Ω ,而当用于对角线为 13cm 左右的图象显示器时,变为 170Ω 。此时,若考虑与上述相同的负载条件(源电流为 1mA),在布线材料用在对角线为 25cm 的图象显示器情况下,由布线材料引起的电压降能够被限制在约 330mV。

但源电流要恒定保持为 1mA 是很难的,故在电源线的某处会出现由于诸如连接到电源线的晶体管之类的各有源器件的通-断造成的高频率源电流起伏,和如图 77 所示在电源线某一点的高频率起伏的电压波形。此时,若考虑信号数据(图 66 或图 68 的 $Z_1 - Z_N$)起伏对电压起伏的比率为 1:1,则在屏幕上某个象素内,例如,电压起伏最大时的亮度会很不同于电压起伏最小时的亮度。通-断的有源元件数目越多或电源线的阻抗越高,这一现象越明显。

此处讨论了源电压起伏对信号数据的影响。然而,源电压的起伏,亦即电源线中产生的高频噪音不仅对信号数据,而且对诸如时钟信号的其它信号也有影响。再者,高频噪音肯定不仅引起信号电压电平的起伏,而且也引起诸如响应时间(运行速度)和电路错误运行等其它问题。

如图 78 所示,在常规技术中为了限制高频噪音,在形成有象素和电源线 161 的显示衬底的外面,例如在柔性衬底 163 上,安装了一

个电容器 165, 使电容器 164 连接到电源线 161 上。虽然此法可用来降低产生在显示衬底 155 外面的高频噪音, 但不适于降低产生在显示衬底 155 之内的高频噪音, 包括根据由通-断连接于电源线 161 的各有源器件而引起的电流起伏所引起的电压起伏。

上面的描述表明了带有液晶显示器的图象显示器。上述问题, 如引起电路不规则运行的信号电平的起伏、由于信号波形变坏而造成的信号延迟、高频噪音的增加, 都与衬底上安装有电路 (包括半导体有源器件和长的电导线, 如为电路供电的电源线、向电路输入信号的信号线) 的半导体器件有关。

本发明的目的是提供一种形成有包括半导体有源器件以及用于向形成在衬底上的电路供电或提供信号的电路的半导体器件, 它能够降低信号电平的起伏、信号的延迟和高频噪音的产生, 并能够降低比以前更大的电路的不规则运行的出现。

为完成上述目的, 本发明半导体器件的特征是包括:

一个衬底;

一个有源器件电路, 它包括一个半导体有源器件, 有源器件电路有多个输入端, 该有源器件形成在衬底上;

一个用来与半导体器件旁边的外部电路实行电连接的外部连接终端, 它形成在衬底边附近; 以及

一个用来在有源器件电路各输入端和外部连接终端之间进行电连接的导电线, 它形成在衬底上,

其中导电线由多个布线电阻为预定值或更小的分立线组成。

用上述结构, 由于导电线被分为多个线, 导电线诸如信号线、电源线的长度变短了, 从而有可能降低其布线电阻。因此可控制信号电

平的起伏和源电压的下降。当半导体器件是液晶显示器之类的图象显示器件时,藉助于调整各分线的布线电阻以得到均匀电阻的方法,就不会出现屏幕左右二边图象质量不同的情况。结果就可以显示质量均匀的图象,从而改善显示特性。

此外,为实现上述目的,本发明的另一种半导体器件的特征是包括:

一个衬底;

一个包括半导体有源器件的有源器件电路,它安装在衬底上;

一个将基本信号传输到有源器件电路的信号线,它至少取二个从半导体器件外部输入其上的值,信号线形成在衬底上;以及

一个用来产生波形改善信号的波形改善信号发生电路,波形改善信号是用向传过信号线的基本信号加一个波形变坏响应信号分量以便将波形改善信号加于有源器件电路的方法而获得的。

其中的波形改善信号发生电路有下列关系:

$$(1) |v| < |V|;$$

$$(2) f \leq F,$$

其中 v 是波形改善信号中的基本信号分量的最大振幅, V 是包括波形变坏响应信号分量的部分的最大振幅, f 是基本信号分量的频率而 F 是波形变坏响应信号分量的频率。

用上述结构,由于基本信号分量的最大振幅 v 和包括波形变坏响应信号分量的那部分的最大振幅 V 之间的关系由公式 $|v| < |V|$ 表示,就有可能从基本信号分量中探测到波形变坏响应信号分量。再者,由于基本信号分量的频率 f 和波形变坏响应信号分量的频率 F 之间的关系由公式 $f \leq F$ 表示,就可适当地对基本信号分量设

定波形变坏信号分量。

当用上法预先产生了的波形改善信号被加到有源器件电路时，基本信号首端或尾端或首尾二端的波形变坏就被控制。其陡度维持住了，从而有可能防止相移。换言之，传过信号线的基本信号的延迟是可以防止的，而有源器件电路的错误运行也可避免。当半导体器件是液晶显示器之类的图象显示器件时，例如取样脉冲的时间延迟能够被防止，所希望的视频信号能够在规则的时间下被取样，从而可能显示质量好的图象。

此外，为实现上述目的，本发明的另一种半导体器件的特征是包括：

一个衬底；

一个包括半导体有源器件的有源器件电路，有源器件电路形成在衬底上；

一个从半导体器件之外向有源器件电路供电的电源线，电源线形成在衬底上；

一个带有参考电位的电容形成电极，它要安排得使电极至少有一部分同电源线相对；以及

一个安排在彼此相对的电源线和电容形成电极之间的电容形成电介质。

用上述结构形成一个电容，其电极由电源线和电容形成电极组成，并由电源线中的电阻等效形成一个阻容滤波器当作分布常数电路和电容器，从而降低电源线的阻抗。阻容滤波器，即低通滤波器则降低电源线中产生的高频噪音，包括与电源线相接的每一个半导体有源器件通-断有关的电流起伏所引起的电压起伏。结果，这一结构

能够较先前更有效地降低有源器件电路的不规则运行。

本发明可用于包括诸如液晶显示器之类的图象显示器件，但在本发明用于带有二个彼此相对的衬底的图象显示器件时，电源线可形成在一个衬底上而电容形成电极可形成在另一衬底上。例如，当本发明用于液晶显示器时，液晶可用作放置在电源线和电容形成电极之间的电容形成电介质。而且，若显示用液晶和要用作电容形成电介质的液晶用隔板分开，则打算用作电容形成电介质的液晶能够与显示用液晶区分开来。因此选择用作电容形成电介质的液晶时，不要求它要适于显示。再者，在用于形成电容的液晶和用于显示的液晶用隔板分开的情况下，用于显示的液晶不会由于使用直流电压而变坏。

此外，当半导体器件中一对衬底之间的间距用密封元件密封时，例如，液晶封在衬底之间的液晶显示器、诸如等离子显示屏（其中气体密封在衬底之间）的图象显示器件，显示器件的有效面积比可以靠采用电容形成电介质兼作密封元件而获得改善。

采用在衬底上单片形成有源器件电路的方法，或采用形成一个有源器件电路作为半导体芯片以便将半导体芯片安装在衬底上的方法，就能够生产本发明的半导体器件。在半导体芯片用 COG 安装在衬底上等情况下，向半导体芯片供电的电源线形成在衬底上，而向半导体有源器件供电的电源线形成在芯片中。此时，借助于用与上述相似的方法在安装于衬底上的半导体芯片中形成阻容滤波器，可以降低半导体器件所有衬底中的高频噪音。

为了更充分地了解本发明的性质和优点，后面的详细描述将参照附图进行。

图 1 是一个解释图，示出了本发明第一实施例液晶显示器中视

频信号线的划分状态和分线连接于视频信号线的连接焊点的结构;

图 2 是液晶显示器中衬底的平面图, 衬底上形成有扫描信号线、数据信号线、扫描驱动器区、数据驱动器区等;

图 3 是一个线路图, 示出了形成在衬底上的各个线路区;

图 4 是移位寄存器电路的电路图, 它组成衬底上形成的电路区之一;

图 5 是一个时序图, 示出了移位寄存器电路中输入/输出信号的时序;

图 6 是缓冲电路的电路图, 它组成衬底上形成的电路之一;

图 7 是一个解释图, 示出了分线连接焊点和形成在衬底边缘的柔性衬底之间的连接状态;

图 8 是一个解释图, 示出了用来调整形成在衬底上的视频信号分线的阻抗以得到均匀阻抗的安排;

图 9 是一个波形图, 示出了液晶显示器中各电路区的各种波形;

图 10 是一个解释图, 示出了连接在一般连接焊点的视频信号分线;

图 11 是一个解释图, 示出了另一个调整形成在衬底上的视频信号分线的阻抗以获得均匀阻抗的安排;

图 12 是一个解释图, 示出了又一个调整形成在衬底上的视频信号分线的阻抗以获得均匀阻抗的安排;

图 13 是一个解释图, 示出了另一种布线显示方法中图 1 视频信号线的划分状态;

图 14 是一个解释图, 示出了分线连接焊点的另一种安排;

图 15 是一个解释图, 示出了本发明第二实施例液晶显示器中用

于向移位寄存器电路输入启动信号的启动信号线的划分状态;

图 16 是一个波形图, 示出了图 15 的液晶显示器中取样信号的波形;

图 17 是一个解释图, 示出了本发明第三实施例液晶显示器中视频信号线启动信号线和电源线的划分状态;

图 18 是一个解释图, 示出了衬底上分线连接焊点的形成状态;

图 19 是一个解释图, 示出了图 17 的液晶显示器中衬底上分线连接焊点的形成状态;

图 20 是一个解释图, 示出了衬底上分线连接焊点的另一种形成状态;

图 21 是一个解释图, 示出了衬底上分线连接焊点的又一种形成状态;

图 22 是一个解释图, 示出了衬底上分线连接焊点的另一种形成状态;

图 23 是一个解释图, 示出了衬底上分线连接焊点的又一种形成状态;

图 24(a) 和 24(b) 是解释图, 示出了衬底上分线连接焊点的另一种形成状态;

图 25(a) 和 25(b) 是解释图, 示出了分线连接焊点的结构; 图 25(c)、25(d) 和 25(e) 是解释图, 示出了线从分线连接焊点拔出处的结构;

图 26 是一个框图, 示出了本发明第四实施例液晶显示器的主区结构;

图 27(a) - 27(c) 示出了液晶显示器中各种信号的波形: 图 27(a)

是源时钟的波形图;图 27 (b) 是响应改善信号的波形图;图 27 (c) 是改善时钟信号的波形图;

图 28 是图 26 所示微分电路的电路图;

图 29 是图 26 所示加法器的电路图;

图 30 是加法器输出信号波形的放大图;

图 31 是一个框图, 示出了图 26 所示驱动器电路的结构;

图 32 是一个框图, 示出了代替图 26 所示响应改善电路的一种结构;

图 33 (a) - 33 (d) 示出了另一例加法器输出的改善时钟信号: 图 33 (a) 示出了用向源时钟信号加一个正弦波信号作为响应改善信号的方法而获得的改善时钟信号; 图 33 (b) 示出了用向源时钟信号加一个脉冲波信号的方法而获得的改善时钟信号; 图 33 (c) 示出了用向从源时钟信号的上升与下降区偏离的位置加一个响应改善信号的方法而获的改善时钟信号; 以及图 33 (d) 示出了用对源时钟信号的一个脉冲加二个响应改善信号的方法而获得的改善时钟信号;

图 34 是一个框图, 示出了本发明第五实施例液晶显示器主区的结构;

图 35 (a) - 35 (c) 示出了液晶显示器中各种信号的波形: 图 35 (a) 是源时钟信号的波形图; 图 35 (b) 是微分电路输入信号的波形图; 以及图 35 (c) 是微分电路输出信号的波形图;

图 36 是一个框图, 示出了另一例图 34 所示的结构;

图 37 是一个框图, 示出了又一例图 34 所示的结构;

图 38 是一个框图, 示出了本发明第六实施例液晶显示器主区的结构;

图 39 (a) - 39 (e) 示出了液晶显示器中各种信号的波形: 图 39 (a) 是源时钟信号的波形图; 图 39 (b) 是驱动器电路输入信号的波形图; 图 39 (c) 是响应改善信号的波形图; 图 39 (d) 是改善时钟信号的波形图; 以及图 39 (e) 是另一个响应改善信号的波形图;

图 40 是一个框图, 示出了另一例图 38 所示的结构;

图 41 是本发明第七实施例液晶显示器主区的纵剖面示意图;

图 42 是一个解释图, 示出了本发明的基本概念; 图 43 是一个解释图, 示出了图 42 所示结构的等效电路;

图 44 是一个解释图, 示出了半导体器件的一个基本结构例子;

图 45 是一个解释图, 示出了半导体器件的另一个基本结构例子;

图 46 是一个纵剖面示意图, 示出了半导体器件中电源线与另一层连线之间的连接部分;

图 47 是一个平面示意图, 示出了半导体器件中电源线与另一层连线之间的连接部分;

图 48 是一个平面示意图, 示出了半导体器件中电源线与另一层连线之间的连接部分的一种变例;

图 49 是一个平面示意图, 示出了半导体器件中电源线与另一层连线之间的连接部分的另一种变例;

图 50 是一个平面示意图, 示出了半导体器件中电源线与另一层连线之间的连接部分的又一种变例;

图 51 是一个纵向剖面示意图, 示出了半导体器件中电源线与另一层连线之间的连接部分的一种变例;

图 52 是一个平面示意图, 示出了半导体器件中电源线部分地覆

盖在电容形成电极上的一个变例;

图 53 是一个纵向剖面示意图, 示出了半导体器件中电容形成电极形成在离衬底比离电源线更近处的一个变例;

图 54 是一个纵向剖面示意图, 示出了半导体器件中电源线在二层上布线的变例;

图 55 是一个平面示意图, 示出了半导体器件中电源线部分地覆盖电容形成电极的另一变例;

图 56 是一个纵向剖面示意图, 示出了本发明第八实施例液晶显示器主区的结构;

图 57 是一个解释图, 示出了图 56 所示结构的等效电路;

图 58 是一个纵向剖面示意图, 示出了液晶显示器中省略了覆盖电源线和电容形成电极的保护膜的一个变例;

图 59 是一个纵向剖面示意图, 示出了液晶显示器中电源线或电容形成电极有一个由 ITO (铟锡氧化物) 膜和金层膜组成的双层结构的一个变例;

图 60 是一个纵向剖面示意图, 示出了液晶显示器中电源线或电容形成电极有一个由 ITO 膜和金属膜组成的双层结构的另一变例;

图 61 是一个纵向剖面示意图, 示出了液晶显示器中电容形成电极也用作对电极的一个变例;

图 62 是一个纵向剖面示意图, 示出了液晶显示器中显示用液晶和作为电容形成电介质的液晶之间用隔板分开的一个变例;

图 63 是一个纵向剖面示意图, 示出了液晶显示器中电容形成电介质也用作密封元件的一个变例;

图 64 是一个解释图, 示出了液晶显示器中半导体芯片安装在衬

底上形成有象素处的变例;

图 65 是一个解释图, 示出了形成在衬底上的电源线的布线例子;

图 66 是一个框图, 示出了常规液晶显示器中采用逐行扫描系统的数据驱动器的结构;

图 67 是一个图 66 所示数据驱动器中各种信号的时序图;

图 68 是一个框图, 示出了常规液晶显示器中采用逐点扫描系统的数据驱动器的结构;

图 69 是图 68 所示数据驱动器中各种信号的时序图;

图 70 是一个解释图, 示出了常规液晶显示器中数据驱动器主区的结构;

图 71 是一个解释图, 示出了常规液晶显示器中启动信号线和用来向移位寄存器电路输入信号的视频信号线的布线状态;

图 72 示出了常规液晶显示器中驱动器电路内的信号频带特性随通过距离的变化;

图 73 (a) - 73 (c) 示出了常规液晶显示器中取样信号的波形变化: 图 73 (a) 是源信号的波形图; 图 73 (b) 波形图示出了发生一个波形变坏的情况; 以及图 73 (c) 波形图示出了一个波形变得更坏的情况;

图 74 是一个解释图, 示出了常规液晶显示器中电源线电压的变化;

图 75 是一个解释图, 示出了常规液晶显示器中视频信号线做得厚的一种结构;

图 76 是一个解释图, 示出了常规液晶显示器中衬底边缘上连接

焊点的结构;

图 77 是一个解释图, 示出了常规液晶显示器中电源线中某部分的电压波形;

图 78 是一个解释图, 解释了一种降低高频噪音的常规方法, 其中电容器安装在显示衬底外面并连接到电源线上。

第一实施例

参照图 1-14, 下面将讨论本发明的第一实施例。

本实施例将说明一种采用驱动器单片系统作为图象显示器的有源矩阵式液晶显示器, 特别是视频信号线上采用本发明方法来向数据驱动器的取样电路输入视频信号的显示器。

液晶显示器具有一个由一对衬底组成的液晶显示屏, 并且如图 2 所示, 扫描信号线 3...、数据信号线 4...、用来驱动扫描信号线 3 的扫描驱动器 5 以及用来驱动数据信号线 4 的数据驱动器 6, 都安装在一对衬底中的一个衬底 2 上。扫描信号线 3...和数据信号线 4...彼此相交, 而薄膜晶体管 (TFT) 16 (它是象素驱动元件) 和象素电极 15 (其中电荷的供应受 TFT16 的控制) 形成在每一交点附近 (见图 3)。象素电极 15...同另一衬底一起, 藉助于将液晶装在间隙中而形成象素 (未绘出)。很多象素被安排形成矩阵并构成一个象素区 7。利用相应电极之间产生的电压, 象素被用来控制液晶的光发射状态以显示图象。

如图 3 所示, 安装在衬底 2 上的数据驱动器主要由四个电路区组成: 一个取样信号发生电路区 8; 一个取样电路区 9; 一个转换电路区 10; 以及一个缓冲电路区 11。

取样信号发生电路区 8 包括一个移位寄存器电路区 8a 和许多

缓冲电路 8b…。如图 4 所示, 移位寄存器电路区 8a 由许多移位寄存器电路 $S(S_1, S_2, \dots)$ 组成, 其中输入启动信号并输出取样信号(以预定的间隔输入的脉冲信号)以便取样电路区 9 相继地对视频信号取样。输入和输出的时序示于图 5。如图 6 所示, 缓冲电路 8b…由许多倒相器组成并需要根据小晶体管尺度的移位寄存器电路区 8a 的输出信号来驱动大晶体管尺度的取样电路区 9。离输出区越近, 倒相器的晶体管的尺寸定得越大。

如图 3 所示, 取样电路区 9 包括许多取样开关 9a…和取样电容 9b…用来对视频信号取样。取样开关 9a…用来将视频信号的信息存储到相应的取样电容器 9b…中, 而取样开关的每个通-断运行都根据取样信号发生电路 8 输出的取样信号来控制。

转换电路区 10 包括转换开关 10a…和保持电容 10b, 而存储在取样电容器 9b 中的信息根据要输入的转换信号被转换到保持电容器 10b…。

缓冲电路区 11 包括许多缓冲电路 11a…。缓冲电路区 11 的每一个输出如图 3 所示通过数据信号线 4 作为数据信号加到 TFT 16…的源极上。

像素电极 15 连接到每个 TFT 16 的漏极。而且, 每个 TFT 16 的栅极都连接到扫描信号线 3, 而通过移位寄存器电路 12、电平移位器电路 13 和缓冲电路区 14 以此顺序构成扫描驱动器 5 输出的扫描信号被输入到扫描信号线 3。顺便指出, 图 3 是各电路区的示意图。

这里参照图 1、7 和 8 来详细描述用来向取样电路区 9 中多个取样开关 9a…输入视频信号的视频信号线的布线状态、连接焊点 19 (用来连接终端) 的结构、用来与形成在衬底边上的柔性衬底(外电路

衬底)进行连接的分线等。

如图 1 所示, 取样电路区 9 中的取样开关 $9a \cdots$ 被分为 N 组 (每组二个开关), 例如 $(9a_1 \text{ 和 } 9a_2)$ 、 $(9a_3 \text{ 和 } 9a_4) \cdots$ 。视频信号分线 $18 \cdots$ 则连接到相应的组。每一视频信号分线 18 的一端连接到一个连接焊点 19 (对于形成在衬底边缘上的分线用来与柔性衬底相连接)。常规视频线被划分并形成成为 N 个视频分线 $18 \cdots$, 以便缩短视频线的长度并降低布线电阻。例如, 若 N 为 10, 在本发明的背景中已指出的 $2k\Omega$ 的信号线其布线电阻可降低到约 20Ω 。

结果, 布线电阻的降低可限制视频信号线阻抗的增加。若视频信号线分为 N 段, 比之常规视频信号线, 阻抗的增加可限制到约 $1/N$, 从而获得低阻抗。顺便指出, 划分数 N 和每组取样开关 $9a$ 的数目是随意的和适当设定的。

同时, 各视频信号线 $18 \cdots$ 的连接焊点 19 沿衬底 2 的边缘安置。如果焊点 19 的终端在平行于衬底边的方向上的宽度用 h 表示, 而在垂直于衬底边的方向上的宽度用 v 表示, 则连接焊点定为满足公式 $h > v$ 。这允许连接焊点 19 成为与衬底边平行安置的矩形焊点, 从而获得与柔性衬底的大接触面积。结果, 即使用视频信号线分为多个的结构, 视频信号线仍可保持低的阻抗而不会使用柔性衬底的连接可靠性变坏。此处, 连接焊点 19 和柔性衬底 30 之间的连接不一定要覆盖整个焊点, 正如图 7 所示, 可做成部分地连接。

然而, 当连接于相应视频信号分线 $18 \cdots$ 的相应取样开关 $9a \cdots$ 的直到输入端的区域内的阻抗起伏在每一视频信号分线 $18 \cdots$ 中都大时, 即使为了降低视频信号线的阻抗而形成了视频信号分线, 也可能发生电路错误运行。在视频信号情况下, 在一定范围内可用作抑制不

均匀显示状态的方法，等等，在靠近象素处的信号电平起伏被限制到 $\pm 1/32$ 或更小，因此基本上希望在连接焊点 19 至各取样开关 9a... 的范围内限制阻抗起伏 $\delta R < \pm 3.1\%$ 。

因此，在本实施例中，如图 8 所示，随着视频信号分线 18 的主信号线 18a 的结点 q 和 q' 离连接焊点 19 变得更远，在结点 q, q'... 处分支的信号支线区 18a', 18a'... 的线宽变大。亦即，当信号线在离连接焊点 19 更远处分支时，布线电阻定得更低，从而使从连接焊点 19 到每一取样开关 9a... 的区域内的阻抗均匀，以便控制阻抗的变化。此处，当取样开关 9a 被分为三个或三个以上一组时，视频信号分线 18 的结构由图中的虚线指出。此时，在比结点 q 和 q' 离连接焊点 19 更远得多的结点 q'' 处形成信号支线 18a'，使其比在结点 q' 处分支的信号支线 18a 具有更大的宽度。

然后，参照图 9 的波形图来讨论具有上述结构的数据驱动器 6 的运行。此处，图中的 k 和 m 表示第“k”线和第“m”线上连接于数据线 4 的数据驱动器 6 的各电路区中的信号，而 K 和 L 表示第“K”线和第“L”线上连接于扫描信号线 3 的扫描驱动器 5 的各电路区中的信号。

取样信号从取样信号发生电路区 8 相继地输出，当取样信号处“H”态时，相应的取样开关 9a... 被相继接通，视频信号的信息被存储到相应的取样电容器 9b... 中。此时，由于视频信号是经由相应的视频信号分线 18... 而输入，它被存储在取样电容器 9b... 中而不改变其频带特性。而且，此时相应的传输开关 10a 被关断。之后，当预定取样时间过去后，取样信号处“L”态。结果，取样开关 9a... 又被相继关断。在所有数据信号线 4 都被取样之后，当要输入到转换开关 10a... 的

传输信号处“H”态时, 转换开关 10a 被同时接通, 以致存储在相应取样电容器 9b... 中的信息被转移到相应的保持电容器 10b。之后, 在预定的转移周期过去后, 转换信号处“L”态, 相应的转换开关 10a 又同时被关断。

结果, 在一个水平周期中, 储存在相应的保持电容器 10b 中的信息就经由缓冲电路区 11 输出到相应的数据信号线 4。

从扫描驱动器 5 输出的扫描信号(选通信号)则几乎与传输信号同时处“H”态, 使 TFT16 接通。结果, 数据被写入象素以便以不带非均匀显示状态的良好图象质量来加以显示。

如上所述, 在本发明的液晶显示器中, 由于用来向取样电路区 9 (它是数据驱动器 6 的组成电路) 中的取样开关 9a... 输入视频信号的视频信号线被多次分割以形成视频信号分线 18... (其一端连接到连接焊点 19), 视频信号线的长度就变得比常规线更短, 信号通过短信号线输入到相应的取样开关 9a...。这就限制了视频信号线阻抗的增加, 从而降低阻抗。结果, 通过视频信号线的视频信号的频带特性几乎不变, 因此在屏幕上不出现左右二边图象质量的差别, 从而获得均匀的显示。

此外, 在本实施例中, 视频信号分线 18 连接其上的连接焊点 19 被设置成使沿平行于衬底边方向的端点宽度 h 大于沿垂直于衬底边方向的端点宽度 v ($h > v$), 故与柔性衬底 30 的接触面积变大。因此, 即使为了降低阻抗, 视频信号线被多次分割, 并因而使与柔性衬底 30 的交界面数目增多, 连接可靠性也不变坏。亦即, 如图 10 所示, 仅仅用一种视频线被多次分割的结构, 例如为了获得低阻抗而增加分割数, 分立安装的连接焊点数就增加, 与柔性衬底 30 的界面数也增

加。结果,连接可靠性变坏,采用驱动器单片系统的优点也失去了,但上述的结构可不出现这种问题。

而且,在本实施例中,随着视频信号分线 18 的主信号线区 18a 中的结点 q 和 q' (信号支线区 18a' • 10a' 在此被分支) 离连接焊点 19 变得更远时,信号支线 18a' • 18a' 的线宽变大。结果,从连接焊点 19 到相应取样开关 9a...区域内的阻抗保持恒定而阻抗的变化得到控制。这就能够抑制由于从连接焊点 19 到相应取样开关 9a...区域中信号线阻抗变化引起的电路错误运行,从而获得更高的显示特性。

这里,为达到本目的,除本实施例的方法外,例如,如图 11 所示,主信号线区 18a 可以形成为随着信号线区 18a 离连接焊点 19 变远而将其宽度变大,这就不用改变被分支的信号支线区 18a'...的线宽。再者,如图 12 所示,可以将视频信号分线 18 的长度做成一样长,使线长差约为 $\delta R < \pm 3.1\%$ 。此外,各视频信号线 18 的膜厚也可改变,这些方法要根据情况来采用。各视频信号线 18...的结构不限于图中所示,如图 8 所示,虚线所示部分示出了取样开关 9a...被分为三个一组时视频信号分线 18 的结构。

此外,图 1 中示出连接于连接焊点 19 的信号输入端同各取样开关 9a 之间的距离 (例如视频信号线结点 d 和取样开关 9a₁之间的距离) 不同于结点 d 和取样开关 9a₂之间的距离,但这是为了便于表现布线图。如图 13 所示,视频信号线结点 d' 和取样开关 9a₁之间的距离等于结点 d' 和取样开关 9a₂之间的距离,换言之,本发明是安排得使结点 d' 和取样开关 9a₁之间的阻抗等于结点 d' 和取样开关 9a₂之间的阻抗。

此外,在本实施例中,连接焊点 19 是沿着衬底 2 的边缘形成的,

但不限于这种方法, 例如如图 14 所示, 可以安置许多的连接焊点 19'。沿衬底边缘安置的连接焊点 19 可引起无法将另一信号输入到焊点形成区的错误等, 或是在焊点面积大时, 由于受热和冷却之后焊点膨胀或收缩而出现破裂等。然而, 用分割的方法来安置焊点可解决这一问题。此时, 与外部的界面数增加, 但不像图 10 所示结构那样, 提供了大的接触面积, 从而防止连接可靠性变坏。

本实施例说明了视频信号线分割的结构, 但本发明不限于此, 例如, 另一种信号线或电源线也可以分割。而且, 此法不仅可用于输入信号线, 而且可用于输出信号线。

再者, 本实施例说明了图象显示器件(特别是液晶显示器), 但本发明不限于图象显示器, 也适用于有源器件电路(包括半导体有源件)和导电长线(如用来向有源器件电路供电的电源线、用来向有源器件电路输入信号的信号线)形成在一个衬底上的任何一种半导体器件。

如上所述, 一种半导体器件, 它包含:

一个衬底;

一个包括一个半导体有源器件的有源器件电路, 有源器件电路形成在衬底上并带有多个输入端;

一个用来同半导体器件之外的外部电路进行电连接的外部连接端, 它形成在衬底边缘附近; 以及

一个用来在有源器件电路各输入端和外部连接端之间形成电连接的导电线, 它形成在衬底上,

其中的电导线由许多布线电阻取预定值或更小的分线组成。

采用这种结构, 由于诸如信号线、电源线的导电线变短, 布线电

阻可被降低,从而有可能控制信号电平的起伏和源电压的下降。结果,当半导体器件是一个诸如液晶显示器之类的图象显示器件时,其显示特性可以被改善。

根据上述结构的本实施例半导体器件被安排为连接端沿衬底边缘形成,且沿平行于衬底边缘方向的端宽度大于沿垂直于衬底边缘方向的端宽度。

用这种结构,即使诸如信号线、电源线之类的导电线被多次分割,器件和外电路衬底之间的连接可靠性也不降低。

在上述结构中,半导体器件(图象显示器件)被安排为每一分线的形成使外部连接端到有源器件电路输入区之间的布线电阻的变化落在布线电阻平均值 $\pm 3.1\%$ 的范围内。用这种方法,当调整各线的布线电阻落入上述范围时,观察不到不规则的显示,从而改善显示特性。

以下作为第二实施例将讨论时钟信号线或用来将启动信号输入到移位寄存器电路S...的启动信号线的结构。

第二实施例

下面参照图 15 和图 16 来讨论本发明的第二实施例。

这里为便于解释,与前述第一实施例有相同结构和功能的元件以及已描述过的元件都示以相同的参考号,并略去对它们的描述。

作为图象显示器的本实施例的液晶显示器,如图 15 所示,在前述实施例中虽然视频信号线被分割,但视频信号线是用常规方法安置的,而时钟信号线或用来向移位寄存器电路 S...输入启动信号的启动信号线被分割为时钟信号分线 20...或启动信号分线 20...。此处每一时钟信号分线 20...或每一启动信号线 20 的一端(未绘出)连接

到连接焊点 19。

用此法,当时钟信号线或启动信号线用分割法安排时,如图 16 所示,甚至对于远离信号输入端的第 n 步移位寄存电路 S_n 和第 m 步移位寄存电路 S_m ,由 b'' 和 c'' 代表的相应波形也能够接近于原波形 b 和 c 。此处,在启动信号线根据驱动器电路的结构而分割的情况下,应调整启动脉冲对各分电路的相位。

结果,在取样信号中不出现相位变化,从而改善显示特性。

第三实施例

以下参照图 17-25 来解释本发明的第三实施例。

为便于解释,与前述实施例结构和功能相同的元件和已描述过的元件示以相同的参考号,并略去它们的描述。

在本实施例的液晶显示器(图象显示器)中,如图 17 所示,启动信号线(或时钟信号线)、视频信号线和电源线被多次分割以形成启动信号分线(或时钟信号分线) 20...、视频信号分线 18...和电源分线 21...。

在形成许多布线的情况下,如图 18 所示,相应的信号线 20...、18...和 21...,以及用于电源线的连接焊点 19...可安排为沿衬底 2 边缘的交叉方向。但在本实施例中,如图 19 所示,除要安置在衬底最内边的一条线之外,相应的焊点是安排成从衬底边缘经由接触孔到各村底内部的方向上成一行。但接触孔可用于要安置在衬底最内边的一条线。此法使图 18 结构中分点数目不能增加到多于某个数目,并消除了诸如衬底上相应线 20...、18...、21...和电源线布线复杂之类的毛病。

此外,不仅可以采用这种结构,而且可以采用例如图 20 和 21 所

示的经由连接分焊点19 进行布线的结构, 或这些结构的组合。

在所有信号线及电源线中不需要降低阻抗的情况下, 可以采用具有窄宽度的正常连接焊点 $20 \cdot 20$ 安置在阻抗降低了的矩形连接焊点 $19 \cdot 19$ 之间的结构 (如图 22 所示)、具有窄宽度的正常连接焊点 $20 \cdots$ 安置在降低了阻抗的连接焊点 19 之内的结构 (如图 23 所示)、与图 23 相反的结构、或这些结构的组合。

分线的相邻连接焊点 $19 \cdot 19$ 不一定要用于同一类信号线。例如 图 24 (a) 所示, 启动信号线的连接焊点 E 和电源线的连接焊点 G 可以安排为邻近于启动信号线的连接焊点 F。而且, 在多个连接焊点 $19 \cdots$ 被安排在多个沿衬底边缘的行的情况下, 连接焊点 $19 \cdot 19$ 不一定要安排为如图 24 (a) 所示的连接焊点 E 和 F 在二行中每一行的边缘对齐, 故连接焊点 $19 \cdot 19$ 可安排为在两行中每一行不对齐。

而且, 每个连接点 $19 \cdots \cdot 20 \cdots$ 在衬底内的层不限于上述的从 1 到 3 层, 可以采用三层以上的层。各处的焊点总数不应总是恒定, 故焊点的布局也是随意的。再者, 已安置在衬底内的各信号线的联接和分开是随意的, 而位于衬底周边的相应连接焊点 $19 \cdots \cdot 20 \cdots$ 可以与衬底边缘接触或离开衬底边缘。

连接焊点 19 的结构可以是如图 25 (a) 所示的角式或如图 25 (b) 所示的圆式。再者, 各视频信号分线从连接焊点 19 的布线结构也是随意的; 角式如图 25 (c) 所示, 圆式如图 25 (d) 所示, 梯形式如图 25 (e) 所示, 等等。

如上所述, 根据本实施例的半导体器件安排成多个连接端存在于衬底上, 且多个连接端安排在从衬底边缘到衬底内的方向上的一行上。这就有可能很好地利用衬底边缘上有限的面积并增加信号线

或电源线的分割数。此时,信号分线或电源线就不会杂乱无章。

在第一至第三实施例中说明了液晶显示器的驱动器部分,但所指的电路不限于驱动器部分,且图象显示器不限于液晶显示器。因此也可采用其它电路和显示器,例如采用处理尖笔输入信号的电路作为电路部分和采用等离子显示、EL(电发光)显示等作为显示器。

第四实施例

以下参照图 26-40 来讨论本发明的第四实施例。本实施例还讨论作为本半导体器件的例子的图象显示器件。

作为图象显示器的本实施例的液晶显示器采用有源矩阵式逐点扫描系统并包括有源元件。在这种液晶显示器中,与图象显示区一起形成在一个衬底上的电路装置作为一个驱动电路而工作以用来驱动图象显示区。如图 26 所示,液晶显示器在驱动液晶显示屏的驱动电路 201 之前有一个响应改善电路 202 (波形改善信号发生电路)(未绘出)。

响应改善电路 202 包括一个用来从图 27 (a) 所示作为脉冲式基本信号分量的源 CLP 产生作为波形变坏响应信号分量的响应改善信号(如图 27 (b) 所示)的微分电路 203, 和一个用来将响应改善信号加到源 CLP, 换言之, 用来将响应改善信号与源 CLP 进行混合以产生一个改善时钟信号(以下称为改善 CLP) 作为波形改善信号(如图 27 (c) 所示)的加法器 204。微分电路 203 由例如图 28 所示的一个电阻 R_1 和一个电容器 C_1 组成。众所周知, 从图 28 (b) 所示微分电路输出的响应改善信号的脉宽 t 是由 R_1 和 C_1 的乘积来决定的($t = R_1 \cdot C_1$), 亦即微分电路 203 的时间常数。

就防止改善 CLP 的波形变坏而论, 响应改善电路 202 的安装位

置靠近驱动电路 201 较为合适, 但也不限制将响应改善电路 202 安装在时钟信号发生电路 206 和驱动电路 201 之间的一定范围内。

如图 29 所示, 加法器 204 由例如一个运算放大器 OP_1 、四个电阻 R_2 和一个电阻 R_3 组成。这里电阻 R_3 有 $R_3 = R_2/2$ 的关系。在此电路中, 若运算放大器 OP_1 的反相输入端的输入电压示以 V^- 、非反相输入端的输入电压示以 V^+ 、输入端 a 和 b 的输入电压分别示以 V_a 和 V_b 、而输出端 c 的输出电压示以 V_c , 则有下列关系:

$$V^+ = (R_2/3) (V_a/R_2 + V_b/R_2) = (V_a + V_b)/3$$

$$V^- = \{V_c / (R_2/2 + R_2)\} R_2/2 = V_c/3$$

$$V^+ = V^-$$

$$\text{因此, } V_c = V_a + V_b.$$

此处加法器只限于此例, 它可以有其它的结构。

改善 CLP 具有图 30 中粗线所示的基本信号分量 S_1 , 它取高/低 (1/0) 值、加于源 CLP 上升与下降侧的过冲分量 S_0 和下冲分量 S_u (细线所指)。

带有图 31 所示结构的驱动电路 201 (数据驱动器) 包括一个移位寄存器 211 和一个取样电路 212。驱动器电路 201 安装在形成有液晶显示屏像素区的玻璃衬底上。改善 CLP 和启动脉冲 (以下称为 STP) 被输入到移位寄存器 211。

移位寄存器 211 通常在 CLP 上升和下降时使 STP 移位。此处, 移位寄存器 211 在改善 CLP 的前沿处执行移位操作。

如上所述, 就图 27(c) 所示已输入到移位寄存器 211 的改善

CLP 而论, 其上升由于驱动电路 201 中的布线电阻和寄生电容而变缓(变形)。但由于过冲分量 S_o 预先已加到改善 CLP, 故可避免改善 CLP 的波形变坏, 且上升的延迟很难出现。而且, 如果寄生电容的影响大, 则相应地提交过冲分量的比率就可消除上升的延迟。

若驱动器的输出数为 N , 则 STP (它启动一个水平扫描周期的数据取样) 被输入, 以便根据改善 CLP 的时间从移位寄存器 211 的各输出区输出取样脉冲 $C_1 - C_N$ 。视频信号在取样电路 212 中由移位寄存器 211 输出的取样脉冲 $C_1 - C_N$ 取样, 而取样得到的信号被立即传输到数据信号线。

利用根据对数据传输到数据信号线的时序将扫描脉冲从扫描驱动器加于扫描信号线的方法, 一个水平扫描周期的数据被加到液晶显示屏的预定象素上。这使液晶显示器能够显示高质量的图象。

此处在本实施例中, 改善 CLP 在前沿有过冲分量 S_o 。而在后沿有下冲分量 S_u 。但由于移位寄存器 211 只在改善 CLP 上升时才执行移位操作, 故后沿处的下冲分量 S_u 是不需要的。相反, 若移位寄存器 211 在改善 CLP 下降时执行移位操作, 则只需要后沿处的下冲分量 S_u 。

此外, 在本实施例中, 响应改善信号被加至响应改善电路 202 中从时钟信号发生电路输出的源 CLP, 但响应改善信号从时钟信号发生电路 206 加于其上的改善 CLP 可以被输出, 换言之, 时钟信号发生电路 206 可以包括响应改善电路 202。

再者, 如图 32 所示, 为了产生改善 CLP, 根据微分而成为改善 CLP 的源 CLP 可以在时钟信号发生电路 206 中产生, 并可以在微分

电路 203 中加以处理。

为了产生改善 CLP, 作为响应改善信号的微分信号被加至源 CLP 的前沿和后沿, 但另一个与源 CLP 同步的响应改善信号, 诸如一个图 33 (a) 所示的具有正弦波的响应改善信号或一个图 33 (b) 所示的脉冲状响应改善信号, 也可以加入。而且, 作为响应改善信号, 具有三角形波或梯形波者也可加入。响应改善信号不仅可加至源 CLP 的前沿和后沿, 也可加至稍偏于上升和下降部分的地方 (如图 33 (c) 所示)。再者, 就改善 CLP 而论, 如图 33 (d) 所示, 在前沿和后沿之间可以加入二个响应改善信号。此处若产生有害后果, 亦即上升特性的改善影响到下降特性, 或相反, 下降特性的改善影响上升特性, 则希望响应改善信号插入的位置为源 CLP 前沿与后沿之间, 换言之为二分之一点之前。

考虑到上述情况, 诸如改善 CLP 的波形改善信号应满足下列要求: 如图 30 所示, 若相当于源 CLP 即基本信号分量的最大振幅示以 v 而基本信号特性被改善了的部份的最大振幅示以 V , 则有下列关系:

$$|v| < |V|$$

若基本信号分量的频率示以 f 而响应改善信号的频率示以 F , 则有下列关系:

$$f \leq F$$

换言之, 当关系 $|v| < |V|$ 成立时, 响应改善信号对源 CLP 来说可以是一个可检测到的分量。而且, 当方程 $f \leq F$ 成立时, 响应改善信号可以合适地加至源 CLP。

此外, 由于微分电路 203 构造简单, 利用微分电路就可简化电路的结构。图 26 所示结构比图 32 所示结构稍许完善一些。但由于响应改善信号是由微分电路 203 产生并加至源 CLP 以产生改善 CLP, 故可以更合适地形成响应改善信号。

如上所述, 许多载流子迁移率高的有源元件被用于液晶显示器中, 作为有源元件的载流子迁移率 μ 为 $5\text{cm}^2/\text{V} \cdot \text{sec}$ 或更高 ($\mu \geq 5\text{cm}^2/\text{V} \cdot \text{sec}$) 的多晶硅薄膜晶体管 (以下称为 p-SiTFT) 被用于液晶显示器, 而驱动电路 201 单片形成在构成液晶显示屏屏幕的玻璃衬底上。

在本实施例的结构中, 改善 CLP 是用将响应改善信号加至源 CLP 的方法产生的, 但此结构也可用于例如可获得 H/L (1/0) 二个值的启动脉冲、另一个数据信号和可获得多灰度 (亦即正如改善 CLP 的多值) 的视频信号。也可用于后面将提到的其它实施例。

如上所述, 本实施例的半导体器件被安排为包括:

一个衬底;

一个包括一个半导体有源器件的有源器件电路, 此有源器件电路形成在衬底上;

一个用来将基本信号 (它至少取二个从半导体器件外边输入的值) 传输到有源器件电路的信号线, 此信号线形成在衬底上; 以及

一个用来产生波形改善信号的波形改善信号发生电路 (波形改善信号用向通过信号线传输的基本信号加一个波形变坏响应信号分量的方法来获得) 以便将波形改善信号加于有源器件电路,

其中波形改善信号发生电路有下列关系:

(1) $|v| < |V|$; 以及

(2) $f \leq F$,

其中 v 是波形改善信号中基本信号分量的最大振幅, V 是包括波形变坏响应信号分量部分的最大振幅, f 是基本信号分量的频率, 而 F 是波形变坏响应信号分量的频率。

用这一结构, 可防止通过信号线传输的基本信号的延迟, 从而避免有源器件电路的错误运行。在半导体器件是一种诸如液晶显示器之类的图象显示器件的情况下, 可以防止例如取样脉冲的时间延迟, 从而有可能在规定的时间内对所希望的视频信号进行取样。结果就可以显示高质量的图象。

再者, 本实施例的半导体器件的特征是: 波形改善信号发生电路是一个用来对从外面输入的基本信号进行微分以便产生波形改善信号的微分电路。这可使结构简化。

而且, 本实施例的半导体器件的特征是: 波形改善信号发生电路包括:

用来发生波形变坏响应信号的波形变坏响应信号发生装置; 以及

用来将波形变坏响应信号发生装置发生的波形变坏响应信号加到从外面输入的基本信号上去的加法装置。这可以合适地独立产生波形变坏响应信号和所希望的波形改善信号。在半导体器件是一种图象显示器件的情况下, 例如视频信号可以适当地被取样, 从而有可能显示高质量的图象。

第五实施例

下面参照图 34-37 来解释本发明的第五实施例。

为便于解释, 与前述第四实施例有相同结构和功能及已描述过

的那些元件示以相同的参考号并略去对它们的描述。

如图 34 所示, 驱动电路 201 (数据驱动器) 形成在构成液晶显示屏屏幕的玻璃衬底上。驱动电路 201 包括作为相位特性改善电路的微分电路 203。微分电路 203 形成在第 N 级处移位寄存器 2011 的所有前级上。

用上述结构, 就从时钟信号发生电路 (未绘出) 输出的源 CLP 而论, 因为前沿和后沿由于驱动电路 1 中布线电阻或寄生电容而变缓, 图 35 (a) 所示波形被变形为图 35 (b) 所示的波形。换言之, 发生波形变坏的源 CLP 被输入到微分电路 203。如图 35 (c) 所示, 源 CLP 的波形其前沿和后沿都陡。结果, 可补偿上升和下降延迟, 以致液晶显示器能够显示高质量的图象。

用上述结构, 微分电路 203 安置在第 N 级移位寄存器 211 的所有前级上, 但如图 36 所示, 微分电路 203 可根据第 N 级处的移位寄存器 211 安置在 CLP 馈线发生分支的级的前一级处。再者, 如图 37 所示, 用处理正在向移位寄存器 211 (亦即向微分电路 203 的后面级) 传输着的传输脉冲本身的方法, 可以改善响应。

本实施例的半导体器件被安排为包括:

一个衬底;

一个包括一个半导体有源器件的有源器件电路, 此有源器件电路形成在衬底上; 以及

一个用来传输从半导体器件外面输入的输入信号到有源器件电路的信号线, 此信号线形成在衬底上;

其中有源器件电路包括一个用来补偿信号分量中相位特征 (它成为相对于输入信号由于波形变坏而引起的变坏了的电路运行的指

示)的相位特征改善电路。比之第四实施例的结构,换言之,用来防止波形变坏引起变坏的波形变坏响应信号分量预先加至输入信号,本结构更易于防止输入信号的变坏。

此外,本实施例的半导体器件的特征是:相位特征改善电路是一种微分电路。这可以简化电路结构。

第六实施例

以下参照图 38-40 来解释本发明的第六实施例。

为便于解释,与前述实施例有相同结构和功能及已描述过的那些元件示以相同的参考号并略去对它们的描述。

如图 38 所示,液晶显示器包括驱动电路 201(数据驱动器)中第 N 级处移位寄存器 211 所有前级处的一个改善信号插入电路 231。作为相当于波形变坏的信号分量并从改善信号发生电路 232 输出的响应改善信号(图 39(c)所示)以及从时钟信号发生电路(未绘出)输出的源 CLP 被输入到改善信号插入电路 231。改善信号发生电路 232 以及改善信号插入电路 231 组成波形改善电路。改善信号插入电路 231 包括例如图 29 所示的加法器 204,并将响应改善信号加至源 CLP 以便将它输出到移位寄存器 211。

用上述结构,从时钟信号发生电路输出的源 CLP 的波形(如图 39(a)所示)因为驱动电路 201 中布线电阻和寄生电容造成的上升和下降区发生的波形变坏而被变形为图 39(b)所示的波形之后,源 CLP 被输入到改善信号插入电路 231。在改善信号插入电路 231 中,已从改善信号发生电路 232 输入的图 39(c)所示的响应改善信号被加至输入信号以致产生图 39(d)所示的改善 CLP。改善 CLP 则被输出到移位寄存器 211。改善 CLP 的上升和下降区很陡,从而改善移位

寄存器 211 中的响应。

若响应改善信号的脉冲宽度示以 T 而已形成在玻璃衬底上的驱动电路 201 的运行频率示以 f , 则脉宽 T 应这样设定, 使得到下面关系:

$$T < 1/f$$

因此, 例如图 39 (e) 所示源 CLP 的微分信号也被用作响应改善信号。换言之, 信号只要能改进改善 CLP 前沿和后沿的陡度, 它就可用作响应改善信号。因此, 正弦波是可用的。

在图 39 (c) 所示的响应改善信号被发生的情况下, 改善信号发生电路 232 由众所周知的脉冲信号发生电路组成。在图 39 (e) 所示的响应改善信号被发生时, 改善信号发生电路 232 由微分电路或多谐振荡器组成。而且, 在响应改善信号为正弦波时, 改善信号发生电路 232 由正弦波信号发生电路或振荡电路组成。

此外, 响应改善信号振幅 V_r 和源 CLP 振幅 V_i 之间的关系要建立成下面关系:

$$|V_r| > |V_i|$$

诸如放大响应改善信号的装置之类的电平调整装置是不必要的。

如图 40 所示, 改善信号插入电路 231 可以形成在根据第 N 级处移位寄存器 211 至源 CLP 的馈线被分支的级之前的级处。

如上所述, 本实施例的半导体器件包括:

一个衬底;

一个包括一个半导体有源器件的有源器件电路, 此有源器件电路形成在衬底上;

一个用来把决定有源器件电路运行频率的基本信号传输到有源

器件电路的信号线,此基本信号从半导体器件外面输入,信号线形成在衬底上;以及

一个用来把波形变坏响应信号分量加到运行时序被规定的了的那部分基本信号中去的波形改善电路,

其中改善电路有下述关系:

$$T < 1/f$$

其中 f 是由基本信号操作的有源器件电路的运行频率,而 T 是波形变坏响应信号分量的最小脉宽。

这一结构控制基本信号前沿或后沿或前后沿二者的波形变坏,以便保持它们的陡度,从而可以防止相移。因此,可防止通过信号线传输的基本信号的延迟,从而可避免有源器件电路的错误运行。在半导体器件是一种诸如液晶显示器之类的图象显示器件的情况下,可防止取样脉冲的时延并可对所希望的视频信号进行取样,从而能够显示高质量的图象。

在前述第四到第六实施例中,采用逐点扫描系统的数据驱动器被描述为有源器件电路。但本发明的结构不限于此,而可用于任何根据对上升或下降时间有要求的信号而工作的有源器件电路。除了上述采用逐点扫描系统的数据驱动器之外,本发明可用于采用逐点扫描系统的扫描驱动器、采用逐行扫描系统的数据驱动器或采用逐行扫描系统的扫描驱动器。再者,在尖笔输入处理区或二维图象传感器输入处理区形成在已形成有显示区的衬底上的情况下,本发明也可用于尖笔输入信号处理电路或二维图象传感器输入信号处理电路。而且,本发明不限于由液晶显示器所组成的图象显示器件,而可用于诸如电致发光显示器件、等离子显示之类的其它图象显示器件。

此外, 诸如驱动电路 201、响应改善电路 202 之类的电路可用下列方法来实现: 在诸如玻璃衬底之类的绝缘衬底上或在其上已形成了绝缘薄膜的半导体衬底上单片地形成载流子迁移率 $\mu \geq 5\text{cm}^2/\text{V} \cdot \text{sec}$ 的有源器件; 或者用 COG 将半导体芯片安装在上述衬底上; 等等。

在第四至第六实施例中, 考虑到电路组成元件的压力等, 波形改善信号应包括例如一个脉冲状信号分量, 但若不存在与电阻有关的问题, 则波形改善信号可用基本信号加以放大。换言之, 若电路装置的最大源电压示以 V_{DD} , 最小源电压示以 V_{EE} , 要输入到电路的信号振幅示以 V_{PP} (峰峰值), 则有下列关系:

$$V_{PP} > |V_{DD} - V_{EE}|$$

因此, 输入信号的波形变坏被简易的结构所抑制, 从而能够得到波形改善的效果。虽然大于源电压的信号通常不能输入到硅衬底上的 CMOS 晶体管, 就形成在诸如玻璃衬底之类的绝缘衬底上的 TFT (薄膜晶体管) 而论, 由于不存在半导体衬底那样的公共衬底电势, 即使在输入大于源或低于源电压最低值的信号的情况下, TFT 也难以遭到破坏。结果就可进行上述运行。

用此法, 就输入大于源或小于源电压的信号的另一优点而论, 例如在带有组成移位电阻器的 CMOS 倒相器电路中, 还可以根据元件晶体管的阈值电压来抑制关断侧晶体管的通过电流以致能够限制使用功率。

第七实施例

下面参照图 41-55 来讨论本发明的第七实施例。

图 42 和 43 示出了本实施例半导体器件的基本概念。如图 42 所

示,在本实施例的半导体器件中,在衬底 301 上形成了一个半导体有源器件 302 和一个用来向半导体有源器件 302 供电的电源线 303。在本实施例中,电容器 C_1 、 C_2 、...被连接到衬底 301 上的电源线 303 上,并且如图 43 所示,由电源线 303 的布线电阻和当作分布常数电路的电容器 C_1 、 C_2 、...组成一个阻容电路。而且,借助于使电源线 303 反面上的各电容器电极保持一个参考电位(例如地电位)的方法而等效地形成一个阻容滤波器。结果就降低了电源线 303 中产生的高频噪音。

此处图 42 和 43 只示出了基本概念,与第一实施例所述那样,电源线 303 的输入端数目以及电源线的数目可以很多,每一电源线的电压也可以不同。此外,可以包括电容 C 和电阻 R 之外的元件例如电感 L 。再者,各电容器中位于电源线 303 反面的电极即使不保持在地电位,也可以保持在不同于电源线 303 电位的电源电位上,换言之,带有不同于电源线 303 电位的电源线也可使用。

图 44 和 45 示出了更具体的概念。图 44 示出了一个例子,其中在电源线 303 的反面形成了一个线状(带状)电容形成电极 304,而在电源线 303 和电容形成电极 304 之间安装了电容形成电介质 305。同时,图 45 示出了一个例子,用来形成电容的电极组 304' (许多形成电容用的电极以规则的间距排列)形成在电源线 303 的反面,而电容形成电介质 305 安装在电源线 303 和电容形成用电极组 304' 之间。这些例子中,电容形成电介质 305 被安装在电源线 303 和线状电容形成电极 304 之间,或在电源线 303 和电容形成用电极组 304' 之间,以致电容器被形成为由电源线 303 和电容形成电极 304 所组成的,或由电源线 303 和电容形成电介质 304' 所组成的一对相反的

电极。

图 44 和 45 示出了基本结构, 电源线 303 和电容形成用电极(组) 304 (304' 之间的距离, 亦即电容形成电介质 305 的厚度 a , 在整个面积上不一定要均匀, 电容形成电介质的厚度 a 可以局部地改变。而且, 电容形成电介质 305 的介电常数也可以局部地不同。再者, 电源线 303 和电容形成用电极(组) 304 (304') 的宽度和厚度也不一定要均匀, 可以随意放心地改变。如图 42 所解释的, 电容形成用电极(组) 304 (304') 需要保持在一参考电位, 但如图 45 所示, 在电容形成电极被多次分割的情况下, 组成电容形成用电极组 304' 的相应的电容形成电极的参考电位也可以变化。

此后, 不具体讨论电容形成用电极(组) 的电位, 而将假设电容形成用电极(组) 保持在参考电位。

图 41 示出了用来向已形成在绝缘衬底 301 上的包括半导体有源器件的电路供电的电源线 303 的一例布线结构。在半导体器件中, 为防止 Na^+ 离子等进入半导体层和液晶层等, 用等离子 CVD (化学气相淀积) 等方法在诸如玻璃衬底之类的绝缘衬底 301 上, 形成了一个由例如 SiO_2 、 SiN_x 等构成的隔离薄膜, 亦即一个基底涂层膜 308。

此外, 用 LPCVD (低压 CVD)、PECVD (等离子增强 CVD) 等方法, 在基底涂层膜 308 上形成了一个诸如多晶硅 (以下称为 P-Si) 膜、非晶硅 (以下称为 a-Si) 膜之类的本征半导体层 (所谓的 i 层)。然后用半导体层形成晶体管之类的有源器件。由于在形成了电源线 303 的部分的半导体层在后工序中用腐蚀方法被清除了, 此处将着重描述这一形成了电源线 303 的部分。

用 PECVD 等方法在基底涂层膜 308 上形成一个由 SiO_2 、 SiN_x 等

构成的栅极隔离膜 309。

接着,与栅极布线同时形成电源线 303。其方法是:(1)溅射或蒸发 Al、Nb、Ta、Mo、Cr、Al-Si 或它们的合金以形成薄膜,(2)用光刻工艺将得到的薄膜图形化,以及(3)用腐蚀工艺清除薄膜的多余的部分。

然后,用 PECVD 等方法,在电源线 303 上形成一个由 SiO_2 、 SiN_x 等构成的相当于电容形成电介质的隔离膜 310。

此外,与电源线 303 相对,在层隔离膜 310 上形成电容形成电极 304。电容形成电极 304 在层隔离膜 310 上成为一个薄膜,其方法是:(1)溅射或蒸发 Al、Nb、Ta、Mo、Cr、Al-Si 或它们的合金,(2)用光刻工艺对得到的薄膜图形化,以及(3)用腐蚀工艺清除薄膜的多余部分。与晶体管的源/漏极布线同时形成电容形成电极 304 的布线是高效率的。

上述对各层的形成方法可随半导体工艺组成或诸如 TFT 的有源器件的结构适当地改变。例如,也可采用栅电极离绝缘衬底 301 比离本征半导体层更近的结构。此时,若 Ta 用作栅电极,用阳极氧化方法可以形成由 Ta_2O_5 构成的氧化隔离膜,用作基底涂层膜 308。

顺便说一下,当电源线 303 连接到有源器件电路时,有时出现电源线 303 与形成在另一层的布线相接触的情况。此时,如图 46 所示,可设法使电源线 303 和电容形成电极 304 和电源线 303 通过接触孔 312 与另一层上的布线 311 接触的部位彼此偏离。作为本法的一个例子,考虑图 47-50 所示的方法。图 47 示出了一个例子,其中电容形成电极 304 连线时不能触及到电源线 303 的接触区,图 48 示出了一个例子,其中只有相对于接触区的电源线 303 伸出,相反,图 49 例

子中只有相对于电源线 303 接触区的电容形成电极 304 被切除, 而图 50 所示例子中电容形成电极 304 绕过电源线 303 的接触区。

这里只提到电源线 303 同另一层的接触, 但在电容形成电极 304 同另一层接触的情况下, 也应要求与电源线 303 相同的结构。

若形成电容器的二电极之间的距离 (即电源线 303 同电容形成电极 304 之间的距离) 变大, 换言之, 层隔离膜 310 的厚度变大, 则电容器的电容减小, 阻抗滤波器的作用很可能要降低。此时, 如图 51 所示, 连接到电源线 303 的布线 311 和电容形成电极 304 不形成在同一衬底上, 而电源线 303 同电容形成电极 304 之间的距离可降到小于电源线 303 同布线 311 之间的距离。为实现上述结构, 在形成电源线 303 之后, 形成了一个层隔离膜 310a, 用作电容形成电介质 305, 并在层隔离膜 310a 上形成电容形成电极 304。之后在其上形成一个层隔离膜 310b, 并在层隔离膜 310b 上形成布线 311。

如图 52 所示, 电源线 303 和电容形成电极 304 可以彼此部分地重叠, 换言之, 电容器不是形成在整个电源线 303 上, 故电容器部分地形成。此时, 由于电容器是永久性形成, 每一重叠区的面积 304a 以及电容形成电极 304 和各重叠区 304a 上电源线 303 之间的距离要定为使形成在电源线 303 与电容形成电极 304 的重叠区 304a 上的各电容器具有近于相等的电容, 从而使得有可能彻底消去一个具有预定频率的高频噪音。

在上述结构中, 虽然电源线 303 形成于电容形成电极 304 之前, 且电源线 303 安置在离衬底 301 比离电容形成电极 304 更近处, 但情况不限于此。因此, 如图 53 所示, 在首先形成电容形成电极 304 之后, 可形成层隔离膜 310 和电源线 303。

如图 54 所示, 电源线 303 可有双层布线结构, 其中第一层区 303a 和第二层区 303b 通过隔离膜 313 彼此相对安置, 并在接触孔 303c 处相连接。不须说, 电容形成电极 304 也可有相同的双层布线结构。

如图 55 所示, 电容形成电极 304 的主体区 304b 可形成在已形成有电源线 303 的层上, 而部分覆盖电源线 303 的电容形成区 304c...形成在另一层, 以便主体区 304b 可用接触孔 304d 连接到各电容形成区 304c...。此时, 电容形成区 304c 和电源线 303 的重叠量没有特别的限制。例如像电容形成区 $304C_1$, 其末端可从电源线 303 伸出, 像电容形成区 $304C_2$, 其末端可在电源线 303 区以内, 或者像电容形成区 $304C_3$, 其末端差不多可与电源线 303 的端拼合。

上述每个例子仅仅示出了本发明的基本结构, 根据需要可增加其它的结构。

本发明不限于图中所示的结构。例如, 电源线 303 和电容形成电极 304 的重叠区可以有图 55 所示的各种图形。而且, 电源线 303 和电容形成电极 304 的布局可用各图中结构的组合来完成。电源线 303 和电容形成电极 304 不一定要有线形的结构, 也可有曲线结构。电容形成电极 304 不一定要有线状结构, 也可有诸如平板状的结构。电容器不一定要安置在整个电源线 303 上, 也可以只安置在电源线 303 的一部分上。

如上所述, 本实施例的半导体器件安排为包括半导体有源器件 302 和用来向衬底 301 上的半导体有源器件 302 供电的电源线 303, 有参考电压的电容形成电极 304 至少一部分安置在与电源线 303 相对的位置, 而电容形成电介质 305 安排在彼此相对的电源线 303 和

电容形成电极 304 之间。

结果, 形成了其电极由电源线 303 和电容形成电极 304 所组成的电容器, 阻容滤波器由用作分布常数电路的电源线的布线电阻和电容器等效地形成, 从而降低了电源线 303 的阻抗。阻容滤波器即低通滤波器则降低电源线 303 中产生的高频噪音, 为连接到电源线 303 的各半导体有源器件 302 的开通/关断操作的电流起伏所造成的电压起伏, 从而能够显著地降低诸如信号电平起伏、错误运行、信号延迟之类的电路不规则运行的出现。

第八实施例

以下参照图 56-65 来讨论本发明的第八实施例。

为便于解释, 与前述实施例有相同结构和功能及已描述过的元件示以相同的参考号, 并略去对它们的描述。

在第七实施例中, 解释了用在安置有电源线 303 的衬底上形成电容形成电极 304 的方法来形成电容器的方法, 但在本实施例中, 将解释电源线 303 和电容形成电极 304 形成在分立衬底上的方法。作为例子, 下列描述将说明一种带有许多彼此相对安置的衬底的图象显示器, 特别是一种具有有源器件的液晶显示器。

如图 56 所示, 作为半导体器件的本实施例的液晶显示器, 有一个有源器件形成衬底 321 (第一衬底), 其中形成有诸如 TFT 之类的半导体有源器件, 一个与有源器件形成衬底 321 相对地安置的相反电极形成衬底 322 (第二衬底, 反衬底), 以及注入在衬底 321 和 322 之间、用密封元件 (未绘出) 加以密封的液晶 323。此处图 56 未示出诸如前述基底涂层薄膜和用来控制液晶取向的定向膜之类的其它元件, 但这些膜应该按需要形成在衬底 321 和 322 上。这点也适用于后

面的描述。

在有源器件形成衬底 321 上, 单片地形成: 一个包括诸如玻璃衬底之类的透明衬底上诸如像素区之类的半导体有源元件的电路、一个数据驱动器(图象显示控制装置)、一个扫描驱动器(图象显示控制装置)。虽然 a-SiTFT 或 p-SiTFT 被认为是半导体有源器件, 但 p-SiTFT 最适用。

像素区的形成方法是: (1) 在透明导电衬底上安置许多由透明导电膜构成的带状数据信号线, 使它们彼此平行, (2) 安置许多由透明导电膜构成的带状扫描线, 使它们同数据信号线成直角, (3) 安置由 TFT 之类的半导体有源器件构成的像素电极以及连接数据信号线和扫描信号线交点附近各个半导体有源器件的透明导电膜, 以形成一个矩阵。

数据驱动器是一个连接于像素区各数据信号线的电路, 并为显示起见对以视频信号为代表的数字信号进行取样, 以便为显示而将取样数字信号传输到各个数字信号线。

扫描驱动器是一个连接于像素区各扫描信号线的电路, 且为逐行扫描每一扫描信号线而向各扫描信号线输出扫描信号。

在反电极形成衬底 22 上, 形成一个由透明导电膜构成的相反电极, 它是各像素电极的公共电极, 相对于每一像素电极而排列在玻璃衬底之类的透明绝缘衬底上。

在有源器件形成衬底 21 上, 用来从外电源向数据驱动器和扫描驱动器供电的电源线 303 被布线, 而在电源线 303 的周围形成一个由包括 SiN_x 、B 和 P 的 SiO_2 膜 (BPSG: 硼掺杂的磷硅玻璃) 所构成的保护膜, 一个包括 P 的 SiO_2 膜 (PSG: 磷硅玻璃), 或者由 SiO_2 膜之类

的透明绝缘膜构成的保护膜 324。

同时,反电极形成衬底 322 上形成电容形成电极 304 与电源线 303 相对,而电容形成电极 304 也用与保护膜 324 相同结构的保护膜 325 涂覆起来。

作为电容形成电介质 305 的液晶 323 置于形成在有源器件形成衬底 321 上的电源线 303 和形成在反电极形成衬底 322 上的电容形成电极 304 之间。因此,电容器由电源线 303、电容形成电极 304 和液晶 323 形成。

在显示用液晶 323 被用作电容形成电介质 305 的情况下、若液晶 323 由于加直流电压而变坏(发生电解),则电容形成电极 304 相对于电源线 303 的极性应以变通的方法反转过来。但当采用电源线 303 的电位周期性地以预定幅度改变的液晶驱动系统时,则电容形成电极 304 的电位可定在电源线 303 振荡电位的中点上。

此外,在图 56 所示结构的情况下,电容器被认为形成如图 57 所示。由于此结构等效于三个电容器串联,考虑到保护膜 325、液晶 323 和保护膜 324 的介电常数 ϵ_1 、 ϵ_2 和 ϵ_3 ,应该适当选择这些材料。

在电源线 303 和电容形成电极 304 是诸如图 58 所示的 ITO (铟锡氧化物)之类的不要求保护膜 324 和 325 的一种材料,故可略去保护膜。

例如,在采用 ITO 的情况下,可以认为由于对应于 ITO 的部分的阻抗高,ITO 难以用作电源线 303 和电容形成电极 304。此时,如图 59 或图 60 所示,电源线 303 和电容形成电极 304 可取 ITO 膜 327 (非金属导电膜)和金属膜 325 的双层结构。图 59 示出了一个例子,其中金属膜 325 形成在衬底 321 (322) 上,其上形成一隔离膜 326,其

上再形成 ITO 膜 327, 而 ITO 膜 327 和金属膜 325 利用接触孔 328 连接以形成电源线 303 和电容形成电极 304。图 60 示出了一个例子, 金属膜 325... 形成在衬底 321 (322) 的几个点处, 而 ITO 膜 327 形成在金属膜 325... 之上, 以形成电源线 303 和电容形成电极 304。

如图 61 所示, 形成在反电极形成衬底 322 上的反电极 329 延伸到它与形成在衬底 321 上的电源线 303 相对的位置, 从而能够把反电极 329 也用作电容形成电极 304。

在要用于显示的液晶可能由于施加直流电压而变坏的情况下, 如图 62 所示, 希望将用于显示的液晶 323a 和作为电容形成电介质 305 的液晶 323b, 用隔板 303 分隔开来。此处为了封闭有源器件形成衬底 321 和反电极形成衬底 322 之间用于显示的液晶 323a, 可采用密封元件作为隔板 330。用这种方法, 在显示用液晶 323a 和阻容滤波器用的液晶 323b 被隔开的情况下, 就液晶 323a 和 323b 而论, 可采用不同种类的液晶。

此外, 即使对于液晶器件, 液晶也不一定需要被用作电容形成电介质 305。例如, 如图 63 所示, 密封元件 311 也可用作电容形成电介质 305。此时可获得改善液晶器件中有效显示面积比率的效果。

至于另一元件, 例如由一金属层组成用来防止光线到达半导体层的遮光装置, 也可用作电容形成电极 304。

如上所述, 在本发明的半导体器件中, 安置了形成半导体有源器件的有效器件形成衬底 321 和反电极衬底 322。半导体有源器件和用来向半导体有源器件供电的电源线 303 形成在有源器件形成衬底 321 上, 而带有参考电位的电容形成电极 304 安排在与有源形成衬底 321 相对的反电极形成衬底 322 上以致电容形成电极 304 至少有

一部分与电源线 303 相对。而且, 电容形成电介质 305 安置在电源线 303 和与之彼此相对的电容形成电极 304 之间。

结果如第七实施例所指出, 就形成了电容器, 它是一对由电源线 303 和电容形成电极 304 构成的相对的电极, 而阻容滤波器由布置为分布常数电路的电源线 303 的布线电阻和电容而形成, 从而可能降低电源线 303 的阻抗。由于电源线 303 中发生的高频噪音被阻容滤波器更大程度地降低了, 故能够更彻底地降低诸如信号电平起伏、错误运行和信号延迟之类的不规则运行的出现。

在上述的描述中, 具有电源线 303 形成在诸如玻璃衬底之类的绝缘衬底上的结构的图象显示器件, 特别是液晶显示器, 被描述为半导体器件。然而图象显示器件不限于液晶显示器, 其它的图象显示器件, 例如采用电致发光 (EL) 的显示器件、等离子显示屏 (PDP)、荧光、光发射二极管, 也是可使用的。

此外, 电源线 303 布线的衬底也不限于诸如玻璃衬底之类的绝缘衬底。例如, 带有电源线 303 形成在诸如其上形成有绝缘膜的单晶硅衬底上的结构的半导体器件, 也是可使用的。

在上述实施例中, 给出了一个例子, 其中要求有数据驱动器电源线 303、扫描驱动器等的半导体有源器件电路, 被单片地形成在其上形成有象素的衬底上。但本发明适用于所有电源线 303 要形成在衬底 301 的半导体器件。例如, 如图 64 所示, 在要求数据驱动器电源线、扫描驱动器等的半导体芯片 332 安装在已形成有象素区 301a 的衬底 301 上的情况下 (例如在玻璃衬底的情况下, 半导体芯片用所谓的 COG 方法安装), 正如各半导体有源器件单片形成在衬底上的情况, 需要在衬底 301 上形成用来向半导体芯片 332 供电的电源线

303。因此,本发明可有效地应用。

要安装到衬底 301 上的半导体芯片 332 可以不仅仅是半导体有源器件形成在单晶硅为代表的、其上形成有隔离膜的半导体衬底上的那种,也可以是由形成在绝缘衬底上的半导体有源器件所构成的那种,例如用在玻璃衬底上形成 TFT 的方法构成的那种。

在这种半导体芯片 332 中,由于用来向形成在芯片衬底上的半导体有源器件供电的电源线形成在芯片衬底上,利用第七实施例中指出的各种方法,就可为电源线形成电容器。亦即,半导体芯片有芯片衬底,半导体有源器件形成在芯片衬底上而电源线连接到芯片衬底。在这种半导体芯片中,如图 44 所示,带有参考电位的第二电容形成电极 404 安排得使其一部分相对于电源线 403,而第二电容形成电介质 405 置于电源线 403 和彼此相对的第二电容形成电极 404 之间。此处,第二电容形成电极 404 的电位可能不同于电容形成电极 304 的电位。

在半导体芯片 332 用上述方法安装在衬底 301 上的情况下,用来向半导体芯片 332 供电的电源线 303 形成在衬底 301 上,而用来向半导体有源器件供电的电源线 403 也形成在半导体芯片中。但如上所述,阻容滤波器不仅形成在衬底 301 上的电源线 303 中,而且形成在半导体芯片 332 中的电源线 403 中,从而有可能降低整个器件中的高频噪音。

若布线制作成使布线材料的电阻率 $\rho = 5 \mu \Omega \cdot \text{cm}$, 且膜厚为 300nm (薄层电阻: $2 \times 0.17 \Omega / \square$), 设半导体器件的布线宽度为 $100 \mu \text{m}$, 则布线电阻变为每厘米布线 17Ω 。此外,若设器件的布线更细,当布线宽度为 $10 \mu \text{m}$ 时,布线电阻变为每厘米布线 170Ω 。电源

线中的变通阻抗限制被认为是 $10 - 20\Omega$ 。假设半导体器件的高宽比为 3:4, 如图 65 所示, 在电源线 303 沿衬底 301 的边缘从一个角纵横布线到对角的情况下, 若对角线长度为 0.8cm 时的布线电阻为每厘米 17Ω , 则布线电阻变为约 20Ω 。因此, 在对角线长度为 0.8cm 或长些的器件中, 将本发明用于该器件可降低电源线 303 的阻抗, 可望获得更大的效果。本发明对半导体有源器件形成在诸如玻璃衬底之类的适合于放大尺寸的衬底上的大尺寸半导体器件特别适用。

第一至第八实施例说明了图象显示器件 (特别是液晶显示器), 但本发明的半导体器件不限于图象显示器件, 也可以是其它器件, 例如诸如图象扫描器的信息输入器件、诸如传感器的信息输出器件、诸如图象传感器的信号输入/输出器件、诸如存储器的信息累加器件、电容器阵列、用于控制传输和数据驱动器或扫描器等中的信号累加的器件、或由合成上述器件而组成的器件。

换言之, 本发明适用于衬底上形成有包括半导体有源器件和诸如用来向有源器件电路供电的电源线、用来向有源器件电路输入信号的信号线之类的导电长线的有源器件电路的任何半导体器件。特别希望半导体器件的结构为有源器件电路单片形成在衬底上, 且有源器件电路形成成为半导体芯片以便安装到衬底上。

在半导体器件是一种图象显示区形成在衬底上的图象显示器件的情况下, 希望用来驱动图象显示区中象素的有源器件的载流子迁移率 μ 有下列关系:

$$\mu \geq 5\text{cm}^2/\text{V} \cdot \text{sec}$$

特别希望采用多晶硅薄膜晶体管来作为具有上述高载流子迁移率的有源器件。

本发明业已如此描述,显然可以作各种各样的改变。这些改变不应被认为是对本发明的构思和范围的超越,而所有这些对本领域的熟练人员显而易见的修正都应包括在下列权利要求的范围之内。

图 1

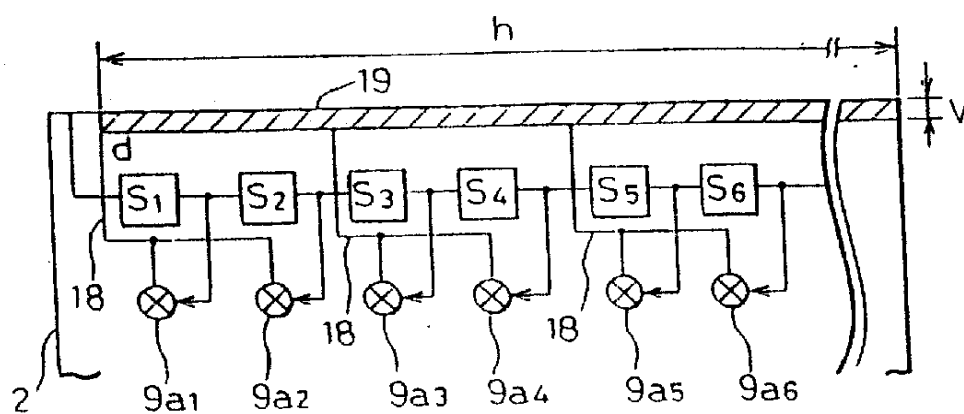


图 2

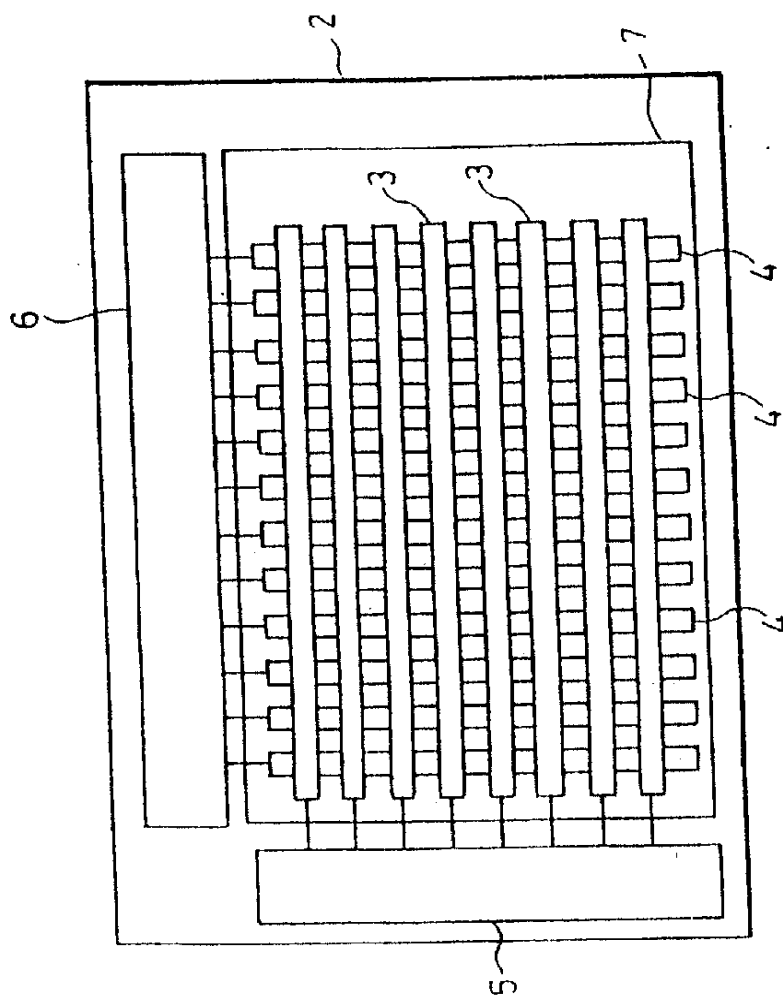


图 3

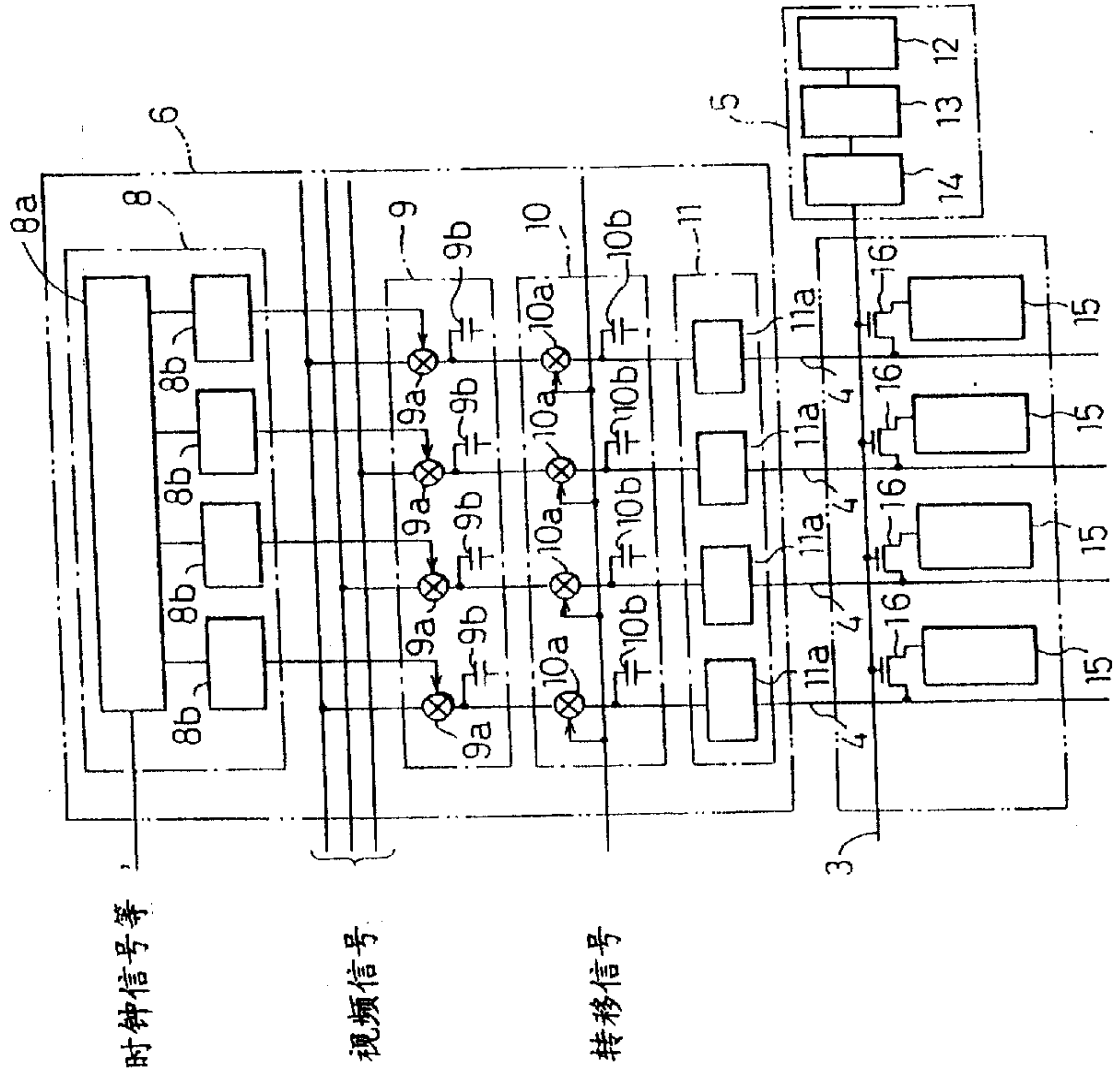


图 4

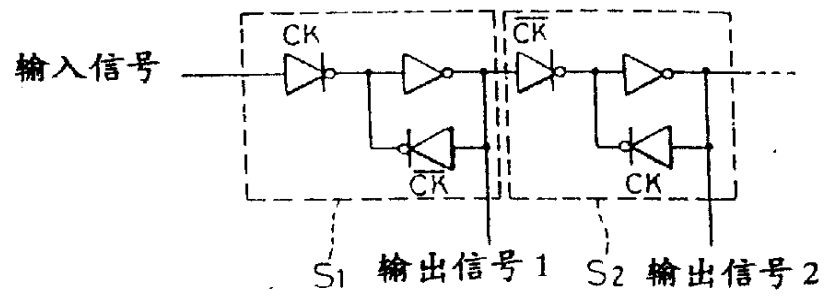


图 5

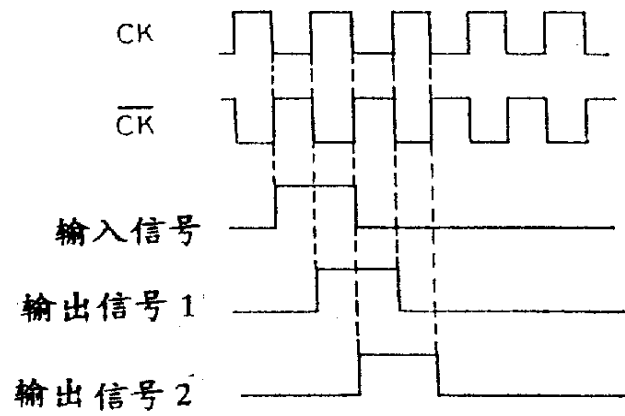


图 6

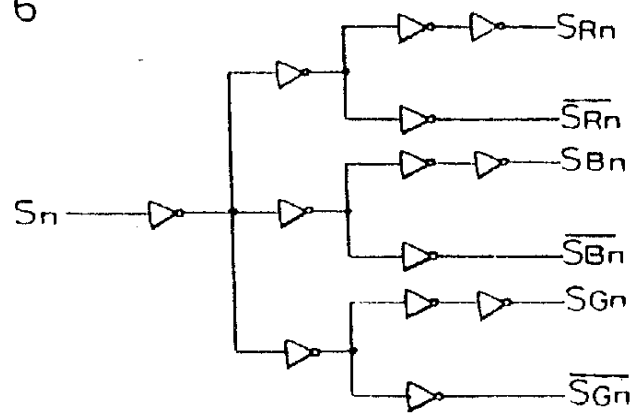


图 7

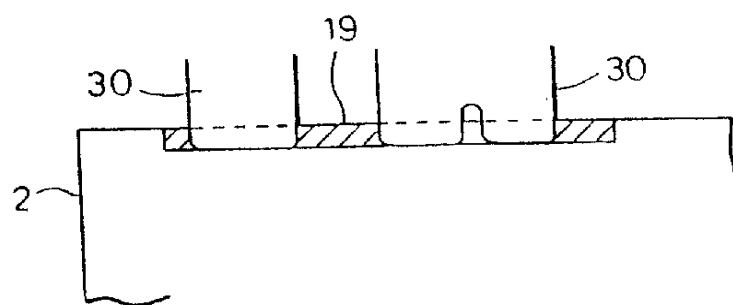


图 8

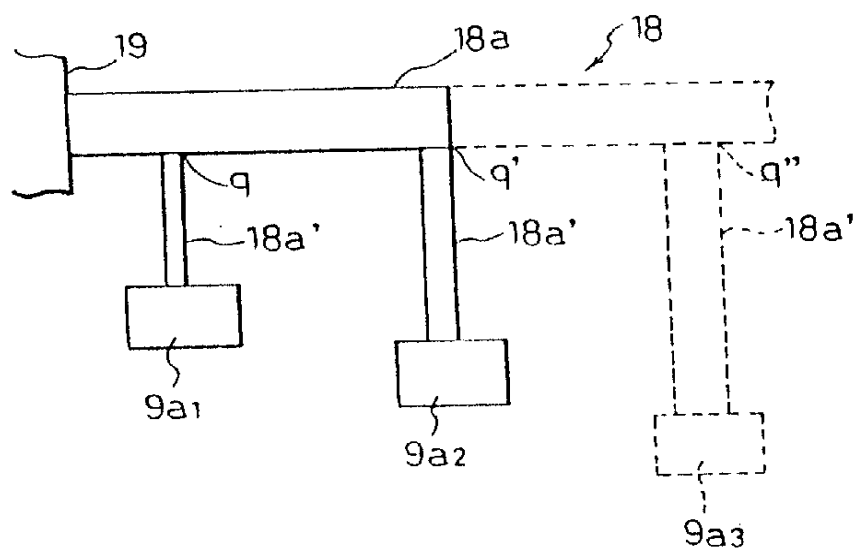


图 9

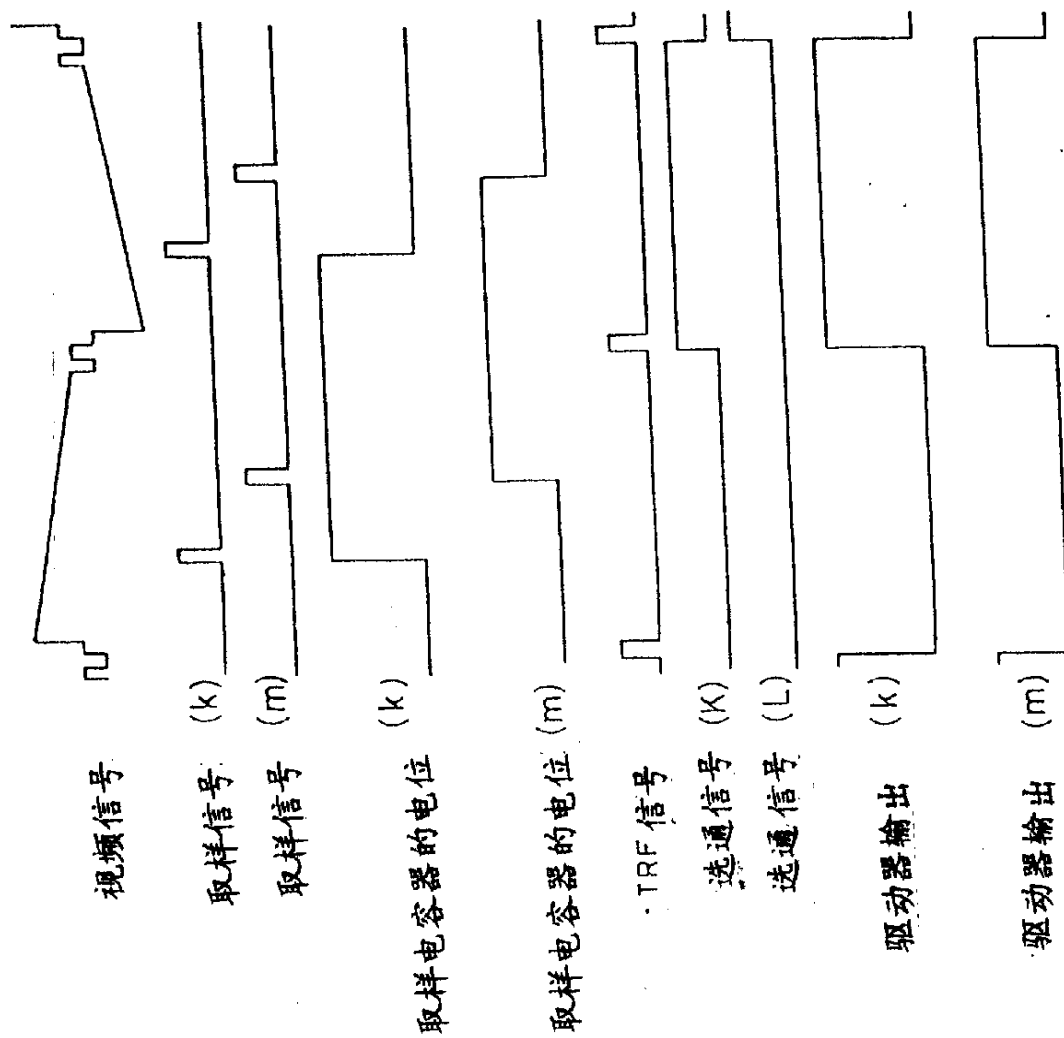


图 10

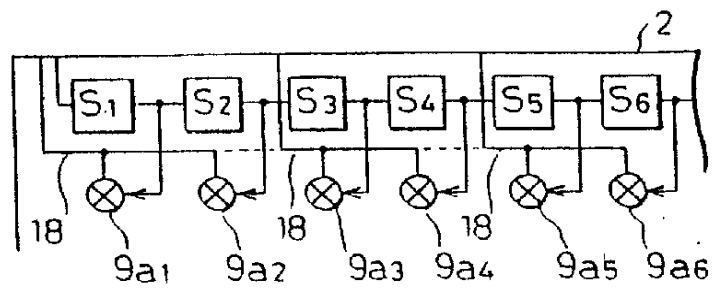


图 11

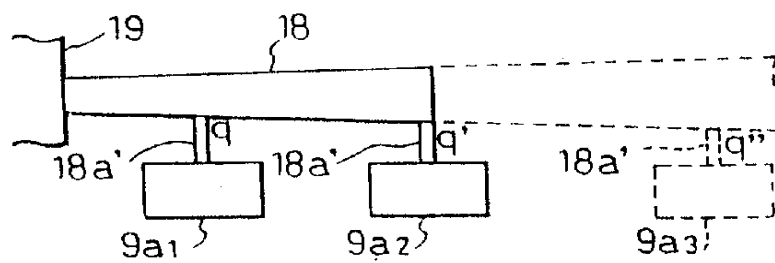


图 12

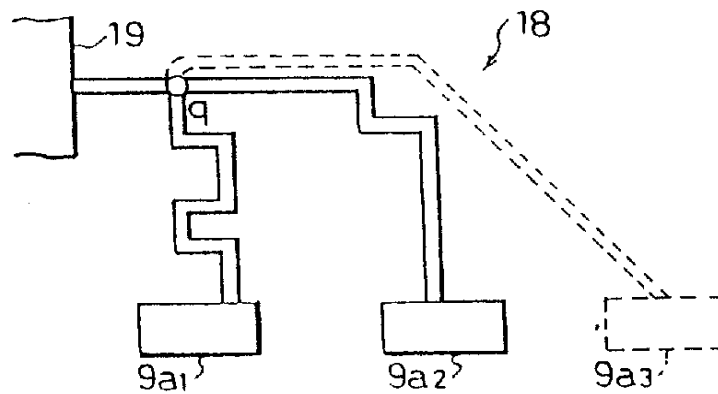


图 13

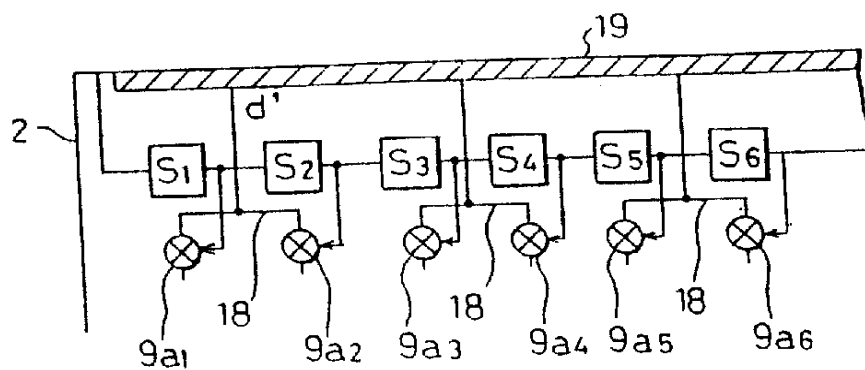


图 14

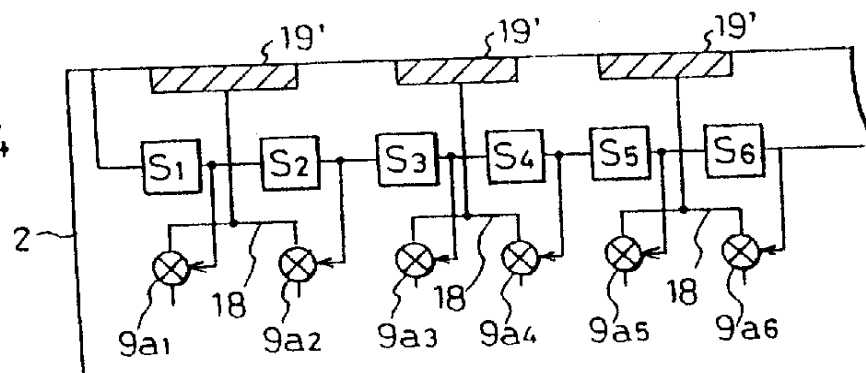


图 15

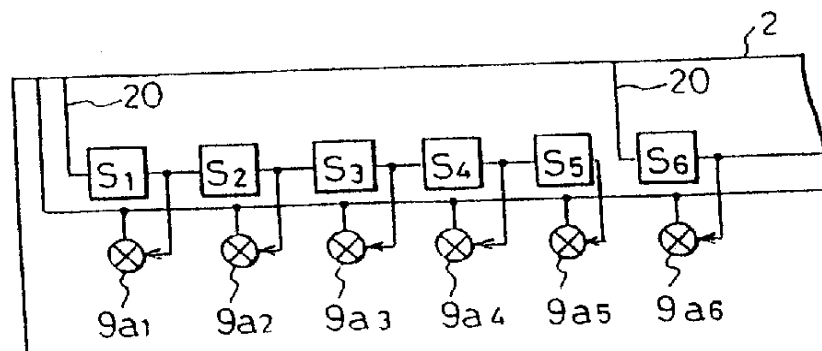


图 16

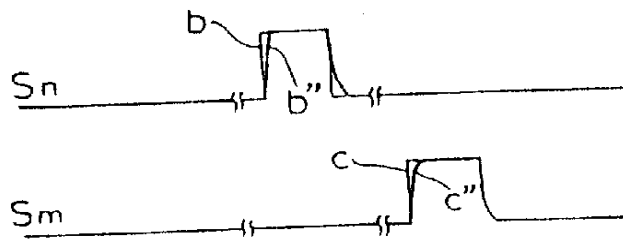


图 17

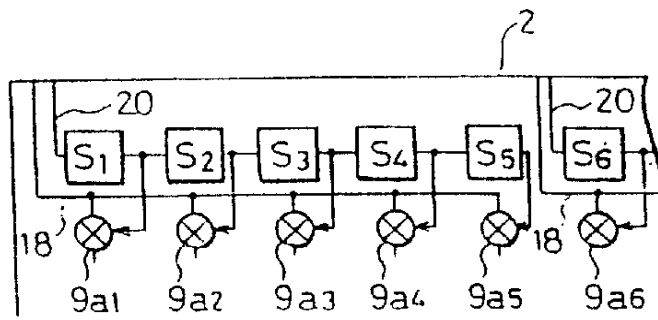


图 18

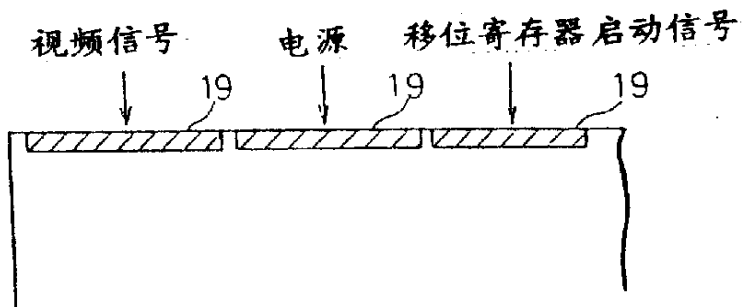


图 19

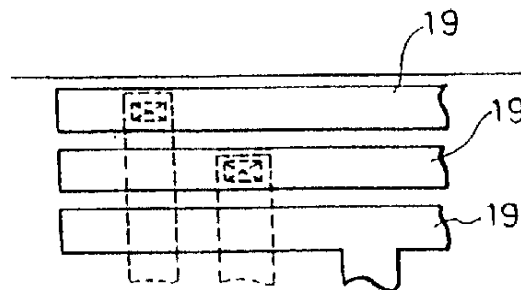


图 20

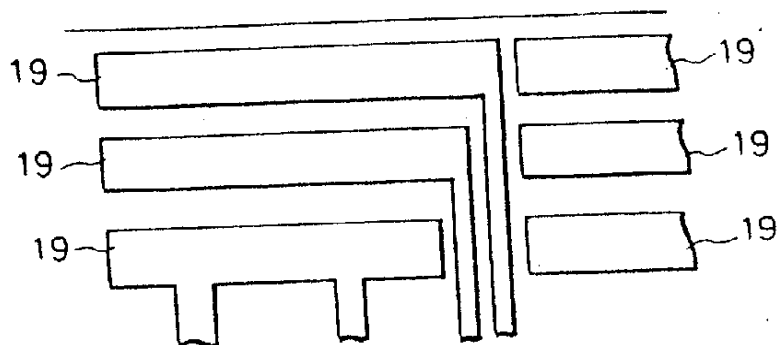
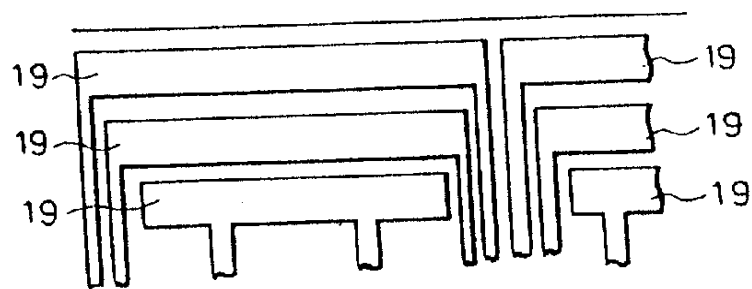
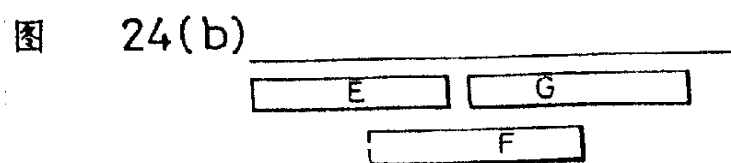
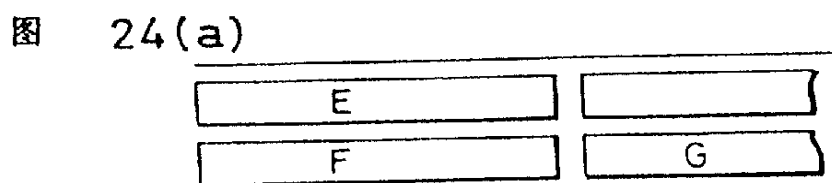
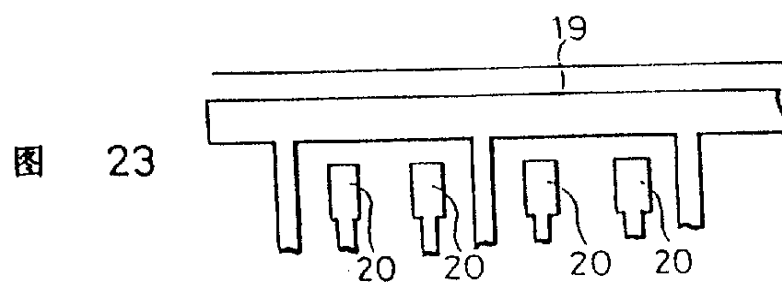
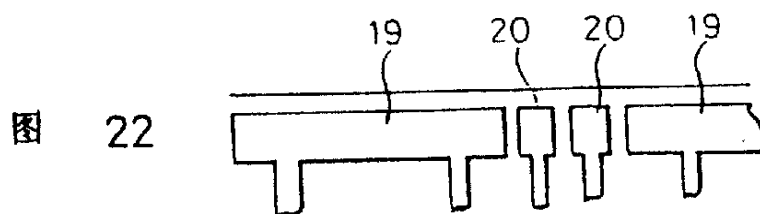


图 21





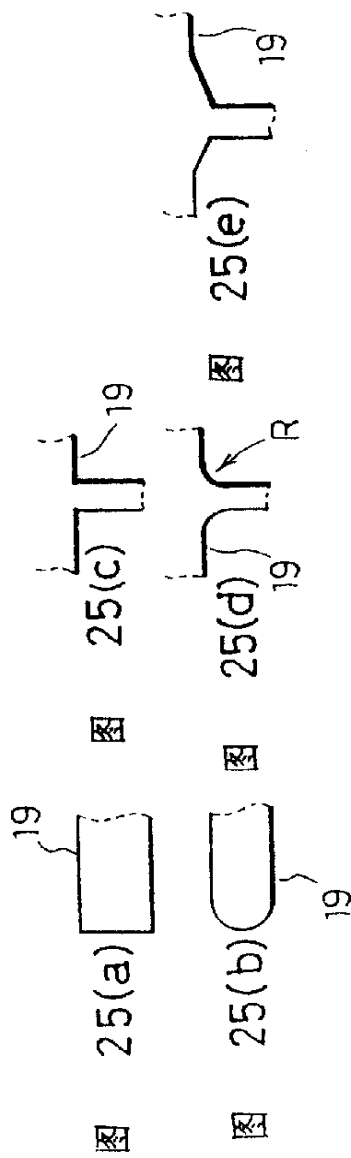


图 26

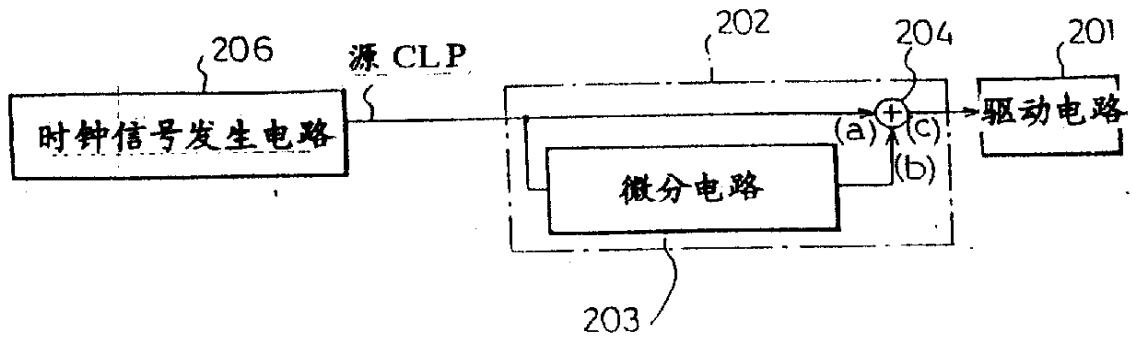


图 27(a) 源时钟信号 (源 CLP)

图 27(b) 响应改善信号

图 27(c) 改善时钟信号 (源 CLP)

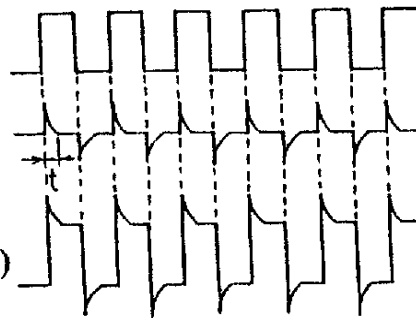


图 28

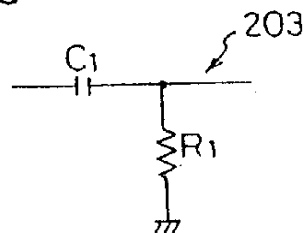


图 29

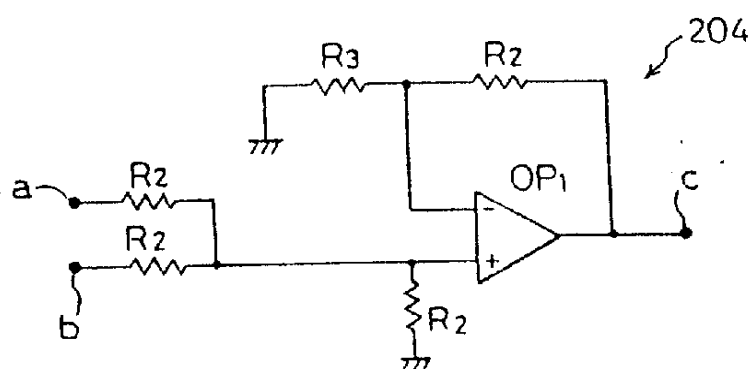


图 30

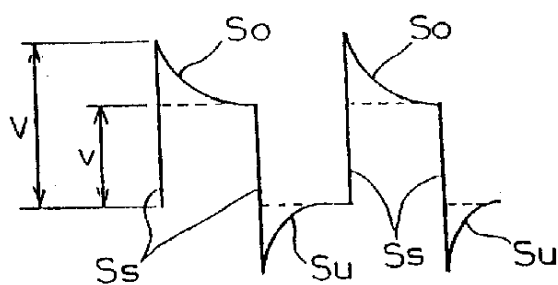


图 31

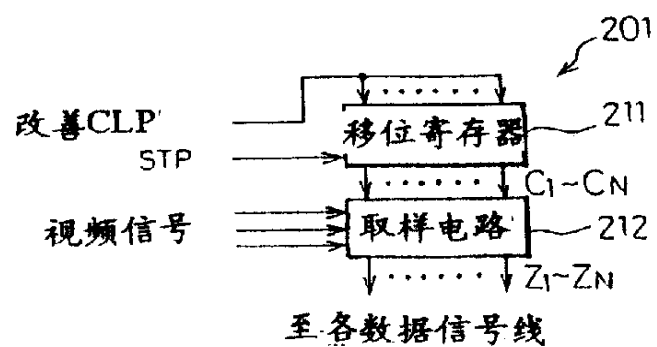


图 32

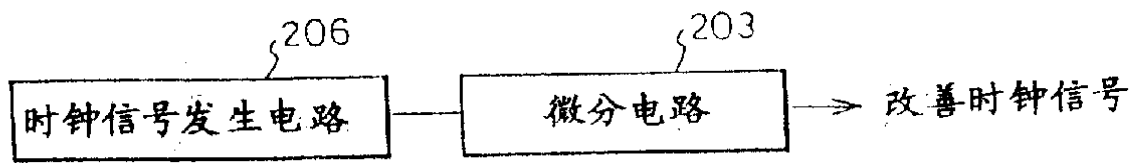


图 33(a)

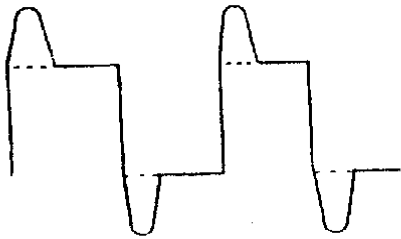


图 33(b)

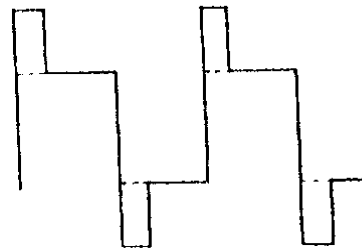


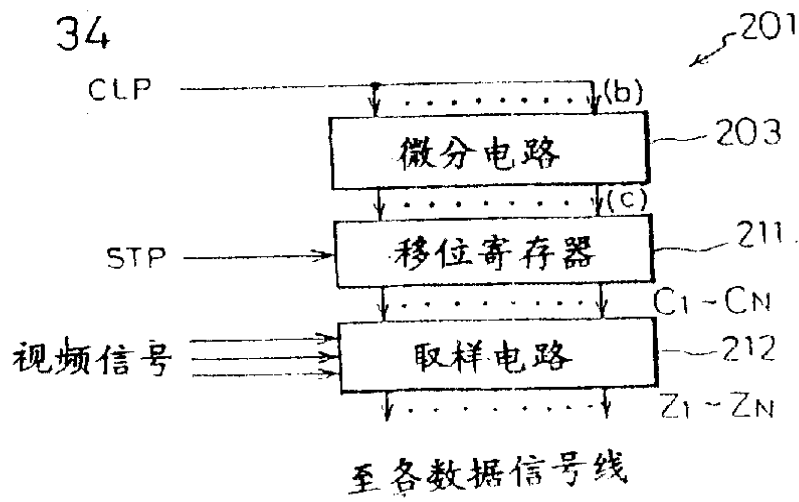
图 33(c)



图 33(d)



图 34



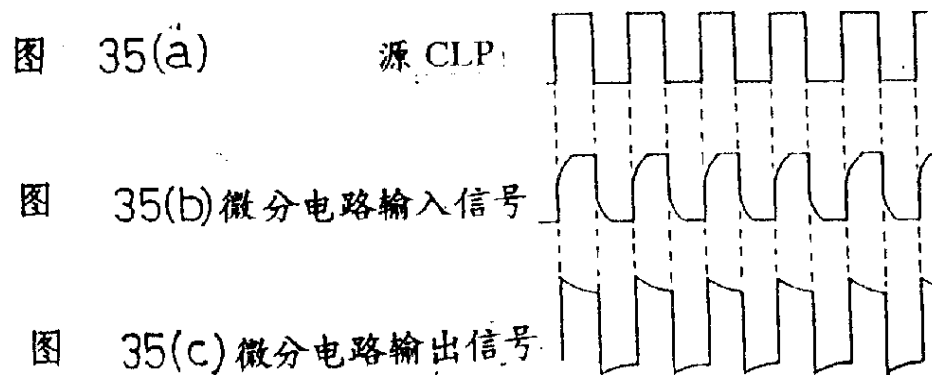


图 36

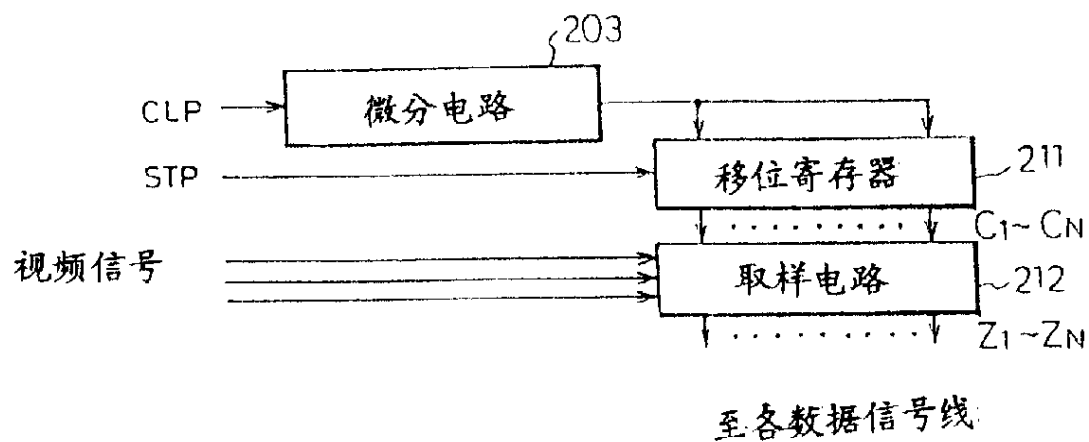


图 37

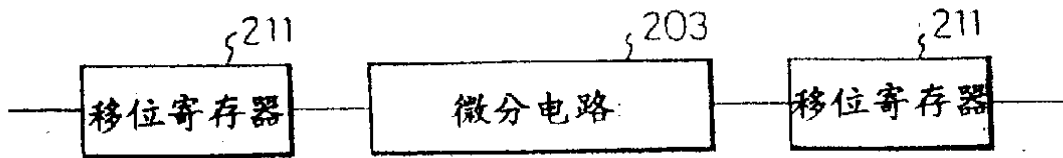
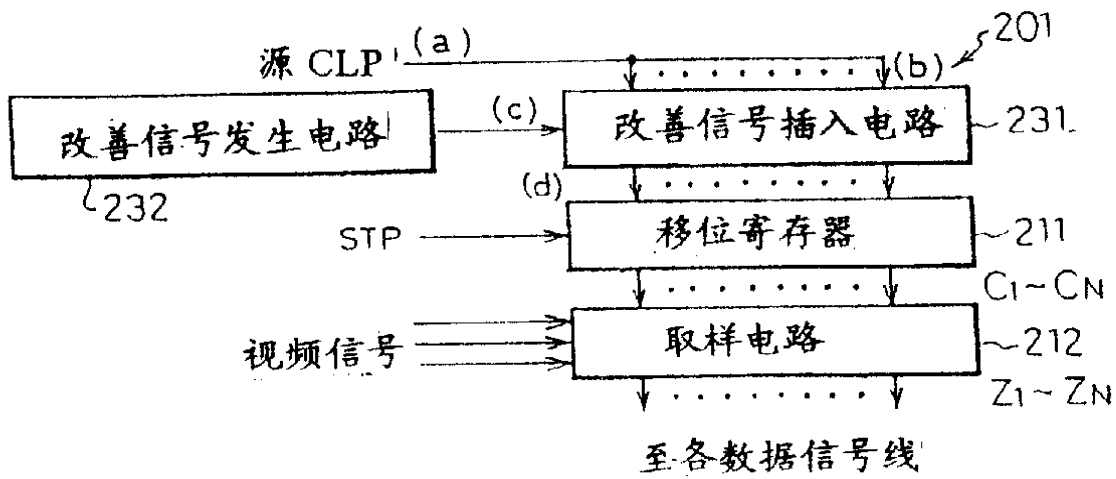


图 38



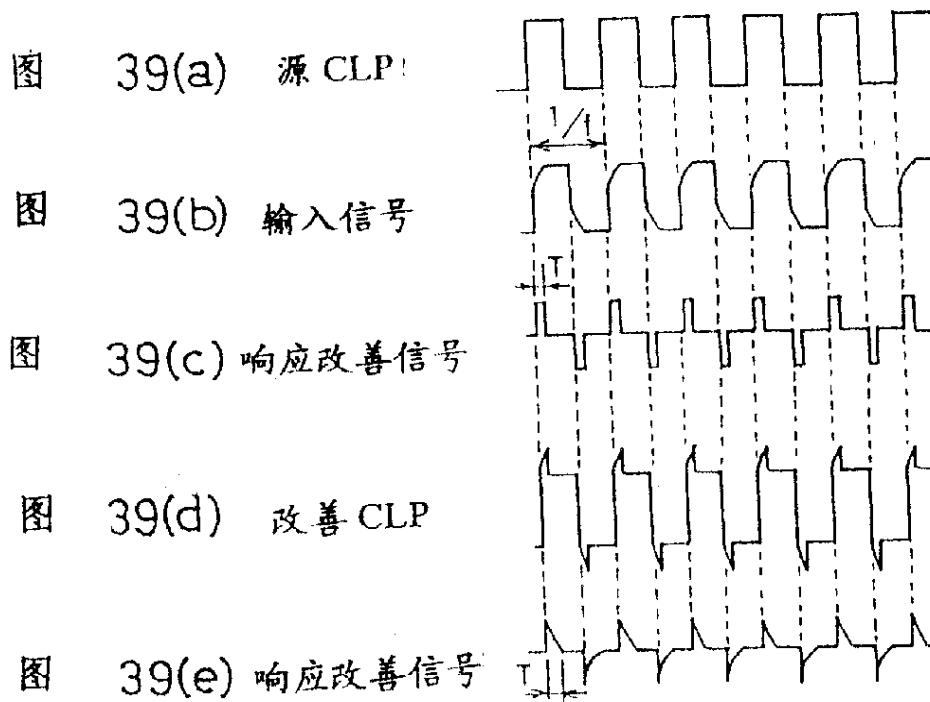


图 40

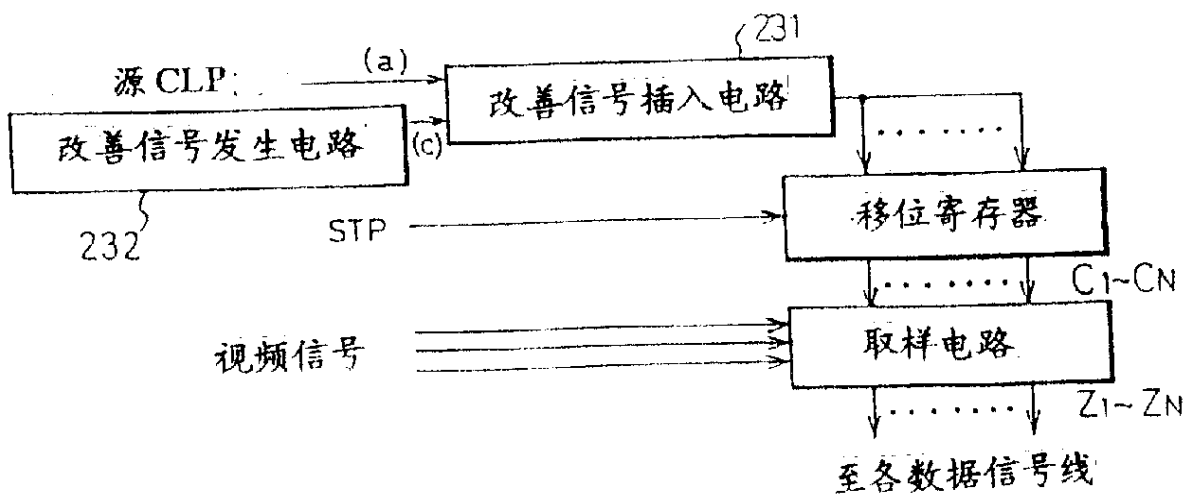


图 41

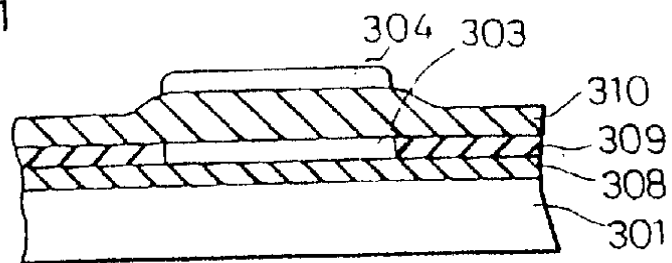


图 42

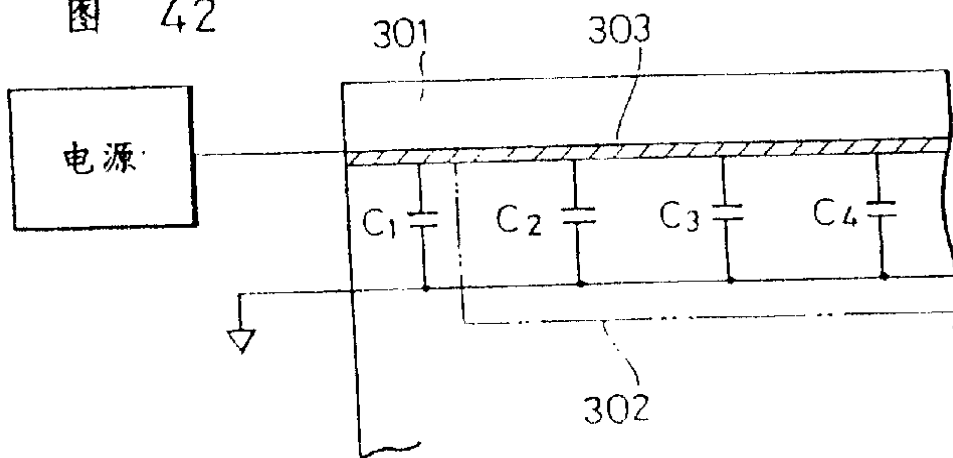
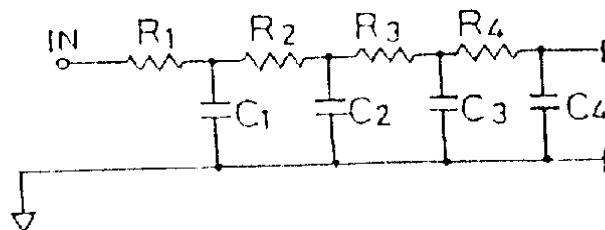


图 43



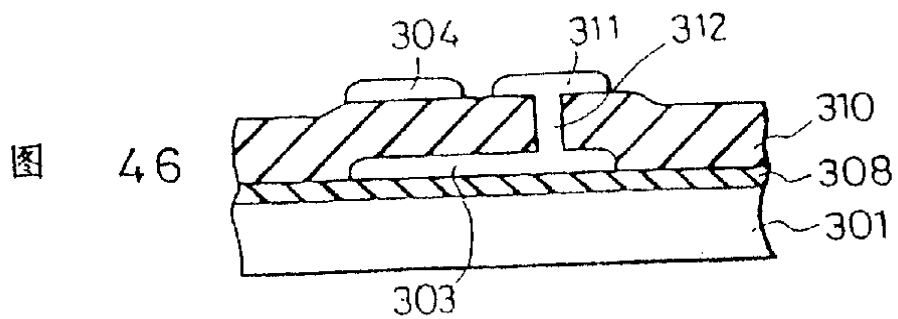
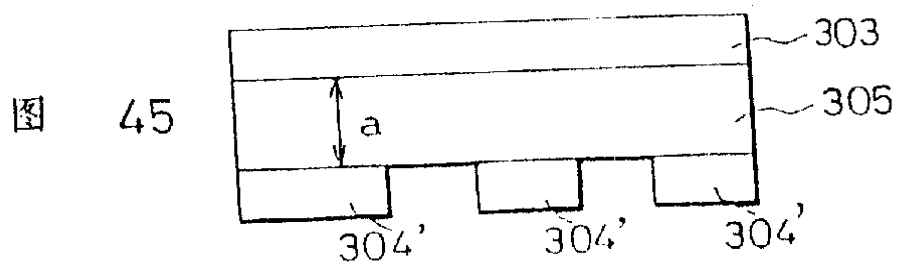
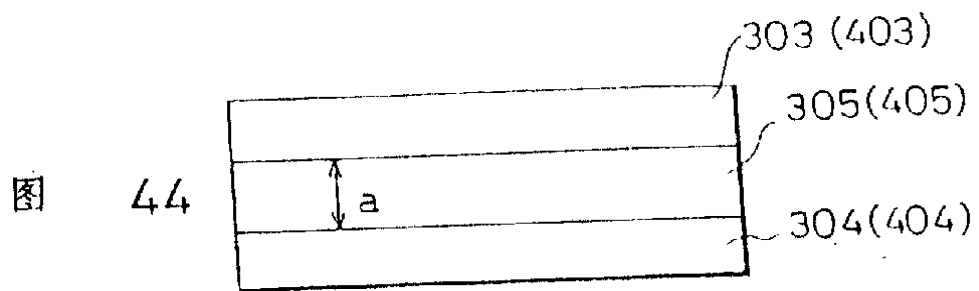


图 47

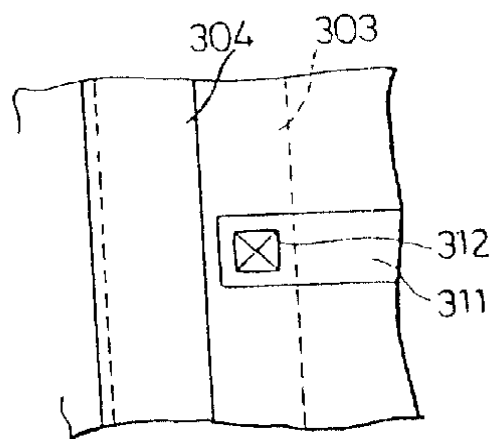


图 48

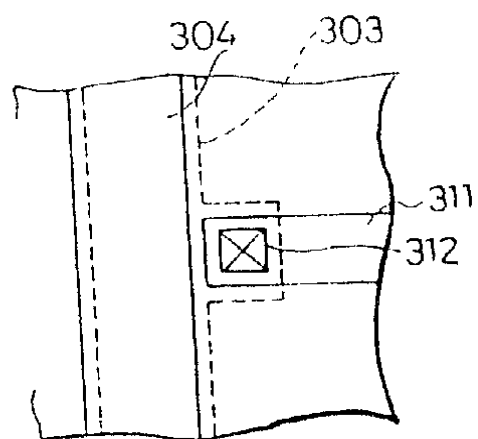


图 49

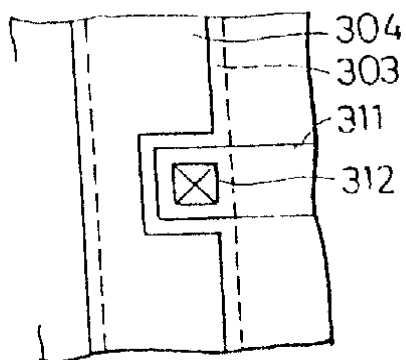


图 50

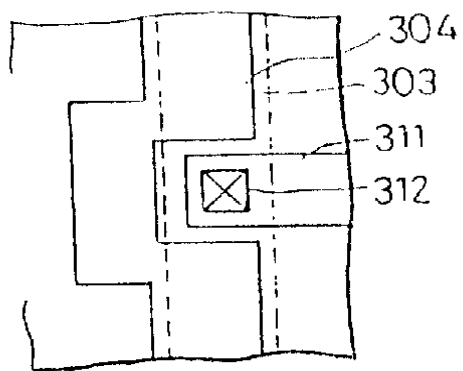


图 51

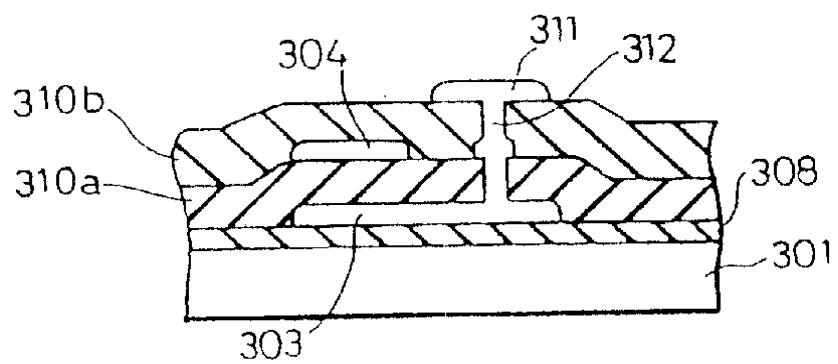


图 52

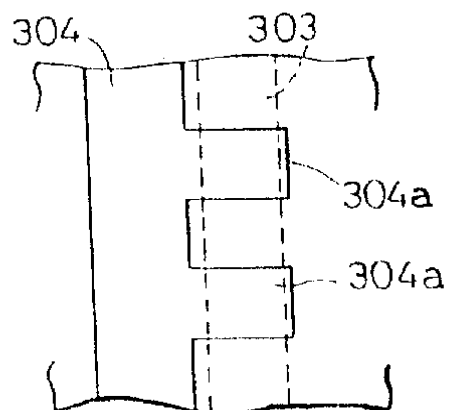


图 53

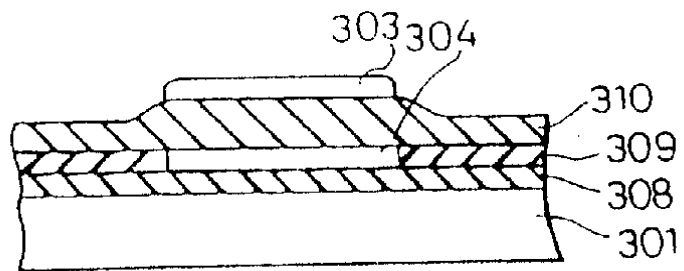


图 54

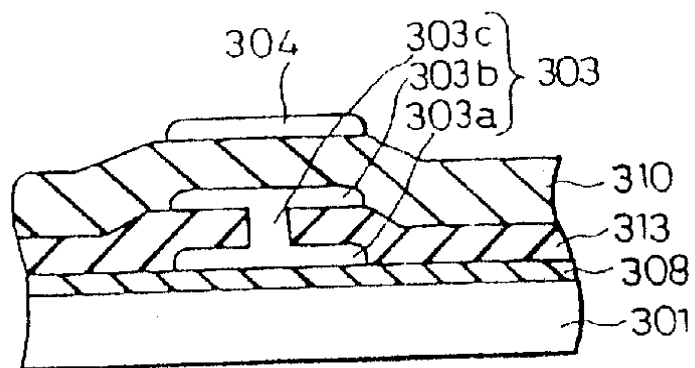


图 55

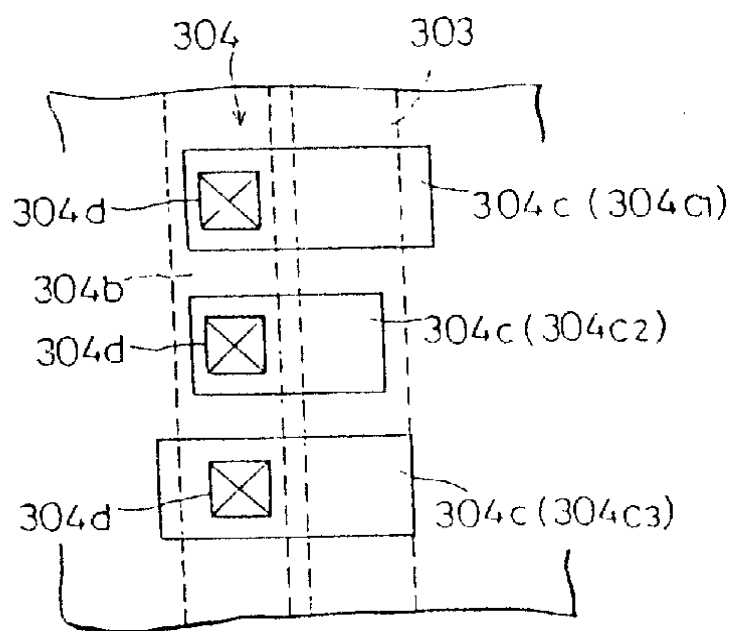
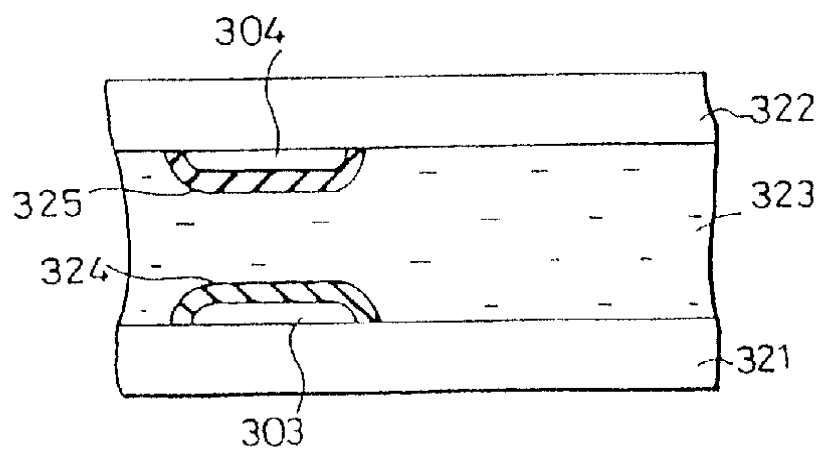
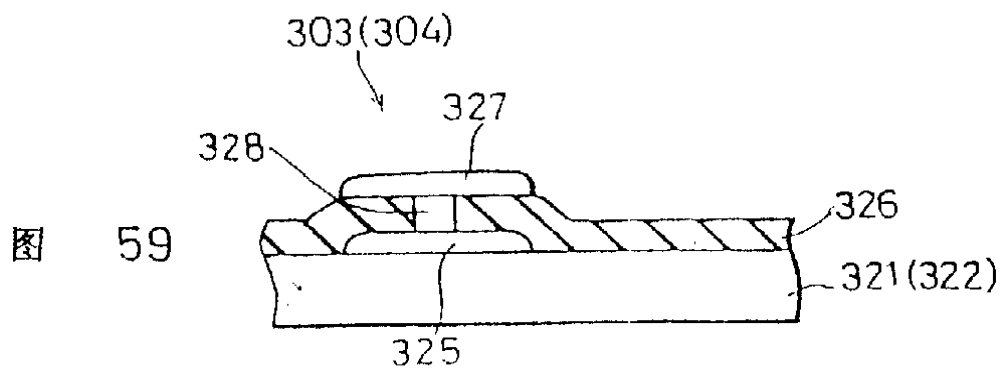
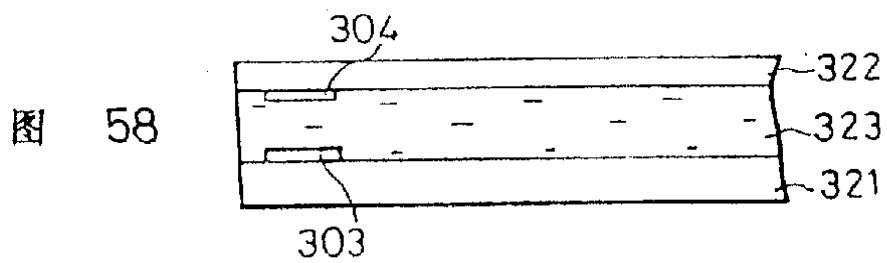
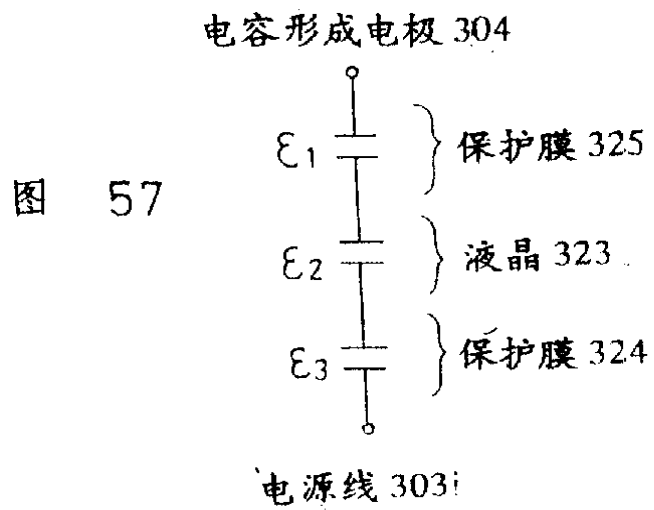


图 56





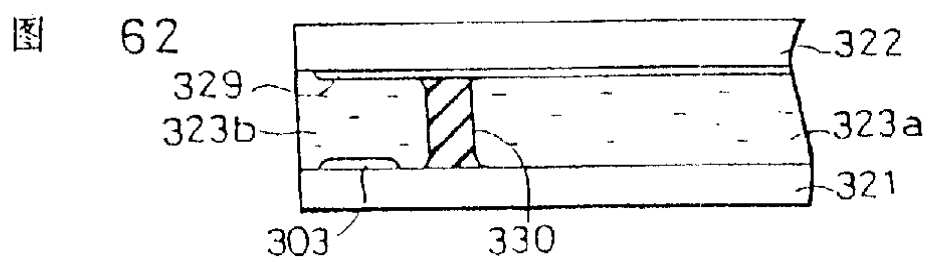
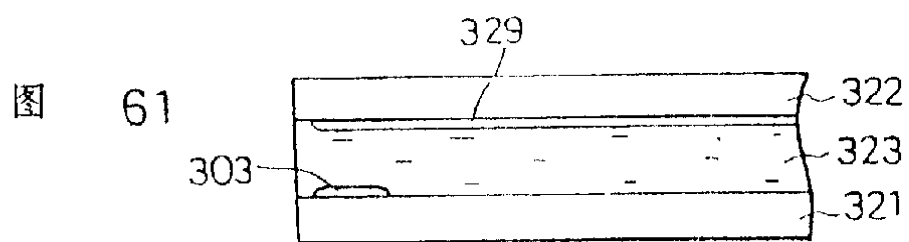
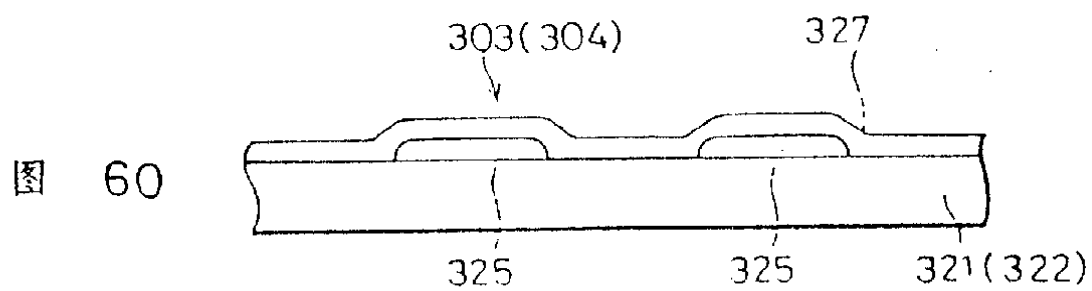


图 63

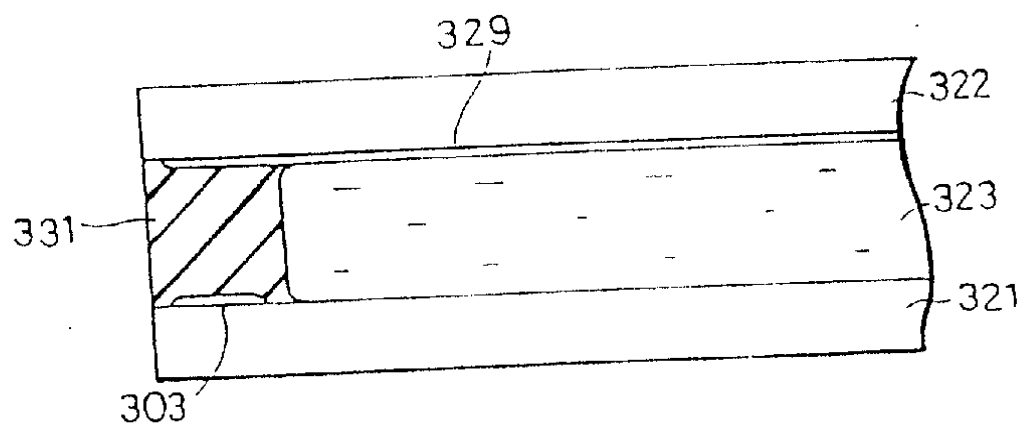


图 64

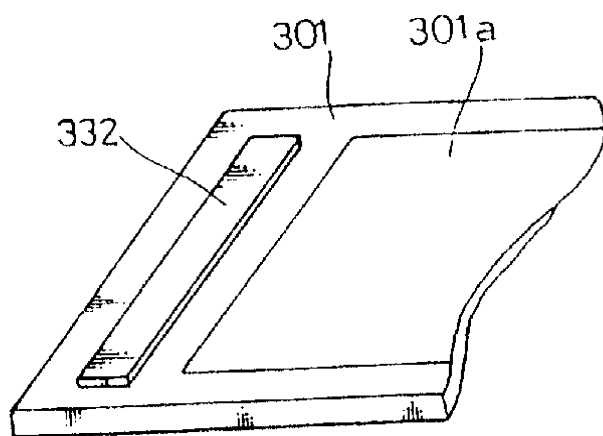


图 65

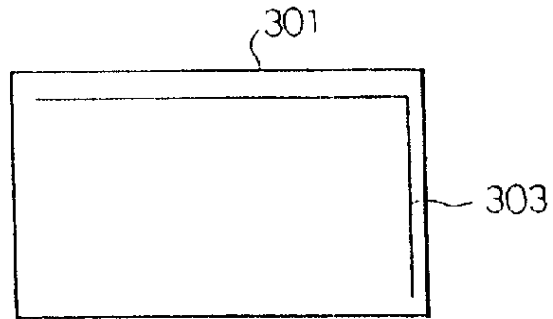


图 66

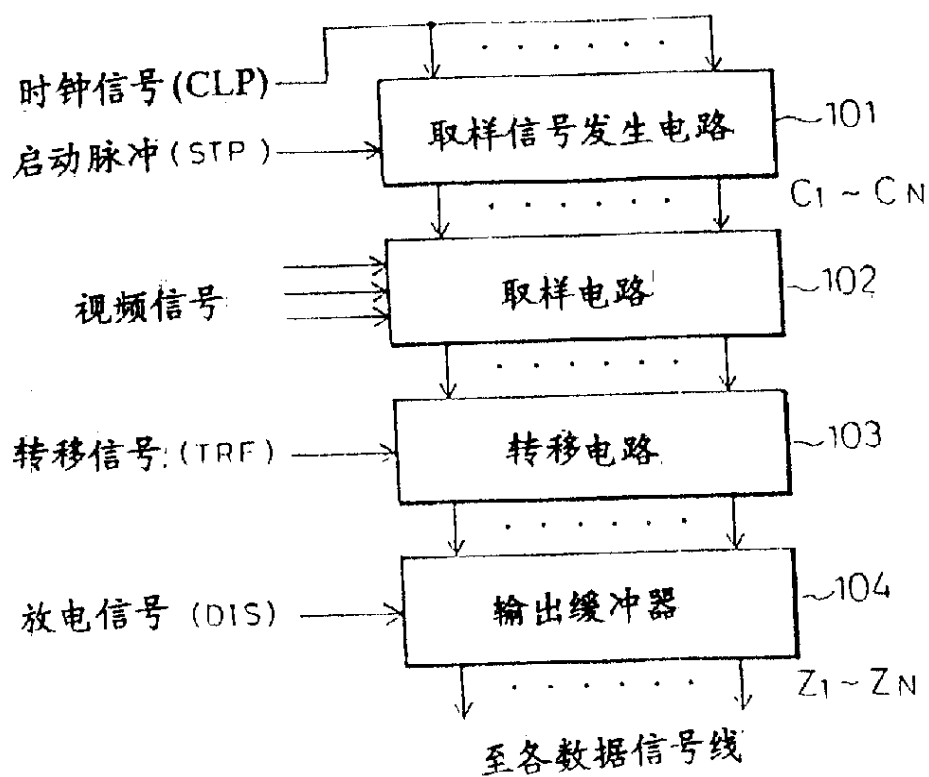


图 67

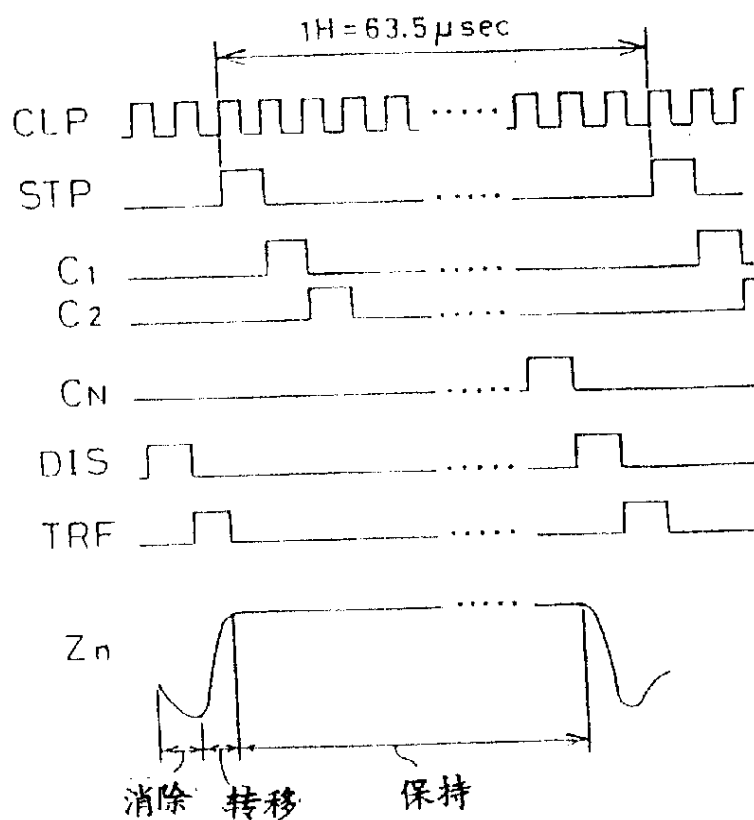


图 68

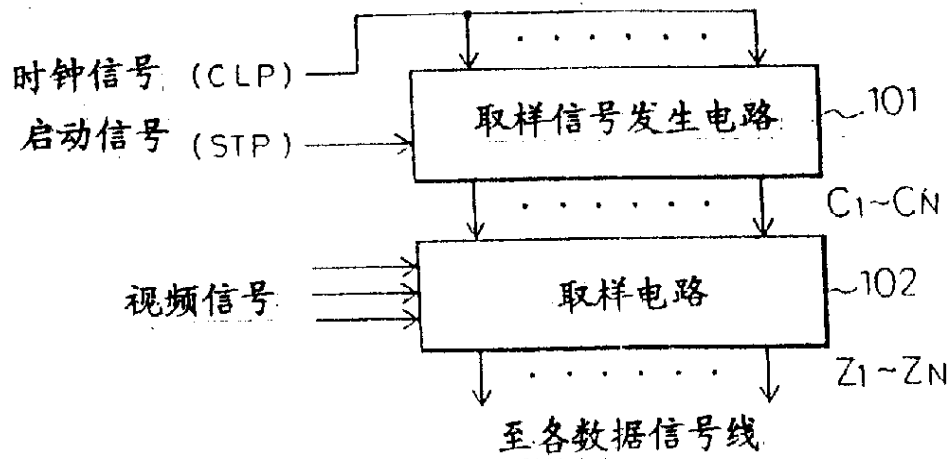


图 69

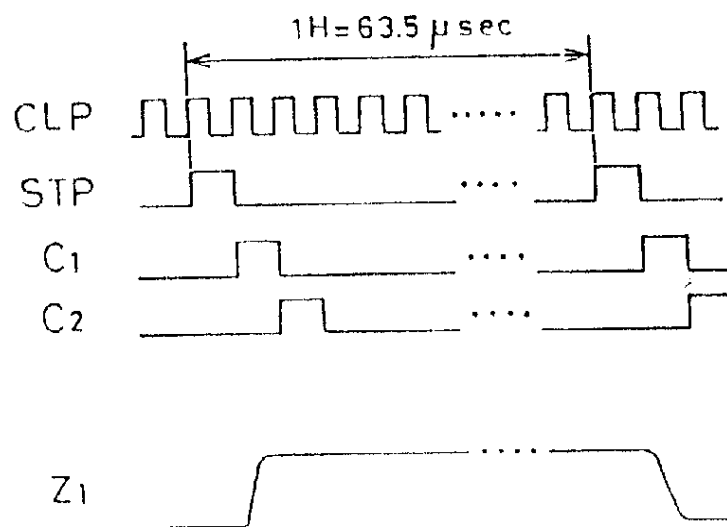


图 70

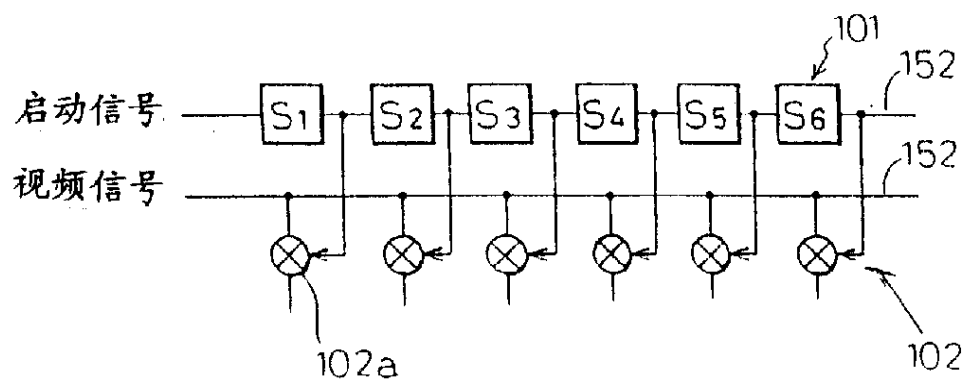


图 71

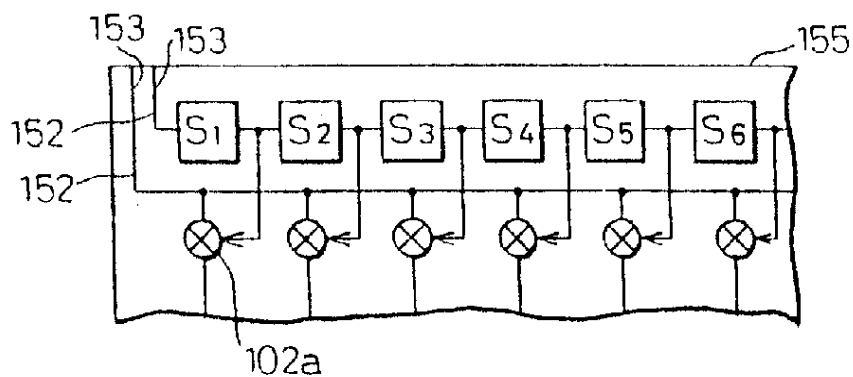
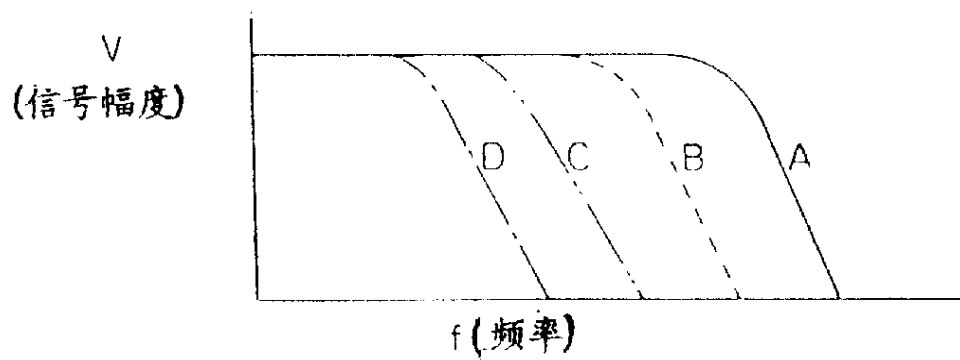


图 72



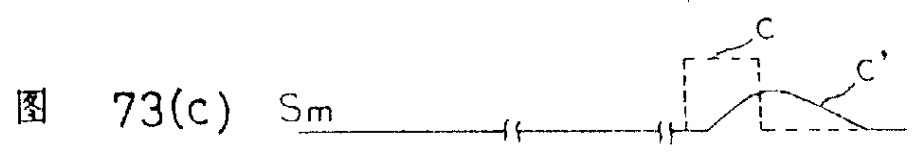
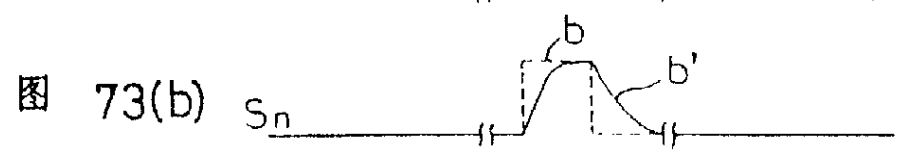
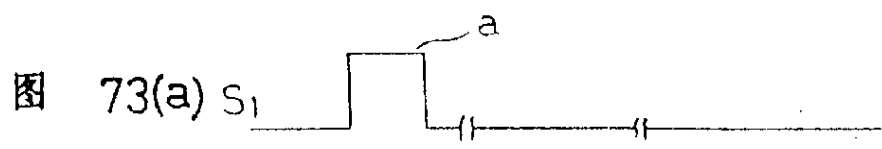


图 74

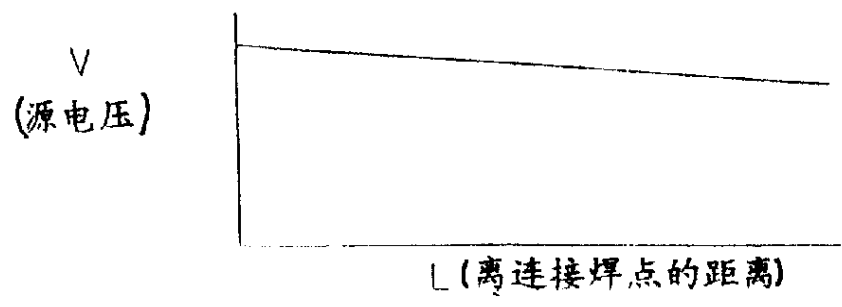


图 75

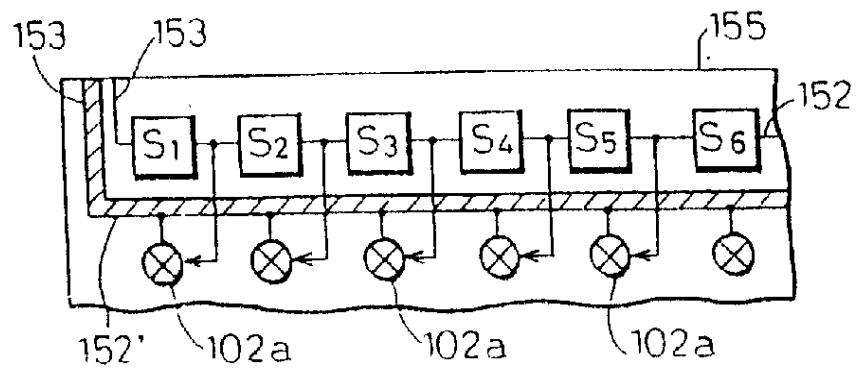


图 76

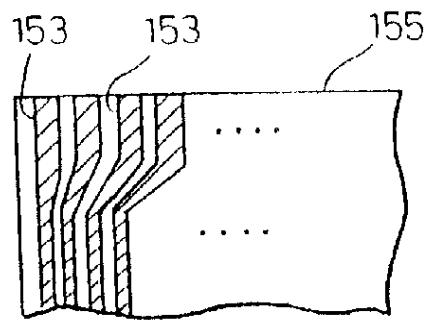


图 77

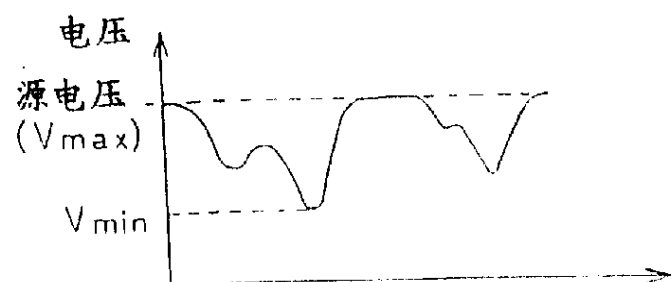


图 78

