

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5784299号  
(P5784299)

(45) 発行日 平成27年9月24日(2015.9.24)

(24) 登録日 平成27年7月31日(2015.7.31)

(51) Int. Cl. F I  
**GO6T 1/20 (2006.01)** GO6T 1/20 C  
**HO4N 1/21 (2006.01)** HO4N 1/21

請求項の数 5 (全 28 頁)

<p>(21) 出願番号 特願2010-245478 (P2010-245478)                  (22) 出願日 平成22年11月1日(2010.11.1)                  (65) 公開番号 特開2012-98883 (P2012-98883A)                  (43) 公開日 平成24年5月24日(2012.5.24)                  審査請求日 平成25年10月15日(2013.10.15)</p>	<p>(73) 特許権者 000000376                  オリンパス株式会社                  東京都渋谷区幡ヶ谷2丁目4番2号                  (74) 代理人 100106909                  弁理士 棚井 澄雄                  (74) 代理人 100064908                  弁理士 志賀 正武                  (74) 代理人 100094400                  弁理士 鈴木 三義                  (74) 代理人 100086379                  弁理士 高柴 忠夫                  (74) 代理人 100129403                  弁理士 増井 裕士</p>
---	--

最終頁に続く

(54) 【発明の名称】 データ処理装置および画像処理装置

(57) 【特許請求の範囲】

【請求項1】

パイプライン接続された複数の画像処理モジュールを用いて、画像データを処理するデータ処理装置であって、

前記画像処理モジュールは、

前記画像データの領域を複数行から成る複数の重複ブロックに分割し、第1のブロックにおける最後の行の画像処理を行う際に必要とするデータ数と、該第1のブロックの次に処理を行う第2のブロックにおける最初の行の画像処理を行う際に必要とするデータ数とを合わせた数のデータを記憶する記憶容量のバッファ部と、

入力データを、前記バッファ部に書き込むデータ書き込み制御部と、

前記バッファ部に記憶されているデータを読み出し、該読み出したデータに基づいて生成した出力データを出力するデータ読み出し制御部と、

前記データ書き込み制御部がデータを書き込む前記バッファ部内の記憶領域、および前記データ読み出し制御部がデータを読み出す前記バッファ部内の記憶領域を決定するバッファ領域決定部と、

を備え、

前記データ書き込み制御部は、

前記バッファ領域決定部によって決定された前記記憶領域に前記入力データを書き込み、前記入力データの書き込みが完了したときに、データの書き込みが完了したことを表すデータ書き込み完了信号を出力し、

前記データ読み出し制御部は、

前記バッファ領域決定部によって決定された前記記憶領域に記憶されているデータを読み出し、該読み出したデータに基づいて生成した出力データの出力が完了したときに、データの読み出しが完了したことを表すデータ読み出し完了信号を出力する、  
ことを特徴とするデータ処理装置。

【請求項 2】

前記データ書き込み制御部は、

前記バッファ領域決定部によって決定された前記バッファ部内の書き込み可能領域に前記入力データを書き込み、予め定められた数の前記入力データの前記バッファ部への書き込みが完了したときに、データの書き込みが完了したと判定し、

前記データ読み出し制御部は、

前記バッファ領域決定部によって決定された前記バッファ部内の読み出し可能領域からデータを読み出し、予め定められた数の前記バッファ部からの読み出しが完了し、該読み出したデータに基づいて生成した出力データの出力が完了したときに、データの読み出しが完了したと判定し、

前記バッファ領域決定部は、

前記データ書き込み制御部による前記入力データの書き込み状態、および前記データ読み出し制御部によるデータの読み出し状態に応じて、前記バッファ部内の前記書き込み可能領域および前記読み出し可能領域を変更する、

ことを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 3】

前記バッファ領域決定部は、

前記データ書き込み制御部によってデータが書き込まれた前記バッファ部内の前記記憶領域を、有効なデータが記憶され、該記憶されたデータを読み出すことができる前記読み出し可能領域に決定し、

前記データ読み出し制御部によってデータが読み出された前記バッファ部内の前記記憶領域を、空き領域であり、前記入力データを書き込むことができる前記書き込み可能領域に決定する、

ことを特徴とする請求項 2 に記載のデータ処理装置。

【請求項 4】

前記データ読み出し制御部は、

前記読み出したデータに基づいてフィルタ処理した出力データを生成するフィルタ処理部、

を備え、

前記記憶容量は、

前記フィルタ処理部がフィルタ処理を行う際に必要とするデータ数に基づいて決定する、

ことを特徴とする請求項 3 に記載のデータ処理装置。

【請求項 5】

パイプライン接続された複数の画像処理モジュールを用いて、画像データを処理するデータ処理装置であって、前記画像処理モジュールは、前記画像データの領域を複数行から成る複数の重複ブロックに分割し、第 1 のブロックにおける最後の行の画像処理を行う際に必要とするデータ数と、該第 1 のブロックの次に処理を行う第 2 のブロックにおける最初の行の画像処理を行う際に必要とするデータ数とを合わせた数のデータを記憶する記憶容量のバッファ部と、入力データを、前記バッファ部に書き込むデータ書き込み制御部と、前記バッファ部に記憶されているデータを読み出し、該読み出したデータに基づいて生成した出力データを出力するデータ読み出し制御部と、前記データ書き込み制御部がデータを書き込む前記バッファ部内の記憶領域、および前記データ読み出し制御部がデータを読み出す前記バッファ部内の記憶領域を決定するバッファ領域決定部と、を有し、前記データ書き込み制御部が前記バッファ領域決定部によって決定された前記記憶領域に前記入

10

20

30

40

50

力データを書き込み、前記入力データの書き込みが完了したときに、データの書き込みが完了したことを表すデータ書き込み完了信号と、前記データ読み出し制御部が前記バッファ領域決定部によって決定された前記記憶領域に記憶されているデータを読み出し、該読み出したデータに基づいて生成した出力データの出力が完了したときに、データの読み出しが完了したことを表すデータ読み出し完了信号と、をそれぞれ出力するデータ処理装置

を備え、

前記データ書き込み完了信号が出力された後に、前記データ書き込み制御部による画像データの書き込みに係る設定を行い、

前記データ読み出し完了信号が出力された後に、前記データ読み出し制御部による画像データの読み出しに係る設定を行う、

ことを特徴とする画像処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ処理装置および画像処理装置に関する。

【背景技術】

【0002】

静止画用カメラ、動画用カメラ、医療用内視鏡カメラ、または産業用内視鏡カメラなどの撮像装置においては、撮像装置の画素数の向上、連写速度の向上に伴って、膨大な画素数の画像データを短時間で処理する画像処理装置が望まれている。このような画像データの処理を高速化するための技術として、図14(a)に示したように、画像処理にパイプライン処理を用いる技術が知られている(特許文献1参照)。この特許文献1で開示された技術によると、1フレームの静止画像を、複数の重複(オーバーラップ)部分、いわゆる「のり代部分」を持つブロックに分割する。そして、分割したブロック毎に、「フレームメモリ イメージプロセス1 イメージプロセス2 … イメージプロセスn」JPEG(Joint Photographic Experts Group)処理「フレームメモリ」というように、複数の画像処理を直結した処理を行うようになっている。しかし、分割したそれぞれのブロック内では処理を行う画像データの流れが連続しているが、異なるブロックとの間ではデータの流れが連続していない(図14(b)参照)。そのため、パイプライン処理の全体を制御するシーケンサが、パイプラインを構成する各処理モジュール(処理部)において処理する画像データの範囲などの設定を、各ブロックのパイプライン処理を開始する前に、毎回設定し直していた(図14(c)参照)。このように一連のパイプライン処理毎に画像処理の動作を制御した場合、パイプラインを構成する処理モジュールのいずれかが動作していない時間的なロス(ロス)の期間が、それぞれのブロックの処理の間に発生してしまう。この処理モジュールが動作していないロス時間が、1フレームの静止画像の処理時間に影響することとなる。

【0003】

また、画像データの処理をさらに高速化するための技術として、図15に示したように、パイプラインを構成する各処理モジュール毎に、当該処理モジュールによる処理が完了したことを表す割込み信号を、シーケンサに出力する技術も開示されている(特許文献2参照)。この特許文献2で開示された技術では、シーケンサが、処理モジュールから割込み信号が入力されるたびに、その処理モジュールの設定を個別に変更する。これにより、シーケンサがそれぞれの処理モジュールの設定を変更するタイミングが、分割したブロックの処理を開始するタイミング毎ではなく、各処理モジュールの処理が完了したタイミング毎となる。このようにシーケンサが各処理モジュールの設定を変更するタイミングをそれぞれの処理モジュール毎にすることによって、特許文献2の技術では、各ブロック間の処理における時間的なロスを低減し、1フレームの静止画像の処理を高速化している(図16(a)参照)。

【先行技術文献】

10

20

30

40

50

## 【特許文献】

【0004】

【特許文献1】特開2000-312327号公報

【特許文献2】特開2010-176606号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

【0005】

しかしながら、パイプラインを構成する処理モジュールの1つの処理モジュールに着目（例えば、図16（b）に示したように、YC処理モジュールに着目）してみると、処理モジュールに入力してから出力されるまでに遅延時間が生じている。この遅延時間と、処理モジュールの設定の変更に要する時間とを合わせた時間、すなわち、最初のブロックに対応した出力が完了してから次のブロックに対応した出力が開始されるまでの時間は、画像データの処理の高速化におけるロス時間となってしまう、という問題がある。

10

【0006】

このロス時間の問題は、例えば、タップ数が大きいフィルタ処理を行う処理モジュールや、撮像装置のレンズの歪曲収差を補正する処理モジュールなどのように、処理モジュールに入力してから出力されるまでの遅延時間が長い処理モジュール程、より顕著な問題となる。

【0007】

本発明は、上記の課題認識に基づいてなされたものであり、処理モジュールに入力してから出力されるまでの遅延時間が長いデータ処理を含むパイプライン処理において、各パイプライン処理におけるロス時間を低減することができるデータ処理装置および画像処理装置を提供することを目的としている。

20

## 【課題を解決するための手段】

【0008】

上記の課題を解決するため、本発明のデータ処理装置は、パイプライン接続された複数の画像処理モジュールを用いて、画像データを処理するデータ処理装置であって、前記画像処理モジュールは、前記画像データの領域を複数行から成る複数の重複ブロックに分割し、第1のブロックにおける最後の行の画像処理を行う際に必要とするデータ数と、該第1のブロックの次に処理を行う第2のブロックにおける最初の行の画像処理を行う際に必要とするデータ数とを合わせた数のデータを記憶する記憶容量のバッファ部と、入力データを、前記バッファ部に書き込むデータ書き込み制御部と、前記バッファ部に記憶されているデータを読み出し、該読み出したデータに基づいて生成した出力データを出力するデータ読み出し制御部と、前記データ書き込み制御部がデータを書き込む前記バッファ部内の記憶領域、および前記データ読み出し制御部がデータを読み出す前記バッファ部内の記憶領域を決定するバッファ領域決定部と、を備え、前記データ書き込み制御部は、前記バッファ領域決定部によって決定された前記記憶領域に前記入力データを書き込み、前記入力データの書き込みが完了したときに、データの書き込みが完了したことを表すデータ書き込み完了信号を出力し、前記データ読み出し制御部は、前記バッファ領域決定部によって決定された前記記憶領域に記憶されているデータを読み出し、該読み出したデータに基づいて生成した出力データの出力が完了したときに、データの読み出しが完了したことを表すデータ読み出し完了信号を出力する、ことを特徴とする。

30

40

【0009】

また、本発明の前記データ書き込み制御部は、前記バッファ領域決定部によって決定された前記バッファ部内の書き込み可能領域に前記入力データを書き込み、予め定められた数の前記入力データの前記バッファ部への書き込みが完了したときに、データの書き込みが完了したと判定し、前記データ読み出し制御部は、前記バッファ領域決定部によって決定された前記バッファ部内の読み出し可能領域からデータを読み出し、予め定められた数の前記バッファ部からの読み出しが完了し、該読み出したデータに基づいて生成した出力データの出力が完了したときに、データの読み出しが完了したと判定し、前記バッファ領

50

域決定部は、前記データ書き込み制御部による前記入力データの書き込み状態、および前記データ読み出し制御部によるデータの読み出し状態に応じて、前記バッファ部内の前記書き込み可能領域および前記読み出し可能領域を変更する、ことを特徴とする。

【0010】

また、本発明の前記バッファ領域決定部は、前記データ書き込み制御部によってデータが書き込まれた前記バッファ部内の前記記憶領域を、有効なデータが記憶され、該記憶されたデータを読み出すことができる前記読み出し可能領域に決定し、前記データ読み出し制御部によってデータが読み出された前記バッファ部内の前記記憶領域を、空き領域であり、前記入力データを書き込むことができる前記書き込み可能領域に決定する、ことを特徴とする。

10

【0011】

また、本発明の前記データ読み出し制御部は、前記読み出したデータに基づいてフィルタ処理した出力データを生成するフィルタ処理部、を備え、前記記憶容量は、前記フィルタ処理部がフィルタ処理を行う際に必要とするデータ数に基づいて決定する、ことを特徴とする。

【0013】

また、本発明の画像処理装置は、パイプライン接続された複数の画像処理モジュールを用いて、画像データを処理するデータ処理装置であって、前記画像処理モジュールは、前記画像データの領域を複数行から成る複数の重複ブロックに分割し、第1のブロックにおける最後の行の画像処理を行う際に必要とするデータ数と、該第1のブロックの次に処理を行う第2のブロックにおける最初の行の画像処理を行う際に必要とするデータ数とを合わせた数のデータを記憶する記憶容量のバッファ部と、入力データを、前記バッファ部に書き込むデータ書き込み制御部と、前記バッファ部に記憶されているデータを読み出し、該読み出したデータに基づいて生成した出力データを出力するデータ読み出し制御部と、前記データ書き込み制御部がデータを書き込む前記バッファ部内の記憶領域、および前記データ読み出し制御部がデータを読み出す前記バッファ部内の記憶領域を決定するバッファ領域決定部と、を有し、前記データ書き込み制御部が前記バッファ領域決定部によって決定された前記記憶領域に前記入力データを書き込み、前記入力データの書き込みが完了したときに、データの書き込みが完了したことを表すデータ書き込み完了信号と、前記データ読み出し制御部が前記バッファ領域決定部によって決定された前記記憶領域に記憶されているデータを読み出し、該読み出したデータに基づいて生成した出力データの出力が完了したときに、データの読み出しが完了したことを表すデータ読み出し完了信号と、をそれぞれ出力するデータ処理装置、を備え、前記データ書き込み完了信号が出力された後に、前記データ書き込み制御部による画像データの書き込みに係る設定を行い、前記データ読み出し完了信号が出力された後に、前記データ読み出し制御部による画像データの読み出しに係る設定を行う、ことを特徴とする。

20

30

【発明の効果】

【0014】

本発明によれば、処理モジュールに入力してから出力されるまでの遅延時間が長いデータ処理を含むパイプライン処理において、各パイプライン処理におけるロス時間を低減することができるという効果が得られる。

40

【図面の簡単な説明】

【0015】

【図1】本発明の実施形態における画像処理装置の概略構成を示したブロック図である。

【図2】本実施形態の画像処理装置に備える画像処理モジュールの概略構成を示したブロック図である。

【図3】本実施形態の画像処理装置における処理モジュールの制御タイミングおよび制御内容の一例を説明する図である。

【図4】本実施形態の処理モジュールにおいて行う歪補正処理を説明する図である。

【図5】本実施形態の処理モジュールにおける歪補正処理方法の一例を説明する図である

50

。

【図 6】本実施形態の処理モジュールに備えたデータバッファの構成例を説明する図である。

【図 7】本実施形態の処理モジュールに備えたデータバッファの動作例を説明する図である。

【図 8】本実施形態の処理モジュールに備えたデータバッファにデータを書き込む動作例を説明する図である。

【図 9】本実施形態の処理モジュールに備えたデータバッファからデータを読み出す動作例を説明する図である。

【図 10】本実施形態の処理モジュールにおけるパイプライン処理のタイミングを示したタイミングチャートである。

10

【図 11】本実施形態の処理モジュールにおけるパイプライン処理の制御内容の一例を説明する図である。

【図 12】従来の処理モジュールにおけるパイプライン処理と、本実施形態の処理モジュールにおけるパイプライン処理とを比較した図である。

【図 13】本実施形態の処理モジュールに備えるデータバッファの記憶領域の数を決定する方法を説明する図である。

【図 14】従来のパイプライン処理を行う画像処理装置の概略構成および動作を説明する図である。

【図 15】従来のパイプライン処理を高速化した画像処理装置の概略構成を示したブロック図である。

20

【図 16】従来のパイプライン処理を高速化した画像処理装置の動作を説明する図である。

【図 17】従来の画像処理装置に備える画像処理モジュールのデータバッファの構成例および動作例を説明する図である。

【発明を実施するための形態】

【0016】

以下、本発明の実施形態について、図面を参照して説明する。図 1 は、本実施形態における画像処理装置の概略構成を示したブロック図である。図 1 に示した画像処理装置 1 は、DMA バス 10 と、DRAM 20 と、シーケンサ 30 と、入力 DMA モジュール 40 と、画像処理モジュール A 50 と、画像処理モジュール B 60 と、出力 DMA モジュール 70 と、を備えている。本実施形態の画像処理装置 1 は、例えば、静止画用カメラなどの撮像装置に備えられる。

30

【0017】

DRAM 20 は、DMA バス 10 に接続され、撮像装置において処理される様々なデータを記憶する。例えば、撮像装置に備えた図示しないイメージャから出力された静止画像のデータを記憶する。本実施形態の画像処理装置 1 においては、DRAM 20 に記憶された 1 フレームの静止画像のデータを、図 14 (b) に示したように、複数の重複 (オーバーラップ) したブロックに分割して、それぞれのブロック毎に画像処理を行う。本実施形態の画像処理装置 1 における画像処理は、図 1 に示したように、入力 DMA モジュール 40、画像処理モジュール A 50、画像処理モジュール B 60、および出力 DMA モジュール 70 が直列に接続されたパイプライン処理によって、それぞれの処理モジュールにおける画像処理を順次行う。以下の説明においては、1 フレームの静止画像のデータを分割したそれぞれのブロックに含まれるデータを、「ブロック画像データ」という。

40

【0018】

シーケンサ 30 は、本実施形態の画像処理装置 1 のパイプライン処理を行う際、パイプラインを構成する各処理モジュールの処理シーケンスを制御する。シーケンサ 30 は、パイプライン処理を行うブロックに応じた設定および処理の開始を制御する制御信号を各処理モジュールに出力する。

【0019】

50

入力DMAモジュール40は、DRAM20に記憶しているブロック画像データを読み出し、読み出したブロック画像データを、パイプラインを構成する次の処理モジュールである画像処理モジュールA50に出力するための処理モジュールである。入力DMAモジュール40は、シーケンサ30から入力された制御信号に応じて、DMAバス10を介してDRAM20からブロック画像データを読み出し、読み出したブロック画像データを一時記憶する。そして、入力DMAモジュール40は、画像処理モジュールA50から入力されたデータ要求信号に応じて、一時記憶したブロック画像データを、画像処理モジュールA50に出力する。図1においては、シーケンサ30から入力される出力データ数設定信号、リセット信号、およびDMA開始トリガ信号と、シーケンサ30に出力する完了割り込み信号とを示している。

10

**【0020】**

画像処理モジュールA50は、入力DMAモジュール40から入力されたブロック画像データに対して種々のデジタル的な画像処理を行って、画像処理後のブロック画像データ（以下、「画像処理データ」という）を、パイプラインを構成する次の処理モジュールである画像処理モジュールB60に出力するための処理モジュールである。画像処理モジュールA50は、シーケンサ30から入力された制御信号に応じて、入力DMAモジュール40から入力されたブロック画像データを一時記憶する。そして、一時記憶したブロック画像データに対して画像処理を行い、画像処理モジュールB60から入力されたデータ要求信号に応じて、画像処理データを、画像処理モジュールB60に出力する。画像処理モジュールA50は、ブロック画像データの入力動作および出力動作毎に、シーケンサ30

20

**【0021】**

画像処理モジュールB60は、画像処理モジュールA50から入力された画像処理データに対して、さらに種々のデジタル的な画像処理を行って、画像処理後のブロック画像データを、パイプラインを構成する次の処理モジュールである出力DMAモジュール70に出力するための処理モジュールである。なお、画像処理モジュールB60は、ブロック画像データに対して行う画像処理の内容が、画像処理モジュールA50と異なるのみである

30

**【0022】**

出力DMAモジュール70は、画像処理モジュールB60から入力された画像処理後のブロック画像データを、DRAM20に書き込む（記憶する）ための処理モジュールである。出力DMAモジュール70は、シーケンサ30から入力された制御信号に応じて、画像処理モジュールB60から入力された画像処理後のブロック画像データを一時記憶する。そして、出力DMAモジュール70は、一時記憶した画像処理後のブロック画像データを、DMAバス10を介してDRAM20に出力する。図1においては、シーケンサ30から入力される入力データ数設定信号、リセット信号、およびDMA開始トリガ信号と、シーケンサ30に出力するDMA完了割り込み信号とを示している。

40

**【0023】**

このように、画像処理装置1内の各処理モジュールが、1フレームの静止画像のデータを分割したブロック毎に、シーケンサ30から出力された制御信号に応じた画像処理を順次処理を行うことによって、各ブロックに対する一連の画像処理を行う。

**【0024】**

次に、画像処理装置1内の画像処理モジュールについて説明する。なお、上記に述べたように、画像処理モジュールA50と画像処理モジュールB60とは、画像処理の内容が異なるのみであるため、以下の説明においては、代表して画像処理モジュールA50について説明する。また、画像処理モジュールA50は、画像処理としてフィルタ処理を行う処理モジュールである場合について説明する。図2は、本実施形態の画像処理装置1に備

50

える画像処理モジュールA50の概略構成を示したブロック図である。図2に示したように、画像処理モジュールA50は、入力部51と、データバッファ52と、出力部53と、調停部54と、データバッファ領域決定部55と、を備えている。また、出力部53は、フィルタ処理部531を備えている。

【0025】

データバッファ52は、ブロック画像データを一時記憶する記憶部である。データバッファ52は、例えば、SRAM(Static Random Access Memory)などで構成される。

【0026】

入力部51は、シーケンサ30から入力された入力データ数設定信号によって設定された数のブロック画像データを、前段の処理モジュール(図1に示した本実施形態においては、入力DMAモジュール40)から読み出し、読み出したブロック画像データを、データバッファ52に書き込む(ライトする)。入力部51は、シーケンサ30から入力された入力部リセット信号によって初期化される。また、入力部51は、設定された数のブロック画像データの読み出しと、データバッファ52への書き込みとが完了する、すなわち、入力処理が完了すると、入力完了割込み信号を、シーケンサ30に出力する。また、入力部51が、データバッファ52にブロック画像データを書き込む際には、調停部54から入力されるバッファ空き量情報と、データバッファ領域決定部55から入力されるライト領域情報とに基づいて生成したライトコマンドによって、データバッファ52の対応する記憶領域にライトデータが書き込まれる。また、入力部51は、ライトデータの書き込みが完了したときに、ライト完了通知を調停部54に出力する。

【0027】

出力部53は、データバッファ52に記憶しているブロック画像データを読み出し(リードし)、出力部53内に備えるフィルタ処理部531によってフィルタ処理を行った画像処理データを、後段の処理モジュール(図1に示した本実施形態においては、画像処理モジュールB60)から入力されたデータ要求信号に応じて出力する。出力部53が出力する画像処理データの数は、シーケンサ30から入力された出力データ数設定信号によって設定される。出力部53は、シーケンサ30から入力された出力部リセット信号によって初期化される。また、出力部53は、データバッファ52に記憶しているブロック画像データの読み出しと、設定された数の画像処理データの出力とが完了する、すなわち、出力処理が完了すると、出力完了割込み信号を、シーケンサ30に出力する。また、出力部53が、データバッファ52に記憶しているブロック画像データを読み出す際には、調停部54から入力される有効データ量情報と、データバッファ領域決定部55から入力されるリード領域情報とに基づいて生成したリードコマンドによって、データバッファ52の対応する記憶領域からリードデータを読み出す。また、出力部53は、リードデータの読み出しが完了したときに、リード完了通知を調停部54に出力する。

【0028】

フィルタ処理部531におけるフィルタ処理としては、例えば、ローパスフィルタ処理、ノイズ低減フィルタ処理、歪補正処理、画像リサイズ処理など、様々な画像処理が考えられる。なお、以下の説明においては、出力部53内にフィルタ処理部531を備える場合の例について説明するが、例えば、入力部51内にフィルタ処理部を備える構成とすることもできる。入力部51内にフィルタ処理部を備える構成とした場合には、入力部51がデータバッファ52に書き込むデータが画像処理データとなり、出力部53はデータバッファ52に記憶された画像処理データを出力することとなる。

【0029】

データバッファ領域決定部55は、データバッファ52に備えた記憶領域の内、どの記憶領域を使用するかを決定する。より具体的には、データバッファ領域決定部55は、入力部51がブロック画像データを書き込む記憶領域と、出力部53がブロック画像データを読み出す記憶領域とを、それぞれ決定する。そして、決定した入力部51が書き込む記憶領域の情報を、ライト領域情報として入力部51に出力する。また、出力部53が読み

10

20

30

40

50



出す記憶領域の情報を、リード領域情報として出力部 5 3 に出力する。

【 0 0 3 0 】

調停部 5 4 は、データバッファ 5 2 に備えた記憶領域を管理する。より具体的には、調停部 5 4 は、データバッファ 5 2 にデータを記憶していない記憶領域（以下、「空き領域」という）の情報を、バッファ空き量情報として入力部 5 1 に出力する。このバッファ空き量情報は、入力部 5 1 がデータバッファ 5 2 にブロック画像データを書き込む際に、ブロック画像データを書き込もうとしているデータバッファ 5 2 の記憶領域が空き領域であるか否かの判断に用いられる。入力部 5 1 は、ブロック画像データを書き込もうとしているデータバッファ 5 2 の記憶領域が空き領域である場合に、当該記憶領域がデータを格納（書き込み：ライト）することが可能であると判断し、ブロック画像データの書き込みを

10

【 0 0 3 1 】

また、調停部 5 4 は、データバッファ 5 2 に記憶している有効なデータの情報を、有効データ量情報として出力部 5 3 に出力する。この有効データ量情報は、出力部 5 3 がデータバッファ 5 2 からブロック画像データを読み出す際に、ブロック画像データを読み出そうとしているデータバッファ 5 2 の記憶領域に有効なデータが記憶されているか否かの判断に用いられる。出力部 5 3 は、ブロック画像データを読み出そうとしているデータバッファ 5 2 の記憶領域に有効なデータが記憶されている場合に、当該記憶領域からデータを取得（読み出し：リード）することが可能であると判断し、ブロック画像データの読み出しを実行する。

20

【 0 0 3 2 】

また、調停部 5 4 は、入力部 5 1 から入力されるライト完了通知、および出力部 5 3 から入力されるリード完了通知に基づいて、バッファ空き量情報および有効データ量情報を更新する。

【 0 0 3 3 】

調停部 5 4 およびデータバッファ領域決定部 5 5 は、シーケンサ 3 0 から入力された共通リセット信号によって、初期化される。すなわち、入力部リセット信号または出力部リセット信号では、初期化されない。これは、入力部 5 1 または出力部 5 3 のいずれか一方がリセットを行うタイミングであっても、他方は処理を実行しており、リセットするタイミングではない場合があるため、入力部リセット信号または出力部リセット信号によって、処理を行う際の情報であるバッファ空き量情報または有効データ量情報が初期化されてしまうことを回避するためである。なお、シーケンサ 3 0 からの共通リセット信号の入力によって初期化された場合には、バッファ空き量情報は、データバッファ 5 2 の記憶領域が全て空き領域であることを表す情報に初期化され、有効データ量情報は、データバッファ 5 2 の全ての記憶領域に有効なデータが記憶されていないことを表す情報に初期化される。

30

【 0 0 3 4 】

このような構成によって、画像処理モジュール A 5 0 では、リセットを行う制御単位（以下、「ドメイン」という）を分離する。より具体的には、ブロック画像データを入力する側のリセットドメイン（入力リセットドメイン）と、画像処理データを出力する側のリセットドメイン（出力リセットドメイン）とを、データバッファ 5 2 の位置で分離する。そして、画像処理モジュール A 5 0 は、上記に述べたように、入力部 5 1 によるブロック画像データの入力処理が完了したことを表す入力完了割込み信号、および出力部 5 3 による画像処理データの出力処理が完了したことを表す出力完了割込み信号を、それぞれ、シーケンサ 3 0 に出力する。

40

【 0 0 3 5 】

これにより、本実施形態の画像処理装置 1 では、シーケンサ 3 0 に画像処理モジュール A 5 0 または画像処理モジュール B 6 0 から割込み信号（入力完了割込み信号または出力完了割込み信号）が入力されるたびに、シーケンサ 3 0 が割込み信号に応じたドメイン（制御単位）のリセットおよびパイプライン処理を行うブロックに応じた設定の再設定を行

50

うことができる。このことにより、画像処理モジュールA50および画像処理モジュールB60では、前の処理モジュールから出力されたブロック画像データを画像処理して次の処理モジュールに出力している最中に、前の処理ブロックから出力される次のブロック画像データを、先行して入力処理を開始することができる。

#### 【0036】

ここで、図1に示した画像処理装置1における処理モジュールの制御について説明する。なお、以下の説明においては、画像処理装置1におけるパイプライン処理において、シーケンサ30と画像処理モジュールA50とに注目して説明する。図3は、本実施形態の画像処理装置1における画像処理モジュールA50の制御タイミングおよび制御内容の一例を説明する図である。画像処理装置1のパイプライン処理のタイミングに関しては図3(a)を参照し、シーケンサ30の処理内容に関しては図3(b)を参照して説明を行う。

10

#### 【0037】

画像処理装置1がDRAM20に記憶された1フレームの静止画像のデータの画像処理を開始すると、まず、シーケンサ30は、処理100を行う。処理100においてシーケンサ30は、まず、処理110において、パイプラインを構成する全ての処理モジュール(入力DMAモジュール40、画像処理モジュールA50、画像処理モジュールB60、および出力DMAモジュール70)に対して、ブロック画像データを画像処理する際に必要なパラメータや入出力データ数などのレジスタ設定を行う。例えば、入力DMAモジュール40には、DRAM20から読み出して画像処理モジュールA50に出力する出力データ数が設定される。また、画像処理モジュールA50の入力部51には、入力DMAモジュール40から入力される入力データ数が設定され、出力部53には、ブロック画像データを画像処理する際に必要なパラメータや、画像処理データを次の画像処理モジュールB60に出力する際の出データ数が設定される。

20

#### 【0038】

続いて、シーケンサ30は、処理120において、全ての処理モジュールの動作の状態を初期化(リセット)する。この処理モジュールのリセットにおいてシーケンサ30は、入力DMAモジュール40および出力DMAモジュール70に対して、リセット信号を出力し、画像処理モジュールA50および画像処理モジュールB60に対して、共通リセット信号、入力部リセット信号、および出力部リセット信号を出力する。その後、シーケンサ30は、リセットを解除する。これにより、各処理モジュールは、それぞれの処理を開始することができる状態となる。このとき、画像処理モジュールA50は、入力DMAモジュール40に対してデータ要求信号を出力する。

30

#### 【0039】

続いて、シーケンサ30は、処理130において、シーケンサ30は、入力DMAモジュール40および出力DMAモジュール70に対して、DMA開始トリガ信号を出力する。これにより、入力DMAモジュール40は、DMAによって、DRAM20からの最初(1つ目)のブロック画像データ(以下、「第1ブロック画像データ」という)を読み出し、画像処理モジュールA50に第1ブロック画像データを出力することができる状態となる。ここで、入力DMAモジュール40には、画像処理モジュールA50からデータ要求信号が入力されているため、入力DMAモジュール40がDRAM20から読み出した第1ブロック画像データは、画像処理モジュールA50に出力される。

40

#### 【0040】

そして、画像処理モジュールA50内の入力部51は、入力された第1ブロック画像データを、データバッファ52に書き込む。また、画像処理モジュールA50内の出力部53は、データバッファ52に記憶している第1ブロック画像データを読み出し、フィルタ処理部531によってフィルタ処理を行った画像処理データを、画像処理モジュールB60から入力されたデータ要求信号に応じて出力する。

#### 【0041】

その後、画像処理モジュールA50は、入力部51によるデータバッファ52への第1

50

ブロック画像データの書き込みが終了する、すなわち、処理 1 1 0 においてシーケンサ 3 0 によって設定された入力データ数の第 1 ブロック画像データをデータバッファ 5 2 に書き込んだとき、入力完了割込み信号をシーケンサ 3 0 に出力する。

【 0 0 4 2 】

シーケンサ 3 0 は、画像処理モジュール A 5 0 から入力完了割込み信号が入力されると、処理 2 0 0 を行う。処理 2 0 0 においてシーケンサ 3 0 は、まず、処理 2 1 0 において、画像処理モジュール A 5 0 の入力部 5 1 に対して、入力 D M A モジュール 4 0 から入力される次 ( 2 つ目 ) のブロック画像データ ( 以下、「第 2 ブロック画像データ」という ) の入力データ数を設定する。

【 0 0 4 3 】

続いて、シーケンサ 3 0 は、処理 2 2 0 において、画像処理モジュール A 5 0 内の入力部 5 1 側の動作の状態をリセットする。この入力部 5 1 側のリセットにおいてシーケンサ 3 0 は、画像処理モジュール A 5 0 に対して、入力部リセット信号のみを出力する。その後、シーケンサ 3 0 は、画像処理モジュール A 5 0 に対するリセットを解除する。これにより、画像処理モジュール A 5 0 は、入力 D M A モジュール 4 0 に対して第 2 ブロック画像データを要求するデータ要求信号を出力し、第 2 ブロック画像データのデータバッファ 5 2 への書き込みを開始する。

【 0 0 4 4 】

なお、処理 2 2 0 においてシーケンサ 3 0 は、画像処理モジュール A 5 0 に対して共通リセット信号を出力していないため、画像処理モジュール A 5 0 内の調停部 5 4 およびデータバッファ領域決定部 5 5 はリセットされない。このため、画像処理モジュール A 5 0 内の入力部 5 1 が第 2 ブロック画像データをデータバッファ 5 2 に書き込む際には、第 1 ブロック画像データを最後に書き込んだデータバッファ 5 2 の記憶領域の次の記憶領域から、第 2 ブロック画像データの書き込みが開始される。これにより、入力部 5 1 が第 2 ブロック画像データをデータバッファ 5 2 に書き込む際に、出力部 5 3 がフィルタ処理を行って画像処理モジュール B 6 0 に出力していない第 1 ブロック画像データが上書きされてしまうことを回避することができる。

【 0 0 4 5 】

その後、画像処理モジュール A 5 0 は、出力部 5 3 によるデータバッファ 5 2 からの第 1 ブロック画像データの読み出し、およびフィルタ処理部 5 3 1 によるフィルタ処理後の画像処理データの画像処理モジュール B 6 0 への出力が終了する、すなわち、処理 1 1 0 においてシーケンサ 3 0 によって設定された出力データ数のフィルタ処理後の画像処理データを出力したとき、出力完了割込み信号をシーケンサ 3 0 に出力する。

【 0 0 4 6 】

シーケンサ 3 0 は、画像処理モジュール A 5 0 から出力完了割込み信号が入力されると、処理 3 0 0 を行う。処理 3 0 0 においてシーケンサ 3 0 は、まず、処理 3 1 0 において、画像処理モジュール A 5 0 の出力部 5 3 に対して、第 2 ブロック画像データを画像処理する際に必要なパラメータや、画像処理データを画像処理モジュール B 6 0 に出力する出力データ数を設定する。

【 0 0 4 7 】

続いて、シーケンサ 3 0 は、処理 3 2 0 において、画像処理モジュール A 5 0 内の出力部 5 3 側の動作の状態をリセットする。この出力部 5 3 側のリセットにおいてシーケンサ 3 0 は、画像処理モジュール A 5 0 に対して、出力部リセット信号のみを出力する。その後、シーケンサ 3 0 は、画像処理モジュール A 5 0 に対するリセットを解除する。これにより、画像処理モジュール A 5 0 は、データバッファ 5 2 に記憶している第 2 ブロック画像データに対するフィルタ処理後の画像処理データを、画像処理モジュール B 6 0 から入力されたデータ要求信号に応じて出力する。

【 0 0 4 8 】

なお、処理 3 2 0 においてシーケンサ 3 0 は、画像処理モジュール A 5 0 に対して共通リセット信号を出力していないため、画像処理モジュール A 5 0 内の調停部 5 4 およびデ

10

20

30

40

50

ータバッファ領域決定部 55 はリセットされない。このため、画像処理モジュール A 50 内の出力部 53 が第 2 ブロック画像データをデータバッファ 52 から読み出す際には、第 1 ブロック画像データを最後に読み出したデータバッファ 52 の記憶領域の次の記憶領域から、第 2 ブロック画像データの読み出しが開始される。これにより、出力部 53 が第 2 ブロック画像データをデータバッファ 52 から読み出す際に、データバッファ 52 に残っている第 1 ブロック画像データを読み出してフィルタ処理を行って画像処理モジュール B 60 に出力してしまうことを回避することができる。

【 0049 】

その後、画像処理モジュール A 50 は、入力部 51 によるデータバッファ 52 への第 2 ブロック画像データの書き込みが終了する、すなわち、処理 210 においてシーケンサ 30 によって設定された入力データ数の第 2 ブロック画像データをデータバッファ 52 に書き込んだとき、入力完了割込み信号をシーケンサ 30 に出力する。

10

【 0050 】

シーケンサ 30 は、画像処理モジュール A 50 から入力完了割込み信号が入力されると、処理 400 を行う。処理 400 においてシーケンサ 30 は、処理 200 と同様に、入力 DMA モジュール 40 から入力される次 (3 つ目) のブロック画像データ (以下、「第 3 ブロック画像データ」という) に対応した処理を行う。より具体的には、シーケンサ 30 は、処理 410 において、画像処理モジュール A 50 の入力部 51 に対して、第 3 ブロック画像データの入力データ数を設定する。そして、シーケンサ 30 は、処理 420 において、画像処理モジュール A 50 内の入力部 51 側の動作の状態をリセットおよびリセットの解除を行う。これにより、画像処理モジュール A 50 は、入力 DMA モジュール 40 に対して第 3 ブロック画像データを要求するデータ要求信号を出力し、第 3 ブロック画像データのデータバッファ 52 への書き込みを開始する。

20

【 0051 】

その後、画像処理モジュール A 50 は、出力部 53 によるデータバッファ 52 からの第 2 ブロック画像データの読み出し、およびフィルタ処理部 531 によるフィルタ処理後の画像処理データの画像処理モジュール B 60 への出力が終了する、すなわち、処理 310 においてシーケンサ 30 によって設定された出力データ数のフィルタ処理後の画像処理データを出力したとき、出力完了割込み信号をシーケンサ 30 に出力する。

【 0052 】

30

シーケンサ 30 は、画像処理モジュール A 50 から出力完了割込み信号が入力されると、処理 500 を行う。処理 500 においてシーケンサ 30 は、処理 300 と同様に、第 3 ブロック画像データに対応した処理を行う。より具体的には、シーケンサ 30 は、処理 510 において、画像処理モジュール A 50 の出力部 53 に対して、第 3 ブロック画像データを画像処理する際に必要なパラメータや、画像処理データを画像処理モジュール B 60 に出力する出力データ数を設定する。そして、シーケンサ 30 は、処理 520 において、画像処理モジュール A 50 内の出力部 53 側の動作の状態をリセットおよびリセットの解除を行う。これにより、画像処理モジュール A 50 は、データバッファ 52 に記憶している第 3 ブロック画像データに対するフィルタ処理後の画像処理データを、画像処理モジュール B 60 から入力されたデータ要求信号に応じて出力する。

40

【 0053 】

以降、同様に、画像処理モジュール A 50 から割込み信号が入力される毎に、シーケンサ 30 は、入力された割込み信号に応じた処理を、画像処理装置 1 における 1 フレームの静止画像のデータのパイプライン処理が終了となるまで繰り返す。

【 0054 】

上記に述べたように、本実施形態の画像処理装置 1 に備えた画像処理モジュール A 50 では、入力 DMA モジュール 40 からのブロック画像データの入力処理が完了したときの入力完了割込み信号と、画像処理モジュール B 60 へのフィルタ処理後の画像処理データの出力処理が完了したときの出力完了割込み信号とを、それぞれシーケンサ 30 に出力することができる。また、本実施形態の画像処理装置 1 に備えた画像処理モジュール B 60 では

50

、画像処理モジュールA50からのフィルタ処理後の画像処理データの入力処理が完了したときの入力完了割込み信号と、出力DMAモジュール70への画像処理データの出力処理が完了ときの出力完了割込み信号とを、それぞれシーケンサ30に出力することができる。このように、画像処理モジュールA50および画像処理モジュールB60では、入力部51側の制御（入力リセットドメイン）と、出力部53側の制御（出力リセットドメイン）とを、分離することができる。これにより、画像処理モジュールA50および画像処理モジュールB60では、前の画像処理データの出力処理を実行している最中に、次のブロック画像データの入力処理を開始することができる。

#### 【0055】

このように、画像処理データの出力処理が完了する前に、次のブロック画像データの入力処理を開始することによって、画像処理モジュールA50および画像処理モジュールB60のそれぞれで、前の画像処理データの出力処理の完了から次の画像処理データの出力処理の開始までのロス時間を低減することができ、パイプライン処理の効率を向上させることができる。特に、ブロック画像データが入力されてからフィルタ処理後の画像処理データが出力されるまでの入出力の遅延時間が長い処理モジュール（例えば、以下に説明する歪補正処理モジュール）においては、高い効果を得ることができる。

#### 【0056】

<適用例>

次に、画像処理モジュールA50を実際の画像処理に適用した場合の動作例について説明する。以下の説明においては、画像処理モジュールA50が、出力部53に備えたフィルタ処理部531によって歪補正処理を行う場合の例について説明する。図4は、本実施形態の画像処理モジュールA50において行う歪補正処理を説明する図である。

#### 【0057】

一般的に歪補正処理においては、歪補正前の入力データが入力されてから、歪補正処理後の出力データが出力されるまでの入出力の遅延時間が長い。これは、歪補正処理においては、1つの補正後の出力データを得るために、複数の入力データが処理に用いられるからである。例えば、図4(a)に示すように、歪補正後の1つのラインXの出力データを得るためには、範囲Y分の入力データが必要である。このため、範囲Y分の入力データが処理モジュールに入力されるまで、補正後のラインXの出力データを出力することができない。このことにより、パイプライン処理における歪補正処理に起因するロス時間が長くなるってしまう。

#### 【0058】

画像処理モジュールA50による歪補正処理においては、図4(b)に示すように、1フレームの静止画像のデータを複数のブロックに分割する。そして、分割したブロックに含まれるブロック画像データ毎に歪補正処理を行う。画像処理モジュールA50においては、上記に述べたように、前のブロック画像データに対応した画像処理データの出力処理、すなわち、歪補正処理を実行している最中に、次のブロック画像データの入力処理を行うことができる。より具体的には、最初のブロック1のブロック画像データに対して歪補正処理を行っている最中に、ブロック2のブロック画像データの入力を開始することができる。このため、画像処理モジュールA50では、ブロック1の歪補正処理における入出力の遅延時間以外の遅延時間を短縮することができ、パイプライン処理のロス時間を低減することができる。

#### 【0059】

<歪補正処理の方法例>

ここで、画像処理モジュールA50による歪補正処理の動作の説明に先立って、画像処理モジュールA50における歪補正処理の処理方法および各構成要素の構成について説明する。まず、画像処理モジュールA50における歪補正処理の方法について説明する。図5は、本実施形態の画像処理モジュールA50における歪補正処理方法の一例を説明する図である。歪補正処理に画像処理モジュールA50を適用した場合の本適用例においては、画像処理モジュールA50内のフィルタ処理部531は、図5(a)に示したような、

10

20

30

40

50

1 フレームの静止画像のデータを水平方向に複数のブロック（以下、「ブロックライン」という）に分割したブロック画像データ毎に歪補正処理を行う。そして、フィルタ処理部 531 は、静止画像の上（ブロックライン 1）から順次歪補正処理を行うものとする。

【0060】

より具体的には、フィルタ処理部 531 は、まず、図 5（b）に示すように、ブロックライン 1 の歪補正処理を行う。そして、ブロックライン 1 の歪補正処理が終了した後に、図 5（c）および図 5（d）に示すように、ブロックライン 2、続いてブロックライン 3 というように、順次、歪補正処理を行っていく。

【0061】

なお、フィルタ処理部 531 が歪補正処理を行う際に静止画像のデータを分割する方法は、図 5 に示した水平方向のみの分割に限定されるのではなく、例えば、図 4（a）に示したように、水平方向に加えて垂直方向にも分割し、分割したそれぞれのブロック毎に歪補正処理を行う構成とすることもできる。

【0062】

<データバッファの構成例>

続いて、本適用例におけるデータバッファ 52 の構成について説明する。図 6 および図 7 は、本実施形態の画像処理モジュール A 50 に備えたデータバッファ 52 の構成例および動作例を説明する図である。本適用例の画像処理モジュール A 50 に備えたデータバッファ 52 は、図 6（a）に示したように、ブロックラインの垂直方向の幅を 1 ラインとし、ブロックラインの水平方向に 16 ライン分の記憶領域（領域 1～領域 16）で構成されているものとする。

【0063】

そして、上記に述べたように、ブロックライン 1 ブロックライン 2 ブロックライン 3 というように、順次、歪補正処理を行っていく（図 6（b）参照）。このとき、画像処理モジュール A 50 には、入力 DMA モジュール 40 から、図 6（c）に示したような順番でブロック画像データが入力される。より具体的には、最初に、ブロックライン 1 の 1 ライン目のブロック画像データが入力され、続いて、ブロックライン 1 の 2 ライン目のブロック画像データが入力される。その後、ブロックライン 1 の 20 ライン目のブロック画像データが入力されると、続いて、ブロックライン 2 の 1 ライン目のブロック画像データが入力される。以降、同様に、ブロックライン 2 の 2 ライン目のブロック画像データ・・・ブロックライン 2 の 20 ライン目のブロック画像データ、ブロックライン 3 の 1 ライン目のブロック画像データ・・・ブロックライン 3 の 20 ライン目のブロック画像データというように、入力 DMA モジュール 40 から順次ブロック画像データが入力される。

【0064】

なお、以下の説明においては、画像処理モジュール A 50 に入力されるブロック画像データに対して、ブロックライン、およびブロックライン内のライン数を区別するための符号を付与して説明する。例えば、ブロックライン 1 の 1 ライン目のブロック画像データは、「ブロック画像データ I B L 1 - 1」という。また、例えば、ブロックライン 3 の 20 ライン目のブロック画像データは、「ブロック画像データ I B L 3 - 20」という。また、フィルタ処理部 531 によって歪み補正処理がされた後に、画像処理モジュール A 50 から出力される歪補正処理後の画像処理データに対しても、同様に、ブロックライン、およびブロックライン内のライン数を区別するための符号を付与して説明する。例えば、歪補正処理後の画像処理データにおいて、ブロックライン 1 の 1 ライン目の画像処理データは、「画像処理データ O B L 1 - 1」という。また、例えば、ブロックライン 3 の 16 ライン目の画像処理データは、「画像処理データ O B L 3 - 16」という。

【0065】

図 7 は、入力 DMA モジュール 40 から本適用例の画像処理モジュール A 50 に 20 ラインのブロック画像データが入力され、本適用例の画像処理モジュール A 50 から画像処理モジュール B 60 に 16 ラインの歪補正処理後の画像処理データが出力される場合のパイプライン処理のタイミングを示している。

10

20

30

40

50

## 【 0 0 6 6 】

<データバッファへのデータ書き込みの例>

続いて、本適用例においてブロック画像データをデータバッファ52に書き込む動作について説明する。図8は、本実施形態の画像処理モジュールA50に備えたデータバッファ52にブロック画像データを書き込む動作例を説明する図である。

## 【 0 0 6 7 】

本適用例の画像処理モジュールA50内に備えたデータバッファ52の構成は、図6(a)に示したように、16ライン分の記憶領域で構成されている。すなわち、データバッファ52の記憶領域は、領域1～領域16のみである。このため、画像処理モジュールA50では、データバッファ52が、領域1と領域16とを仮想的にリング状につながれたリングバッファの形式であるものとして、入力部51が、入力DMAモジュール40から入力されたブロック画像データの書き込みを制御する。ブロック画像データを書き込むデータバッファ52の領域は、データバッファ領域決定部55によって決定される。

10

## 【 0 0 6 8 】

図8では、ブロックライン1 ブロックライン2 ブロックライン3というように、順次、ブロック画像データをデータバッファ52に書き込む場合において、各ブロックラインが20ラインであったときに、それぞれのブロック画像データが記憶されるデータバッファ52の記憶領域を示している。なお、図8においては、説明を容易にするため、データバッファ52の記憶領域(領域1～領域16)の状態を、時系列に4回並べて表している。

20

## 【 0 0 6 9 】

より具体的には、画像処理装置1におけるパイプライン処理が開始されると、データバッファ領域決定部55は、データバッファ52の領域1～領域16を、ブロック画像データIBL1-1～ブロック画像データIBL1-16を書き込む記憶領域として決定する(図8(a)参照)。また、データバッファ領域決定部55は、領域1～領域16に記憶しているブロック画像データIBL1-1～ブロック画像データIBL1-16が、フィルタ処理部531による歪補正処理に使用され、調停部54によって空き領域であると判断される毎に、空き領域であると判断されたデータバッファ52の領域1～領域16を、順次、次のブロック画像データを書き込む記憶領域として決定する(図8(b)～図8(d)参照)。

30

## 【 0 0 7 0 】

図8(b)においては、データバッファ52の領域1～領域4が、ブロック画像データIBL1-17～ブロック画像データIBL1-20を書き込む記憶領域として決定され、データバッファ52の領域5～領域16が、ブロック画像データIBL2-1～ブロック画像データIBL1-12を書き込む記憶領域として決定された場合を表している。なお、入力部51は、データバッファ52の領域4へのブロック画像データIBL1-20の書き込みが完了したときに、入力完了割込み信号を、シーケンサ30に出力する。

## 【 0 0 7 1 】

また、図8(c)においては、データバッファ52の領域1～領域8が、ブロック画像データIBL2-13～ブロック画像データIBL2-20を書き込む記憶領域として決定され、データバッファ52の領域9～領域16が、ブロック画像データIBL3-1～ブロック画像データIBL1-8を書き込む記憶領域として決定された場合を表している。なお、入力部51は、データバッファ52の領域8へのブロック画像データIBL2-20の書き込みが完了したときに、入力完了割込み信号を、シーケンサ30に出力する。

40

## 【 0 0 7 2 】

また、図8(d)においては、データバッファ52の領域1～領域12が、ブロック画像データIBL3-9～ブロック画像データIBL3-20を書き込む記憶領域として決定された場合を表している。なお、入力部51は、データバッファ52の領域12へのブロック画像データIBL3-20の書き込みが完了したときに、入力完了割込み信号を、シーケンサ30に出力する。

50

## 【 0 0 7 3 】

< データバッファからのデータ読み出しの例 >

続いて、本適用例においてデータバッファ52に記憶されているブロック画像データを読み出す動作について説明する。図9は、本実施形態の画像処理モジュールA50に備えたデータバッファ52からブロック画像データを読み出す動作例を説明する図である。

## 【 0 0 7 4 】

データバッファ52に記憶されているブロック画像データを読み出す際には、出力部53が、フィルタ処理部531による歪補正処理を行うために必要なブロック画像データがデータバッファ52内に記憶されているか否かを判断し、必要なブロック画像データが記憶されていると判断された場合に、データバッファ52の読み出しを行う。歪補正処理を行うために必要なブロック画像データがデータバッファ52内に記憶されているか否かの判断は、調停部54から出力される有効データ量情報に基づいて行われる。

10

## 【 0 0 7 5 】

図9では、データバッファ52のそれぞれの記憶領域に記憶されている20ラインのブロック画像データを用いて歪み補正処理を行い、16ラインの画像処理データを出力する場合を示している。なお、図9においては、歪補正処理に関係するデータバッファ52の領域のみにブロック画像データの符号を示している。

## 【 0 0 7 6 】

ここで、図9を参照して、データバッファ52に記憶されているブロック画像データを読み出して、歪補正処理後の画像処理データを生成する場合の動作例について説明する。まず、図9(a)を参照して、画像処理データOBL1-1を出力するために、ブロック画像データIBL1-1~ブロック画像データIBL1-4が必要である場合について説明する。出力部53は、調停部54から出力される有効データ量情報が、データバッファ52の領域1~領域4に記憶されているブロック画像データが有効なデータであるか否かを判断する。そして、データバッファ52の領域1~領域4に記憶されているブロック画像データが有効なデータである場合、出力部53は、データバッファ52の領域1~領域4に記憶されているブロック画像データを読み出し、フィルタ処理部531による歪補正処理後の画像処理データOBL1-1を出力する。

20

## 【 0 0 7 7 】

また、出力部53は、次の画像処理データOBL1-2を出力するために必要としないデータバッファ52の記憶領域に対応するリード完了通知を、調停部54に出力する。調停部54は、リード完了通知が入力されたデータバッファ52の記憶領域を、空き領域とする。図9(a)においては、画像処理データOBL1-1を出力するために必要であったが、画像処理データOBL1-2を出力するためには必要でないブロック画像データIBL1-1を記憶しているデータバッファ52の領域1に対応するリード完了通知を出力し、領域1を空き領域とする場合を示している。この空き領域となったデータバッファ52の記憶領域には、入力部51によって、順次、次に入力されたブロック画像データが書き込まれる。

30

## 【 0 0 7 8 】

以降、出力部53は、画像処理データOBL1-2~画像処理データOBL1-16を出力するために必要なデータバッファ52の記憶領域を、調停部54から出力される有効データ量情報に基づいて順次判断し、フィルタ処理部531による歪補正処理後の画像処理データOBL1-2~画像処理データOBL1-16を順次出力する。また、出力部53は、画像処理データを出力した後に、次の画像処理データを出力するために必要としないデータバッファ52の記憶領域に対応するリード完了通知を、調停部54に順次出力する。そして、調停部54は、入力されたリード完了通知に基づいて、データバッファ52の記憶領域を、順次空き領域とし、空き領域となったデータバッファ52の記憶領域には、入力部51によって、順次、次に入力されたブロック画像データが書き込まれる。

40

## 【 0 0 7 9 】

図9(b)においては、画像処理データOBL1-2を出力するために、ブロック画像

50



データIBL1-2～ブロック画像データIBL1-5が必要である場合を示している。図9(c)においては、画像処理データOBL1-16を出力するために、ブロック画像データIBL1-16～ブロック画像データIBL1-20が必要である場合を示している。図9(c)においてブロックライン1における画像処理データOBL1-16の出力が完了する。これにより、ブロック画像データIBL1-16～ブロック画像データIBL1-20は、次のブロックライン2に対応した画像処理データOBL1-1を出力するために必要ではないため、出力部53は、データバッファ52の領域1～領域4および領域16に対応するリード完了通知を、調停部54に出力する。なお、出力部53は、次の画像処理モジュールB60への画像処理データOBL1-16の出力が完了したときに、出力完了割込み信号を、シーケンサ30に出力する。

10

#### 【0080】

そして、出力部53は、画像処理データOBL2-1を出力するために必要なブロック画像データIBL2-1～ブロック画像データIBL2-5が、データバッファ52の領域5～領域9に記憶されているか否かを、調停部54から出力される有効データ量情報に基づいて判断する。そして、データバッファ52の領域5～領域9に記憶されているブロック画像データが有効なデータである場合、出力部53は、データバッファ52の領域5～領域9に記憶されているブロック画像データを読み出し、フィルタ処理部531による歪補正処理後の画像処理データOBL2-1を出力する(図9(d)参照)。

#### 【0081】

以降、出力部53は、画像処理データを出力するために必要なデータバッファ52の記憶領域を、調停部54から出力される有効データ量情報に基づいて順次判断し、データバッファ52の記憶領域に記憶されているブロック画像データが有効なデータである場合に、ブロック画像データの読み出しと、画像処理データの出力とを順次行う。また、出力部53は、画像処理データを出力した後に、次の画像処理データを出力するために必要としないデータバッファ52の記憶領域に対応するリード完了通知を、調停部54に順次出力して、データバッファ52の記憶領域を順次空き領域とする。

20

#### 【0082】

##### <動作例>

続いて、本適用例の画像処理モジュールA50における歪み補正処理の動作について説明する。図10および図11は、本実施形態の画像処理モジュールA50におけるパイプライン処理のタイミングおよび制御内容の一例を説明する図である。図10および図11においては、説明を容易にするため、図4～図9を用いて説明した本適用例の画像処理モジュールA50の構成を簡略化した場合の例を示している。図10および図11の説明を行うための変更点は以下である。まず、1フレームの静止画像のデータを、2つのブロックラインに分割する。また、データバッファ52は8ライン分の記憶領域(領域1～領域8)とする。また、入力部51には、12ラインのブロック画像データが入力され、出力部53からは、11ラインの画像処理データが出力されるものとする。なお、ブロック画像データおよび画像処理データには、ブロックライン、およびブロックライン内のライン数を区別するための符号を、上記と同様に付与して説明する。なお、画像処理モジュールA50のパイプライン処理のタイミングに関しては図10を参照し、このときのシーケンサ30による画像処理モジュールA50の制御内容に関しては図11を参照して説明を行う。

30

40

#### 【0083】

画像処理装置1がDRAM20に記憶された1フレームの静止画像のデータの画像処理を開始すると、まず、シーケンサ30は、処理100を行う。処理100においては、図3で説明した処理100と同様に、シーケンサ30が、パイプラインを構成する全ての処

50

理モジュールに対するパラメータや入出力データ数などのレジスタ設定を行い、全ての処理モジュールの動作状態の初期化（リセット）を行う。これにより、画像処理モジュール A 5 0 は、歪み補正処理を開始することができる状態となり、調停部 5 4 が出力するバッファ空き量情報は、データバッファ 5 2 の記憶領域が全て空き領域であることを表す情報に初期化され、有効データ量情報は、データバッファ 5 2 の全ての記憶領域に有効なデータが記憶されていないことを表す情報に初期化される。また、データバッファ領域決定部 5 5 が出力するライト領域情報に含まれるライト先頭バッファ領域と、リード領域情報に含まれるリード先頭バッファ領域とは、データバッファ 5 2 の領域 1 となる。また、入力部 5 1 は、入力 DMA モジュール 4 0 に対してブロック画像データのデータ要求信号を出力する。なお、以下の説明においては、調停部 5 4 とデータバッファ領域決定部 5 5 とを合わせて、「共通部」ともいう。

10

**【 0 0 8 4 】**

そして、シーケンサ 3 0 は、入力 DMA モジュール 4 0 および出力 DMA モジュール 7 0 に対する DMA 開始トリガ信号を出力する。これにより、入力 DMA モジュール 4 0 は、DMA によって、DRAM 2 0 からのブロック画像データ I B L 1 - 1 を読み出し、読み出したブロック画像データ I B L 1 - 1 を、画像処理モジュール A 5 0 に出力する（タイミング t 1）。入力 DMA モジュール 4 0 からブロック画像データ I B L 1 - 1 が入力されると、入力部 5 1 は、入力されたブロック画像データ I B L 1 - 1 をデータバッファ 5 2 の領域 1 に書き込む。また、入力部 5 1 は、ブロック画像データ I B L 1 - 1 のデータバッファ 5 2 の領域 1 への書き込みが完了すると、ライト完了通知を調停部 5 4 に出力する。調停部 5 4 は、入力部 5 1 からライト完了通知が入力されると、領域 1 の状態を表すステータスを、「データあり」の状態に変更する（タイミング t 2）。

20

**【 0 0 8 5 】**

以降、入力 DMA モジュール 4 0 からブロック画像データが入力される毎に、入力部 5 1 は、入力されたブロック画像データをデータバッファ 5 2 の対応する記憶領域に書き込み、対応するライト完了通知を調停部 5 4 に出力する。そして、調停部 5 4 は、ライト完了通知が入力されたデータバッファ 5 2 に対応する領域のステータスを、「データあり」の状態に変更していく。

**【 0 0 8 6 】**

その後、調停部 5 4 は、歪補正処理後の画像処理データを生成するために必要なブロック画像データがデータバッファ 5 2 内に記憶されたときに、有効データ量情報をデータバッファ 5 2 内の記憶領域に有効なデータが記憶されていることを表す状態に変更する。図 1 0 では、画像処理データ O B L 1 - 1 を出力するために、ブロック画像データ I B L 1 - 1 ~ ブロック画像データ I B L 1 - 3 が必要であり、ブロック画像データ I B L 1 - 3 が、データバッファ 5 2 の領域 3 に書き込まれたときに有効データ量情報を変更する場合を示している。出力部 5 3 は、調停部 5 4 からの有効データ量情報が入力されると、データバッファ 5 2 の領域 1 ~ 領域 3 から、ブロック画像データ I B L 1 - 1 からブロック画像データ I B L 1 - 3 を読み出し、フィルタ処理部 5 3 1 によって歪み補正処理を行って、画像処理データ O B L 1 - 1 を出力する（タイミング t 3）。

30

**【 0 0 8 7 】**

また、出力部 5 3 は、画像処理データ O B L 1 - 1 を出力すると、次の画像処理データ O B L 1 - 2 を出力するためには必要でないブロック画像データ I B L 1 - 1 を記憶しているデータバッファ 5 2 の領域 1 に対応するリード完了通知を調停部 5 4 に出力する。調停部 5 4 は、出力部 5 3 からリード完了通知が入力されると、ブロック画像データ I B L 1 - 1 を記憶していたデータバッファ 5 2 の領域 1 のステータスを、「データなし」の状態、すなわち、空き領域の状態に変更する（タイミング t 4）。

40

**【 0 0 8 8 】**

以降、出力部 5 3 は、調停部 5 4 から入力される有効データ量情報に基づいて、データバッファ 5 2 の対応する記憶領域からブロック画像データを読み出し、フィルタ処理部 5 3 1 によって歪み補正処理を行った画像処理データを出力する。

50

## 【0089】

その後、図10のタイミングt5～タイミングt6の間は、画像処理データOBL1-3を出力するために必要なブロック画像データIBL1-3～ブロック画像データIBL1-6がデータバッファ52の対応する記憶領域に書き込まれていないため、有効データ量情報が有効なデータが記憶されていないことを表す状態となっており、出力部53の処理が待たされている状態を示している。出力部53は、ブロック画像データIBL1-3～ブロック画像データIBL1-6がデータバッファ52に書き込まれた後に、ブロック画像データIBL1-3～ブロック画像データIBL1-6のデータバッファ52からの読み出しを再開し、フィルタ処理部531によって歪み補正処理を行った画像処理データOBL1-3を出力する。

10

## 【0090】

また、図10のタイミングt7は、データバッファ52の領域8に書き込むブロック画像データIBL1-8が入力DMAモジュール40から入力された後、ブロック画像データIBL1-9が入力されたタイミングである。このとき、調停部54におけるデータバッファ52の領域1のステータスは、「データなし」の状態であるため、入力部51は、引き続きブロック画像データIBL1-9をデータバッファ52の領域1に書き込む。

## 【0091】

その後、入力部51は、ブロックライン1の最後のブロック画像データIBL1-12を、データバッファ52の領域4への書き込みが完了すると、ライト完了通知を調停部54に出力するとともに、入力完了割込み信号をシーケンサ30に出力する(タイミングt8)。

20

## 【0092】

シーケンサ30は、画像処理モジュールA50から入力完了割込み信号が入力されると、処理200を行う。処理200においては、図3で説明した処理200と同様に、シーケンサ30が、画像処理モジュールA50の入力部51に対して、入力DMAモジュール40から入力されるブロックライン2のブロック画像データの入力データ数の設定を行い、入力部51側の動作の状態のリセットを行うための入力部リセット信号を出力する(タイミングt9)。これにより、画像処理モジュールA50は、ブロックライン2のブロック画像データの入力を開始することができる状態となり、入力部51は、入力DMAモジュール40に対してブロックライン2のブロック画像データのデータ要求信号を出力する。なお、共通部(調停部54およびデータバッファ領域決定部55)は、リセットされないため、入力部51は、入力DMAモジュール40から入力されたブロックライン2のブロック画像データをデータバッファ52の領域5から順次書き込みを行う。このとき、データバッファ領域決定部55が出力するライト領域情報に含まれるライト先頭バッファ領域は、データバッファ52の領域5となる。

30

## 【0093】

その後、図10のタイミングt10～タイミングt11の間は、画像処理データOBL1-11を出力するために、出力部53がデータバッファ52の領域8に記憶されているブロック画像データIBL1-8が使用されている、すなわち、出力部53によるブロック画像データIBL1-8の読み出しが完了していないため、入力部51によるデータバッファ52の領域8へのブロック画像データIBL2-4の書き込みが待たされている状態を示している。そして、出力部53は、画像処理データOBL1-11の出力が完了すると、リード完了通知を調停部54に出力するとともに、出力完了割込み信号をシーケンサ30に出力する(タイミングt11)。入力部51は、出力部53によるブロック画像データIBL1-8の読み出しが完了した後に、データバッファ52の領域8へのブロック画像データIBL2-4の書き込みを再開する。

40

## 【0094】

シーケンサ30は、画像処理モジュールA50から出力完了割込み信号が入力されると、処理300を行う。処理300においては、図3で説明した処理300と同様に、シーケンサ30が、画像処理モジュールA50の出力部53に対して、ブロックライン2のブ

50

ロック画像データに対して歪み補正処理を行うために必要なパラメータや、画像処理データの出力データ数の設定を行い、出力部53側の動作の状態のリセットを行うための出力部リセット信号を出力する(タイミングt12)。これにより、画像処理モジュールA50は、ブロックライン2のブロック画像データに対する歪み補正処理を開始できる状態となり、出力部53は、データバッファ52に記憶しているブロックライン2のブロック画像データの読み出しと、画像処理データの出力とを開始する。なお、共通部(調停部54およびデータバッファ領域決定部55)は、リセットされないため、出力部53は、データバッファ52の領域5からブロックライン2のブロック画像データの読み出しを順次行う。このとき、データバッファ領域決定部55が出力するリード領域情報に含まれるリード先頭バッファ領域は、データバッファ52の領域5となる。

10

## 【0095】

その後、入力部51は、ブロックライン2の最後のブロック画像データIBL2-12を、データバッファ52の領域8への書き込みが完了すると、ライト完了通知を調停部54に出力するとともに、入力完了割込み信号をシーケンサ30に出力する(タイミングt13)。なお、タイミングt13においてシーケンサ30に入力完了割込み信号が入力されるが、シーケンサ30は、画像処理モジュールA50に対して何も行わない。これは、タイミングt13において入力された入力完了割込み信号は、全てのブロックラインのブロック画像データが画像処理モジュールA50に入力されたことを表しているのみであり、画像処理モジュールA50に次のブロックラインに対する設定をする必要がないからである。

20

## 【0096】

その後、出力部53は、画像処理データOBL2-11の出力が完了すると、リード完了通知を調停部54に出力するとともに、出力完了割込み信号をシーケンサ30に出力する(タイミングt14)。

## 【0097】

シーケンサ30は、画像処理モジュールA50から出力完了割込み信号が入力されると、処理600を行う。処理600においてシーケンサ30は、画像処理モジュールA50の全体をリセットし、画像処理モジュールA50における処理を完了する。より具体的には、シーケンサは、共通リセット信号、入力部リセット信号、および出力部リセット信号を画像処理モジュールA50に出力して、画像処理モジュールA50の処理を完了する。

30

## 【0098】

上記に述べたように、本適用例の画像処理モジュールA50では、入力DMAモジュール40からのブロック画像データの入力処理が完了したときの入力完了割込み信号と、歪み補正処理を行った画像処理データの出力処理が完了したときの出力完了割込み信号とを、それぞれシーケンサ30に出力することができる。また、データバッファ52の使用状態に応じて、ブロック画像データのデータバッファ52への書き込み制御、およびデータバッファ52からのブロック画像データの読み出し制御を調停することができる。

## 【0099】

このようにして、本適用例の画像処理モジュールA50では、前の画像処理データの出力処理を実行している最中に、次のブロック画像データの入力処理を開始することができる。図12は、従来の処理モジュールにおけるパイプライン処理と、本実施形態の処理モジュールにおけるパイプライン処理とを比較した図である。なお、図12(a)は、従来の処理モジュールにおけるパイプライン処理を示し、図12(b)は、本実施形態の処理モジュールにおけるパイプライン処理を示している。従来の処理モジュールでは、図12(a)に示したように、前に入力されたデータに対応した出力が完了してから次に入力されたデータに対応した出力が開始されるまでの時間が、ロス時間となっている。これに対して、本適用例の画像処理モジュールA50(本実施形態の処理モジュール)では、図12(b)に示したように、画像処理モジュールA50における入出力の遅延時間は変わらないが、画像処理データの出力処理が完了する前に、次のブロック画像データの入力処理を開始することができるため、前の画像処理データの出力処理の完了から次の画像処理デ

40

50

ータの出力処理の開始までのロス時間を、従来の処理モジュールよりも低減することができる。これにより、特に、ブロック画像データが入力されてから画像処理データが出力されるまでの入出力の遅延時間が長い処理モジュールにおいて、パイプライン処理の効率を向上させることができる。

#### 【0100】

<データバッファのバッファサイズ決定方法の例>

なお、図10に示したパイプライン処理のタイミングにおいては、出力部53の処理が待たされている期間(タイミングt5~タイミングt6)、および入力部51によるデータバッファ52へのブロック画像データの書き込みが待たされている期間(タイミングt10~タイミングt11)が存在している。このように、処理が待たされる時間も処理モジュールの入出力の遅延時間に影響し、パイプライン処理におけるロス時間となってしまう。このような処理モジュール内の処理が待たされることによるロス時間は、データバッファ52のバッファサイズを最適化することによって、低減することもできる。

10

#### 【0101】

ここで、本適用例におけるデータバッファ52のバッファサイズを決定する方法について説明する。図13は、本実施形態の画像処理モジュールA50に備えるデータバッファ52の記憶領域の数(バッファサイズ)を決定する方法を説明する図である。本適用例の画像処理モジュールA50においては、歪量が最も大きいブロックラインの最後のラインの画像処理データを出力するために必要なブロック画像データの数と、その次のブロックラインの最初のラインの画像処理データを出力するために必要なブロック画像データの数とに基づいて決定することができる。

20

#### 【0102】

例えば、ブロックライン1の最後のラインの画像処理データ(例えば、図9(c)に示した画像処理データOBL1-16)を出力するために必要なブロック画像データの数が図13に示した範囲(糊代)Mであり、次のブロックライン2の最初のラインの画像処理データ(例えば、図9(d)に示した画像処理データOBL2-1)を出力するために必要なブロック画像データの数が図13に示した範囲(糊代)Nであると仮定する。この場合において、出力部53側から考えると、画像処理データOBL1-16を出力した直後に画像処理データOBL2-1を出力することができれば、画像処理モジュールA50内の処理が待たされる時間、すなわちロス時間を最小にすることができる。すなわち、画像処理データOBL1-16の歪み補正処理を行っている間に、画像処理データOBL2-1を出力するために必要なブロック画像データがデータバッファ52に書き込まれていれば、ロス時間を最小にすることができる。これは、データバッファ52に、画像処理データOBL1-16を出力するために使用する範囲Mのブロック画像データと、画像処理データOBL2-1を出力するために使用する範囲Nのブロック画像データとが、画像処理データOBL1-16の歪み補正処理を行っている間、格納されている必要があることを表している。このため、範囲Mと範囲Nとを合計した数を、データバッファ52のバッファサイズに決定する。

30

#### 【0103】

このようにして、フィルタ処理部531によって行うフィルタ処理に必要なブロック画像データの数に応じてデータバッファ52のバッファサイズを決定することにより、最適な回路規模で、ロス時間を低減することができる。なお、本適用例では、歪み補正処理に必要なブロック画像データの数に基づいてバッファサイズを決定する方法を説明したが、バッファサイズの決定方法は、フィルタ処理部531が行うフィルタ処理の種類によって異なる。例えば、フィルタ処理部531によるフィルタ処理が、ローパスフィルタ処理であれば、フィルタのタップ数(フィルタサイズ)に応じた必要なデータ数に基づいてバッファサイズを決定する。

40

#### 【0104】

上記に述べたとおり、本発明を実施するための形態によれば、パイプラインを構成するそれぞれの処理モジュールの内、入出力の遅延時間に起因する時間的なロスが大きい処理

50

モジュールにおけるリセットの制御単位を、当該処理モジュールの入力側と出力側とで分離する。そして、処理モジュールの入力側または出力側の処理が完了する毎に、処理が完了したことを表す信号をそれぞれ出力するように構成する。より具体的には、例えば、画像処理モジュール A 5 0 においては、入力部 5 1 側と出力部 5 3 側とに分離し、入力完了割込み信号と出力完了割込み信号とを、それぞれ出力する。これにより、処理モジュールの入力側または出力側のいずれか一方の処理が完了したときに、他方の処理が完了していても、次の処理を開始させることができ、当該処理モジュールにおける入出力の遅延時間に起因するロス時間を短くすることができる。これにより、パイプライン処理におけるロス時間を低減することができる。

【 0 1 0 5 】

なお、本実施形態においては、歪み補正処理を行う画像処理モジュールに適用した場合について説明したが、適用することができる画像処理モジュールは、本発明を実施するための形態に限定されるものではない。例えば、ローパスフィルタ処理、ノイズ低減フィルタ処理、画像リサイズ処理など、大きなフィルタ処理を行う様々な画像処理モジュールに適用することができる。

【 0 1 0 6 】

また、本実施形態においては、入力 DMA モジュール 4 0、画像処理モジュール A 5 0、画像処理モジュール B 6 0、および出力 DMA モジュール 7 0 によってパイプラインを構成した場合の一例について説明したが、パイプラインを構成する処理モジュールは、本発明を実施するための形態に限定されるものではない。

【 0 1 0 7 】

なお、特許文献 1 には、ロス時間を短縮するために、2つのバッファを用いる方法も開示されている(図 1 7 ( a ) 参照)。2つのバッファを使用する場合には、図 1 7 ( b ) に示したように、一方のバッファ(例えば、バッファ A ) に画像データを書き込んでいる ( W r i t e している ) ときには、他方のバッファ(例えば、バッファ B ) に書き込まれている画像データを読み出して ( R e a d して ) 出力するように、切り替え制御を行っている。しかしながら、フィルタ処理を行う処理モジュールにおいては、フィルタ処理を行うために大容量のバッファを使用することが考えられるため、1つの処理モジュール内に大容量のバッファを2つ備えると、処理モジュールの回路規模が大きくなってしまふ。本実施形態においては、バッファを仮想的にリング状につなげることによって、1つのバッファのみでフィルタ処理を行うことができる。このため、従来の2つのバッファを用いた処理モジュールよりも、小さい回路規模でフィルタ処理を行う処理モジュールを実現することができる。

【 0 1 0 8 】

以上、本発明の実施形態について、図面を参照して説明してきたが、具体的な構成はこの実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲においての種々の変更も含まれる。

【 符号の説明 】

【 0 1 0 9 】

- 1 . . . 画像処理装置
- 1 0 . . . D M A バス
- 2 0 . . . D R A M
- 3 0 . . . シーケンサ ( 画像処理装置 )
- 4 0 . . . 入力 D M A モジュール
- 5 0 . . . 画像処理モジュール A ( データ処理装置 )
- 5 1 . . . 入力部 ( データ書き込み制御部 )
- 5 2 . . . データバッファ ( バッファ部 )
- 5 3 . . . 出力部 ( データ読み出し制御部 )
- 5 3 1 . . . フィルタ処理部 ( データ読み出し制御部、フィルタ処理部 )
- 5 4 . . . 調停部 ( バッファ領域決定部 )

10

20

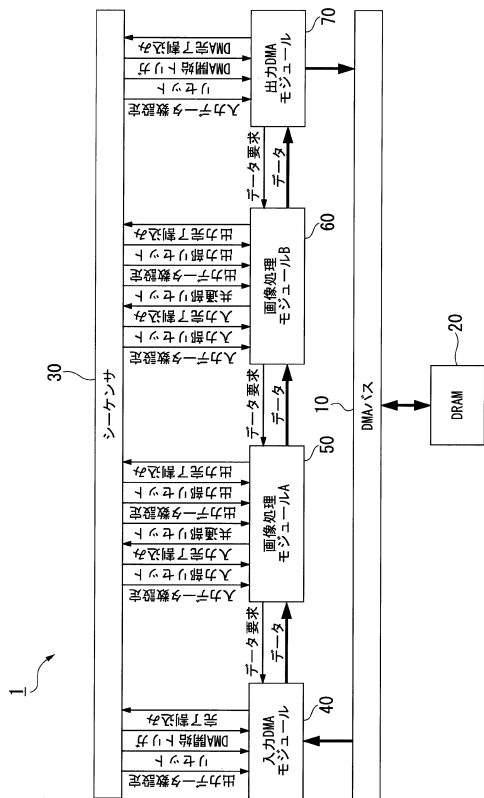
30

40

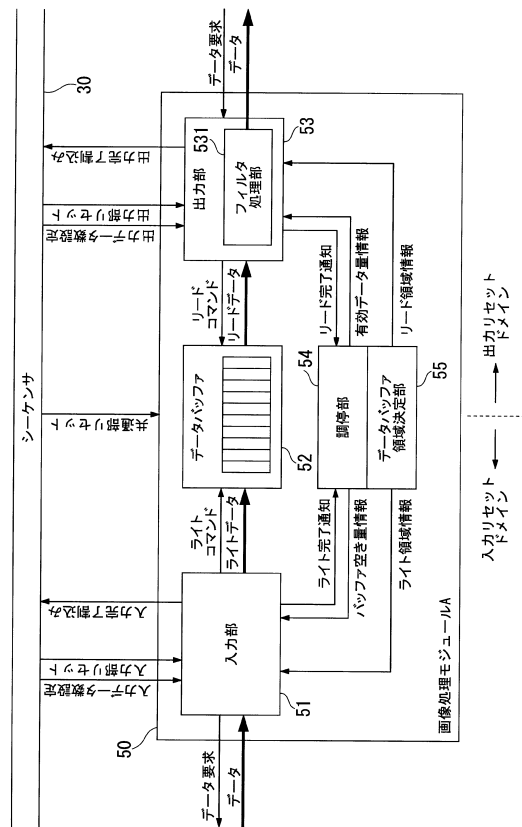
50

- 55・・・データバッファ領域決定部（バッファ領域決定部）
- 60・・・画像処理モジュールB（データ処理装置）
- 70・・・出力DMAモジュール

【図1】

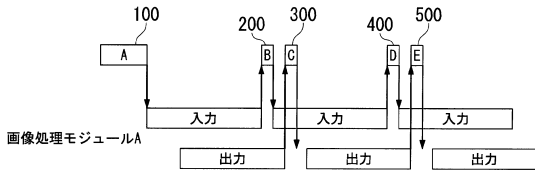


【図2】

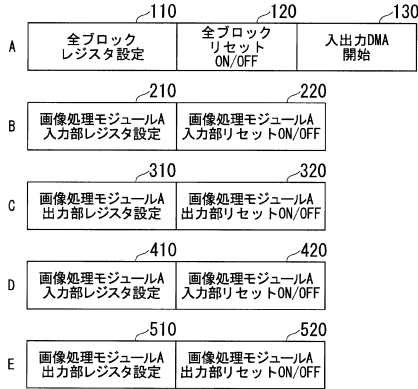


【図3】

(a)

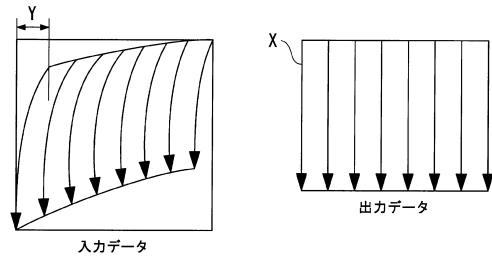


(b)

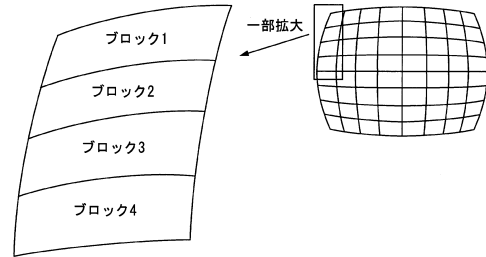


【図4】

(a)

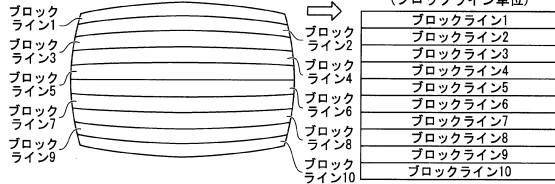


(b)

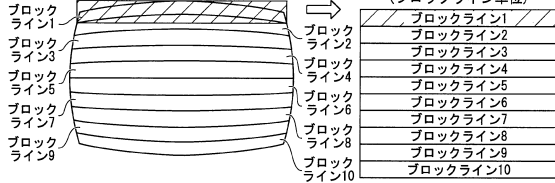


【図5】

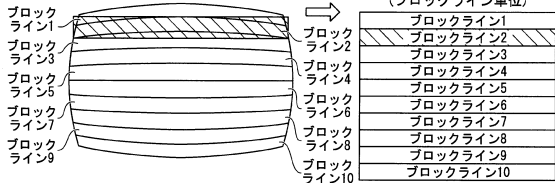
(a) 歪補正前のデータ (ブロックライン単位)



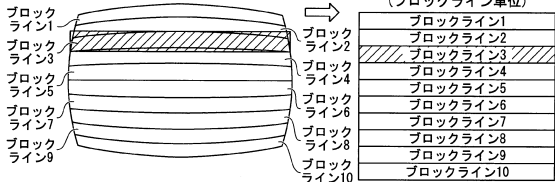
(b) 歪補正前のデータ (ブロックライン単位)



(c) 歪補正前のデータ (ブロックライン単位)

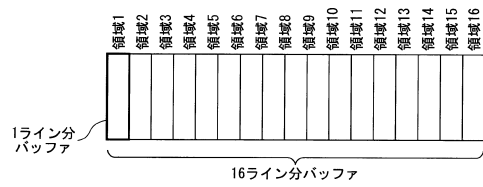


(d) 歪補正前のデータ (ブロックライン単位)

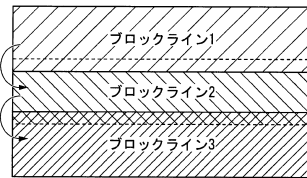


【図6】

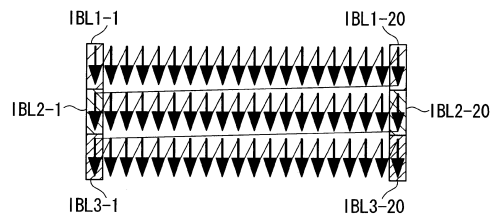
(a)



(b)

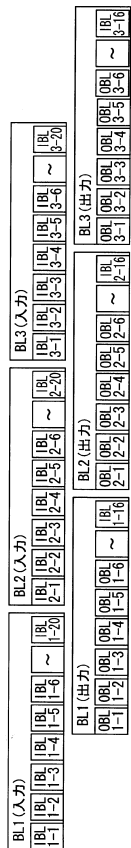


(c)

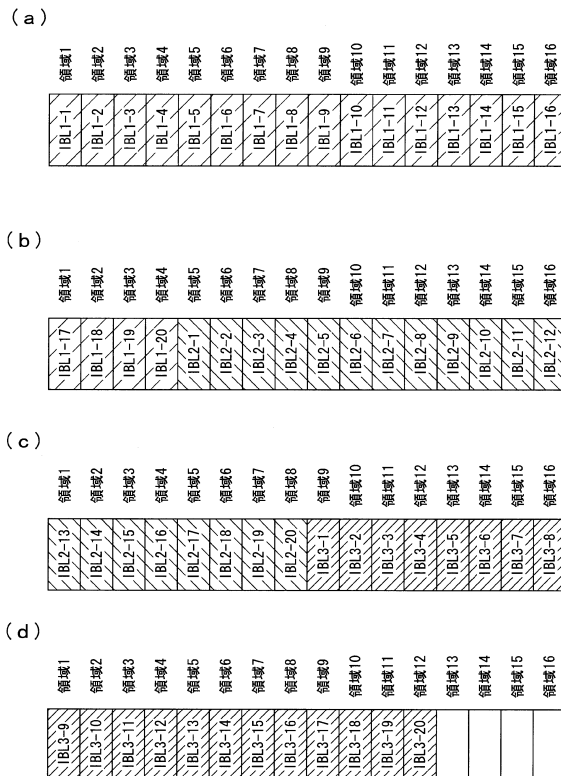




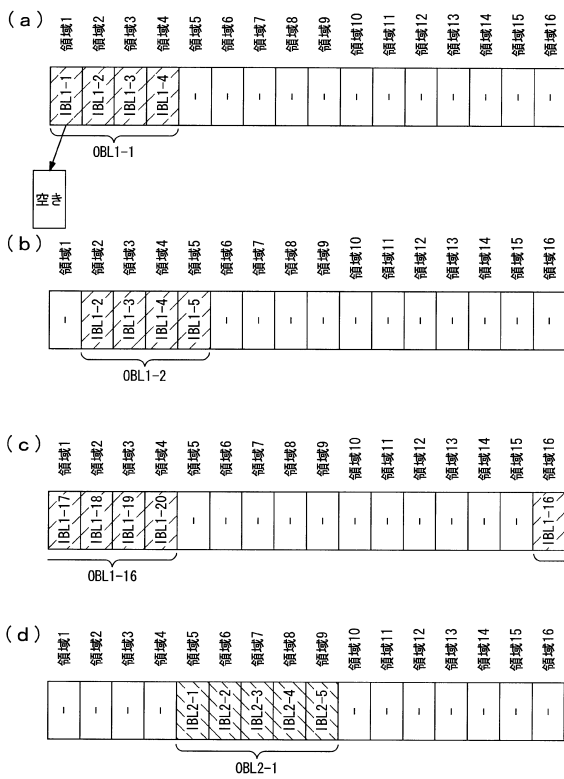
【図7】



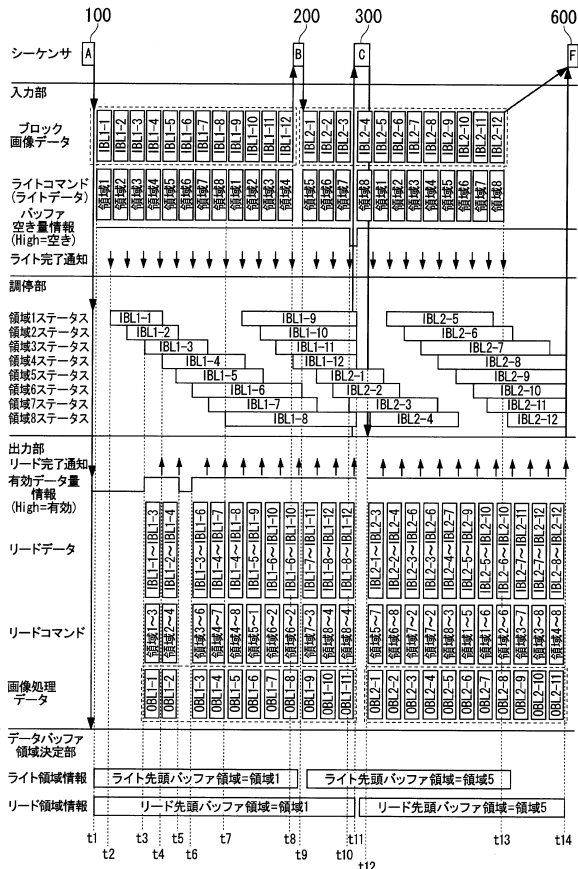
【図8】



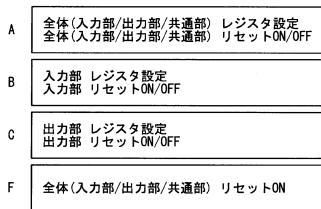
【図9】



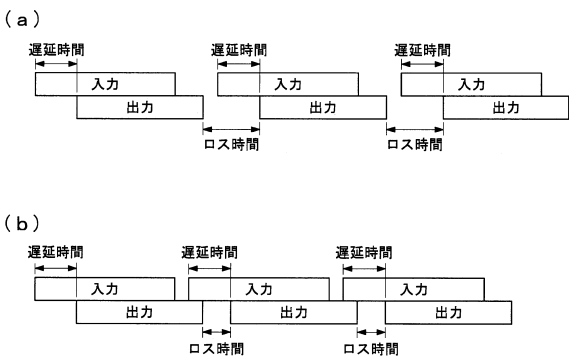
【図10】



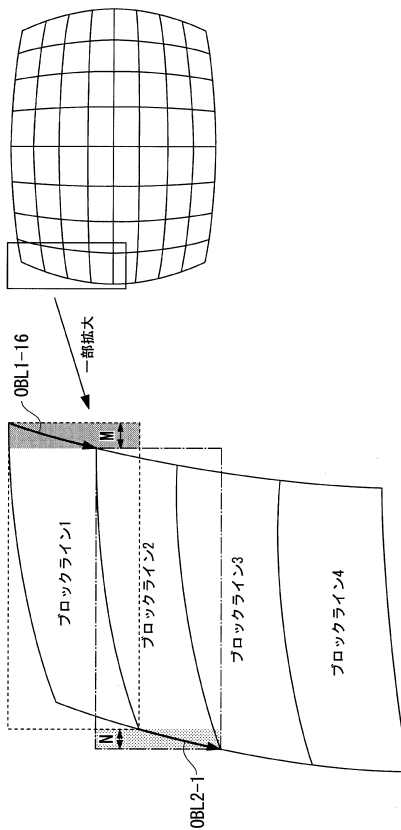
【図11】



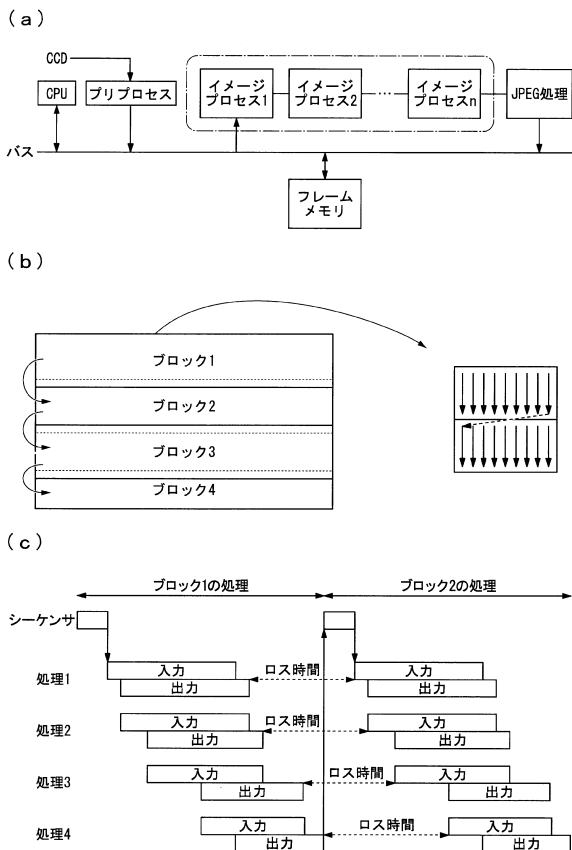
【図12】



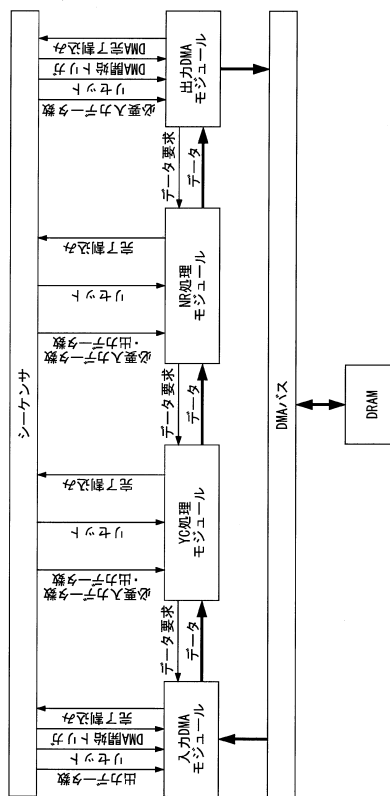
【図13】



【図14】

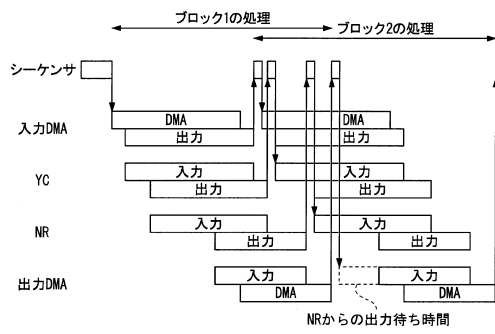


【図15】

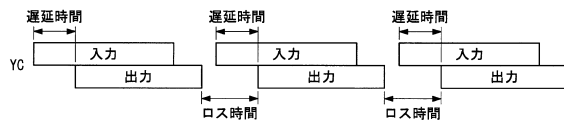


【図16】

(a)

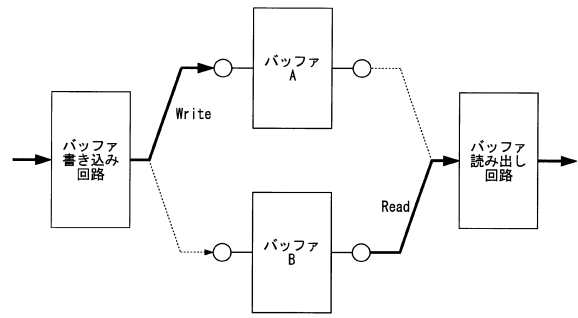


(b)

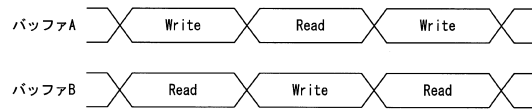


【図17】

(a)



(b)



---

フロントページの続き

- (72)発明者 田中 義信  
東京都渋谷区幡ヶ谷2丁目4番2号 オリンパス株式会社内
- (72)発明者 中園 啓介  
東京都渋谷区幡ヶ谷2丁目4番2号 オリンパス株式会社内
- (72)発明者 上野 晃  
東京都渋谷区幡ヶ谷2丁目4番2号 オリンパス株式会社内
- (72)発明者 古川 英明  
東京都渋谷区幡ヶ谷2丁目4番2号 オリンパス株式会社内

審査官 鹿野 博嗣

- (56)参考文献 特開2004-220432(JP,A)  
特開2001-157049(JP,A)  
米国特許出願公開第2006/0132874(US,A1)

- (58)調査した分野(Int.Cl., DB名)
- |      |      |
|------|------|
| G06T | 1/20 |
| H04N | 1/21 |