

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-533057

(P2004-533057A)

(43) 公表日 平成16年10月28日(2004.10.28)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G06F 12/16	G06F 12/16 320B	2C056
B41J 2/175	B41J 29/46 Z	2C061
B41J 29/46	G06F 3/12 B	5B018
G06F 3/12	B41J 3/04 102Z	5B021

審査請求 未請求 予備審査請求 有 (全 44 頁)

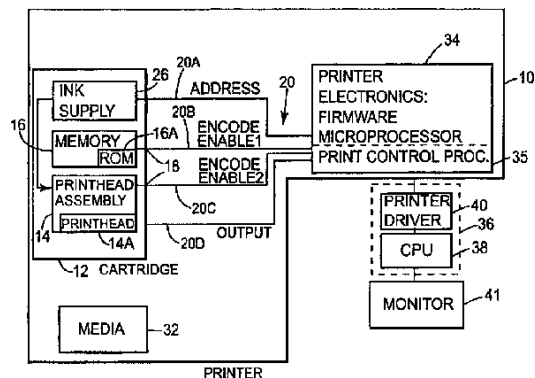
(21) 出願番号 特願2002-593150 (P2002-593150)
 (86) (22) 出願日 平成14年5月24日 (2002.5.24)
 (85) 翻訳文提出日 平成15年11月19日 (2003.11.19)
 (86) 国際出願番号 PCT/US2002/016507
 (87) 国際公開番号 W02002/096655
 (87) 国際公開日 平成14年12月5日 (2002.12.5)
 (31) 優先権主張番号 09/866,040
 (32) 優先日 平成13年5月25日 (2001.5.25)
 (33) 優先権主張国 米国 (US)

(71) 出願人 398038580
 ヒューレット・パッカード・カンパニー
 HEWLETT-PACKARD COMPANY
 アメリカ合衆国カリフォルニア州パロアルト
 ハノーバー・ストリート 3000
 (74) 代理人 100081721
 弁理士 岡田 次生
 (74) 代理人 100105393
 弁理士 伏見 直哉
 (74) 代理人 100111969
 弁理士 平野 ゆかり
 (72) 発明者 スキーン、ジョン・エム
 アメリカ合衆国07035オレゴン州レイク・オズウィゴー、デル・ブラド 19
 最終頁に続く

(54) 【発明の名称】 メモリから受信されたデータの誤りを検出する方法

(57) 【要約】

交換可能プリンタコンポーネント(12)のメモリ(16)から受信されたデータの誤りを検出するシステムおよび方法は、第1のデータ項目に関連付けられた第1のパリティビットを設けることを含む。これらの第1のデータ項目および第1のパリティビットは、メモリに記憶される。プリンタ(10)は複数の導電線を含む。メモリは複数のビットを含む。導電線の少なくとも1つは各ビットに関連付けられる。第1のデータ項目および第1のパリティビットが、メモリから読み出される。導電線の少なくとも1つの電気検査が実行される。メモリから読み出された第1のパリティビットおよび電気検査に基づいて、第1のデータ項目の誤りが特定される。



【特許請求の範囲】

【請求項 1】

プリンタの交換可能プリンタコンポーネントのメモリから受信されたデータの誤りを検出する方法であって、前記メモリは複数のビットを含み、前記プリンタは複数の導電線を含み、該導電線の少なくとも1つは各ビットに対応し、
第1のデータ項目に関連付けられた第1のパリティビットを設けることを含み、前記第1のデータ項目および前記第1のパリティビットは前記メモリに記憶され、
前記メモリから前記第1のデータ項目および前記第1のパリティビットを読み取ること、
前記導電線の少なくとも1つの電気検査を実行すること、
前記メモリから読み出された前記第1のパリティビットおよび前記電気検査に基づいて、
前記第1のデータ項目の誤りを特定すること、
を含む方法。 10

【請求項 2】

前記電気検査に基づいて前記導電線の少なくとも1つの電気短絡回路を特定することをさらに含み、前記第1のデータ項目の前記誤りは、前記メモリから読み出された前記第1のパリティビットおよび前記特定された電気短絡回路に基づいて特定される、請求項1に記載の方法。

【請求項 3】

前記電気検査に基づいて前記導電線の少なくとも1つの開回路を特定することをさらに含み、前記第1のデータ項目の前記誤りは、前記メモリから読み出された前記第1のパリティビットおよび前記特定された開回路に基づいて特定される、請求項1に記載の方法。 20

【請求項 4】

前記導電線は、前記メモリを前記プリンタのコントローラに接続するアドレス線である、請求項1に記載の方法。

【請求項 5】

前記メモリはROMである、請求項1に記載の方法。

【請求項 6】

前記交換可能プリンタコンポーネントが、前記プリンタでの使用に適しているかどうかを、前記第1のデータ項目に基づいて判断すること、をさらに含む請求項1に記載の方法。

【請求項 7】

前記プリンタに設置された前記交換可能プリンタコンポーネントのタイプを、前記第1のデータ項目に基づいて判断すること、をさらに含む請求項1に記載の方法。 30

【請求項 8】

前記プリンタに設置されたカートリッジのタイプを、前記第1のデータ項目に基づいて判断すること、をさらに含む請求項7に記載の方法。

【請求項 9】

第2のデータ項目に関連付けられた第2のパリティビットを設けることを含み、前記第2のデータ項目および前記第2のパリティビットは前記メモリに記憶され、
前記メモリから前記第2のデータ項目および前記第2のパリティビットを読み取ること、
前記第2のデータ項目に誤りが含まれるかどうかを、前記メモリから読み出された前記第2のパリティビットに基づいて判断すること、をさらに含む請求項1に記載の方法。 40

【請求項 10】

前記メモリはカートリッジに組み込まれる、請求項1に記載の方法。

【請求項 11】

前記メモリはプリントヘッドアセンブリに組み込まれる、請求項1に記載の方法。

【請求項 12】

前記メモリはインクサプライに組み込まれる、請求項1に記載の方法。

【請求項 13】

コントローラを有する印刷システムの交換可能プリンタコンポーネントであって、
第1のパリティビットおよび第1のデータ項目を記憶する情報記憶装置を含み、該第1の 50

パリティビットが該第 1 のデータ項目に関連付けられ、該第 1 のパリティビットが前記コントローラによって該情報記憶装置に接続された導電線の電気検査と共に使用されることにより、前記第 1 のデータ項目の誤りが特定される交換可能なプリンタコンポーネント。

【請求項 1 4】

前記導電線はアドレス線である、請求項 1 3 に記載の交換可能プリンタコンポーネント。

【請求項 1 5】

前記情報記憶装置は R O M である、請求項 1 3 に記載の交換可能プリンタコンポーネント。

【請求項 1 6】

前記情報記憶装置は、半導体ダイと、該半導体ダイ上に形成された複数の回路とを含み、該回路は、それぞれ前記情報記憶装置のビットの状態と関連付けられて該状態を求める、請求項 1 3 に記載の交換可能プリンタコンポーネント。 10

【請求項 1 7】

前記第 1 のデータ項目に関連付けられた前記回路は、前記半導体ダイのほぼ中心付近に配置される、請求項 1 6 に記載の交換可能プリンタコンポーネント。

【請求項 1 8】

前記第 1 のパリティビットに関連付けられた前記回路は、前記半導体ダイのほぼ中心付近に配置される、請求項 1 6 に記載の交換可能プリンタコンポーネント。

【請求項 1 9】

前記第 1 のデータ項目は、プリンタコンポーネントが、前記インクジェット印刷システムでの使用に適しているかどうかを前記コントローラに示す、請求項 1 3 に記載の交換可能プリンタコンポーネント。 20

【請求項 2 0】

前記交換可能プリンタコンポーネントはカートリッジを含む、請求項 1 3 に記載の交換可能プリンタコンポーネント。

【請求項 2 1】

前記交換可能プリンタコンポーネントはプリントヘッドアセンブリを含む、請求項 1 3 に記載の交換可能プリンタコンポーネント。

【請求項 2 2】

前記交換可能プリンタコンポーネントはインクサプライを含む、請求項 1 3 に記載の交換可能プリンタコンポーネント。 30

【請求項 2 3】

前記第 1 のデータ項目は、前記インクジェット印刷システムに設置されたプリンタコンポーネントのタイプを示す、請求項 1 3 に記載の交換可能プリンタコンポーネント。

【請求項 2 4】

前記第 1 のデータ項目は、カートリッジ、プリントヘッドアセンブリ、インクサプライ、のいずれか 1 つのプリンタコンポーネントのタイプを示す、請求項 2 3 に記載の交換可能プリンタコンポーネント。

【請求項 2 5】

前記情報記憶装置は、前記第 2 のデータ項目に関連付けられる第 2 のパリティビットおよび第 2 のデータ項目を記憶し、前記第 2 のパリティビットは、前記コントローラによって使用されることにより前記第 2 のデータ項目に誤りが含まれるかどうか判断される、請求項 1 3 に記載の交換可能プリンタコンポーネント。 40

【請求項 2 6】

請求項 1 3 に記載の交換可能プリンタコンポーネントを使用する印刷システムであって、前記複数の導電線によって前記情報記憶装置に接続されたコントローラを含み、該コントローラは、前記情報記憶装置の出力に应答し、前記導電線の少なくとも 1 つの電気検査を実行するように構成され、前記プロセッサは、前記第 1 のパリティビットおよび前記電気検査に基づいて前記第 1 のデータ項目の誤りを特定するように構成される印刷システム。 50

【請求項 27】

前記プロセッサは、前記電気検査に基づいて前記導電線の少なくとも1つの電気短絡回路を特定するように構成され、前記プロセッサは、前記第1のパリティビットおよび前記特定された電気短絡回路に基づいて、前記第1のデータ項目の前記誤りを特定するように構成される、請求項26に記載の印刷システム。

【請求項 28】

前記プロセッサは、前記電気検査に基づいて前記導電線の少なくとも1つの開回路を特定するように構成され、前記プロセッサは、前記第1のパリティビットおよび前記特定された開回路に基づいて、前記第1のデータ項目の前記誤りを特定するように構成される、請求項26に記載の印刷システム。

10

【請求項 29】

前記プロセッサは、プリンタコンポーネントが前記印刷システムでの使用に適しているかどうかを、前記第1のデータ項目に基づいて判断するように構成される、請求項26に記載の印刷システム。

【請求項 30】

前記プロセッサは、前記印刷システムに設置されたプリンタコンポーネントのタイプを、前記第1のデータ項目に基づいて判断するように構成される、請求項26に記載の印刷システム。

【請求項 31】

前記コントローラは、カートリッジ、プリントヘッドアセンブリ、インクサプライ、のいずれか1つのプリンタコンポーネントのタイプを、前記第1のデータ項目に基づいて判断するように構成される、請求項30に記載の印刷システム。

20

【請求項 32】

前記コントローラは、前記第2のデータ項目に誤りが含まれるかどうかを、前記第2のパリティビットに基づいて判断するように構成される、請求項26に記載の印刷システム。

【請求項 33】

前記コントローラは、前記電気検査および前記第1のパリティビットに基づいて前記第1のデータ項目の前記誤りを訂正するように構成される請求項26に記載の印刷システム。

【請求項 34】

印刷システムで使用される一体型メモリを有する交換可能プリンタコンポーネントであって、

30

半導体ダイと、

該半導体ダイ上に形成され、それぞれが、前記メモリのビットの状態と関連付けられて該状態を示す複数の回路を備え、

前記メモリは、前記印刷システムによって予想される前記印刷システムの適切な動作の値と一致しなければならない複数の機能ビットを記憶し、前記メモリは、前記印刷システムの適切な動作には重要でない複数の情報ビットを記憶し、前記機能ビットと関連付けられた前記回路のほぼすべてが前記半導体ダイのほぼ中心付近に配置される、交換可能プリンタコンポーネント。

40

【請求項 35】

前記情報ビットに関連付けられた前記回路の大部分は、前記半導体ダイの中心のほぼ外側に配置される、請求項34に記載の交換可能プリンタコンポーネント。

【請求項 36】

前記複数の機能ビットは、前記交換可能プリンタコンポーネントに関する情報の特定を行う第1のデータ項目を表すビットを含み、該ビットは、前記前記印刷システムによって使用可能な第1のデータ項目を表すことにより、前記交換可能プリンタコンポーネントが前記印刷システムでの使用に適しているかどうかを判定し、前記第1のデータ項目を表す前記ビットに関連付けられた前記回路は、前記半導体ダイのほぼ中心付近に配置される、請求項34に記載の交換可能プリンタコンポーネント。

50

【請求項 37】

前記交換可能プリンタコンポーネントはカートリッジである、請求項 35 に記載の交換可能プリンタコンポーネント。

【請求項 38】

前記交換可能プリンタコンポーネントはプリントヘッドアセンブリである、請求項 35 に記載の交換可能プリンタコンポーネント。

【請求項 39】

前記交換可能プリンタコンポーネントはインクサプライである、請求項 35 に記載の交換可能プリンタコンポーネント。

【請求項 40】

一体型メモリを有し、印刷システムに使用される交換可能プリンタコンポーネントに情報を記憶する方法であって、

半導体ダイ上に形成され、それぞれが前記メモリのビットの状態に関連付けられて該状態を示す複数の回路を前記半導体ダイに設けること、

前記印刷システムが予想する前記印刷システムの適切な動作の値と一致しなければならない、前記交換可能プリンタコンポーネントに関連した機能ビットフィールドを特定すること、

前記印刷システムの前記適切な動作には重要でない、前記交換可能プリンタコンポーネントに関連した情報ビットフィールドを特定すること、

前記半導体ダイのほぼ中心付近に配置される回路を使用して、前記機能ビットフィールドの大部分を前記半導体ダイに記憶すること、を含む方法。

【請求項 41】

前記半導体ダイの中心のほぼ外側に配置される回路を使用して、前記情報ビットフィールドの大部分を前記半導体ダイに記憶すること、

をさらに含む請求項 40 に記載の方法。

【請求項 42】

機能ビットフィールドは、前記交換可能プリンタコンポーネントに関する情報の特定を行う第 1 のデータ項目を表すビットを含み、該ビットは、前記前記印刷システムによって使用可能な第 1 のデータ項目を表すことにより、前記交換可能プリンタコンポーネントが前記印刷システムでの使用に適しているかどうかを判定し、前記方法は、

前記半導体ダイのほぼ中心付近に配置される回路を使用して、前記第 1 のデータ項目を表す前記ビットを前記半導体ダイに記憶することをさらに含む、請求項 40 に記載の方法。

【請求項 43】

前記機能ビットフィールドは、前記第 1 のデータ項目に関連付けられたパリティビットを含み、該パリティビットは、前記第 1 のデータ項目の誤りを特定するにあたり前記印刷システムによって使用可能であり、前記方法は、

前記半導体ダイのほぼ中心付近に配置される回路を使用して、前記パリティビットを前記半導体ダイに記憶すること、をさらに含む、請求項 42 に記載の方法。

【請求項 44】

前記機能ビットフィールドは、前記機能ビットフィールドの 1 つにおける誤りを特定するにあたり前記印刷システムによって使用可能なパリティビットを含み、前記方法は、

前記半導体ダイのほぼ中心付近に配置される回路を使用して、前記パリティビットを前記半導体ダイに記憶すること、をさらに含む、請求項 40 に記載の方法。

【請求項 45】

前記機能ビットフィールドは、前記機能ビットフィールドの少なくとも 1 つにおける誤りを特定するにあたり前記印刷システムによって使用可能な複数のパリティビットを含み、前記方法は、

前記半導体ダイのほぼ中心付近に配置される回路を使用して、前記複数のパリティビットを前記半導体ダイに記憶すること、をさらに含む、請求項 40 に記載の方法。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、プリンタおよびプリンタのメモリに関する。詳細には、本発明は、交換可能プリンタコンポーネントのメモリのローバストビット方式に関する。

【背景技術】

【0002】

インクジェット技術は、比較的良好に発展している技術である。例えば、コンピュータプリンタ、グラフィックスプロッタおよびファックス装置といった市販の製品は、印刷された媒体を生成するためにインクジェット技術によって実施されてきた。一般に、インクジェット画像は、インクジェットプリントヘッドアセンブリとして知られているインク液滴生成装置によって噴射されたインク滴の印刷媒体上の正確な配置にしたがって形成される。インクジェットプリントヘッドアセンブリは、少なくとも1つのプリントヘッドを含む。通常、インクジェットプリントヘッドアセンブリは、印刷媒体の表面上を横切る可動キャリッジ上に支持され、マイクロコンピュータまたはその他のコントローラのコマンドにしたがって適切な時にインクの液滴を噴射するように制御される。マイクロコンピュータまたはその他のコントローラでは、インク液滴の塗布のタイミングが、印刷中の画像のピクセルのパターンに対応するようになっている。

10

【0003】

インクジェットプリンタは、少なくとも1つのインクサプライを有する。インクサプライは、インクリザーバを有するインク容器を含む。インクサプライは、インクジェットプリントヘッドアセンブリと共にインクジェットカートリッジまたはペンに収容することができるか、または個別に収容することができる。インクサプライが、インクジェットプリントヘッドアセンブリとは個別に収容されると、ユーザは、インクジェットプリントヘッドアセンブリを交換することなく、インクサプライを交換することができる。その後、インクジェットプリントヘッドアセンブリは、インクサプライが交換される時ではなく、プリントヘッドの寿命の終わった時または終わり近くになって交換される。

20

【0004】

現在のプリンタシステムは、通常、1つまたは2つ以上の交換可能なプリンタコンポーネントを含む。これらの交換可能なプリンタコンポーネントには、インクジェットカートリッジ、インクジェットプリントヘッドアセンブリおよびインクサプライが含まれる。既存のシステムの中には、これらの交換可能なプリンタコンポーネントにオンボードメモリを設けて、交換可能なコンポーネントについての情報をプリンタに伝達するものがある。例えば、インクジェットカートリッジ用のオンボードメモリは、ペンタイプ、固有のペンコード、インク充填レベル、マーケティング情報などの情報、ならびにその他の情報を記憶することができる。また、このようなメモリは、現在のインクレベル情報などのインク容器についての他の情報をも記憶することができる。インクレベル情報は、インクの残量を示すためにプリンタに送信することができる。ユーザは、インクレベル情報を観察することができ、また使い切ったインク容器の交換が必要なことを予想することができる。

30

【発明の開示】

【発明が解決しようとする課題】

40

【0005】

プリンタコンポーネントのメモリからの、プリンタによって受信されるデータが誤りを含む場合には、プリンタは、誤った動作を実行する可能性があるか、または、プリンタコンポーネントを使用できなくなる可能性がある。このような誤りは、メモリを、プリンタコントローラなどの他のプリンタコンポーネントに接続するアドレス線の短絡回路もしくは開回路の結果であるか、または、他の何らかの問題が原因である可能性がある。

【0006】

交換可能なプリンタコンポーネントに使用される現在のメモリ方式よりもローバストなメモリ方式を有し、それによって、誤りの検出および訂正を行い、かつ、中断のない動作を提供することが望まれている。

50

【課題を解決するための手段】

【0007】

本発明は、交換可能プリンタコンポーネントのメモリから受信されたデータの誤りを検出する方法を提供する。メモリは複数のビットを含む。この方法は、第1のデータ項目に関連付けられた第1のパリティビットを設けることを含む。これらの第1のデータ項目および第1のパリティビットは、プリンタメモリに記憶される。プリンタは複数の導電線を含む。これらの導電線の少なくとも1つは、各ビットに関連付けられる。第1のデータ項目および第1のパリティビットが、メモリから読み出される。導電線の少なくとも1つの電気検査が実行される。メモリから読み出された第1のパリティビットおよび電気検査に基づいて、第1のデータ項目の誤りが特定される。

10

【0008】

本発明の一態様は、インク液滴を印刷媒体上に選択的に付着させるインクジェットプリントヘッドを含む印刷システムに関する。インクサプライが、インクジェットプリントヘッドに供給されるインクを貯蔵する。メモリデバイスが、第1のパリティビットおよび第1のデータ項目を記憶する。この第1のパリティビットは、第1のデータ項目に関連付けられる。プロセッサが、複数の導電線によってメモリデバイスに接続される。このプロセッサは、メモリデバイスの出力に応答する。このプロセッサは、導電線の少なくとも1つの電気検査を実行する。このプロセッサは、第1のパリティビットおよび電気検査に基づいて、第1のデータ項目の誤りを特定する。

【0009】

本発明の別の態様は、コントローラを有するインクジェット印刷システムのインクジェットカートリッジに関する。このインクジェットカートリッジは、インク液滴を印刷媒体上に選択的に付着させる少なくとも1つのインクジェットプリントヘッドを有するインクジェットプリントヘッドアセンブリを含む。インクサプライが、インクジェットプリントヘッドに供給されるインクを貯蔵する。情報記憶装置が、第1のパリティビットおよび第1のデータ項目を記憶する。この第1のパリティビットは第1のデータ項目に関連付けられる。第1のパリティビットは、コントローラによって、情報記憶装置に接続された導電線の電気検査と共に使用されて、第1のデータ項目の誤りが特定される。

20

【0010】

本発明の別の態様は、印刷システムの交換可能インクジェットプリンタコンポーネントのメモリに関する。このメモリは半導体ダイを含む。複数の回路がこの半導体ダイ上に形成される。各回路は、メモリのビットの状態と関連付けられてその状態を定める。このメモリは第1のデータ項目を記憶し、この第1のデータ項目は、交換可能インクジェットプリンタコンポーネントに関する情報の特定を行う。この第1のデータ項目は、印刷システムによって使用可能であり、それによって、交換可能インクジェットプリンタコンポーネントが印刷システムでの使用に適しているかどうか判断される。第1のデータ項目に関連付けられた回路は、半導体ダイのほぼ中心付近に配置される。

30

【発明を実施するための最良の形態】

【0011】

好ましい実施の形態の以下の詳細な説明において、本明細書の一部を形成する添付図面が参照される。添付図面では、例として、本発明を実施することができる具体的な実施の形態が示されている。他の実施の形態が利用可能であり、構造上の変更または論理的な変更を、本発明の範囲から逸脱することなく行い得ることが理解されるべきである。したがって、以下の詳細な説明は、限定する意味に取られるべきではなく、本発明の範囲は、添付の特許請求の範囲によって画定される。

40

【0012】

図1は、本発明によるインクジェットプリンタの主要なコンポーネントの電気ブロック図である。インクジェットプリンタ10は、着脱可能なインクジェットカートリッジ12を含む。着脱可能なインクジェットカートリッジ12は、インクジェットプリントヘッドアセンブリ14、一体的に実装されたメモリ16およびインクサプライ26を含む。インク

50

ジェットカートリッジ 12 は、相互接続 18 を介してプラグ接続によりプリンタ 10 から着脱可能である。インクジェットプリントヘッドアセンブリ 14 は、少なくとも 1 つのプリントヘッド 14 A を含む。メモリ 16 は、RAM、ROM および EEPROM を含む複数の形態のメモリを含むことができ、インクジェットプリントヘッドアセンブリ 14 およびインクサプライ 26 に関連付けられたデータを記憶する。一実施の形態では、メモリ 16 は、工場で書き込まれたデータおよびプリンタが記録したデータを含む。一実施の形態では、メモリ 16 は 26 ビット ROM 16 A を含む。この ROM 16 A は、13 ビットのヒューズビット (fusible bit) および 13 ビットのマスクビット (masked bit) を有する。別の実施の形態では、26 ビットのすべてがヒューズビットである。本発明の別の形態では、26 ビットのすべてがマスクビットである。ROM 16 A は、26 ビット以外の異なる総ビット数を含むこともできる。ヒューズビットおよびマスクビットの双方を使用すると、ROM 16 A のサイズを縮小できるという利点がある。各ヒューズビットは、ヒューズビットを表す回路 400 A (図 4 A に示す) の抵抗器を溶断する (blow) ことにより、設定することができる。各マスクビットは、マスクビットを表す回路 400 B (図 4 B に示す) の抵抗器を追加することにより設定することができる。一実施の形態では、ROM 16 A は、インクジェットプリントヘッドアセンブリ 14 に組み込まれる。別の実施の形態では、ROM 16 A は、インクサプライ 26 と統合することができる。インクジェットプリントヘッドアセンブリ 14 およびインクサプライ 26 をインクジェットカートリッジ 12 に組み込むのではなく、インクジェットプリントヘッドアセンブリ 14 およびインクサプライ 26 が、個別に収容されて、個別のメモリを含むことが可能であることが当業者の 1 人によって理解されるであろう。

10

20

【0013】

プリンタ 10 は、インクジェットカートリッジ 12 とコントローラ 34 との間の通信用の通信線 20 を含む。通信線 20 は、具体的には、アドレス線 20 A、第 1 のコード化イネーブル線 20 B、第 2 のコード化イネーブル線 20 C および出力線 20 D を含む。これらの線は、すべて ROM 16 A に接続されている。一実施の形態では、アドレス線 20 A は 13 本のアドレス線を含む。第 1 のコード化イネーブル線 20 B は、ROM 16 A のヒューズビットを選択するために使用され、第 2 のコード化イネーブル線 20 C は、ROM 16 A のマスクビットを選択するために使用される。アドレス線 20 A は、特定のヒューズビットまたはマスクビットを選択するために使用される。選択されたヒューズビットまたはマスクビットの値は、出力線 20 D の出力を検知することによって読み出される。

30

【0014】

インクジェットプリントヘッドアセンブリ 14、メモリ 16 およびインクサプライ 26 は、コントローラ 34 に接続されている。コントローラ 34 は、さまざまなプリンタコンポーネントまたはサブアセンブリの制御用の電子機器およびファームウェアの双方を含む。印刷制御手順 35 は、プリンタドライバに組み込むことができ、メモリ 16 からのデータの読み取りを行い、プリンタの動作をメモリ 16 からアクセスされたデータに従って調整する。コントローラ 34 は、インクジェットプリントヘッドアセンブリ 14 およびインクサプライ 26 を制御して、インク液滴を、制御されるように印刷媒体 32 に噴射する。

40

【0015】

ホストプロセッサ 36 は、コントローラ 34 に接続され、中央処理装置 (CPU) 38 およびソフトウェアプリンタドライバ 40 を含む。モニタ 41 は、ホストプロセッサ 36 に接続され、インクジェットプリンタ 10 の状態を示すさまざまなメッセージを表示するために使用される。あるいは、プリンタ 10 は、スタンドアロンとして構成することもでき、メッセージがプリンタのフロントパネルに表示されるネットワーク接続されて動作するものとして構成することもできる。

【0016】

図 2 は、図 1 の ROM 16 A をさらに詳細に示す図である。ROM 16 A は、複数の電極端子 62 を有する半導体ダイ 60 を含む。アドレス線 20 A、第 1 のコード化イネーブル線 (E1) 20 B、第 2 のコード化イネーブル線 (E2) 20 C および出力線 20 D は、

50

電極端子62を介して半導体ダイ60に接続される。アドレス線20Aは、13本のアドレス線(A1~A13)を含む。一実施の形態では、ROM16Aは、アース接続を含む他の電気接続(図示せず)を含む。

【0017】

図3は、本発明による、ROM16Aに記憶された情報を示す表である。表300は、アドレス線識別子302、コード化イネーブル線識別子304、ビットタイプ識別子306Aおよび306B(ビットタイプ識別子306と総称する)、ビット値308ならびにフィールド310を含む。表300は、部分312と部分314とに分割される。表300の部分312は、ヒューズタイプ識別子306Aによって示されるように、ヒューズビットに関連付けられた情報を表す。表300の部分314は、マスクタイプ識別子306Bによって示されるように、マスクビットに関連付けられた情報を表す。上述したように、ヒューズビットおよびマスクビットの双方を使用するのではなく、ROM16Aのすべてのビットをヒューズビットとすることもでき、あるいはマスクビットとすることもできる。アドレス線識別子302のそれぞれ1つは、アドレス線20Aの1つを表し、ヒューズビットまたはマスクビットのいずれかに対応する。ヒューズビットおよびマスクビットの双方は、1~13の番号が付され、これらの番号は、そのビットに関連付けられた特定のアドレス線20Aを示す。コード化イネーブル線識別子304は、対応するビットを選択するために設定されなければならないコード化イネーブル線20Bまたは20Cを示す。コード化イネーブル線識別子304の「1」は、第1のコード化イネーブル線20Bに対応し、第1のコード化イネーブル線20Bは、ヒューズビットを選択するために使用される。コード化イネーブル線識別子304の「2」は、第2のコード化イネーブル線20Cに対応し、第2のコード化イネーブル線20Cは、マスクビットを選択するために使用される。

10

20

【0018】

ヒューズビット1~13およびマスクビット1~13は、複数のフィールド310に分割される。特定のフィールド310の各ビットは、ビット値308を含む。ビットが設定されている場合には、そのビットは、その対応するビット値308に示される値を有する。ビットが設定されていない場合には、そのビットは0の値を有する。一実施の形態では、ヒューズビット1~13およびマスクビット1~13は、ROM16Aの製造中に設定される。

30

【0019】

フィールド310Aは、ヒューズビット13を含む。一実施の形態では、ヒューズビット13は、データの記憶には使用されない。したがって、フィールド310Aは、文字「NA」(すなわち、未特定(not assigned))を含む。

【0020】

インク充填フィールド310Bは、ヒューズビット10~12を含む。一実施の形態では、ヒューズビット10~12は、インクの少量警告を表示すべき時を決定する基準レベルまたはトリガレベルを提供する。

【0021】

パリティフィールド310Cは、ヒューズビット9を含む。一実施の形態では、ヒューズビット9は、マーケティングフィールド310Dに対応するビットと関連して使用されるパリティビットである。別の実施の形態では、ヒューズビット9は、フィールド310の複数のものと関連して使用されるパリティビットである。また、ヒューズビット9は、インクサプライ26などの別のプリンタコンポーネントと関連付けられたメモリビットと関連して使用することもできる。

40

【0022】

マーケティングフィールド310Dは、ヒューズビット6~8を含む。一実施の形態では、ヒューズビット6~8は、インクジェットカートリッジを特定のプリンタで使用できるかどうかを識別するために使用される。

【0023】

50

フィールド 3 1 0 E はヒューズビット 5 を含む。一実施の形態では、ヒューズビット 5 はデータの記憶に使用されず、したがって、フィールド 3 1 0 E は文字「NA」（すなわち、未特定）を含む。

【0024】

ペン固有フィールド 3 1 0 F は、ヒューズビット 2 ~ 4 を含む。一実施の形態では、ヒューズビット 2 ~ 4 は、インクジェットカートリッジを一意に識別する乱数を表し、この乱数により、プリンタコントローラ 3 4 は、新しいインクジェットカートリッジがいつ設置されたかを判断することが可能になる。

【0025】

フィールド 3 1 0 G はヒューズビット 1 を含む。一実施の形態では、ヒューズビット 1 は、データの記憶に使用されず、したがって、フィールド 3 1 0 G は、文字「NA」（すなわち、未特定）を含む。 10

【0026】

フィールド 3 1 0 H は、マスクビット 1 0 ~ 1 3 を含む。一実施の形態では、マスクビット 1 0 ~ 1 3 は、データの記憶に使用されず、したがって、フィールド 3 1 0 H は、文字「NA」（すなわち、未特定）を含む。

【0027】

フィールド 3 1 0 I はマスクビット 9 を含む。一実施の形態では、マスクビット 9 は、ペンタイプフィールド 3 1 0 J に対応するビットと関連して使用されるパリティビットである。別の実施の形態では、マスクビット 9 は、フィールド 3 1 0 の複数のものと関連して使用されるパリティビットである。また、マスクビット 9 は、インクサプライ 2 6 などの別のプリンタコンポーネントに関連付けられたメモリビットと関連して使用することもできる。 20

【0028】

ペンタイプフィールド 3 1 0 J は、マスクビット 5 ~ 8 を含む。一実施の形態では、マスクビット 5 ~ 8 は、メモリに関連付けられるインクジェットカートリッジのタイプの識別情報を提供する。

【0029】

ペン固有フィールド 3 1 0 K は、マスクビット 1 ~ 4 を含む。一実施の形態では、マスクビット 1 ~ 4 は、特定のインクジェットカートリッジを一意に識別する乱数を表し、この乱数により、プリンタコントローラ 3 4 は、新しいインクジェットカートリッジがいつ設置されたかを判断することが可能になる。 30

【0030】

図 4 A は、ROM 1 6 A のヒューズビットの状態を定める回路の概略図である。回路 4 0 0 A は、第 1 のコード化イネーブル入力 (E_on) 4 0 2、出力 (id_out) 4 0 4、アドレス入力 4 0 6、トランジスタ 4 0 8、抵抗器 4 1 0、トランジスタ 4 1 2、第 2 のコード化イネーブル入力 (E_off) 4 1 4、トランジスタ 4 1 6 およびアース (p_gnd) 4 1 8 を含む。アドレス入力 4 0 6 は、アドレス線 2 0 A (図 1 に示す) の 1 つに接続される。第 1 のコード化イネーブル入力 4 0 2 は、第 1 のコード化イネーブル線 2 0 B (図 1 に示す) に接続される。第 2 のコード化イネーブル入力 4 1 4 は、第 2 のコード化イネーブル線 2 0 C (図 1 に示す) に接続される。出力 4 0 4 は、出力線 2 0 D (図 1 に示す) に接続される。 40

【0031】

一実施の形態では、トランジスタ 4 0 8、4 1 2 および 4 1 6 のそれぞれは、電界効果トランジスタ (FET) である。アドレス入力 4 0 6 は、トランジスタ 4 0 8 のドレインに接続される。第 1 のコード化イネーブル入力 4 0 2 は、トランジスタ 4 0 8 のゲートに接続される。トランジスタ 4 0 8 のソースは、トランジスタ 4 1 2 のゲートおよびトランジスタ 4 1 6 のドレインに接続される。トランジスタ 4 1 6 のゲートは、第 2 のコード化イネーブル入力 4 1 4 に接続される。トランジスタ 4 1 6 のドレインは、トランジスタ 4 0 8 のソースおよびトランジスタ 4 1 2 のゲートに接続される。トランジスタ 4 1 6 のソー 50

スは、アース 4 1 8 に接続される。抵抗器 4 1 0 は、出力 4 0 4 とトランジスタ 4 1 2 のドレインとの間に配置される。トランジスタ 4 1 2 のソースは、アース 4 1 8 に接続される。

【0032】

回路 4 0 0 A によって表されるビットのような ROM 1 6 A のヒューズビットは、第 1 のコード化イネーブル入力 4 0 2 をハイに設定し、アドレス入力 4 0 6 をハイに設定し、かつ出力 4 0 4 の信号を検知することによって読み出される。第 1 のコード化イネーブル入力 4 0 2 は、コントローラ 3 4 により、第 1 のコード化イネーブル線 2 0 B をハイに設定することによってハイに設定される。アドレス入力 4 0 6 は、コントローラ 3 4 により、アドレス入力 4 0 6 に接続されたアドレス線 2 0 A をハイに設定することによってハイに

10

【0033】

トランジスタ 4 0 8 は、入力 4 0 2 および 4 0 6 を有する AND ゲートとして機能する。入力 4 0 2 および 4 0 6 が共にハイである場合、電流が、トランジスタ 4 0 8 を流れてトランジスタ 4 1 2 をオンにする。トランジスタ 4 1 2 は駆動トランジスタとして機能し、出力 4 0 4 を駆動する。抵抗器 4 1 0 が溶断されると、出力 4 0 4 の電圧はハイになり、論理的な 1 を示す。抵抗器 4 1 0 が溶断されない場合には、出力 4 0 4 の電圧はローになり、論理的な 0 を示す。トランジスタ 4 1 6 は、アクティブプルダウンとして使用されて、トランジスタ 4 1 2 がオフになるべき時に、トランジスタ 4 0 8 からの漏れ電流がトランジスタ 4 1 2 をオンにするのを防止する。トランジスタ 4 1 6 は、第 2 のコード化イネーブル入力 4 1 4 をハイに設定することによりオンにされる。トランジスタ 4 1 6 は、オンになると、トランジスタ 4 0 8 からの電流をアースに流す。

20

【0034】

一実施の形態では、トランジスタ 4 0 8 および 4 1 6 は、それぞれ、約 4 マイクロメートルの長さおよび約 1 5 . 5 マイクロメートルの幅を有し、トランジスタ 4 1 2 は、約 4 マイクロメートルの長さおよび約 6 0 0 マイクロメートルの幅を有する。一実施の形態では、抵抗器 4 1 0 は、溶断された場合には約 1 0 0 0 オームを越える抵抗を有し、溶断されていない場合には約 4 0 0 オームを下回る抵抗を有する。開回路を作成して ROM 1 6 A のビットの状態を定める方法として、抵抗器 4 1 0 を溶断する以外の別の方法を使用

30

【0035】

図 4 B は、ROM 1 6 A のマスクビットの状態を定める回路の概略図である。回路 4 0 0 B は、図 4 A に示す回路 4 0 0 A の抵抗器 4 1 0 がスイッチ 4 2 0 に置き換えられ、トランジスタ 4 2 2 がトランジスタ 4 1 2 と異なる特性を含む点を除いて、図 4 A に示す回路 4 0 0 A とほぼ同じである。一実施の形態では、スイッチ 4 2 0 は、実際の物理的なスイッチではなく、抵抗器の存在または欠如のいずれかを表す。抵抗器がスイッチ 4 2 0 の代わりに存在する場合には、その抵抗器は、出力 4 0 4 とトランジスタ 4 2 2 との間で開回路として機能するのに十分な抵抗を有する。抵抗器がスイッチ 4 2 0 の代わりとして存在

40

しない場合には、出力 4 0 4 とトランジスタ 4 2 2 との間に付加される抵抗は存在しない。一実施の形態では、トランジスタ 4 2 2 は、約 4 マイクロメートルの長さおよび約 1 0 0 マイクロメートルの幅を有する電界効果トランジスタ (F E T) である。

【0036】

アドレス入力 4 0 6 は、アドレス線 2 0 A (図 1 に示す) の 1 つに接続される。第 1 のコード化イネーブル入力 4 0 2 は、第 2 のコード化イネーブル線 2 0 C (図 1 に示す) に接続される。第 2 のコード化イネーブル入力 4 1 4 は、第 1 のコード化イネーブル線 2 0 B (図 1 に示す) に接続される。出力 4 0 4 は、出力線 2 0 D (図 1 に示す) に接続される。

【0037】

50

アドレス入力 406 は、トランジスタ 408 のドレインに接続される。第 1 のコード化イネーブル入力 402 は、トランジスタ 408 のゲートに接続される。トランジスタ 408 のソースは、トランジスタ 422 のゲートおよびトランジスタ 416 のドレインに接続される。トランジスタ 416 のゲートは、第 2 のコード化イネーブル入力 414 に接続される。トランジスタ 416 のドレインは、トランジスタ 408 のソースおよびトランジスタ 422 のゲートに接続される。トランジスタ 416 のソースは、アース 418 に接続される。スイッチ 420 は、出力 404 とトランジスタ 422 のドレインとの間に配置される。トランジスタ 422 のソースは、アース 418 に接続される。

【0038】

回路 400B によって表されるビットのような ROM 16A のマスクビットは、第 1 のコード化イネーブル入力 402 をハイに設定し、アドレス入力 406 をハイに設定し、かつ出力 404 の信号を検知することによって読み出される。第 1 のコード化イネーブル入力 402 は、コントローラ 34 により、第 2 のコード化イネーブル線 20C をハイに設定することによってハイに設定される。アドレス入力 406 は、コントローラ 34 により、アドレス入力 406 に接続されたアドレス線 20A をハイに設定することによってハイに設定される。出力 404 の出力電圧は、コントローラ 34 により、出力線 20D の電圧を検知することによって検知される。

【0039】

トランジスタ 408 は、入力 402 および 406 を有する AND ゲートとして機能する。入力 402 および 406 が共にハイである場合、電流が、トランジスタ 408 を流れてトランジスタ 422 をオンにする。トランジスタ 422 は駆動トランジスタとして機能し、出力 404 を駆動する。スイッチ 420 が開状態である（すなわち、抵抗器が存在する）場合には、出力 404 の電圧はハイになり、論理的な 1 を示す。スイッチ 420 が閉状態（すなわち、抵抗器が存在しない）場合には、出力 404 の電圧はローになり、論理的な 0 を示す。トランジスタ 416 は、アクティブプルダウンとして使用されて、トランジスタ 422 がオフになるべき時に、トランジスタ 408 からの漏れ電流がトランジスタ 422 をオンすることを防止する。トランジスタ 416 は、第 2 のコード化イネーブル入力 414 をハイに設定することによりオンにされる。トランジスタ 416 はオンになると、トランジスタ 408 からの電流をアースに流す。

【0040】

本発明の ROM 16A では、ヒューズビットおよびマスクビットは、機能または情報のいずれかに関するものとしてさらに分類することができる。機能ビットフィールドは、プリンタによって予想される適切な動作の値と一致しなければならない。機能ビットフィールドの一例は、ペンタイプフィールド 310J である。ペンタイプフィールド 310J に対応するビットが、プリンタと互換性のないインクジェットカートリッジのタイプを示す場合、プリンタは、そのインクジェットカートリッジを無効にする。したがって、ペンタイプフィールド 310J の誤りによって、プリンタは、インクジェットカートリッジを誤って無効にする可能性がある。情報ビットフィールドは適切な動作には重要ではない。従って、無視することができ、あるいは動作を停止することなく、情報ビットフィールドの間違った情報に基づいて動作を行うこともできる。情報ビットフィールドの例として、ペン固有フィールド 310F および 310K が含まれる。

【0041】

短絡回路が、浮遊インク (stray ink) によってインクジェットカートリッジの ROM 16A で発生する（「インク短絡」）。これは通常、半導体ダイ 60（図 2 に示す）の端部に向かうほど頻繁に発生する。半導体ダイ 60 の端部近くに配置される電極端子 62 は、腐食を受けやすく、潜在的に電気不良を引き起こしやすい。一実施の形態では、機能ビットおよびパリティビットなどの他の重要なビットは、半導体ダイ 60 の中心に向けて配置され、これらのビットに関するインク短絡の可能性が削減される。これにより、よりローバスタな ROM 16A が提供される。一実施の形態では、マーケッティングビット 310D、ペンタイプビット 310J、ならびにパリティビット 310C および 301I は、半

10

20

30

40

50

導体ダイ 60 のほぼ中心近くに配置される。

【0042】

一実施の形態では、本発明によるインクジェットカートリッジのROM 16Aのロバスト性(robustness)をさらに改善するために、パリティビットが、機能ビットフィールドを含む重要なビットフィールドに割り当てられる。図3に示すように、パリティビット310Cは、マーケッティングビットフィールド310Dに割り当てられ、パリティビット310Iは、ペンタイプビットフィールド310Jに割り当てられる。インクジェットカートリッジのROMのロバスト性を改善するパリティビット310Cおよび310Iといったパリティビットの使用については、図5Aおよび図5Bを参照して、以下にさらに詳細に考察される。

10

【0043】

図5Aは、本発明によるインクジェットカートリッジのROMのビット割り当ての2つの例を示す表である。この表は、横列502および504、ならびに縦列506および508A~508Dを含む、縦列506は、パリティビット310Cまたは310Iといった各例のパリティビットの値を含む。縦列508A~508Dは、マーケッティングフィールド310Dまたはペンタイプフィールド310Jといった各例のデータビットフィールドのビットの値を含む。横列502に示す例1では、パリティビットは0に設定され、ビット1は0に設定され、ビット2は0に設定され、ビット3は1に設定され、ビット4は1に設定される。横列504に示す例2では、パリティビットは1に設定され、ビット1は1に設定され、ビット2は0に設定され、ビット3は0に設定され、ビット4は0に設定される。

20

【0044】

一実施の形態では、パリティビットにどの値を割り当てるかを決定するのに、偶数パリティが使用される。例1のビット1~4は、合計が偶数になるので、例1のパリティビットは0に設定され、それによって、ビット1~4およびパリティビットの合計が偶数に維持される。例2のビット1~4は、合計が奇数になるので、例2のパリティビットは1に設定され、それによって、ビット1~4およびパリティビットの合計が偶数にされる。別の実施の形態では、偶数パリティではなく奇数パリティが使用される。

【0045】

図5Bは、データビットフィールドに誤りが発生した後の図5Aのビット割り当てを示す表である。図5Bでは、インク短絡が、データビット3に対応するアドレス線20Aに発生したものと仮定される。コントローラ34は、アドレス線20Aのそれぞれを電氣的に検査することにより、アドレス線20Aのいずれかに短絡回路または開回路があるかどうかを判断する。一実施の形態では、電氣的な検査は導通試験を含む。導電線および電気回路を検査する技術は、当業者に既知である。アドレス線20Aを電氣的に検査した後、コントローラ34は、ビット3に対応するアドレス線20Aに短絡があると判断する。インク短絡がアドレス線に発生すると、コントローラ34によって読み出される出力は、そのビットがインク短絡前に1であったかどうかに関係なく、1になる。したがって、ビット3は、図5Aに示すように、たとえ例2のビット3が0であるべきであっても、図5Bの例1および例2の双方について1である。

30

40

【0046】

例1では、コントローラ34は、パリティビットを検査して、データビットフィールドが誤りを含むかどうかを判断する。ビット1~4およびパリティビットの合計は偶数であるので、コントローラ34は、データビットフィールドが誤りを含んでいないと判断する。

【0047】

例2では、コントローラ34は、パリティビットを検査して、データビットフィールドが誤りを含むかどうかを判断した後、誤りが発生したと判断する。その理由は、ビット1~4およびパリティビットの合計が奇数であり、偶数パリティが使用されているからである。ビット3に対応するアドレス線の電気検査でインク短絡が示されていること、および誤りが発生したとのパリティ検査からの判断とに基づいて、コントローラ34は、ビット3

50

が0であるべきと判断し、それに従ってそのビットを訂正する。したがって、誤りは、プリンタ10の動作に割り込みを引き起こさない。

【0048】

本明細書では、好ましい実施の形態を説明する目的で、具体的な実施の形態を図示して説明してきたが、多種多様な別の実施態様および/または等価な実施態様が、本発明の範囲から逸脱することなく、図示して説明した具体的な実施の形態の代わりとなり得ることが、当業者には理解される。化学技術、機械技術、電気機械技術、電気技術およびコンピュータ技術の当業者は、非常に多種多様な実施の形態で本発明を実施できることを容易に理解するであろう。本出願書類は、本明細書で考察された好ましい実施の形態の任意の適応形態および変形形態をカバーするように意図されている。したがって、本発明は、特許請求の範囲およびその均等物によってのみ限定されることが明白に意図される。

10

【図面の簡単な説明】

【0049】

【図1】本発明のインクジェットプリンタの主要なコンポーネントの電気ブロック図。

【図2】図1に示すプリンタのROMを示す図。

【図3】本発明によるインクジェットカートリッジのメモリに記憶された情報を示す表。

【図4A】本発明のインクジェットカートリッジのメモリのヒューズビットの状態を定める回路の概略図。

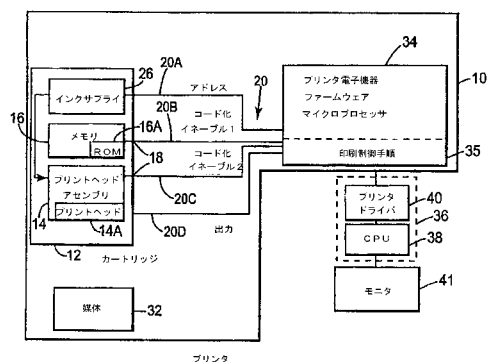
【図4B】本発明のインクジェットカートリッジのメモリのマスクビットの状態を定める回路の概略図。

20

【図5A】本発明によるインクジェットカートリッジのメモリのビット割り当ての2つの例を示す表。

【図5B】誤りが発生した後の図5Aのビット割り当てを示す表。

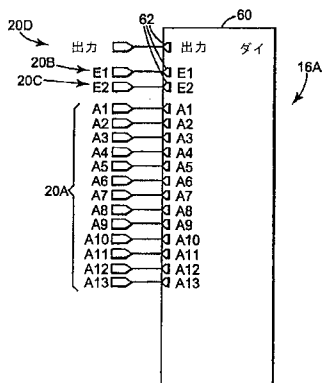
【図1】



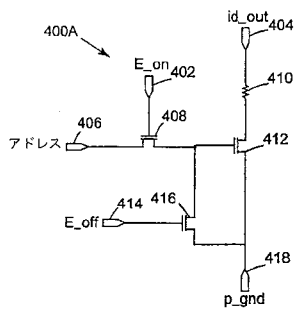
【図3】

314												
302												
304												
308												
310												
310K												
310J												
310L												
310M												
310N												
310O												
310P												
310Q												
310R												
310S												
310T												
310U												
310V												
310W												
310X												
310Y												
310Z												
306B												
306A												
310A												
310B												
310C												
310D												
310E												
310F												
310G												
310H												
310I												
310J												
310K												
310L												
310M												
310N												
310O												
310P												
310Q												
310R												
310S												
310T												
310U												
310V												
310W												
310X												
310Y												
310Z												
300												

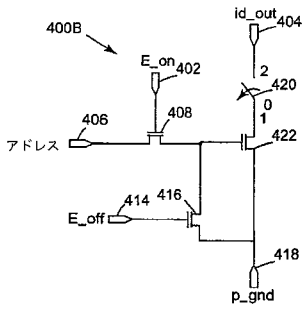
【図2】



【 図 4 A 】



【 図 4 B 】



【 図 5 A 】

	506	508A	508B	508C	508D
502	パリティ	ビット1	ビット2	ビット3	ビット4
504	第 1 行	0	0	1	1
	第 2 行	1	0	0	0

【 図 5 B 】

	506	508A	508B	508C	508D
502	パリティ	ビット1	ビット2	ビット3	ビット4
504	第 1 行	0	0	1	1
	第 2 行	1	0	1	0

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
5 December 2002 (05.12.2002)

PCT

(10) International Publication Number
WO 02/096655 A1

(51) International Patent Classification: B41J 2/175

(21) International Application Number: PCT/US02/16507

(22) International Filing Date: 24 May 2002 (24.05.2002)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
09/866,040 25 May 2001 (25.05.2001) US

(71) Applicant for all designated States except US:
HEWLETT-PACKARD COMPANY [US/US]; Intellectual Property Administration, P.O. Box 272400, M/S 35, Fort Collins, CO 80527-2400 (US).

(72) Inventors; and

(75) Inventors/Applicants (for US only): SKENE, John, M. [US/US]; 19 Del Prado, Lake Oswego, OR 97035 (US). SHEPHERD, Matthew, A. [US/US]; 3201 NE 165th Avenue, Vancouver, WA 98682 (US). HUME, Garrard [US/US]; 435 NW 34th Street, Corvallis, OR 97330 (US).

(74) Agent: LUND, Scott, A.; Hewlett-Packard Company, Intellectual Property Administration, P.O. Box 272400, M/S 35, Fort Collins, CO 80527-2400 (US).

(81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU,

CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GI, GM, GR, GU, HD, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NZ, OM, PA, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TL, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

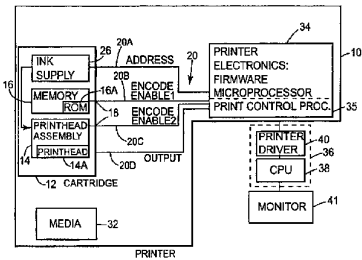
Declarations under Rule 4.17:

as to applicant's entitlement to apply for and be granted a patent (Rule 4.17(ii)) for the following designations AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, GR, GU, HD, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NZ, OM, PA, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TL, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW. ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)

[Continued on next page]

(54) Title: ROBUST BIT SCHEME FOR A MEMORY OF A REPLACEABLE PRINTER COMPONENT

WO 02/096655 A1



(57) Abstract: A system and method for detecting an error in data received from a memory (16) of a replaceable printer component (12) includes providing a first parity bit associated with a first data item. The first data item and the first parity bit are stored in the memory. The printer (10) includes a plurality of electrically conductive lines. The memory includes a plurality of bits. At least one of the electrically conductive lines is associated with each bit. The first data item and the first parity bit are read from the memory. An electrical test of at least one of the electrically conductive lines is performed. An error in the first data item is identified based on the first parity bit read from the memory and the electrical test.

WO 02/096655 A1 

as to the applicant's entitlement to claim the priority of the earlier application (Rule 4.17(ii)) for the following designations: *AF, AG, AI, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW*. *ARIPO patent* (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW). *Eurasian patent* (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM).

European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IL, LU, MC, NL, PT, SE, TR). *OAPI patent* (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:

— with international search report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

WO 02/096655

PCT/US02/16507

5

**ROBUST BIT SCHEME FOR A MEMORY
OF A REPLACEABLE PRINTER COMPONENT**

10

The Field of the Invention

The present invention relates to printers and to memories for printers. More particularly, the invention relates to a robust bit scheme for a memory of a replaceable printer component.

15

Background of the Invention

The art of inkjet technology is relatively well developed. Commercial products such as computer printers, graphics plotters, and facsimile machines have been implemented with inkjet technology for producing printed media. Generally, an inkjet image is formed pursuant to precise placement on a print medium of ink drops emitted by an ink drop generating device known as an inkjet printhead assembly. An inkjet printhead assembly includes at least one printhead. Typically, an inkjet printhead assembly is supported on a movable carriage that traverses over the surface of the print medium and is controlled to eject drops of ink at appropriate times pursuant to command of a microcomputer or other controller, wherein the timing of the application of the ink drops is intended to correspond to a pattern of pixels of the image being printed.

Inkjet printers have at least one ink supply. An ink supply includes an ink container having an ink reservoir. The ink supply can be housed together with the inkjet printhead assembly in an inkjet cartridge or pen, or can be housed separately. When the ink supply is housed separately from the inkjet printhead assembly, users can replace the ink supply without replacing the inkjet printhead assembly. The inkjet printhead assembly is then replaced at or near the end of the printhead life, and not when the ink supply is replaced.

WO 02/096655

PCT/US02/16507

Current printer systems typically include one or more replaceable printer components, including inkjet cartridges, inkjet printhead assemblies, and ink supplies. Some existing systems provide these replaceable printer components with on-board memory to communicate information to a printer about the replaceable component. The on-board memory, for an inkjet cartridge for example, may store information such as pen type, unique pen code, ink fill level, marketing information, as well as other information. Such a memory may also store other information about the ink container, such as current ink level information. The ink level information can be transmitted to the printer to indicate the amount of ink remaining. A user can observe the ink level information and anticipate the need for replacing a depleted ink container.

If the data received by a printer from a printer component memory contains an error, the printer may perform an incorrect action, or may be unable to use the printer component. Such an error may be the result of a short circuit or open circuit in an address line coupling the memory to other printer components, such as a printer controller, or from some other problem.

It is desirable to have a memory scheme that is more robust than current memory schemes used in replaceable printer components to detect and correct errors and provide uninterrupted operation.

20

Summary of the Invention

The present invention provides a method for detecting an error in data received from a memory of a replaceable printer component. The memory includes a plurality of bits. The method includes providing a first parity bit associated with a first data item. The first data item and the first parity bit are stored in the printer memory. The printer includes a plurality of electrically conductive lines. At least one of the electrically conductive lines is associated with each bit. The first data item and the first parity bit are read from the memory. An electrical test of at least one of the electrically conductive lines is performed. An error in the first data item is identified based on the first parity bit read from the memory and the electrical test.

One aspect of the invention is directed to a printing system including an inkjet printhead for selectively depositing ink drops on print media. An ink

WO 02/096655

PCT/US02/16507

supply stores ink to be provided to the inkjet printhead. A memory device stores a first parity bit and a first data item. The first parity bit is associated with the first data item. A processor is coupled to the memory device by a plurality of electrically conductive lines. The processor is responsive to output of the memory device. The processor performs an electrical test of at least one of the electrically conductive lines. The processor identifies an error in the first data item based on the first parity bit and the electrical test.

Another aspect of the invention is directed to an inkjet cartridge for an inkjet printing system having a controller. The inkjet cartridge includes an inkjet printhead assembly having at least one inkjet printhead that selectively deposits ink drops on print media. An ink supply stores ink to be provided to the inkjet printhead. An information storage device stores a first parity bit and a first data item. The first parity bit is associated with the first data item. The first parity bit is used by the controller in conjunction with an electrical test of electrically conductive lines coupled to the information storage device to identify an error in the first data item.

Another aspect of the invention is directed to a memory for a replaceable inkjet printer component of a printing system. The memory includes a semiconductor die. A plurality of circuits are formed on the semiconductor die. Each circuit is associated with and determines the state of a bit in the memory. The memory stores a first data item, which provides identifying information regarding the replaceable inkjet printer component. The first data item is useable by the printing system to determine whether the replaceable inkjet printer component is appropriate for use in the printing system. The circuits associated with the first data item are positioned substantially near a center of the semiconductor die.

Brief Description of the Drawings

Figure 1 is an electrical block diagram of major components of an inkjet printer according to the present invention.

Figure 2 is a diagram illustrating the ROM of the printer shown in Figure 1.

WO 02/096655

PCT/US02/16507

Figure 3 is a table illustrating information stored in an inkjet cartridge memory according to the present invention.

Figure 4A is a schematic diagram of a circuit for defining the state of a fusible bit of an inkjet cartridge memory of the present invention.

5 Figure 4B is a schematic diagram of a circuit for defining the state of a masked bit of an inkjet cartridge memory of the present invention.

Figure 5A is a table illustrating two examples of bit assignments in an inkjet cartridge memory according to the present invention.

10 Figure 5B is a table illustrating the bit assignments of Figure 5A after an error has occurred.

Description of the Preferred Embodiments

15 In the following detailed description of the preferred embodiments, reference is made to the accompanying drawings that form a part hereof, and in which is shown by way of illustration specific embodiments in which the invention may be practiced. It is to be understood that other embodiments may be utilized and structural or logical changes may be made without departing from the scope of the present invention. The following detailed description, 20 therefore, is not to be taken in a limiting sense, and the scope of the present invention is defined by the appended claims.

Figure 1 is an electrical block diagram of major components of an inkjet printer according to the present invention. Inkjet printer 10 includes removable inkjet cartridge 12, which includes an inkjet printhead assembly 14, an integrally 25 mounted memory 16, and an ink supply 26. Inkjet cartridge 12 is pluggably removable from printer 10 via interconnects 18. Inkjet printhead assembly 14 includes at least one printhead 14A. Memory 16 may include multiple forms of memory, including RAM, ROM and EEPROM, and stores data associated with inkjet printhead assembly 14 and ink supply 26. In one embodiment, memory 30 16 includes factory-written data and printer-recorded data. In one embodiment, memory 16 includes a 26-bit ROM 16A, having 13 fusible bits, and 13 masked bits. In an alternative embodiment, all 26 bits are fusible bits. In another form of the present invention, all 26 bits are masked bits. ROM 16A can also include a different number of total bits, other than 26 bits. An advantage of using both

WO 02/096655

PCT/US02/16507

fusible and masked bits is that a size reduction in ROM 16A may be obtained. Each fusible bit may be set by blowing a resistor in a circuit 400A (shown in Figure 4A) representing the fusible bit. Each masked bit may be set by adding a resistor in a circuit 400B (shown in Figure 4B) representing the masked bit. In one embodiment, ROM 16A is integrated with inkjet printhead assembly 14. In an alternative embodiment, ROM 16A may be integrated with ink supply 26. It will be understood by one of ordinary skill in the art that, rather than incorporating inkjet printhead assembly 14 and ink supply 26 into an inkjet cartridge 12, inkjet printhead assembly 14 and ink supply 26 may be separately housed and may include separate memories.

Printer 10 includes communication lines 20 for communications between inkjet cartridge 12 and controller 34. Communication lines 20 specifically include address lines 20A, first encode enable line 20B, second encode enable line 20C, and output line 20D, which are all connected to ROM 16A. In one embodiment, address lines 20A include 13 address lines. First encode enable line 20B is used to select fusible bits in ROM 16A, and second encode enable line 20C is used to select masked bits in ROM 16A. Address lines 20A are used to select a particular fusible bit or masked bit. The value of a selected fusible or masked bit is read by sensing the output on output line 20D.

Inkjet printhead assembly 14, memory 16, and ink supply 26 are connected to controller 34, which includes both electronics and firmware for the control of the various printer components or sub-assemblies. A print control procedure 35, which may be incorporated in the printer driver, causes the reading of data from memory 16 and adjusts printer operation in accordance with the data accessed from memory 16. Controller 34 controls inkjet printhead assembly 14 and ink supply 26 to cause ink droplets to be ejected in a controlled fashion on print media 32.

A host processor 36 is connected to controller 34, and includes a central processing unit (CPU) 38 and a software printer driver 40. A monitor 41 is connected to host processor 36, and is used to display various messages that are indicative of the state of inkjet printer 10. Alternatively, printer 10 can be configured for stand-alone or networked operation wherein messages are displayed on a front panel of the printer.

WO 02/096655

PCT/US02/16507

Figure 2 is a diagram illustrating ROM 16A of Figure 1 in additional detail. ROM 16A includes semiconductor die 60 having a plurality of pads 62. Address lines 20A, first encode enable line (E1) 20B, second encode enable line (E2) 20C, and output line 20D are coupled to semiconductor die 60 via pads 62.

5 Address lines 20A include 13 address lines (A1-A13). In one embodiment, ROM 16A includes other electrical connections (not shown), including ground connections.

Figure 3 is a table illustrating information stored in ROM 16A according to the present invention. Table 300 includes address line identifiers 302, encode

10 enable line identifiers 304, bit type identifiers 306A and 306B (collectively referred to as bit type identifiers 306), bit values 308, and fields 310. Table 300 is divided into portion 312 and portion 314. Portion 312 of table 300 represents information associated with fusible bits, as indicated by fusible type identifier 306A. Portion 314 of table 300 represents information associated with masked

15 bits, as indicated by masked type identifier 306B. As mentioned above, rather than using both fusible and masked bits, all bits in ROM 16A may be fusible bits, or all bits in ROM 16A may be masked bits. Each one of the address line identifiers 302 represents one of address lines 20A, and corresponds to either a fusible bit or a masked bit. Both the fusible and the masked bits are numbered 1-

20 13, indicating the particular address line 20A associated with the bit. Encode enable line identifiers 304 indicate the encode enable line 20B or 20C that must be set in order to select the corresponding bit. A "1" in encode enable line identifiers 304 corresponds to first encode enable line 20B, which is used to select fusible bits. A "2" in encode enable line identifiers 304 corresponds to

25 second encode enable line 20C, which is used to select masked bits.

Fusible bits 1-13 and masked bits 1-13 are divided into a plurality of fields 310. Each bit in a particular field 310 includes a bit value 308. When a bit is set, it has the value indicated in its corresponding bit value 308. When a bit is not set, it has a value of 0. In one embodiment, fusible bits 1-13 and

30 masked bits 1-13 are set during manufacture of ROM 16A.

Field 310A includes fusible bit 13. In one embodiment, fusible bit 13 is not used to store data, so field 310A includes the letters "NA" (i.e., not assigned).

WO 02/096655

PCT/US02/16507

Ink fill field 310B includes fusible bits 10-12. In one embodiment, fusible bits 10-12 provide a reference level or trigger level to determine when a low ink warning should be displayed.

5 Parity field 310C includes fusible bit 9. In one embodiment, fusible bit 9 is a parity bit used in association with the bits corresponding to marketing field 310D. In an alternative embodiment, fusible bit 9 is a parity bit used in association with multiple ones of the fields 310. Fusible bit 9 may also be used in association with memory bits associated with another printer component, such as ink supply 26.

10 Marketing field 310D includes fusible bits 6-8. In one embodiment, fusible bits 6-8 are used to identify whether an inkjet cartridge can be used in a particular printer.

Field 310E includes fusible bit 5. In one embodiment, fusible bit 5 is not used to store data, so field 310E includes the letters "NA" (i.e., not assigned).

15 Pen uniqueness field 310F includes fusible bits 2-4. In one embodiment, fusible bits 2-4 represent a random number that uniquely identifies an inkjet cartridge, which allows printer controller 34 to determine when a new inkjet cartridge has been installed.

20 Field 310G includes fusible bit 1. In one embodiment, fusible bit 1 is not used to store data, so field 310G includes the letters "NA" (i.e., not assigned).

Field 310H includes masked bits 10-13. In one embodiment, masked bits 10-13 are not used to store data, so field 310H includes the letters "NA" (i.e., not assigned).

25 Field 310I includes masked bit 9. In one embodiment, masked bit 9 is a parity bit used in association with the bits corresponding to pen type field 310J. In an alternative embodiment, masked bit 9 is a parity bit used in association with multiple ones of the fields 310. Masked bit 9 may also be used in association with memory bits associated with another printer component, such as ink supply 26.

30 Pen type field 310J includes masked bits 5-8. In one embodiment, masked bits 5-8 provide an identification of the type of inkjet cartridge that is associated with the memory.

Pen uniqueness field 310K includes masked bits 1-4. In one embodiment, masked bits 1-4 represent a random number that uniquely identifies

WO 02/096655

PCT/US02/16507

a particular inkjet cartridge, which allows printer controller 34 to determine when a new inkjet cartridge has been installed.

Figure 4A is a schematic diagram of a circuit for defining the state of a fusible bit in ROM 16A. Circuit 400A includes first encode enable input (E_on) 5 402, output (id_out) 404, address input 406, transistor 408, resistor 410, transistor 412, second encode enable input (E_off) 414, transistor 416, and ground (p_gnd) 418. Address input 406 is coupled to one of address lines 20A (shown in Figure 1). First encode enable input 402 is coupled to first encode enable line 20B (shown in Figure 1). Second encode enable input 414 is coupled 10 to second encode enable line 20C (shown in Figure 1). Output 404 is coupled to output line 20D (shown in Figure 1).

In one embodiment, each of transistors 408, 412 and 416 is a field effect transistor (FET). Address input 406 is coupled to the drain of transistor 408. First encode enable input 402 is coupled to the gate of transistor 408. The 15 source of transistor 408 is coupled to the gate of transistor 412 and the drain of transistor 416. The gate of transistor 416 is coupled to second encode enable input 414. The drain of transistor 416 is coupled to the source of transistor 408 and the gate of transistor 412. The source of transistor 416 is coupled to ground 418. Resistor 410 is positioned between output 404 and the drain of transistor 20 412. The source of transistor 412 is coupled to ground 418.

A fusible bit in ROM 16A, such as the bit represented by circuit 400A, is read by setting first encode enable input 402 high, setting address input 406 high, and sensing the signal at output 404. First encode enable input 402 is set high by controller 34 by setting first encode enable line 20B high. Address input 25 406 is set high by controller 34 by setting the address line 20A coupled to address input 406 high. The output voltage at output 404 is sensed by controller 34 by sensing the voltage on output line 20D.

Transistor 408 acts as an AND gate, with inputs 402 and 406. If inputs 402 and 406 are both high, a current flows through transistor 408, turning on 30 transistor 412. Transistor 412 acts as a drive transistor, driving output 404. If resistor 410 is blown, the voltage at output 404 will be high, indicating a logical 1. If resistor 410 is not blown, the voltage at output 404 will be low, indicating a logical 0. Transistor 416 is used as an active pull down to prevent leakage current from transistor 408 from turning on transistor 412 when transistor 412

WO 02/096655

PCT/US02/16507

should be off. Transistor 416 is turned on by setting second encode enable input 414 high. When turned on, transistor 416 diverts current from transistor 408 to ground.

5 In one embodiment, transistors 408 and 416 each have a length of about 4 micrometers and a width of about 15.5 micrometers, and transistor 412 has a length of about 4 micrometers and a width of about 600 micrometers. In one embodiment, resistor 410 has a resistance of over about 1000 ohms when blown, and a resistance of under about 400 ohms when not blown. In addition to
10 blowing resistor 410, other methods may be used to create an open circuit to define the state of a bit in ROM 16A, including mechanical cutting, laser cutting, as well as other methods.

Figure 4B is a schematic diagram of a circuit for defining the state of a masked bit in ROM 16A. Circuit 400B is substantially the same as circuit 400A shown in Figure 4A, with the exceptions that resistor 410 is replaced by switch
15 420, and transistor 422 includes different properties than transistor 412. In one embodiment, switch 420 is not an actual physical switch, but represents either the presence or absence of a resistor. If a resistor is present in place of switch 420, the resistor has sufficient resistance to act as an open circuit between output 404 and transistor 422. If a resistor is not present in place of switch 420, there is
20 no additional resistance between output 404 and transistor 422. In one embodiment, transistor 422 is a field effect transistor (FET), with a length of about 4 micrometers and a width of about 100 micrometers.

Address input 406 is coupled to one of address lines 20A (shown in Figure 1). First encode enable input 402 is coupled to second encode enable line
25 20C (shown in Figure 1). Second encode enable input 414 is coupled to first encode enable line 20B (shown in Figure 1). Output 404 is coupled to output line 20D (shown in Figure 1).

Address input 406 is coupled to the drain of transistor 408. First encode enable input 402 is coupled to the gate of transistor 408. The source of transistor
30 408 is coupled to the gate of transistor 422 and the drain of transistor 416. The gate of transistor 416 is coupled to second encode enable input 414. The drain of transistor 416 is coupled to the source of transistor 408 and the gate of transistor 422. The source of transistor 416 is coupled to ground 418. Switch

WO 02/096655

PCT/US02/16507

420 is positioned between output 404 and the drain of transistor 422. The source of transistor 422 is coupled to ground 418.

A masked bit in ROM 16A, such as the bit represented by circuit 400B, is read by setting first encode enable input 402 high, setting address input 406 high, and sensing the signal at output 404. First encode enable input 402 is set high by controller 34 by setting second encode enable line 20C high. Address input 406 is set high by controller 34 by setting the address line 20A coupled to address input 406 high. The output voltage at output 404 is sensed by controller 34 by sensing the voltage on output line 20D.

Transistor 408 acts as an AND gate, with inputs 402 and 406. If inputs 402 and 406 are both high, a current flows through transistor 408, turning on transistor 422. Transistor 422 acts as a drive transistor, driving output 404. If switch 420 is open (i.e., resistor present), the voltage at output 404 will be high, indicating a logical 1. If switch 420 is closed (i.e., resistor not present), the voltage at output 404 will be low, indicating a logical 0. Transistor 416 is used as an active pull down to prevent leakage current from transistor 408 from turning on transistor 422 when transistor 422 should be off. Transistor 416 is turned on by setting second encode enable input 414 high. When turned on, transistor 416 diverts current from transistor 408 to ground.

In ROM 16A of the present invention, fusible and masked bits may be further classified as either functional or informational. Functional bit fields must match values expected by the printer for proper operation. An example of a functional bit field is pen type field 310J. If the bits corresponding to pen type field 310J indicate a type of inkjet cartridge that is not compatible with the printer, the printer may disable the inkjet cartridge. Thus, an error in pen type field 310J could cause the printer to improperly disable an inkjet cartridge. Informational bit fields are not critical to proper operation and may be ignored, or action may be taken based on incorrect information in an informational bit field without causing a stoppage in operation. Examples of informational bit fields include pen uniqueness fields 310F and 310K.

Short circuits caused by stray ink ("ink shorts") in an inkjet cartridge ROM 16A typically occur more frequently toward the edges of the semiconductor die 60 (shown in Figure 2). Pads 62 that are positioned near the edges of semiconductor die 60 tend to suffer from corrosion, potentially causing

WO 02/096655

PCT/US02/16507

electrical failures. In one embodiment, functional bits and other important bits, such as parity bits, are positioned toward the center of semiconductor die 60 to reduce the likelihood of ink shorts with respect to these bits, and thereby provide a more robust ROM 16A. In one embodiment, marketing bits 310D, pen type bits 310J, and parity bits 310C and 310I are positioned substantially near the center of semiconductor die 60.

In one embodiment, to further improve the robustness of an inkjet cartridge ROM 16A according to the present invention, parity bits are assigned to important bit fields, including functional bit fields. As shown in Figure 3, a parity bit 310C is assigned to marketing bit field 310D, and a parity bit 310I is assigned to pen type bit field 310J. The use of parity bits, such as parity bits 310C and 310I, to improve the robustness of an inkjet cartridge ROM, is discussed in further detail below with reference to figures 5A and 5B.

Figure 5A is a table illustrating two examples of bit assignments in an inkjet cartridge ROM according to the present invention. The table includes lines 502 and 504, and columns 506 and 508A-D. Column 506 includes the value of a parity bit for each example, such as parity bit 310C or 310I. Columns 508A-D include the value of bits in a data bit field for each example, such as marketing field 310D or pen type field 310J. In Example 1, shown on line 502, the parity bit is set to 0, bit 1 is set to 0, bit 2 is set to 0, bit 3 is set to 1, and bit 4 is set to 1. In Example 2, shown on line 504, the parity bit is set to 1, bit 1 is set to 1, bit 2 is set to 0, bit 3 is set to 0, and bit 4 is set to 0.

In one embodiment, even parity is used in determining what value to assign to the parity bits. Since bits 1-4 in Example 1 add up to an even number, the parity bit for Example 1 is set to 0 to maintain an even number for the sum of bits 1-4 and the parity bit. Since bits 1-4 in Example 2 add up to an odd number, the parity bit for Example 2 is set to 1 to produce an even number for the sum of bits 1-4 and the parity bit. In an alternative embodiment, odd parity is used rather than even parity.

Figure 5B is a table illustrating the bit assignments of Figure 5A after an error in the data bit fields has occurred. It is assumed in Figure 5B that an ink short has occurred in the address line 20A corresponding to data bit 3. Controller 34 determines whether any of address lines 20A has a short circuit or open circuit by electrically testing each of address lines 20A. In one

WO 02/096655

PCT/US02/16507

embodiment, the electrical test includes a check for continuity. Techniques for testing electrically conductive lines and electric circuits are known to those of ordinary skill in the art. After electrically testing address lines 20A, controller 34 determines that the address line 20A corresponding to bit 3 has a short.

- 5 When an ink short occurs in an address line, the output read by controller 34 will be a 1, regardless of whether the bit was a 1 prior to the ink short. Thus, bit 3 is a 1 for both Example 1 and Example 2 in Figure 5B, even though bit 3 in Example 2 should be a 0 as shown in Figure 5A.

- 10 In Example 1, controller 34 examines the parity bit to determine if the data bit field contains an error. Since the sum of bits 1-4 and the parity bit is an even number, controller 34 determines that the data bit field does not contain an error.

- 15 In Example 2, after examining the parity bit to determine if the data bit field contains an error, controller 34 determines that an error occurred, since the sum of bits 1-4 and the parity bit is an odd number, and even parity is being used. Based on the electrical test of the address line corresponding to bit 3, which indicated an ink short, and the determination from the parity test that an error occurred, controller 34 determines that bit 3 should be a 0, and corrects the bit accordingly. Thus, the error does not cause an interruption in the operation of printer 10.

- 20 Although specific embodiments have been illustrated and described herein for purposes of description of the preferred embodiment, it will be appreciated by those of ordinary skill in the art that a wide variety of alternate and/or equivalent implementations may be substituted for the specific embodiments shown and described without departing from the scope of the present invention. Those with skill in the chemical, mechanical, electro-mechanical, electrical, and computer arts will readily appreciate that the present invention may be implemented in a very wide variety of embodiments. This application is intended to cover any adaptations or variations of the preferred embodiments discussed herein. Therefore, it is manifestly intended that this invention be limited only by the claims and the equivalents thereof.

WHAT IS CLAIMED IS:

1. A method of detecting an error in data received from a memory of a replaceable inkjet printer component of a printer, the memory including a plurality of bits, the printer including a plurality of electrically conductive lines, at least one of the electrically conductive lines associated with each bit, the method comprising:
 - providing a first parity bit associated with a first data item, the first data item and the first parity bit stored in the memory;
 - reading the first data item and the first parity bit from the memory;
 - performing an electrical test of at least one of the electrically conductive lines; and
 - identifying an error in the first data item based on the first parity bit read from the memory and the electrical test.
2. The method of claim 1, and further comprising:
 - identifying an electrical short circuit in at least one of the electrically conductive lines based on the electrical test, and wherein the error in the first data item is identified based on the first parity bit read from the memory and the identified electrical short circuit.
3. The method of claim 1, and further comprising:
 - identifying an open circuit in at least one of the electrically conductive lines based on the electrical test, and wherein the error in the first data item is identified based on the first parity bit read from the memory and the identified open circuit.
4. The method of claim 1, wherein the electrically conductive lines are address lines coupling the memory to a controller of the printer.
5. The method of claim 1, wherein the memory is a ROM.

WO 02/096655

PCT/US02/16507

6. The method of claim 1, and further comprising:
determining whether the replaceable printer component is appropriate for use in the printer based on the first data item.
7. The method of claim 1, and further comprising:
determining a type of the replaceable printer component installed in the printer based on the first data item.
8. The method of claim 7, and further comprising:
determining a type of inkjet cartridge installed in the printer based on the first data item.
9. The method of claim 1, and further comprising:
providing a second parity bit associated with a second data item, the second data item and the second parity bit stored in the memory;
reading the second data item and the second parity bit from the memory;
determining whether an error is contained in the second data item based on the second parity bit read from the memory.
10. The method of claim 1, wherein the memory is integrated with an inkjet cartridge.
11. The method of claim 1, wherein the memory is integrated with an inkjet printhead assembly.
12. The method of claim 1, wherein the memory is integrated with an ink supply.
13. A printing system comprising:
an inkjet printhead for selectively depositing ink drops on print media;
an ink supply for storing ink to be provided to the inkjet printhead;
a memory device for storing a first parity bit and a first data item, the first parity bit associated with the first data item; and

WO 02/096655

PCT/US02/16507

a processor coupled to the memory device by a plurality of electrically conductive lines, the processor responsive to output of the memory device, the processor configured to perform an electrical test of at least one of the electrically conductive lines, the processor configured to identify an error in the first data item based on the first parity bit and the electrical test.

14. The printing system of claim 13, wherein the processor is configured to identify an electrical short circuit in at least one of the electrically conductive lines based on the electrical test, and wherein the processor is configured to identify the error in the first data item based on the first parity bit and the identified electrical short circuit.

15. The printing system of claim 13, wherein the processor is configured to identify an open circuit in at least one of the electrically conductive lines based on the electrical test, and wherein the processor is configured to identify the error in the first data item based on the first parity bit and the identified open circuit.

16. The printing system of claim 13, wherein the electrically conductive lines are address lines.

17. The printing system of claim 13, wherein the memory is a ROM.

18. The printing system of claim 17, wherein the ROM includes a semiconductor die and a plurality of circuits formed on the semiconductor die, each circuit associated with and determining the state of a bit in the ROM.

19. The printing system of claim 18, wherein the circuits associated with the first data item are positioned substantially near a center of the semiconductor die.

20. The printing system of claim 18, wherein the circuit associated with the first parity bit is positioned substantially near a center of the semiconductor die.

WO 02/096655

PCT/US02/16507

21. The printing system of claim 13, wherein the processor is configured to determine whether a printer component is appropriate for use in the printing system based on the first data item.
22. The printing system of claim 13, wherein the processor is configured to determine a type of a printer component installed in the printing system based on the first data item.
23. The printing system of claim 22, wherein the processor is configured to determine a type of inkjet cartridge installed in the printing system based on the first data item.
24. The printing system of claim 13, wherein the memory stores a second parity bit and a second data item, the second parity bit associated with the second data item, and wherein the processor is configured to determine whether an error is contained in the second data item based on the second parity bit.
25. The printing system of claim 13, wherein the memory is integrated with an inkjet cartridge.
26. The printing system of claim 13, wherein the memory is integrated with an inkjet printhead assembly.
27. An inkjet cartridge for an inkjet printing system having a controller, comprising:
 - an inkjet printhead assembly having at least one inkjet printhead for selectively depositing ink drops on print media;
 - an ink supply for storing ink to be provided to the inkjet printhead; and
 - an information storage device storing a first parity bit and a first data item, the first parity bit associated with the first data item, the first parity bit for use by the controller in conjunction with an electrical test of electrically conductive lines coupled to the information storage device to identify an error in the first data item.

WO 02/096655

PCT/US02/16507

28. The inkjet cartridge of claim 27, wherein the electrically conductive lines are address lines.
29. The inkjet cartridge of claim 27, wherein the information storage device is a ROM.
30. The inkjet cartridge of claim 29, wherein the ROM includes a semiconductor die and a plurality of circuits formed on the semiconductor die, each circuit associated with and determining the state of a bit in the ROM.
31. The inkjet cartridge of claim 30, wherein the circuits associated with the first data item are positioned substantially near a center of the semiconductor die.
32. The inkjet cartridge of claim 30, wherein the circuit associated with the first parity bit is positioned substantially near a center of the semiconductor die.
33. The inkjet cartridge of claim 27, wherein the first data item indicates to the controller whether a printer component is appropriate for use in the inkjet printing system.
34. The inkjet cartridge of claim 27, wherein the first data item indicates a type of a printer component installed in the inkjet printing system.
35. The inkjet cartridge of claim 34, wherein the first data item indicates a type of inkjet cartridge installed in the inkjet printing system.
36. The inkjet cartridge of claim 27, wherein the information storage device stores a second parity bit and a second data item, the second parity bit associated with the second data item, the second parity bit for use by the controller to determine whether an error is contained in the second data item.
37. The inkjet cartridge of claim 27, wherein the information storage device is integrated with the inkjet printhead assembly.

WO 02/096655

PCT/US02/16507

38. The inkjet cartridge of claim 27, based on the electrical test of electrically conductive lines, the controller corrects the error in the first data item.
39. A memory for a replaceable inkjet printer component of a printing system comprising:
a semiconductor die;
a plurality of circuits formed on the semiconductor die, each circuit associated with and determining the state of a bit in the memory; and
the memory storing a first data item, the first data item providing identifying information regarding the replaceable inkjet printer component that is useable by the printing system to determine whether the replaceable inkjet printer component is appropriate for use in the printing system, the circuits associated with the first data item positioned substantially near a center of the semiconductor die.
40. The memory of claim 39, wherein the memory is integrated with an inkjet cartridge.
41. The memory of claim 39, wherein the memory is integrated with an inkjet printhead assembly.
42. The memory of claim 39, wherein the memory is integrated with an ink supply.

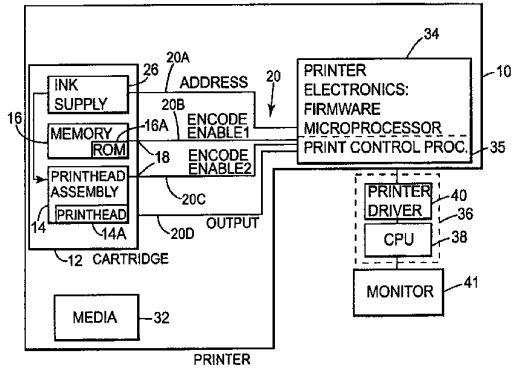


Fig. 1

2/5

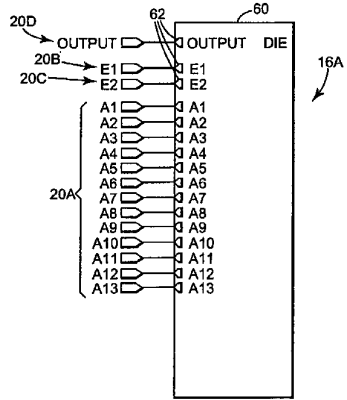


Fig. 2

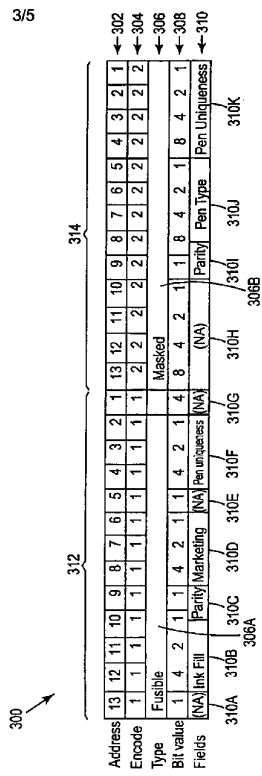


Fig. 3

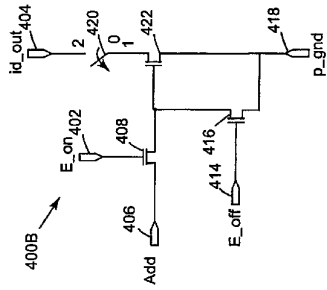


Fig. 4B

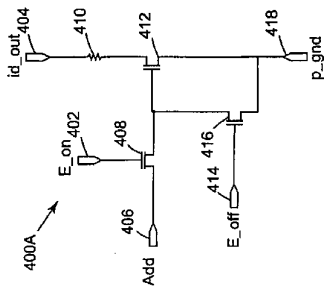


Fig. 4A

	506	508A	508B	508C	508D
502	Parity	Bit 1	Bit 2	Bit 3	Bit 4
504	Example 1	0	0	1	1
Example 2	1	1	0	0	0

Fig. 5A

	506	508A	508B	508C	508D
502	Parity	Bit 1	Bit 2	Bit 3	Bit 4
504	Example 1	0	0	1	1
Example 2	1	1	0	1	0

Fig. 5B

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

		Internal Application No PCT/US 02/16507
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 B41J2/175		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 B41J		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, IBM-TDB, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 027 986 A (SEIKO EPSON CORP) 16 August 2000 (2000-08-16) column 7, line 46 - line 53 column 8, line 3 - line 15; figure 9 column 13, line 46 - column 14, line 50; figure 17 column 18, line 8 - line 11; figure 16 --- -/--	1, 5-8, 10-13, 17, 21-23, 25-27, 29, 34, 35, 37, 39-42
<input checked="" type="checkbox"/>	Further documents are listed in the continuation of box C.	<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents:		
A document defining the general state of the art which is not considered to be of particular relevance		
E earlier document but published on or after the international filing date		
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		
O document referring to an oral disclosure, use, exhibition or other means		
P document published prior to the international filing date but later than the priority date claimed		
T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention		
X document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone		
Y document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.		
Z document member of the same patent family		
Date of the actual completion of the international search	Date of mailing of the international search report	
22 July 2002	31/07/2002	
Name and mailing address of the ISA European Patent Office, P.B. 5018 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3019	Authorized officer Adam, E	

INTERNATIONAL SEARCH REPORT

International	Application No
PCT/US	02/16507

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 956 963 A (HEWLETT PACKARD CO) 17 November 1999 (1999-11-17) column 7, line 26 -column 8, line 45; figures 3,4,7	1,5-8, 10-13, 17, 21-23, 25-27, 29,34, 35,37, 39-42
A	EP 1 078 759 A (CANON KK) 28 February 2001 (2001-02-28) abstract column 13, line 47 -column 14, line 8	1,13,27, 39
A	EP 1 080 917 A (SEIKO EPSON CORP) 7 March 2001 (2001-03-07) column 9, line 12 - line 31; figure 9	1,13,27, 39
P,A	EP 1 136 268 A (SEIKO EPSON CORP) 26 September 2001 (2001-09-26)	

INTERNATIONAL SEARCH REPORT

ation on patent family members

Internat Application No

PCT/US 02/16507

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 1027986 A	16-08-2000	JP 2000071440 A	07-03-2000
		EP 1027986 A1	16-08-2000
		WO 0012311 A1	09-03-2000
		JP 2000141630 A	23-05-2000
EP 0956963 A	17-11-1999	US 6267463 B1	31-07-2001
		CN 1235300 A	17-11-1999
		EP 0956963 A1	17-11-1999
		JP 11334059 A	07-12-1999
EP 1078759 A	28-02-2001	EP 1078759 A2	28-02-2001
		JP 2001129977 A	15-05-2001
		EP 1078760 A2	28-02-2001
		JP 2001130004 A	15-05-2001
EP 1080917 A	07-03-2001	JP 2000233510 A	29-08-2000
		JP 2000326501 A	28-11-2000
		JP 2000334974 A	05-12-2000
		JP 2001080089 A	27-03-2001
		EP 1080917 A1	07-03-2001
		EP 1004451 A2	31-05-2000
		WO 0047417 A1	17-08-2000
		JP 2000301738 A	31-10-2000
		JP 2000301739 A	31-10-2000
EP 1136268 A	26-09-2001	EP 1136268 A1	26-09-2001
		CN 1338992 T	06-03-2002
		WO 0125017 A1	12-04-2001

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN, TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE, GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VN,YU,ZA,ZM,ZW

(72)発明者 シェパード、マシュー・エイ

アメリカ合衆国 9 8 6 8 2 ワシントン州ヴァンクーヴァー、ノースイースト・1 6 5・アヴェニュー
- 3 2 0 1

(72)発明者 ヒューム、ギャラード

アメリカ合衆国 9 7 3 3 0 オレゴン州コーヴァリス、ノースウェスト・3 4・ストリート 4 3 5

Fターム(参考) 2C056 EB20 EB45 KC01

2C061 AQ05 HV05 HV24 HV34

5B018 GA01 HA12 HA35 NA04

5B021 AA01 DD00