



(12) 发明专利申请

(10) 申请公布号 CN 105702818 A

(43) 申请公布日 2016. 06. 22

(21) 申请号 201610078326. 5

(22) 申请日 2016. 02. 04

(71) 申请人 易美芯光(北京)科技有限公司

地址 100176 北京市大兴区亦庄经济技术开发区科创十四街99号汇龙森科技园2号楼4层

(72) 发明人 曲晓东 朱浩

(74) 专利代理机构 南昌新天下专利商标代理有限公司 36115

代理人 施秀瑾

(51) Int. Cl.

H01L 33/02(2010. 01)

H01L 33/38(2010. 01)

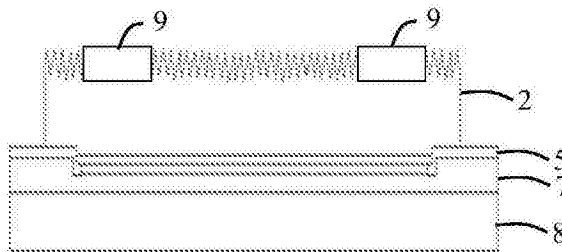
权利要求书2页 说明书5页 附图3页

(54) 发明名称

一种垂直结构芯片及其制备方法

(57) 摘要

本发明提供了一种垂直结构芯片及其制备方法,该垂直结构芯片由中心区域及位于中心区域四周的边缘区域构成。其中,中心区域从下到上依次包括:目标衬底、第一P面金属层、P型GaN层、活性层、N型GaN层以及N电极;边缘区域从下到上依次包括:目标衬底、第二P面金属层、绝缘层、N型GaN层以及N电极。绝缘层位于边缘区域中的N型GaN层和第二P面金属层之间、以及位于中心区域中的P型GaN层和活性层的侧壁。由于将P-GaN和活性层的侧壁绝缘后隐藏于芯片内部,而不裸露于芯片侧面,因此,有效降低了LED芯片侧面上载流子的复合。



1. 一种垂直结构芯片,其特征在于,所述垂直结构芯片由中心区域及位于所述中心区域四周的边缘区域构成,其中,

所述中心区域从下到上依次包括:目标衬底、第一P面金属层、P型GaN层、活性层、N型GaN层以及N电极;所述边缘区域从下到上依次包括:目标衬底、第二P面金属层、绝缘层、N型GaN层以及N电极;

所述绝缘层位于所述边缘区域中的N型GaN层和第二P面金属层之间、以及位于所述中心区域中的P型GaN层和活性层的侧壁。

2. 如权利要求1所述的垂直结构芯片,其特征在于,绝缘层位于所述边缘区域中的N型GaN层和第二P面金属层之间、位于所述中心区域中的P型GaN层和活性层的侧壁、以及位于所述P型GaN层表面靠近所述边缘区域的边缘处。

3. 如权利要求1所述的垂直结构芯片,其特征在于,所述垂直结构芯片中还包括位于所述边缘区域四周的沟槽区域,所述沟槽区域从下到上依次包括:目标衬底和第二P面金属层;

或,所述沟槽区域中还包括位于所述第二P面金属层表面的绝缘层。

4. 如权利要求1或2或3所述的垂直结构芯片,其特征在于,

所述第一P面金属层中包括粘结层、覆盖层、金属反射层;

所述第二P面金属层中包括粘结层和覆盖层,和/或所述第二P面金属层中还包括金属反射层。

5. 如权利要求1或2或3所述的垂直结构芯片,其特征在于,

所述绝缘层的材料为 $\text{SiO}_x\text{N}_y$ 、 $\text{Ti}_x\text{O}_y$ 、高阻GaN以及 $\text{Al}_2\text{O}_3$ 中的一种或多种;

和/或,

所述目标衬底为Cu、C、Si、SiC、Ge、Cu-W合金、Mo以及Cr中的一种或多种形成的导电衬底。

6. 如权利要求4所述的垂直结构芯片,其特征在于,

所述覆盖层和粘结层的材料为Ti、Cu、W、Cr、Pt、Ni、In、Sn、Au中的一种或多种;

和/或,

所述金属反射层的材料为Ni、Ag、Al、Cr、Pt中的一种或多种。

7. 如权利要求1或2或3或6所述的垂直结构芯片,其特征在于,所述N电极为Ti、Al、Pt、Au、Cr中的一种或多种。

8. 一种垂直结构芯片的制备方法,其特征在于,所述制备方法应用于如权利要求1-7任意一项所述的垂直结构芯片,其特征在于,所述制备方法包括以下步骤:

S1在外延衬底上依次生长缓冲层、N型GaN层、活性层以及P型GaN层;

S2腐蚀所述芯片边缘区域的P型GaN层直至暴露所述N型GaN层,且在裸露出来的N型GaN层的表面以及腐蚀之后的活性层和P型GaN层的侧壁生长绝缘层;

S3在腐蚀剩下的P型GaN层表面或在腐蚀剩下的P型GaN层表面和绝缘层表面生长金属反射层,之后再在金属反射层和绝缘层表面依次生长覆盖层和粘结层;

S4将步骤S3中形成的结构通过所述粘结层与一目标衬底粘结,之后去除所述外延衬底和缓冲层,暴露所述N型GaN层;

S5腐蚀所述N型GaN层直至所述绝缘层,形成N面沟槽;

S6在所述N型GaN层表面制作N电极,完成所述垂直结构芯片的制备。

9.如权利要求8所述的垂直结构芯片的制备方法,其特征在于,

在步骤S1中,所述外延衬底为Si或Al<sub>2</sub>O<sub>3</sub>或SiC或GaN;

和/或,

在步骤S2中具体包括:腐蚀所述芯片边缘区域的P型GaN层暴露所述N型GaN层之后继续腐蚀预设厚度的N型GaN层,且在裸露出来的N型GaN层的表面以及腐蚀之后的活性层和P型GaN层的侧壁生长绝缘层;所述预设厚度为0.1~1um。

10.如权利要求8或9所述的垂直结构芯片的制备方法,其特征在于,在步骤S4中具体包括:

采用共晶的方式将步骤S3中形成的结构转移到目标衬底上,所述覆盖层和粘结层的材料为Ni、In、Sn、Au中的一种,所述目标衬底为Cu、C、Si、SiC、Ge、Cu-W合金、Mo以及Cr中的一种或多种形成的导电金属衬底;

或,

采用电镀的方式将步骤S3中形成的结构转移到目标衬底上,所述覆盖层和粘结层的材料为Ti、Au、Cu、W、Cr、Pt中的一种或多种。

11.如权利要求8或9所述的垂直结构芯片的制备方法,其特征在于,在步骤S5中,所述N面沟槽区域的宽度小于所述边缘区域的宽度。

## 一种垂直结构芯片及其制备方法

### 技术领域

[0001] 本发明属于半导体制造技术领域,尤其涉及一种垂直结构芯片及其制备方法。

### 背景技术

[0002] 随着全球极端气候的频繁发生,照明领域也正进入一次大的变革。LED(Light Emitting Diode,发光二极管)作为第三代的固态照明技术,正被大家高度关注;但是随着技术的发展,成熟的现有工艺正面临着巨大的挑战。垂直结构芯片由于其工作时电流分布相对均匀,发光形貌符合朗伯分布模型,因此在大功率光源领域,尤其对光斑质量要求较高的领域有广泛的应用。

[0003] 然而,垂直结构芯片的生产良率一直有待提高,影响良率的关键因素之一便是正反漏电,导致芯片漏电的因素很多,其中很大一部分来自N型区域(N电极和N型GaN层)、活性层、P型区域(P型GaN、P面金属层和目标衬底)之间在侧壁的直接或间接导通。为了解决这一现象的发生,传统的方法是在芯片制作完成后在芯片表面和侧面用 $\text{SiO}_x\text{N}_y$ 等材料做钝化处理,这种处理方式依然无法完全避免侧壁漏电的出现,以及有可能带来遮挡出光等问题。

### 发明内容

[0004] 针对以上问题,本发明旨在提供一种垂直结构芯片及其制备方法,该结构通过一层绝缘层将P-GaN(氮化镓)和活性层的侧壁隐藏于芯片内部,使其不裸露于芯片侧面,避免了LED芯片侧面上载流子的复合。

[0005] 本发明提供的技术方案如下:

[0006] 一种垂直结构芯片,由中心区域及位于所述中心区域四周的边缘区域构成,其中,

[0007] 所述中心区域从下到上依次包括:目标衬底、第一P面金属层、P型GaN层、活性层、N型GaN层以及N电极;所述边缘区域从下到上依次包括:目标衬底、第二P面金属层、绝缘层、N型GaN层以及N电极;

[0008] 所述绝缘层位于所述边缘区域中的N型GaN层和第二P面金属层之间、以及位于所述中心区域中的P型GaN层和活性层的侧壁。

[0009] 在本技术方案中,这里我们将垂直结构芯片分成两个区域,位于芯片中间的中心区域和位于芯片四周的边缘区域,以上我们分别对两个区域的结构做出了描述,要说明的是,由芯片不同区域的结构不同,我们才做此划分,两个区域中除了结构不同的地方,其他区域都是相同的,如,目标衬底,两个区域中的目标衬底加起来即为整个芯片的目标衬底等。

[0010] 进一步优选地,绝缘层位于所述边缘区域中的N型GaN层和第二P面金属层之间、位于所述中心区域中的P型GaN层和活性层的侧壁、以及位于所述P型GaN层表面靠近所述边缘区域的边缘处。

[0011] 进一步优选地,所述垂直结构芯片中还包括位于所述边缘区域四周的沟槽区域,所述沟槽区域从下到上依次包括:目标衬底和第二P面金属层;

[0012] 或,所述沟槽区域中还包括位于所述第二P面金属层表面的绝缘层。

[0013] 在本技术方案中,芯片中除了包括上述的中心区域和边缘区域之外,还包括位于边缘区域四周的沟槽区域,且在该沟槽区域中可以包括绝缘层也可以不包括绝缘层。另外,要说明的是,这里绝缘层可以覆盖整个沟槽区域中第二P面金属层表面,也可以部分覆盖,比如说,绝缘层覆盖第二P面金属层表面的一半区域,且靠近N型GaN层一侧进行覆盖等,都能实现本技术方案中的目的。

[0014] 进一步优选地,所述第一P面金属层中包括粘结层、覆盖层、金属反射层;

[0015] 所述第二P面金属层中包括粘结层和覆盖层,和/或所述第二P面金属层中还包括金属反射层。

[0016] 进一步优选地,绝缘层的材料为 $\text{SiO}_x\text{N}_y$ 、 $\text{Ti}_x\text{O}_y$ 、高阻GaN以及 $\text{Al}_2\text{O}_3$ 中的一种或多种,这里的x/y取大于等于0的整数;

[0017] 和/或,

[0018] 所述目标衬底为Cu(铜)、C(碳)、Si(硅)、SiC(碳化硅)、Ge(锗)、Cu-W合金(铜-金合金)、Mo(钼)以及Cr(铬)中的一种或多种形成的导电金属衬底。

[0019] 进一步优选地,所述覆盖层和粘结层的材料为Ti、Cu、W、Cr、Pt、Ni、In、Sn、Au中的一种或多种;

[0020] 和/或,

[0021] 所述金属反射层的材料为Ni、Ag、Al、Cr、Pt中的一种或多种。

[0022] 进一步优选地,所述N电极为Ti、Al、Pt、Au、Cr中的一种或多种。

[0023] 本发明还提供了一种垂直结构芯片的制备方法,该制备方法应用于上述垂直结构芯片,该制备方法包括以下步骤:

[0024] S1在外延衬底上依次生长缓冲层、N型GaN层、活性层以及P型GaN层;

[0025] S2腐蚀所述芯片边缘区域的P型GaN层直至暴露所述N型GaN层,且在裸露出来的N型GaN层的表面以及腐蚀之后的活性层和P型GaN层的侧壁生长绝缘层;

[0026] S3在腐蚀剩下的P型GaN层表面或在腐蚀剩下的P型GaN层表面和绝缘层表面生长金属反射层,之后再在金属反射层和绝缘层表面依次生长覆盖层和粘结层;

[0027] S4将步骤S3中形成的结构通过所述粘结层与一目标衬底粘结,之后去除所述外延衬底和缓冲层,暴露所述N型GaN层;

[0028] S5腐蚀所述N型GaN层直至所述绝缘层,形成N面沟槽;

[0029] S6在所述N型GaN层表面制作N电极,完成所述垂直结构芯片的制备。

[0030] 进一步优选地,在步骤S1中,所述外延衬底为Si或 $\text{Al}_2\text{O}_3$ 或SiC或GaN;

[0031] 和/或,

[0032] 在步骤S2中具体包括:腐蚀所述芯片边缘区域的P型GaN层暴露所述N型GaN层之后继续腐蚀预设厚度的N型GaN层,且在裸露出来的N型GaN层的表面以及腐蚀之后的活性层和P型GaN层的侧壁生长绝缘层;所述预设厚度为 $0.1\sim 1\mu\text{m}$ 。

[0033] 进一步优选地,在步骤S4中具体包括:

[0034] 采用共晶的方式将步骤S3中形成的结构转移到目标衬底上,所述覆盖层和粘结层的材料为Ni、In、Sn、Au中的一种,所述目标衬底为Cu、C、Si、SiC、Ge、Cu-W合金、Mo以及Cr中的一种或多种形成的导电金属衬底;

[0035] 或,

[0036] 采用电镀的方式将步骤S3中形成的结构转移到目标衬底上,所述覆盖层和粘结层的材料为Ti、Au、Cu、W、Cr、Pt中的一种或多种。

[0037] 进一步优选地,在步骤S5中,所述N面沟槽区域的宽度小于所述边缘区域的宽度。

[0038] 本发明提供的垂直结构芯片及其制备方法,相对于现有的垂直结构芯片,其有益效果在于:

[0039] 在本发明中,在包括了缓冲层、N型GaN层、活性层以及P型GaN层的外延结构生长完成了之后,随即对P型GaN层进行腐蚀直到暴露出N型GaN层,接着在腐蚀掉了P型GaN层和活性层的N型GaN层表面生长绝缘层,得到本发明提供的垂直结构芯片。相比对现有的垂直结构芯片,将上述绝缘层设置在垂直结构芯片侧壁的位置,极大程度上降低了芯片侧壁出现载流子复合的几率;同时有效避免了外延结构与目标衬底之间在制作过程中的无意导通,提高了垂直结构芯片的生产良率;且能够保护芯片侧面不被外界环境影响,大大提高了芯片的可靠性和稳定性。

## 附图说明

[0040] 图1-图11为本发明提供的垂直结构芯片的制备方法的流程示意图;其中,图11为本发明中制得的垂直结构芯片的结构示意图。

[0041] 图中标识说明:

[0042] 1-外延衬底,2-N型GaN层,3-P型GaN层+活性层,4-边缘区域,5-绝缘层,6-金属反射层,7-覆盖层+粘结层,8-目标衬底,9-N电极,10-N面沟槽。

## 具体实施方式

[0043] 在一种实施方式中,本发明提供的垂直结构芯片包括中心区域和边缘区域构成,其中,中心区域从下到上依次包括:目标衬底8、第一P面金属层(包括覆盖层+粘结层7和金属反射层6)、P型GaN层+活性层3、N型GaN层2以及N电极9;边缘区域从下到上依次包括:目标衬底8、第二P面金属层(包括覆盖层+粘结层7,或金属反射层6)、绝缘层5、N型GaN层2以及N电极9。且绝缘层5位于边缘区域中的N型GaN层2和第二P面金属层之间之外,还位于中心区域中的P型GaN层+活性层3的侧壁。

[0044] 要说明的是,在本发明中,外延结构包括但不限于以上描述的P型GaN层+活性层3和N型GaN层2,还可以包括为了增加内量子效率和外量子效率等设计的其他结构。另外,以上描述的中间区域和边缘区域4加起来即为目标衬底8的表面区域,在具体实施例中,通过干法腐蚀/湿法腐蚀的方式腐蚀P型GaN层+活性层3,其中,P型GaN层+活性层3未被腐蚀的区域为中间区域,腐蚀掉的区域为边缘区域4。这样该垂直结构芯片在工作的过程中,载流子只在腐蚀后余下的中间区域(活性层)中复合,有效降低了载流子在芯片侧面的复合,从而大大减小了芯片漏电的概率,提高芯片的稳定性。

[0045] 对上述实施方式进行改进得到另外一种实施方式,在本实施方式中,绝缘层除了位于边缘区域中的N型GaN层和第二P面金属层之间和位于中心区域中的P型GaN层和活性层的侧壁之外,还位于P型GaN层表面靠近边缘区域的边缘处(如图3所示)。

[0046] 对上述实施方式进行改进得到另一种实施方式,在本实施方式中,垂直结构芯片

中还包括位于边缘区域四周的沟槽区域,沟槽区域从下到上依次包括:目标衬底和第二P面金属层。或者,沟槽区域中除了包括目标衬底和第二P面金属层之外,还包括位于第二P面金属层表面的绝缘层,如图11所示。要说明的是,虽然我们在这里将芯片分出了一个沟槽区域,但是在芯片制作的过程中,沟槽区域是在边缘区域中腐蚀N型GaN层形成的(腐蚀N型GaN层形成沟槽),所以,也可以说沟槽区域是包括在边缘区域中的,且沟槽区域的宽度小于边缘区域的宽度。

[0047] 基于上述提供的垂直结构芯片的结构,本发明还提供了一种垂直结构芯片的制备方法,如图1~图11所示,该制备方法应用于上述垂直结构芯片,具体包括以下步骤:S1在外延衬底上依次生长缓冲层、N型GaN层、活性层以及P型GaN层;S2腐蚀芯片边缘区域的P型GaN层直至暴露N型GaN层,且在裸露出来的N型GaN层的表面以及腐蚀之后的活性层和P型GaN层的侧壁生长绝缘层;S3在腐蚀剩下的P型GaN层表面或在腐蚀剩下的P型GaN层表面和绝缘层表面生长金属反射层,之后再在金属反射层和绝缘层表面依次生长覆盖层和粘结层;S4将步骤S3中形成的结构通过粘结层与一目标衬底粘结,之后去除外延衬底和缓冲层,暴露N型GaN层;S5腐蚀N型GaN层直至绝缘层,形成N面沟槽;S6在N型GaN层表面制作N电极,完成垂直结构芯片的制备。

[0048] 基于以上描述的步骤,在一个具体实施例中,首先,选用Si衬底作为外延衬底1,经过处理后,在MOCVD(金属有机化合物化学气相沉淀)中先后生长缓冲层、N型GaN层2、P型GaN层+活性层3得到如图1所示的外延结构。在其他实施例中,外延衬底1还可以选用其他衬底,如 $Al_2O_3$ 、SiC、GaN等衬底,在此不做限定。

[0049] 随后,使用干法腐蚀或湿法腐蚀的方法腐蚀P型GaN层直到暴露N型GaN层2,形成P面沟槽(即边缘区域4),如图2所示。要注意的是,为了保障发光效率,腐蚀出的边缘区域4不能过大,但是应该保证P型GaN层与芯片边缘有足够的距离,以免载流子在侧边进行复合。具体来说,这里腐蚀出来的边缘区域的宽度是根据芯片的尺寸进行选定的,如,在一个实施例中,可以腐蚀出100-200um宽度的边缘区域。在其他实施例中,在腐蚀的过程中,暴露出了N型GaN层之后还继续腐蚀一定厚度的N型GaN层再停止,腐蚀N型GaN层的厚度范围为0.1~1um,可以根据实际情况选择适当的值。

[0050] 如图3所示,腐蚀外延层得到了边缘区域4之后,随即在该边缘区域4上以及腐蚀出来的P型GaN层+活性层3的侧壁生长 $SiO_2$ 绝缘层5。要注意的是,从图中可以看出,在本实施例中,为了最大程度的防止载流子的表面复合,以及工艺的原因,不仅在边缘区域4以及腐蚀暴露出来的N型GaN层2表面形成了绝缘层5,在部分未被腐蚀的P型GaN层的表面也生长部分绝缘层5。另外,在其他实施例中,绝缘层5也可以采用其他材料,如,使用 $SiN_xO_y$ 和 $Ti_xO_y$ 复合结构,通过优化层数和厚度达到形成DBR(Distributed Bragg Reflector,分布式布拉格反射)反射镜的目的以增加出光。

[0051] 如图4所示,绝缘层5制备好了之后,随即采用蒸镀工艺在P型GaN层表面沉积一层材料为Ag的金属反射层6。在其他实施例中,还可以采用其他金属材料作为金属反射层6,如Al、Ti、Au、Cu、W、Cr、Pt、Ni等,可以根据实际情况进行选择。

[0052] 如图5所示,金属反射层6蒸镀好之后,同样采用蒸镀或者溅射工艺分别在金属反射层6和绝缘层5表面镀覆盖层+粘结层7,以实现目标衬底8的邦定,如图6和图7所示,其中,图7为目标衬底8与图5得到的结构进行邦定之后得到的结构。在其他实施例中,也可以采用

共晶的方式实现目标衬底8的转移,共晶材料(粘结层的材料)可以选用Ni、In、Sn、Au等。

[0053] 得到了如图7的结构之后,采用湿法腐蚀的方法去除外延衬底1,如图8所示。在其他实施例中,还可以采用激光剥离、腐蚀、切割、磨抛等方法或者几种方法的组合来去除该外延衬底1。

[0054] 之后,对暴露出来的N型GaN层2表面进行粗化,如图9所示;接着,使用干法/湿法腐蚀的方式腐蚀粗化后的N型GaN层2直到绝缘层5,形成N面沟槽10,如图10所示。要说明的是,这里形成的N面沟槽10的宽度小于等于边缘区域4的宽度,故在实际应用中,N面沟槽10的宽度根据边缘区域4的宽度进行设定,如边缘区域4的宽度为200um,则N面沟槽10的宽度可以为100um/150um等。

[0055] 接着,在腐蚀之后的N型GaN层2表面蒸镀金属形成N电极9,如图11所示。以此得到本发明提供垂直结构芯片。

[0056] 以上所述,仅为本发明中的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉该技术的人在本发明所揭露的技术范围内,可轻易想到的变换或替换都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应该以权利要求书的保护范围为准。





图1

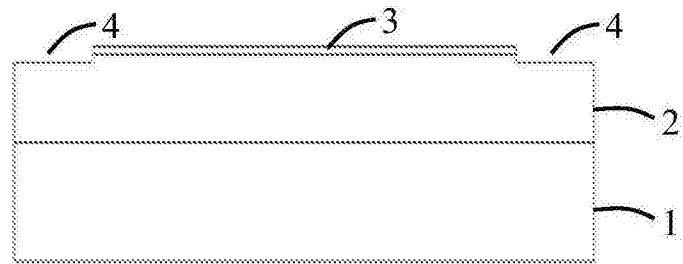


图2

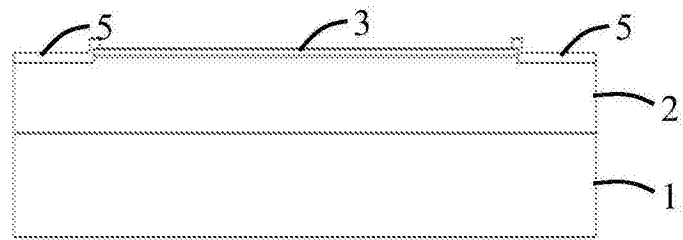


图3

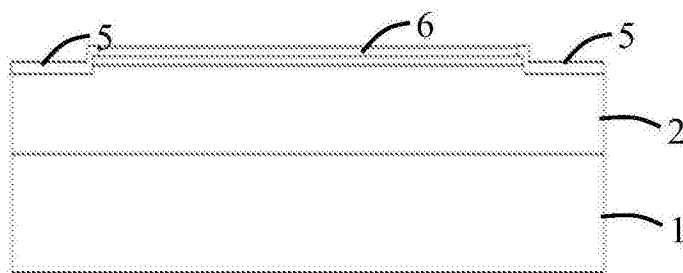


图4

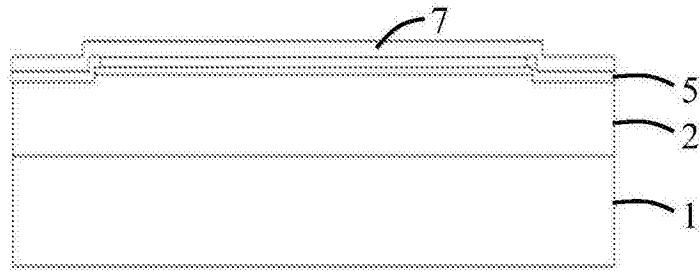


图5

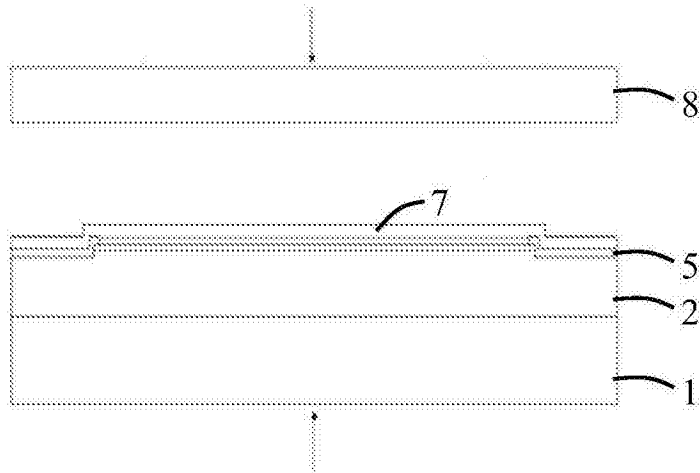


图6

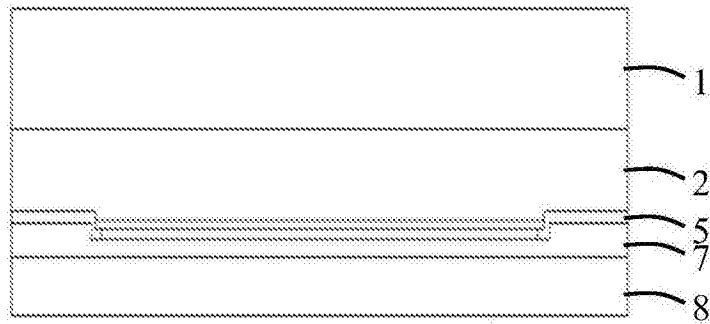


图7

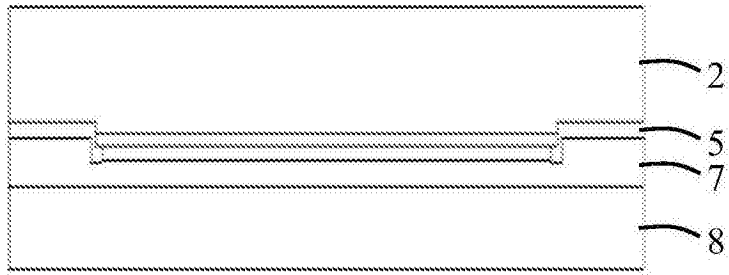


图8



图9

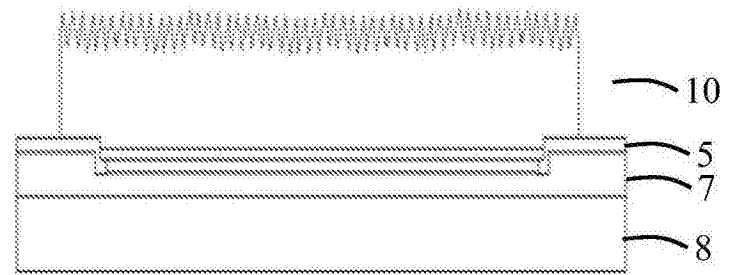


图10

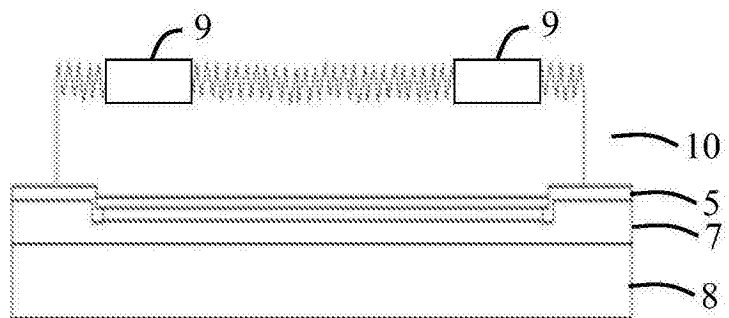


图11