

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月24日(24.05.2018)



(10) 国際公開番号

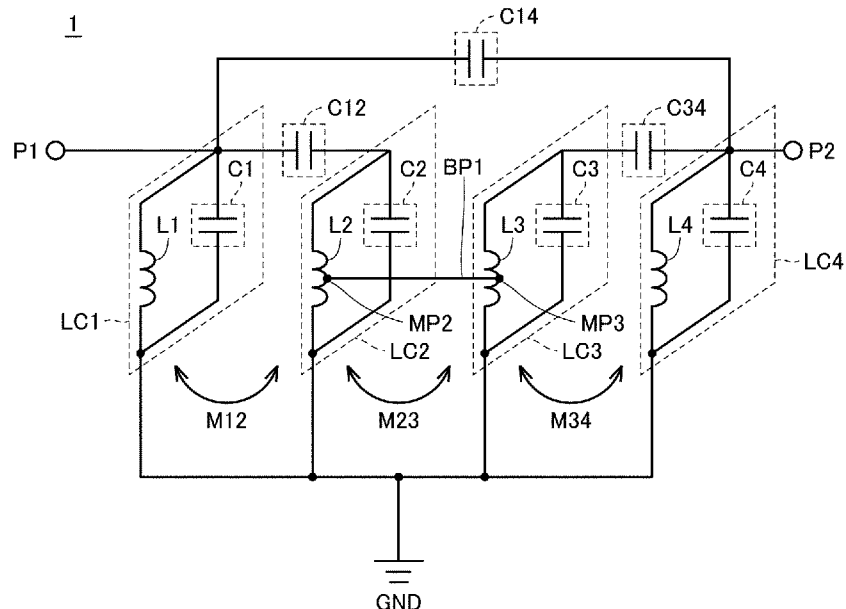
WO 2018/092442 A1

- (51) 国際特許分類:
H03H 7/075 (2006.01) *H01G 4/40* (2006.01)
H01F 17/00 (2006.01) *H03H 7/09* (2006.01)
H01F 27/00 (2006.01)
- (21) 国際出願番号: PCT/JP2017/035906
- (22) 国際出願日: 2017年10月3日(03.10.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-225254 2016年11月18日(18.11.2016) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
- JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 塩川 登 (SHIOKAWA, Noboru);
〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島三丁目 2 番 4 号 中之島フェスティバルタワー・ウエスト Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: LC FILTER

(54) 発明の名称: LC フィルタ

FIG.1



(57) **Abstract:** In order to reduce LC filter insertion loss, an LC filter (1) according to an embodiment of the present invention is provided with a first LC resonator (LC2) and a second LC resonator (LC3). The first LC resonator (LC2) and the second LC resonator (LC3) include a first inductor (L2) and a second inductor (L3), respectively. When viewed in a plan view from the winding axis direction of the first inductor (L2), an air-core portion formed by the first inductor (L2) does not match an air-core portion formed by the second inductor (L3). The LC filter (1) is further provided with a bypass conductor (BP1). The bypass conductor (BP1) connects an intermediate portion of the first inductor (L2) between one end and the other end of the first inductor (L2), and an intermediate portion of the second inductor (L3) between one



HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

end and the other end of the second inductor (L3).

(57) 要約: LCフィルタの挿入損失を低減する。本発明の実施の形態に係るLCフィルタ(1)は、第1LC共振器(LC2)、第2LC共振器(LC3)を備える。LC共振器(LC2)、第2LC共振器(LC3)は、第1インダクタ(L2)および第2インダクタ(L3)をそれぞれ含む。第1インダクタ(L2)の巻回軸方向から平面視したとき、第1インダクタ(L2)によって形成される空芯部は、第2インダクタ(L3)によって形成される空芯部と一致していない。LCフィルタ(1)は、バイパス導体(BP1)をさらに備える。バイパス導体(BP1)は、第1インダクタ(L2)の一方端と他方端との間の第1インダクタ(L2)の中間部と第2インダクタ(L3)の一方端と他方端との間の第2インダクタ(L3)の中間部とを接続する。

明 細 書

発明の名称：ＬＣフィルタ

技術分野

[0001] 本発明は、ＬＣフィルタに関する。

背景技術

[0002] 従来から、ＬＣ共振器を含むＬＣフィルタが知られている。たとえば国際公開第２００７／１１９３５６号（特許文献１）には、複数の誘電体層が積層された積層体の内部に、複数のＬＣ並列共振器が並置された積層帯域通過フィルタが開示されている。

先行技術文献

特許文献

[0003] 特許文献１：国際公開第２００７／１１９３５６号

発明の概要

発明が解決しようとする課題

[0004] 特許文献１に開示されている積層帯域通過フィルタ（バンドパスフィルタ）に含まれるＬＣ並列共振器は、複数の誘電体層の積層方向と直交する方向に沿う線路導体パターンと、当該線路導体パターンから積層方向に伸びる２つのビア導体パターンとにより、巻回軸のまわりに巻回されるように形成されたループ状のインダクタを含む。隣接する２つのＬＣ並列共振器にそれぞれ含まれるインダクタの間には、磁気結合が生じる。磁気結合とは、一方のインダクタに流れる電流の変化に伴ってインダクタ間の磁束が変化し、他方のインダクタに誘導起電力が生じるという、磁束を介した結合である。磁気結合が強いと、インダクタ間の信号伝達が促進されるため、バンドパスフィルタの帯域が広がり、その結果、挿入損失が低減する。

[0005] インダクタ間に生じる磁気結合は、インダクタの巻回軸方向から平面視したとき、（１）２つのインダクタによってそれぞれ囲まれる領域（以下では空芯部ともいう。）が重なっており、かつ、（２）２つのインダクタの向き

が同じ場合に強くなる。インダクタの向きとは、LC共振器に含まれるインダクタの一端とキャパシタとの接続ノードを始点とするインダクタの巻回方向を意味する。

[0006] インダクタ間に生じる磁気結合を強くするためには、(1) および (2) を満たすような配置とすればよい。しかし、LCフィルタに求められる特性から意図的に上記 (1) および (2) の一方または双方を満たさないようにしたり、あるいはLCフィルタの設計上の制約から、上記 (1) および (2) の一方または双方を満たすことが不可能な場合がある。たとえば、国際公開第2007/119356号(特許文献1)に開示されている積層帯域通過フィルタにおいては、減衰極における減衰量を大きくするため、隣接する2つのLC並列共振器に含まれるそれぞれのインダクタの向きを逆にして、インダクタ間の磁気結合を意図的に弱めている。

[0007] インダクタ間の磁気結合が弱いと、インダクタ間の信号伝達が抑制されて、LCフィルタの挿入損失が増加する可能性がある。

[0008] 本発明は上記のような課題を解決するためになされたものであり、その目的は、LCフィルタの挿入損失を低減することである。

課題を解決するための手段

[0009] 本発明の第1の局面に係るLCフィルタは、第1および第2LC共振器を備える。第1および第2LC共振器は、第1および第2インダクタをそれぞれ含む。第1インダクタの巻回軸方向から平面視したとき、第1インダクタによって形成される空芯部は、第2インダクタによって形成される空芯部と一致していない。LCフィルタは、バイパス導体をさらに備える。バイパス導体は、第1インダクタの一方端と他方端との間の第1インダクタの中間部と第2インダクタの一方端と他方端との間の第2インダクタの中間部とを接続する。

[0010] 本発明の第2の局面に係るLCフィルタは、第1および第2LC共振器を備える。第1LC共振器は、第1インダクタと、第1インダクタの一端と第1ノードで接続された第1キャパシタとを含む。第2LC共振器は、第2イ

ンダクタと、第2インダクタの一端と第2ノードで接続された第2キャパシタとを含む。第1インダクタの巻回軸方向から平面視したとき、第1ノードを始点とする第1インダクタの巻回方向は、第2ノードを始点とする第2インダクタの巻回方向とは逆である。LCフィルタは、バイパス導体をさらに備える。バイパス導体は、第1インダクタの一方端と他方端との間の第1インダクタの中間部と第2インダクタの一方端と他方端との間の第2インダクタの中間部とを接続する。

発明の効果

[0011] 本発明に係るLCフィルタによれば、第1インダクタと第2インダクタとを結合するバイパス導体により、磁気結合による信号伝達が補われる。その結果、LCフィルタの挿入損失を低減することができる。

図面の簡単な説明

[0012] [図1]実施の形態1に係るLCフィルタの一例であるバンドパスフィルタの回路図である。

[図2]図1のバンドパスフィルタの外観斜視図である。

[図3]図1のバンドパスフィルタの積層構造の一例を示す分解斜視図である。

[図4]図3に示される積層構造において2つのインダクタに関する導体パターンを示す図である。

[図5]図4に示される導体パターンをY軸方向から平面視した図である。

[図6]図3に示される積層構造においてバイパス導体で接続されている2つのインダクタに関する導体パターンを示す図である。

[図7]図6に示される導体パターンをY軸方向から平面視した図である。

[図8]実施の形態1に係るバンドパスフィルタの減衰特性のシミュレーション結果を示す図である。

[図9]実施の形態2におけるバイパス導体で接続されている2つのインダクタに関する導体パターンをY軸方向から平面視した図である。

[図10]実施の形態2に係るバンドパスフィルタの減衰特性のシミュレーション結果と、実施の形態1に係るバンドパスフィルタの減衰特性のシミュレー

ション結果とを併せて示す図である。

[図11]バイパス導体に含まれる線路導体パターンとバイパス導体で接続されているインダクタに含まれる線路導体パターンとの距離を3段階に変化させた場合のそれぞれの減衰特性のシミュレーション結果を併せて示す図である。

発明を実施するための形態

[0013] 以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は原則として繰り返さない。

[0014] [実施の形態1]

図1は、実施の形態1に係るLCフィルタの一例であるバンドパスフィルタ1の回路図である。図1に示されるように、バンドパスフィルタ1は、入出力端子P1、P2と、LC並列共振器LC1～LC4と、キャパシタC12、C34、C14と、バイパス導体BP1とを備える。

[0015] LC並列共振器LC1～LC4は、入出力端子P1とP2との間に、この順に配置されている。LC並列共振器LC1およびLC2が隣接し、LC並列共振器LC2およびLC3が隣接し、LC並列共振器LC3およびLC4が隣接している。

[0016] LC並列共振器LC1は、インダクタL1とキャパシタC1とを含む。LC並列共振器LC2は、インダクタL2とキャパシタC2とを含む。LC並列共振器LC3は、インダクタL3とキャパシタC3とを含む。LC並列共振器LC4は、インダクタL4とキャパシタC4とを含む。

[0017] インダクタL1およびキャパシタC1の各一方端は入出力端子P1に接続されている。インダクタL1およびキャパシタC1の各他方端は、接地されている。

[0018] キャパシタC12の一方端は、インダクタL1およびキャパシタC1の各一方端に接続されている。キャパシタC12の他方端は、インダクタL2およびキャパシタC2の各一方端に接続されている。インダクタL2およびキ

ャパシタC 2の各他方端は接地されている。インダクタL 1とL 2との間には、磁気結合M 1 2が生じる。

[0019] インダクタL 3およびキャパシタC 3の各一方端は、キャパシタC 3 4の一方端に接続されている。インダクタL 3およびキャパシタC 3の各他方端は接地されている。インダクタL 3は、インダクタL 2と共通化されている部分を含んでおらず、インダクタL 2と別個のインダクタである。インダクタL 2とL 3との間には、磁気結合M 2 3が生じる。

[0020] バイパス導体B P 1は、インダクタL 2の一方端と他方端との間のインダクタL 2の中間部に位置するノードM P 2と、インダクタL 3の一方端と他方端との間のインダクタL 3の中間部に位置するノードM P 3とを接続している。インダクタL 2の中間部は、インダクタL 2の一方端および他方端を含まない。同様に、インダクタL 3の中間部は、インダクタL 3の一方端および他方端を含まない。

[0021] キャパシタC 3 4の他方端は、インダクタL 4およびキャパシタC 4の各一方端に接続されている。インダクタL 4およびキャパシタC 4の各一方端は、入出力端子P 2に接続されている。インダクタL 4およびキャパシタC 4の各他方端は、接地されている。インダクタL 3とL 4の間には、磁気結合M 3 4が生じる。

[0022] キャパシタC 1 4の一方端は、入出力端子P 1に接続されている。キャパシタC 1 4の他方端は、入出力端子P 2に接続されている。

[0023] 以下では、バンドパスフィルタ1を複数の誘電体の積層体として構成する場合について説明する。図2は、図1のバンドパスフィルタ1の外観斜視図である。図2に示されるように、積層方向（バンドパスフィルタ1の高さ方向）をZ軸方向とする。バンドパスフィルタ1の長辺（幅）方向をX軸方向とする。バンドパスフィルタ1の短辺（奥行）方向をY軸方向とする。X軸、Y軸、およびZ軸は互いに直交している。

[0024] バンドパスフィルタ1はたとえば直方体状である。積層方向に垂直な方向に沿うバンドパスフィルタ1の面を底面B Fおよび上面U Fとする。積層方

向に平行な方向に沿う面のうちZX平面に沿う面を側面SF1およびSF3とする。積層方向に沿う面のうちYZ平面に沿う面を側面SF2およびSF4とする。

[0025] 底面BFには、入出力端子P1、P2、および接地電極GNDが形成されている。入出力端子P1、P2、および接地電極GNDは、たとえば底面BFに平面電極が規則的に配置されたLGA (Land Grid Array) 端子である。

[0026] 上面UFには、方向識別マークDMが形成されている。方向識別マークDMは、バンドパスフィルタ1の実装時の向きを識別するために用いられる。

[0027] 図3は、図1のバンドパスフィルタ1の積層構造の一例を示す分解斜視図である。図3に示されるように、バンドパスフィルタ1は、複数の誘電体層Ly r 1 ~ Ly r 16をZ軸方向に積層した積層体である。誘電体層Ly r 1を底面BF側、誘電体層Ly r 16を上面UF側として、誘電体層Ly r 1 ~ Ly r 16の順にZ軸方向に積層されている。図3においては、誘電体層間の接続関係を見易くするため、円柱状のビア導体パターンを点線で描いている。

[0028] 誘電体層Ly r 1の底面BFには、既に説明したように入出力端子P1、P2、および接地電極GNDが形成されている。誘電体層Ly r 1にはさらに、キャパシタ導体パターン11、13および接地導体パターン12が形成されている。キャパシタ導体パターン11と入出力端子P1とは、ビア導体パターンV11およびV12の各々によって接続されている。接地導体パターン12と接地電極GNDとは、ビア導体パターンV13 ~ V15の各々によって接続されている。キャパシタ導体パターン13と入出力端子P2とは、ビア導体パターンV16、V17の各々によって接続されている。

[0029] 誘電体層Ly r 2には、接地導体パターン21が形成されている。接地導体パターン21と接地導体パターン12とは、ビア導体パターンV21およびV22の各々によって接続されている。キャパシタ導体パターン11と接地導体パターン21とは、キャパシタC1を形成している。キャパシタ導体

パターン 1 3 と接地導体パターン 2 1 とは、キャパシタ C 4 を形成している。

[0030] 誘電体層 L y r 3 には、キャパシタ導体パターン 3 1, 3 2 が形成されている。キャパシタ導体パターン 3 1 と接地導体パターン 2 1 とはキャパシタ C 2 を形成している。キャパシタ導体パターン 3 2 と接地導体パターン 2 1 とはキャパシタ C 3 を形成している。

[0031] 誘電体層 L y r 4 には、キャパシタ導体パターン 4 1 が形成されている。誘電体層 L y r 5 には、キャパシタ導体パターン 5 1, 5 2 が形成されている。キャパシタ導体パターン 5 1 とキャパシタ導体パターン 1 1 とは、ビア導体パターン V 5 1 によって接続されている。キャパシタ導体パターン 5 2 と 1 3 とは、ビア導体パターン V 5 2 によって接続されている。キャパシタ導体パターン 4 1, 5 1, 5 2 は、キャパシタ C 1 4 を形成している。

[0032] 誘電体層 L y r 6 には、キャパシタ導体パターン 6 1, 6 2 が形成されている。キャパシタ導体パターン 6 1 とキャパシタ導体パターン 3 1 とは、ビア導体パターン V 1 5 1 によって接続されている。キャパシタ導体パターン 6 2 とキャパシタ導体パターン 3 2 とは、ビア導体パターン V 1 5 8 によって接続されている。キャパシタ導体パターン 6 1, 5 1 はキャパシタ C 1 2 を形成している。キャパシタ導体パターン 6 2, 5 2 はキャパシタ C 3 4 を形成している。

[0033] 誘電体層 L y r 9 には、線路導体パターン 9 1 が形成されている。線路導体パターン 9 1 は、ビア導体パターン V 1 5 2 と V 1 5 7 とを接続している。線路導体パターン 9 1 およびビア導体パターン V 1 5 2, V 1 5 7 は、バイパス導体 B P 1 を形成している。

[0034] 誘電体層 L y r 1 0 には、線路導体パターン 1 0 1, 1 0 2 が形成されている。線路導体パターン 1 0 1 とキャパシタ導体パターン 5 1 とは、ビア導体パターン V 1 2 1 によって接続されている。線路導体パターン 1 0 1 と接地導体パターン 2 1 とは、ビア導体パターン V 1 2 2 によって接続されている。線路導体パターン 1 0 2 と接地導体パターン 2 1 とは、ビア導体パター

ンV 1 2 3によって接続されている。線路導体パターン1 0 2とキャパシタ導体パターン5 2とは、ビア導体パターンV 1 2 4によって接続されている。

[0035] 誘電体層L y r 1 1には、線路導体パターン1 1 1, 1 1 2が形成されている。線路導体パターン1 1 1と線路導体パターン1 0 1とは、ビア導体パターンV 1 2 1およびV 1 2 2の各々によって接続されている。線路導体パターン1 1 2と線路導体パターン1 0 2とは、ビア導体パターンV 1 2 3およびV 1 2 4の各々によって接続されている。

[0036] 誘電体層L y r 1 2には、線路導体パターン1 2 1, 1 2 2が形成されている。線路導体パターン1 2 1と1 1 1とは、ビア導体パターンV 1 2 1およびV 1 2 2の各々によって接続されている。線路導体パターン1 2 2と1 1 2とは、ビア導体パターンV 1 2 3およびV 1 2 4の各々によって接続されている。

[0037] 誘電体層L y r 1 3には、線路導体パターン1 3 1, 1 3 2が形成されている。線路導体パターン1 3 1とキャパシタ導体パターン6 1とは、ビア導体パターンV 1 5 1によって接続されている。線路導体パターン1 3 1と線路導体パターン9 1とは、ビア導体パターンV 1 5 2によって接続されている。線路導体パターン1 3 1と接地導体パターン2 1とは、ビア導体パターンV 1 5 3, V 1 5 4によって接続されている。線路導体パターン1 3 2と接地導体パターン2 1とは、ビア導体パターンV 1 5 5, V 1 5 6によって接続されている。線路導体パターン1 3 2と線路導体パターン9 1とは、ビア導体パターンV 1 5 7によって接続されている。線路導体パターン1 3 2とキャパシタ導体パターン6 2とは、ビア導体パターンV 1 5 8によって接続されている。

[0038] 誘電体層L y r 1 4には、線路導体パターン1 4 1, 1 4 2が形成されている。線路導体パターン1 4 1と1 3 1とは、ビア導体パターンV 1 5 1～V 1 5 4の各々によって接続されている。線路導体パターン1 4 2と1 3 2とは、ビア導体パターンV 1 5 5～V 1 5 8によって接続されている。

- [0039] 誘電体層L y r 1 5 には、線路導体パターン1 5 1, 1 5 2 が形成されている。線路導体パターン1 5 1 と1 4 1 とは、ビア導体パターンV 1 5 1 ~ V 1 5 4 の各々によって接続されている。線路導体パターン1 5 2 と1 4 2 とは、ビア導体パターンV 1 5 5 ~ V 1 5 8 によって接続されている。
- [0040] 誘電体層L y r 1 6 の上面U F には、既に説明したように方向識別マークD M が形成されている。
- [0041] 以下では、図3 に示されるバンドパスフィルタ1 の積層構造において、図4 ~ 図7 を参照しながら、インダクタL 1 ~ L 4 がどのように形成されているかを説明する。図4 は、図3 に示される積層構造においてインダクタL 1, L 4 に関する導体パターンを示す図である。図5 は、図4 に示される導体パターンをY 軸方向から平面視した図である。
- [0042] 図4 および図5 に示されるように、インダクタL 1 は、ビア導体パターンV 1 2 1, 線路導体パターン1 0 1, 1 1 1, 1 2 1, ビア導体パターンV 1 2 2 によって形成されている。インダクタL 1 は、ビア導体パターンV 1 2 1 とキャパシタ導体パターン5 1 との接続ノードS P 1 を始点として、Y 軸に沿う巻回軸W A 1 のまわりに、ビア導体パターンV 1 2 1, 線路導体パターン1 2 1 (1 0 1, 1 1 1), ビア導体パターンV 1 2 2 の順にたどる巻回方向に巻回されるように形成されている。ビア導体パターンV 1 2 1, 線路導体パターン1 2 1 (1 0 1, 1 1 1), ビア導体パターンV 1 2 2 は、空芯部A C 1 を形成している。
- [0043] インダクタL 4 は、ビア導体パターンV 1 2 4, 線路導体パターン1 0 2, 1 1 2, 1 2 2, ビア導体パターンV 1 2 3 によって形成されている。インダクタL 4 は、ビア導体パターンV 1 2 4 とキャパシタ導体パターン5 2 との接続ノードS P 4 を始点として、Y 軸に沿う巻回軸W A 4 のまわりに、ビア導体パターンV 1 2 4, 線路導体パターン1 2 2 (1 0 2, 1 1 2), ビア導体パターンV 1 2 3 の順にたどる巻回方向に巻回されるように形成されている。ビア導体パターンV 1 2 4, 線路導体パターン1 2 2 (1 0 2, 1 1 2), ビア導体パターンV 1 2 3 は、空芯部A C 4 を形成している。

[0044] 図6は、図3に示される積層構造においてバイパス導体BP1で接続されているインダクタL2、L3に関する導体パターンを示す図である。図7は、図6に示される導体パターンをY軸方向から平面視した図である。

[0045] 図6および図7に示されるように、インダクタL2は、ビア導体パターンV151、線路導体パターン131、141、151、ビア導体パターンV153、V154によって形成されている。インダクタL2は、ビア導体パターンV151とキャパシタ導体パターン61との接続ノードSP2を始点として、Y軸に沿う巻回軸WA2のまわりに、ビア導体パターンV151、線路導体パターン151（131、141）、ビア導体パターンV153（V154）の順にたどる巻回方向に巻回されるように形成されている。ビア導体パターンV151、線路導体パターン151（131、141）、ビア導体パターンV153（V154）は、空芯部AC2を形成している。

[0046] インダクタL3は、ビア導体パターンV158、線路導体パターン132、142、152、ビア導体パターンV155、V156によって形成されている。インダクタL3は、インダクタL2の構成要素（ビア導体パターンV151、線路導体パターン131、141、151、ビア導体パターンV153、V154）を含んでおらず、既に説明したようにインダクタL2とは別個のインダクタである。インダクタL3は、ビア導体パターンV158とキャパシタ導体パターン62との接続ノードSP3を始点として、Y軸に沿う巻回軸WA3のまわりに、ビア導体パターンV158、線路導体パターン152（132、142）、ビア導体パターンV156の順にたどる巻回方向に巻回されるように形成されている。ビア導体パターンV158、線路導体パターン152（132、142）、ビア導体パターンV156は、空芯部AC3を形成している。

[0047] 図5および図7を参照しながら、Y軸方向から平面視したとき、インダクタL1の空芯部AC1の一部とインダクタL2の空芯部AC2の一部は重なっていると同時に、インダクタL1の巻回方向とインダクタL2の巻回方向とは同じである。同様に、インダクタL3の空芯部AC3の一部とインダク

タ L 4 の空芯部 A C 4 の一部は重なっているととも、インダクタ L 3 の巻回方向とインダクタ L 4 の巻回方向とは同じである。

[0048] 一方、図 7 に示されるように、Y 軸方向から平面視したとき、インダクタ L 2 および L 3 によってそれぞれ形成される空芯部 A C 2, A C 3 は一致しておらず、他方の空芯部と重なっていない。そのため、インダクタ L 2, L 3 の間に生じる磁気結合 M 2 3 は、インダクタ L 1, L 2 の間に生じる磁気結合 M 1 2 およびインダクタ L 3, L 4 の間に生じる磁気結合 M 3 4 よりも弱くなり得る。その結果、入出力端子 P 1, P 2 の間の信号伝達において磁気結合 M 2 3 がボトルネックとなり、挿入損失が大きくなってしまう可能性がある。

[0049] そこで実施の形態 1 においては、図 7 に示されるように、インダクタ L 2 の一方端と他方端との間のインダクタ L 2 の中間部に位置するノード M P 2 とインダクタ L 3 の一方端と他方端との間のインダクタ L 3 の中間部に位置するノード M P 3 とを、バイパス導体 B P 1 (ビア導体パターン V 1 5 2, 線路導体パターン 9 1, ビア導体パターン V 1 5 7) によって接続する。このようにインダクタ L 2 と L 3 とをバイパス導体 B P 1 によって直接に接続することにより、磁気結合による信号伝達が、バイパス導体 B P 1 を介して行なわれる信号伝達によって補われ、バンドパスフィルタ 1 の通過帯域が広がる。その結果、バンドパスフィルタ 1 の挿入損失を低減することができる。

[0050] 図 8 は、実施の形態 1 に係るバンドパスフィルタ 1 の減衰特性 I L 1 0 のシミュレーション結果を示す図である。図 8 において縦軸の減衰量 (d B) はマイナスの値として示されている。減衰量の絶対値が大きいほど挿入損失は大きい。図 1 0 および図 1 1 においても同様である。図 8 に示されるように、周波数 f_1 を含む周波数帯域においてバンドパスフィルタ 1 の挿入損失が極小となり、通過帯域の広域化が実現されている。

[0051] 以上、実施の形態 1 に係る L C フィルタによれば、2 つのインダクタを結合するバイパス導体により、当該 2 つのインダクタ間の磁気結合による信号

伝達が補われる。その結果、ＬＣフィルタの挿入損失を低減することができる。

[0052] [実施の形態２]

実施の形態１においては、図５および図７からわかるように、バイパス導体ＢＰ１がインダクタＬ１～Ｌ４のそれぞれの空芯部ＡＣ１～ＡＣ４と重なっている。そのため、空芯部ＡＣ１～ＡＣ４に発生した磁束がバイパス導体ＢＰ１によって妨げられ、バイパス導体ＢＰ１に渦電流が発生する。その結果、バイパス導体ＢＰ１に熱（渦電流損）が発生し、バイパス導体ＢＰ１による挿入損失の低減という効果が想定よりも小さくなる可能性がある。

[0053] そこで実施の形態２においては、バイパス導体がＬＣフィルタに含まれるインダクタの空芯部に重ならないように配置する。バイパス導体をこのように配置することにより、バイパス導体における渦電流の発生を抑制することができ、挿入損失を実施の形態１よりもさらに低減することができる。

[0054] 実施の形態２と実施の形態１との違いは、バイパス導体の配置である。それ以外の構成については同様であるため説明を繰り返さない。

[0055] 図９は、実施の形態２においてバイパス導体ＢＰ２で接続されているインダクタＬ２，Ｌ３に関する導体パターンをＹ軸方向から平面視した図である。図９に示されるように、実施の形態２においてバイパス導体ＢＰ２は、実施の形態１のバイパス導体ＢＰ１に含まれる線路導体パターン９１およびビア導体パターンＶ１５２，Ｖ１５７に代わり、線路導体パターン２９１，ビア導体パターンＶ２５２，Ｖ２５７をそれぞれ含む。線路導体パターン２９１は、線路導体パターン１５１，１５２と上面ＵＦとの間に配置されている。ビア導体パターンＶ２５２，Ｖ２５７は、それぞれ線路導体パターン１５１，１５２から上面ＵＦへ向かって伸びている。

[0056] インダクタＬ１～Ｌ４の各空芯部ＡＣ１～ＡＣ４は、線路導体パターン１５１，１５２と底面ＢＦとの間に形成されている。一方、バイパス導体ＢＰ２に含まれる線路導体パターン２９１，ビア導体パターンＶ２５２，Ｖ２５７は、いずれも線路導体パターン１５１，１５２と上面ＵＦとの間に配置さ

れている。そのため、バイパス導体B P 2は、空芯部A C 1～A C 4のいずれとも重ならない。

[0057] 図10は、実施の形態2に係るバンドパスフィルタ2の減衰特性I L 2 0のシミュレーション結果と、実施の形態1に係るバンドパスフィルタ1の減衰特性I L 1 0のシミュレーション結果とを併せて示す図である。図10に示される周波数帯域において、バンドパスフィルタ2の挿入損失は、バンドパスフィルタ1の挿入損失よりも小さい。

[0058] 再び図9を参照して、バイパス導体B P 2に含まれる線路導体パターン291とインダクタL 2に含まれる線路導体パターン152（またはインダクタL 1に含まれる線路導体パターン151）との距離D 2 0を大きくすることにより、線路導体パターン291と空芯部A C 1～A C 4それぞれとの距離が大きくなる。そのため、空芯部A C 1～A C 4に発生する磁束がバイパス導体B P 2によって妨げられる程度が小さくなり、バイパス導体B P 2に発生する渦電流がさらに小さくなる。その結果、バンドパスフィルタ2の挿入損失をさらに小さくすることができる。

[0059] 図11は、バイパス導体B P 2に含まれる線路導体パターン291とインダクタL 2に含まれる線路導体パターン152との距離D 2 0を3段階に変化させた場合のそれぞれの減衰特性I L 2 0～I L 2 2のシミュレーション結果を併せて示す図である。距離D 2 0は、減衰特性I L 2 1, I L 2 0, I L 2 2の順に大きい。図11に示されるように、周波数f 1付近において距離D 2 0が大きくなるほど挿入損失が小さい。

[0060] 以上、実施の形態2に係るL Cフィルタによれば、実施の形態1と同様に2つのインダクタを結合するバイパス導体により、当該2つのインダクタ間の磁気結合による信号伝達が補われる。その結果、L Cフィルタの挿入損失を低減することができる。

[0061] また、実施の形態2においては、バイパス導体がL Cフィルタに含まれるインダクタの空芯部と重ならないため、L Cフィルタの挿入損失を実施の形態1よりもさらに低減することができる。

[0062] 今回開示された各実施の形態は、矛盾しない範囲で適宜組み合わせて実施することも予定されている。今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0063] 1, 2 バンドパスフィルタ、11, 13, 31, 32, 41, 51, 52, 61, 62 キャパシタ導体パターン、12, 21 接地導体パターン、91, 101, 102, 111, 112, 121, 122, 131, 132, 141, 142, 151, 152, 291 線路導体パターン、BP1, BP2 バイパス導体、C1～C4, C12, C14, C34 キャパシタ、DM 方向識別マーク、GND 接地電極、L1～L4 インダクタ、LC1～LC4 並列共振器、Lyr1～Lyr16 誘電体層、P1, P2 入出力端子、V11, V13, V15, V16, V17, V21, V51, V52, V121～V124, V151～V158, V252, V257 ビア導体パターン。

請求の範囲

[請求項1]

LCフィルタであって、
第1インダクタを含む第1LC共振器と、
第2インダクタを含む第2LC共振器とを備え、
前記第1インダクタの巻回軸方向から平面視したとき、前記第1インダクタによって形成される空芯部は、前記第2インダクタによって形成される空芯部と一致しておらず、
前記LCフィルタは、前記第1インダクタの一方端と他方端との間の前記第1インダクタの中間部と前記第2インダクタの一方端と他方端との間の前記第2インダクタの中間部とを接続するバイパス導体をさらに備える、LCフィルタ。

[請求項2]

前記第1インダクタの巻回軸方向から平面視したとき、前記第1インダクタによって形成される空芯部は、前記第2インダクタによって形成される空芯部と重なっていない、請求項1に記載のLCフィルタ。

[請求項3]

LCフィルタであって、
第1インダクタと、前記第1インダクタの一端と第1ノードで接続された第1キャパシタとを含む第1LC共振器と、
第2インダクタと、前記第2インダクタの一端と第2ノードで接続された第2キャパシタとを含む第2LC共振器とを備え、
前記第1インダクタの巻回軸方向から平面視したとき、前記第1ノードを始点とする前記第1インダクタの巻回方向は、前記第2ノードを始点とする前記第2インダクタの巻回方向とは逆であり、
前記LCフィルタは、前記第1インダクタの一方端と他方端との間の前記第1インダクタの中間部と前記第2インダクタの一方端と他方端との間の前記第2インダクタの中間部とを接続するバイパス導体をさらに備える、LCフィルタ。

[請求項4]

前記バイパス導体は、前記第1インダクタの巻回軸方向から平面視

したとき前記第1インダクタによって形成される空芯部と重なっていないとともに、前記第2インダクタの巻回軸方向から平面視したとき前記第2インダクタによって形成される空芯部と重なっていない、請求項1～3のいずれか1項に記載のLCフィルタ。

[請求項5]

前記LCフィルタは、複数の誘電体層が積層方向に積層された積層フィルタであって、

前記第1インダクタは、

前記積層方向に直交する第1方向に沿うように伸びる第1線路導体パターンと、

前記第1線路導体パターンから前記積層方向に沿う第2方向に伸びる第1および第2ビア導体パターンとを含み、

前記第2インダクタは、

前記第1方向に沿うように伸びる第2線路導体パターンと、

前記第2線路導体パターンから前記第2方向に伸びる第3および第4ビア導体パターンとを含み、

前記バイパス導体は、

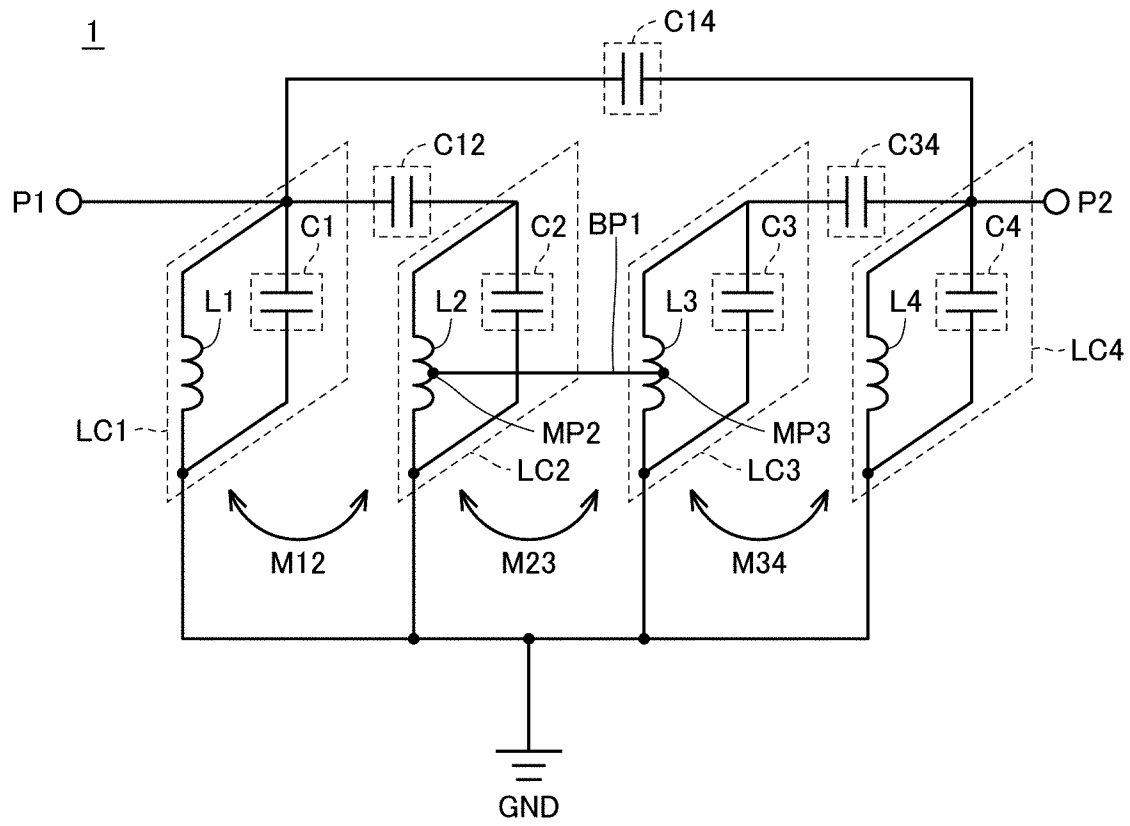
前記第1線路導体パターンから前記第2方向とは逆方向の第3方向に伸びる第5ビア導体パターンと、

前記第2線路導体パターンから前記第3方向に伸びる第6ビア導体パターンと、

前記第5ビア導体パターンと前記第6ビア導体パターンとを接続する第3線路導体パターンとを含む、請求項4に記載のLCフィルタ。

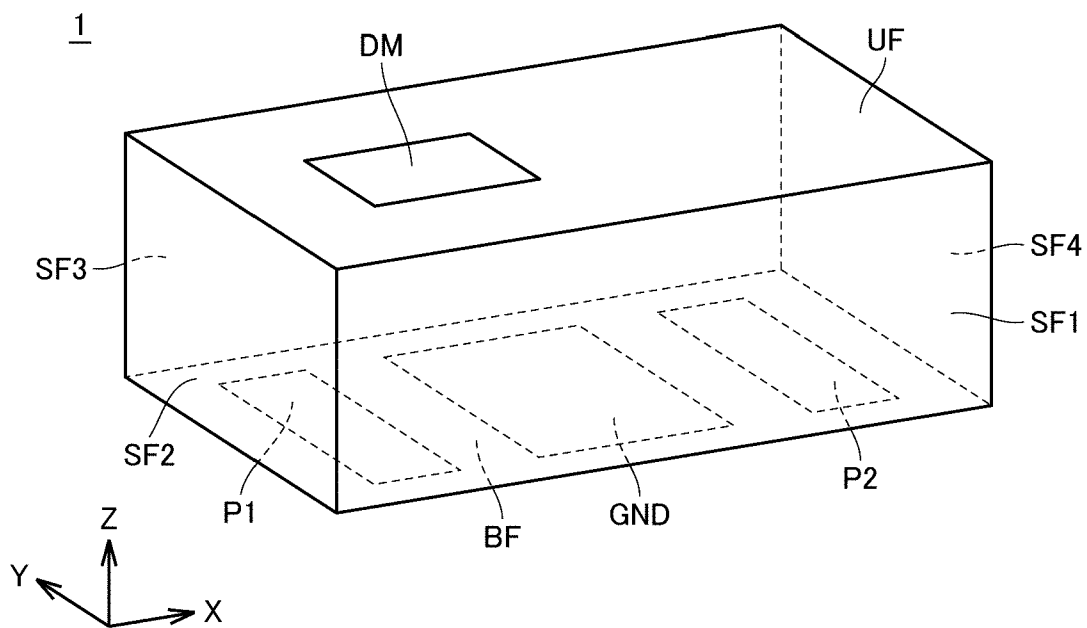
[図1]

FIG.1

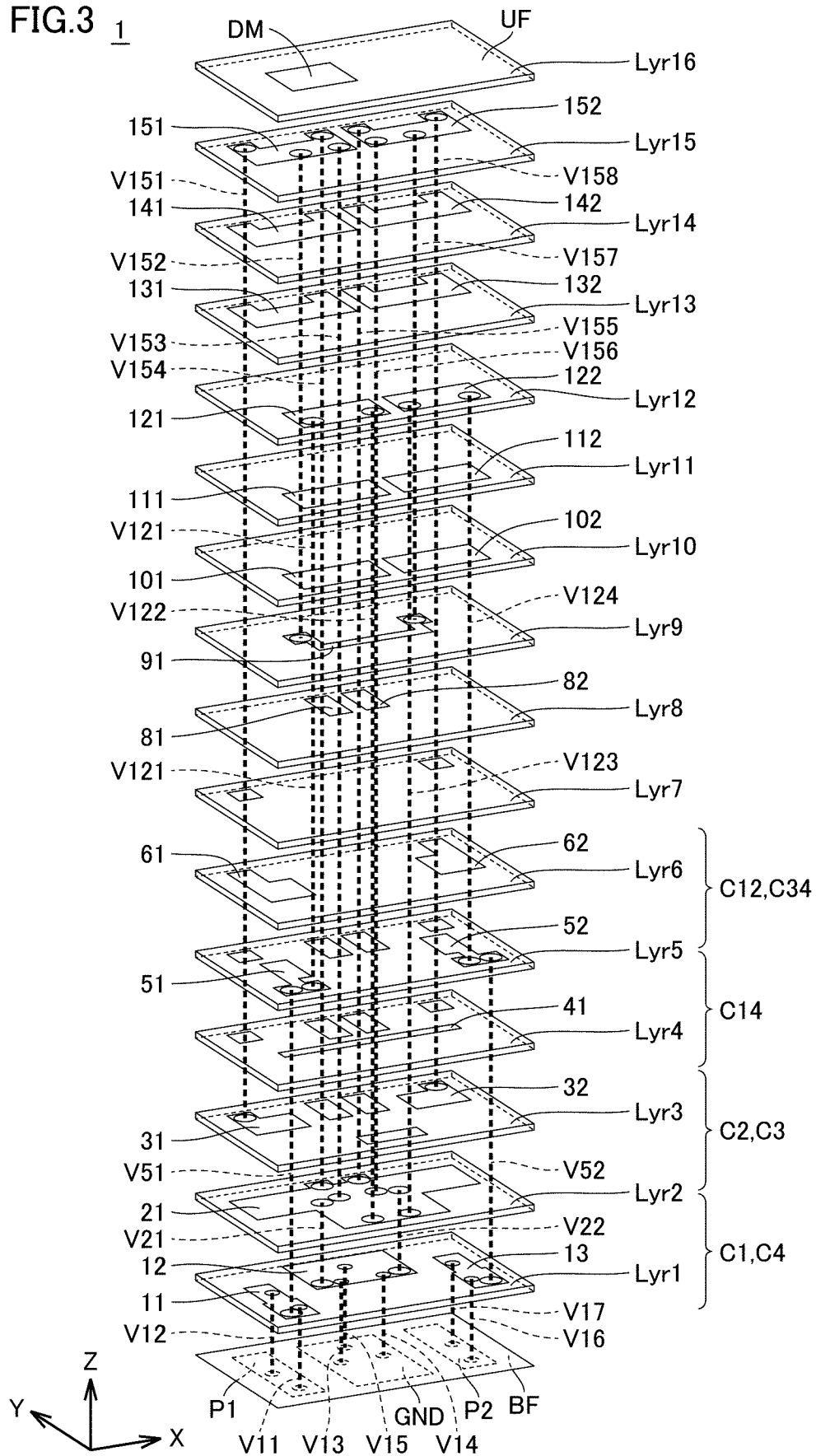


[図2]

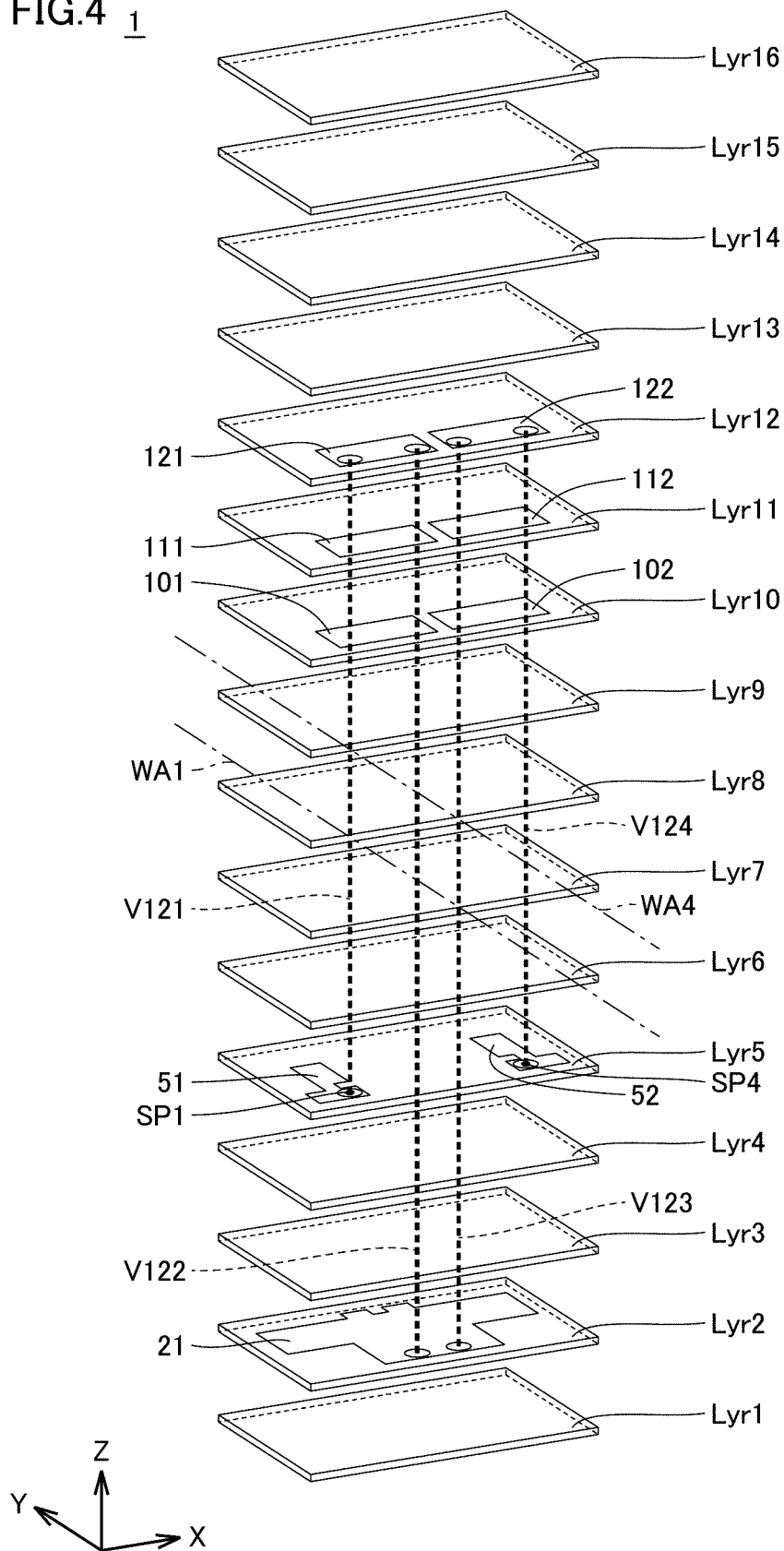
FIG.2



[図3]

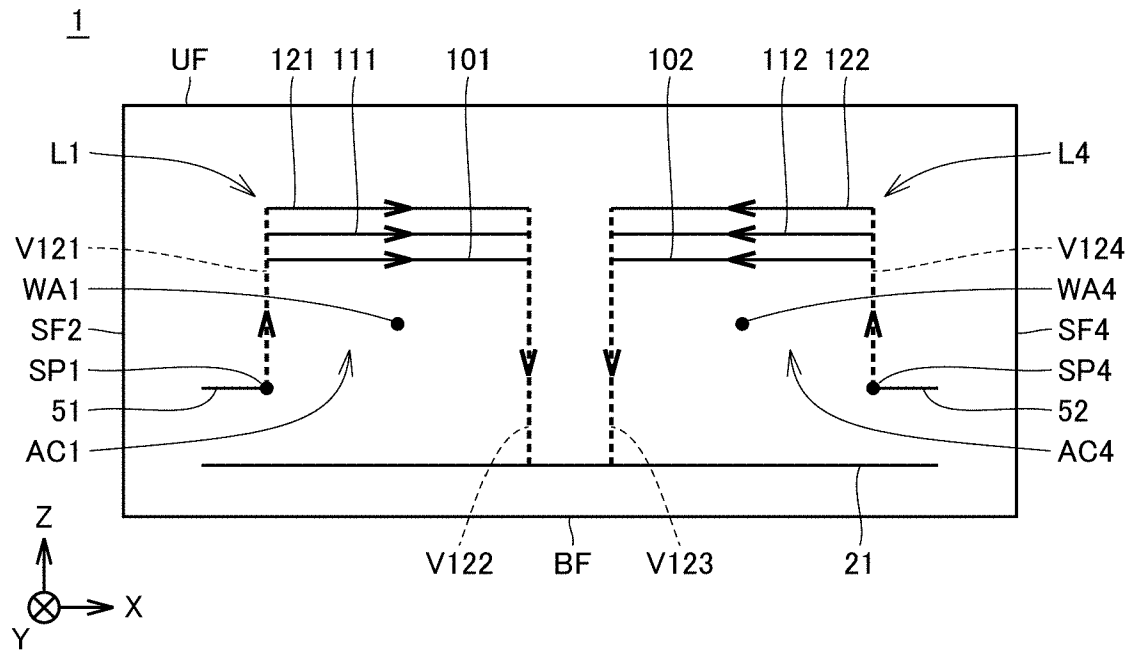
FIG.3 1

[図4]

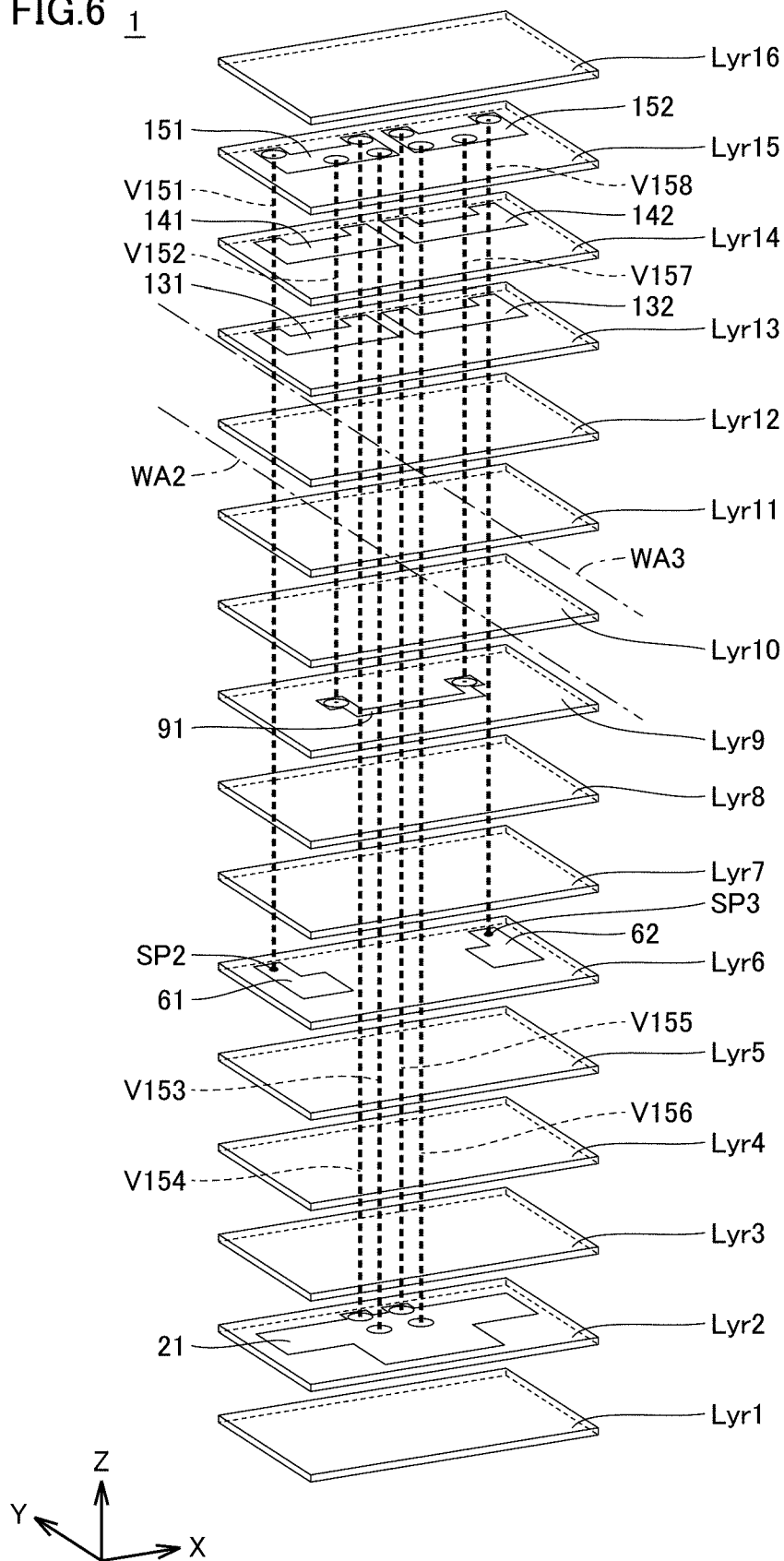
FIG.4 1

[図5]

FIG.5



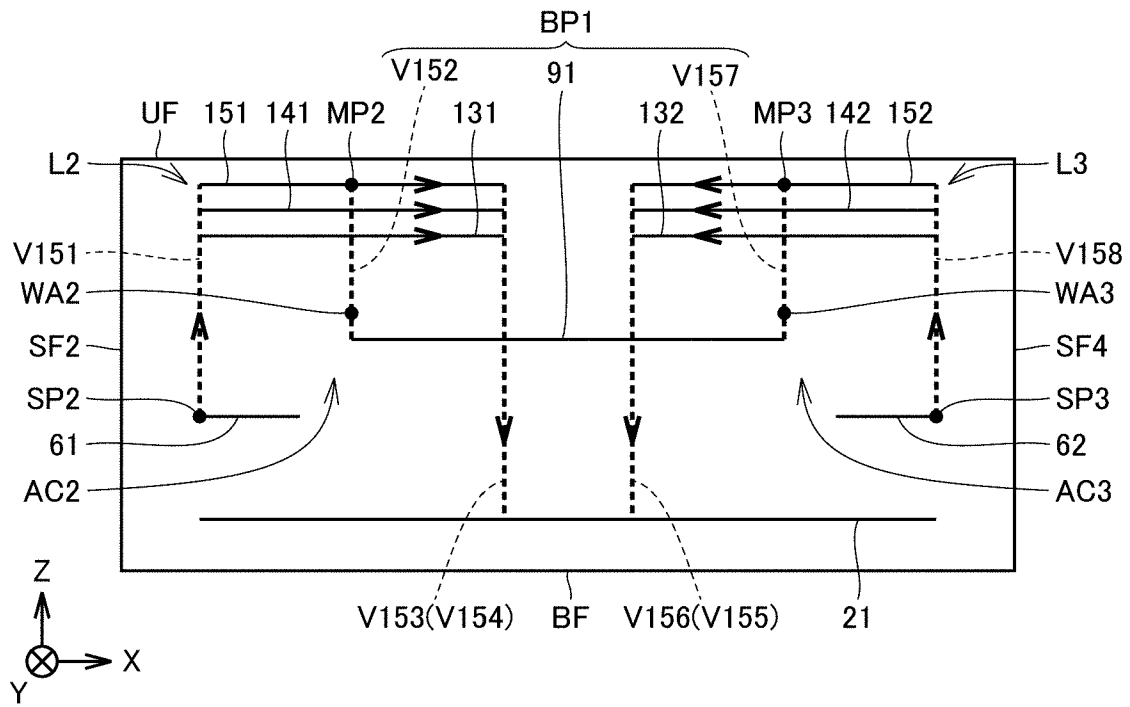
[図6]

FIG.6 1

[図7]

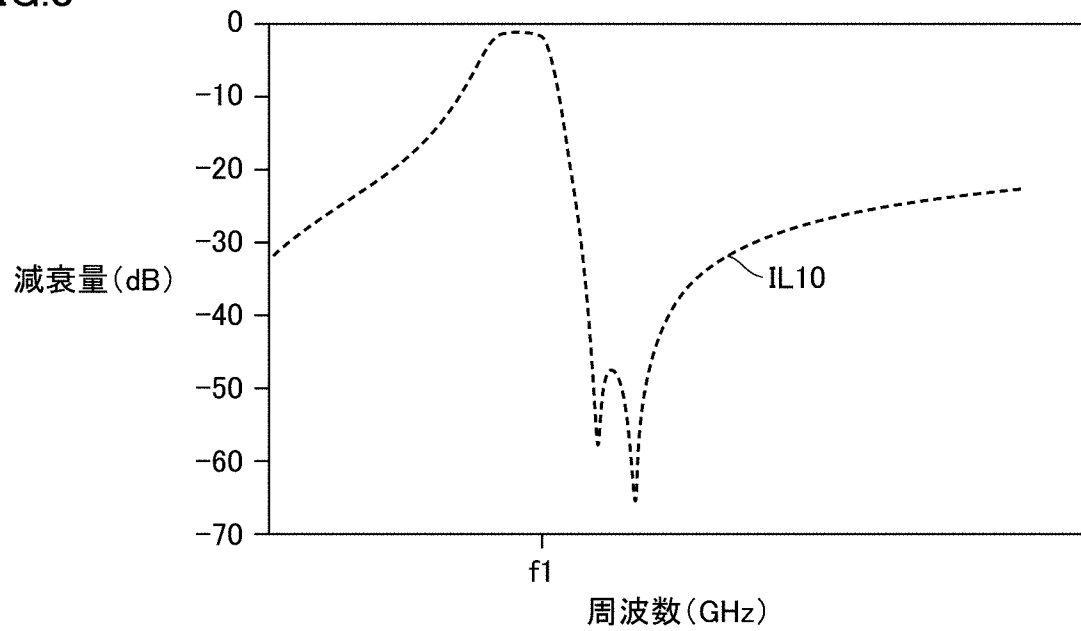
FIG.7

1



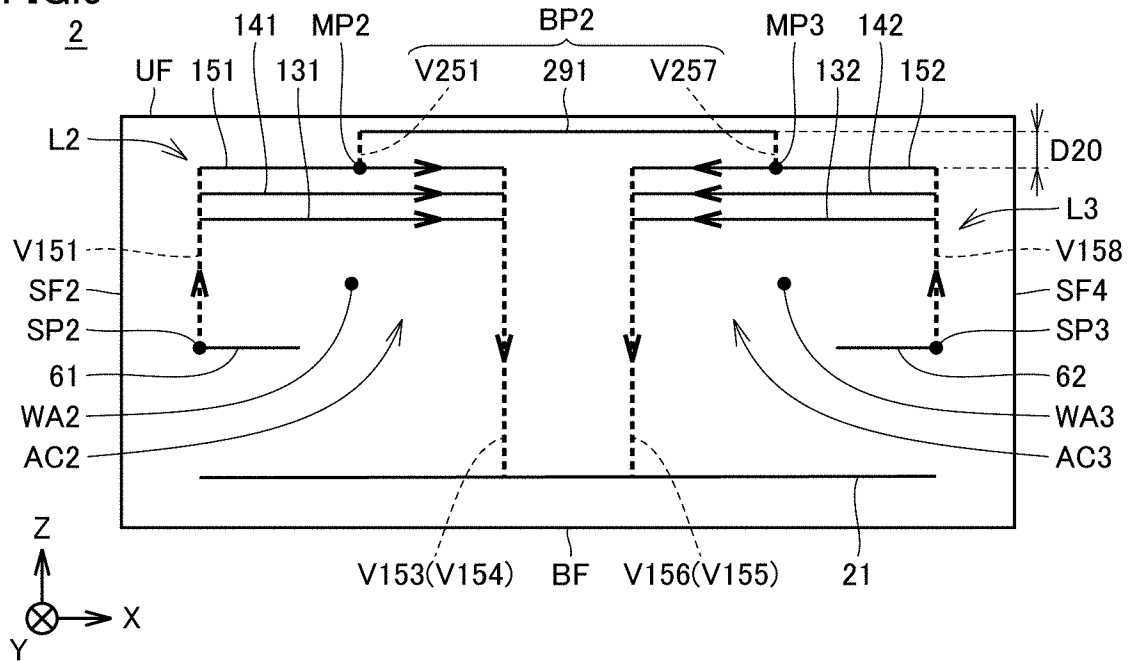
[図8]

FIG.8



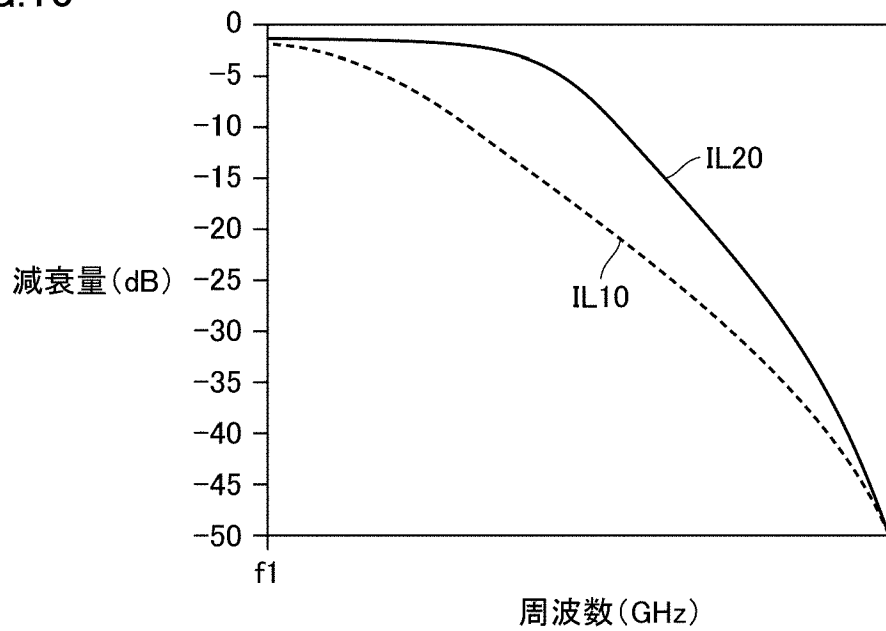
[図9]

FIG.9



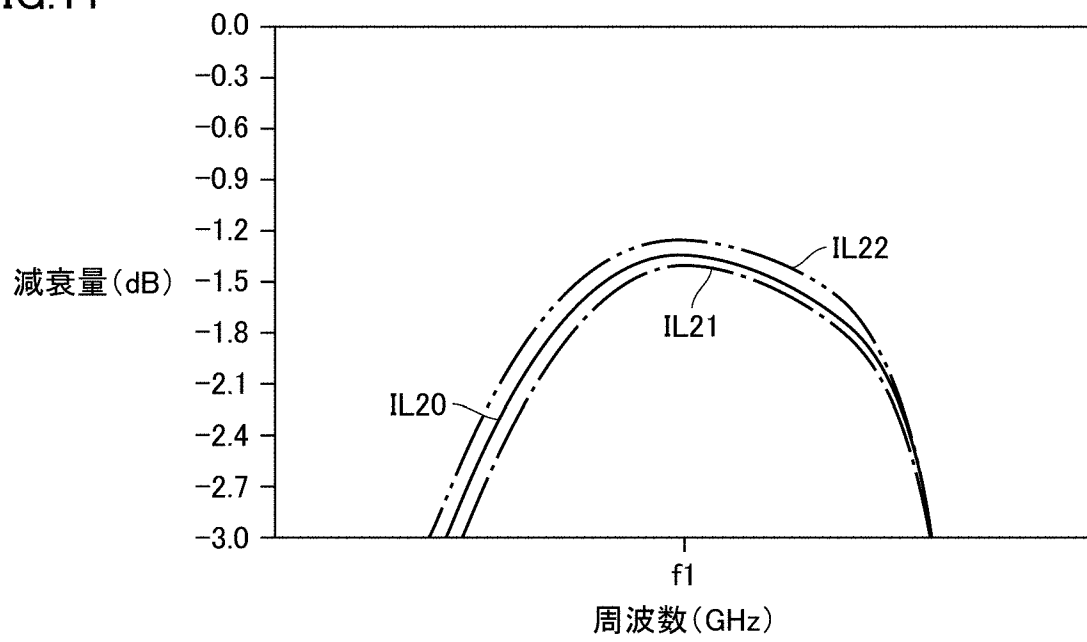
[図10]

FIG.10



[図11]

FIG.11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/035906

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03H7/075(2006.01)i, H01F17/00(2006.01)i, H01F27/00(2006.01)i,
H01G4/40(2006.01)i, H03H7/09(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03H7/075, H01F17/00, H01F27/00, H01G4/40, H03H7/09

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2017
Registered utility model specifications of Japan	1996-2017
Published registered utility model applications of Japan	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	Microfilm of the specification and drawings annexed	1-2
Y	to the request of Japanese Utility Model Application	3-4
A	No. 001927/1981 (Laid-open No. 115232/1982) (MITSUBISHI ELECTRIC CORPORATION) 16 July 1982, page 2, line 12 to page 4, line 8, fig. 1-2 (Family: none)	5
Y	JP 2015-026883 A (MURATA MFG. CO., LTD.) 05 February 2015, paragraph [0068], fig. 2 & US 2015/0028969 A1, paragraph [0080], fig. 2 & EP 2830071 A1 & CN 104348440 A & TW 201505365 A	3-4
A	JP 2008-294844 A (ALPS ELECTRIC CO., LTD.) 04 December 2008, fig. 1 & CN 101312339 A	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 December 2017 (07.12.2017)

Date of mailing of the international search report
19 December 2017 (19.12.2017)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03H7/075(2006.01)i, H01F17/00(2006.01)i, H01F27/00(2006.01)i, H01G4/40(2006.01)i, H03H7/09(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03H7/075, H01F17/00, H01F27/00, H01G4/40, H03H7/09

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	日本国実用新案登録出願56-001927号(日本国実用新案登録出願公開57-115232号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム(三菱電機株式会社)1982.07.16, 第2頁第12行-第4頁第8行, 第1図-第2図(ファミリーなし)	1-2 3-4 5
Y	JP 2015-026883 A (株式会社村田製作所) 2015.02.05, 段落[0068], [図2] & US 2015/0028969 A1, 段落[0080], [図2] & EP 2830071 A1 & CN 104348440 A & TW 201505365 A	3-4

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

07.12.2017

国際調査報告の発送日

19.12.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

石田 昌敏

5W

4181

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-294844 A (アルプス電気株式会社) 2008.12.04, [図1] & CN 101312339 A	1-5