



(12) 发明专利

(10) 授权公告号 CN 113796009 B

(45) 授权公告日 2024. 12. 20

(21) 申请号 202080034215.9
 (22) 申请日 2020.04.03
 (65) 同一申请的已公布的文献号
 申请公布号 CN 113796009 A
 (43) 申请公布日 2021.12.14
 (30) 优先权数据
 2019-102665 2019.05.31 JP
 (85) PCT国际申请进入国家阶段日
 2021.11.08
 (86) PCT国际申请的申请数据
 PCT/JP2020/015264 2020.04.03
 (87) PCT国际申请的公布数据
 W02020/241046 JA 2020.12.03

(73) 专利权人 日立安斯泰莫株式会社
 地址 日本茨城县
 (72) 发明人 中川树生 佐藤堯生 小田部晃
 (74) 专利代理机构 北京尚诚知识产权代理有限公司 11322
 专利代理师 龙淳
 (51) Int.Cl.
 H03K 17/00 (2006.01)
 H03K 17/687 (2006.01)
 G01R 31/50 (2006.01)
 (56) 对比文件
 JP 2001298849 A, 2001.10.26
 JP 2004301670 A, 2004.10.28
 审查员 王晓春

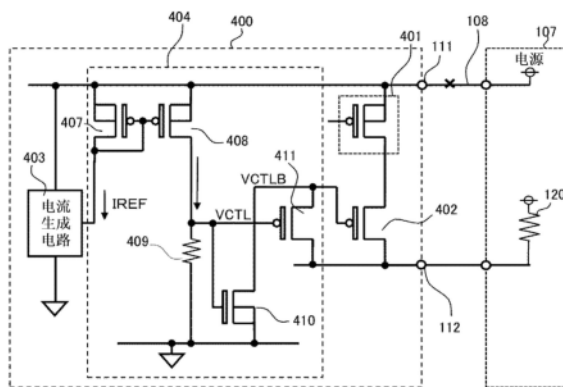
权利要求书2页 说明书7页 附图8页

(54) 发明名称

电子电路和传感器系统

(57) 摘要

本发明提供一种在供电线断线时能够从外部识别断线的状态的电子电路。为此,电子电路包括:设置在电子电路内的电源线与输出端子之间的负载;设置在负载与输出端子之间的晶体管;用电子电路内的电源线的电源电压来生成电流的电流生成电路;和用随着电流生成电路所生成的电流而变化的控制电压来控制晶体管的控制电路。



1. 一种电子电路,其特征在于,包括:
设置在所述电子电路内的电源线与输出端子之间的负载;
设置在所述负载与所述输出端子之间的晶体管;
用所述电子电路内的电源线的电源电压来生成电流的电流生成电路;和
用随着所述电流生成电路所生成的电流而变化的控制电压来控制所述晶体的控制电路,
在所述电流生成电路与所述晶体管之间,具有基于所述电流生成电路所生成的电流的变化来改变所述控制电压的电流镜电路和下拉电阻,
所述下拉电阻连接在所述电流镜电路的输出与地线之间。
2. 如权利要求1所述的电子电路,其特征在于:
所述电子电路内的电源线的所述电源电压因与所述电子电路内的电源线连接的供电线的断线而变化,
所述控制电路用所述控制电压来控制所述晶体的栅极端子的导通和截止。
3. 如权利要求2所述的电子电路,其特征在于:
所述控制电路控制所述晶体的所述栅极端子,使得在所述电子电路动作时使所述晶体管导通,在所述断线时使所述晶体管截止。
4. 如权利要求3所述的电子电路,其特征在于:
在所述断线时,在所述电源电压为比接地电平高的规定电压时使所述晶体管截止。
5. 如权利要求2所述的电子电路,其特征在于:
控制所述晶体的背栅端子,使其在所述电子电路动作时与所述电源电压连接,在所述断线时与所述输出端子的输出电压连接。
6. 如权利要求1所述的电子电路,其特征在于:
所述电流镜电路的设计上的输出电流值与所述下拉电阻的电阻值之积高于动作时提供给所述电源线的电压。
7. 如权利要求1所述的电子电路,其特征在于:
所述电流镜电路是以共源共栅的方式连接有PMOS FET的结构。
8. 如权利要求2所述的电子电路,其特征在于:
在所述断线时,与所述电流生成电路所生成的所述电流相比,所述电流镜电路的输出电流较快地减少。
9. 如权利要求2所述的电子电路,其特征在于:
具有用于在所述断线时将所述晶体的栅极端子与连接了所述输出端子的配线连接的开关。
10. 一种传感器系统,包括:输出与检测对象的变化相应的电信号的传感器元件;和对所述电信号进行处理,并经由输出电路输出该处理的结果的电子电路,所述传感器系统的特征在于:
所述输出电路包括:
设置在所述电子电路内的电源线与输出端子之间的负载;
设置在所述负载与所述输出端子之间的晶体管;
用所述电子电路内的电源线的电源电压来生成电流的电流生成电路;和

用随着所述电流生成电路所生成的电流而变化的控制电压来控制所述晶体管的控制电路，

在所述电流生成电路与所述晶体管之间，具有基于所述电流生成电路所生成的电流的变化来改变所述控制电压的电流镜电路和下拉电阻，

所述下拉电阻连接在所述电流镜电路的输出与地线之间。

11. 如权利要求10所述的传感器系统，其特征在于：所述输出电路输出的信号是SENT信号。

电子电路和传感器系统

技术领域

[0001] 本发明涉及电子电路和传感器系统,例如涉及车载用的半导体电子电路和传感器系统。

背景技术

[0002] 装载有输出由传感器等测量出的信号的输出电路的半导体电子电路被广泛使用。例如,车载用的半导体电子电路内的输出电路有时经由输出配线传输到ECU(Engine Control Unit:发动机控制单元)等。在传感器等半导体电子电路上,一般连接供电线,从外部供电。

[0003] 作为本技术领域中的现有技术有专利文献1。专利文献1公开了如下结构:以防止输出成为电源电压状态的误检测为目的,在负载为开路的情况下,将输出端子电压限制为使用电流源和箝位电路生成的电压,以使得不会误检测为电源电压。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2016-122965号公报

发明内容

[0007] 发明要解决的课题

[0008] 然而,专利文献1没有考虑供电线断线时的情况。

[0009] 在供电线断线时,需要能够在ECU侧识别断线。更具体而言,在ECU侧通过上拉电阻与电源连接的情况下,要求在供电断线时输出电路的输出阻抗成为高阻抗,防止电流向输出端子流入,输出端子电压成为与电源电压大致相等的电压。这样,通过使输出端子电压与电源电压大致相等,能够在ECU侧识别出供电线发生了断线。

[0010] 但是,在供电线断线时,在输出电路内存在电流流过输出端子和电源线的路径,所以有时电流从输出端子流入到输出电路内,输出端子电压成为中间电位。为了在ECU侧识别供电线断线,需要抑制该电流流入和中间电位,使输出阻抗为高阻抗而使输出端子电压为高电平。

[0011] 另外,即使在供电线断线时,有时也会在输出电路内的电源线中残留电荷,电源电压不会下降至接地电平,或者电源电压降低需要非常长的时间。因此,即使在供电线断线时,电源电压也成为中间电位,所以难以将电源电压用于控制电压。在这样的电源电压为中间电位的情况下,也存在抑制从输出端子向输出电路内的电源线的电流流入和输出端子的中间电位并输出高电平的课题。

[0012] 本发明是鉴于这样的情况而完成的,其目的在于提供一种电子电路和传感器系统,在对半导体电路提供的供电线断线的情况下,抑制从输出端子向输出电路内的电源线的电流流入和输出端子的中间电位,使输出阻抗成为高阻抗,使输出端子电压成为与在外部电路侧连接的电压大致相等的电压。

[0013] 用于解决课题的技术方案

[0014] 本发明鉴于上述背景技术和课题,举出其一例为一种电子电路,包括:设置在电子电路内的电源线与输出端子之间的负载;设置在负载与输出端子之间的晶体管;用电子电路内的电源线的电源电压来生成电流的电流生成电路;和用随着电流生成电路所生成的电流而变化的控制电压来控制晶体的控制电路。

[0015] 发明效果

[0016] 根据本发明,能够提供一种断线检测的精度提高的电子电路和传感器系统。

附图说明

[0017] 图1是实施例1中的传感器系统的概略结构图。

[0018] 图2是现有的输出电路的概略结构图。

[0019] 图3是现有的输出电路的动作时和供电线断线时的动作波形图。

[0020] 图4是实施例1中的电子电路的概略结构图。

[0021] 图5是实施例1中的输出电路的动作时和供电线断线时的动作波形图。

[0022] 图6是实施例2中的电子电路的概略结构图。

[0023] 图7是实施例3中的电子电路的概略结构图。

[0024] 图8是实施例4中的电子电路的概略结构图。

[0025] 图9是实施例5中的电子电路的概略结构图。

[0026] 图10是实施例6中的电子电路的概略结构图。

具体实施方式

[0027] 以下,使用附图对本发明的实施例进行详细说明。此外,构成实施例的各功能块的电路元件没有特别限制,通过公知的CMOS(互补型MOS)晶体管等集成电路技术,形成在单晶硅那样的半导体基片上。

[0028] (实施例1)

[0029] 图1是本实施例中的传感器系统的概略结构图。图1所示的传感器系统例如是车载用的传感器系统,包括传感器元件101、半导体电子电路102和ECU107。

[0030] 传感器元件101是电特性根据物理量而变化的元件,输出与检测对象的变化相应的电信号。传感器元件101例如是作为测量发动机吸入的空气量的元件的空气流量传感器等,但并不特别限定于此。即,传感器元件101将空气流量、温度、湿度、压力等物理量转换为电信号并输出。

[0031] 半导体电子电路102具有电源电路103、模拟电路104、处理器105和输出电路106,例如由一个半导体芯片构成。半导体电子电路102主要对来自传感器元件101的电信号进行处理,并将其处理结果经由输出电路106以SENT(Single Edge Nibble Transmission:单边缘可调谐传输)信号或频率调制输出信号等输出。另外,有时也是作为NAND信号电压输出的电路。

[0032] 模拟电路104对来自传感器元件101的电信号进行放大、滤波、模拟/数字转换、数字/模拟转换等处理。处理器105进行数字数据的处理、周边电路的控制等。电源电路103从外部电源生成内部电源,并分配给各电路。输出电路106接收来自模拟电路104或者处理器

105的处理结果,经由输出端子112和输出配线109将输出信号输出到ECU107(例如SENT信号)VOUT。另外,从ECU107或其他外部设备经由供电线108和电源端子111提供电源POWER,经由接地端子113与地GND连接。此外,110是接地配线。

[0033] 图2是现有的输出电路的一例。输出电路201由控制电路202、负载203、204、电源端子111、输出端子112构成。电源端子111与供电线108连接,从ECU等外部提供电源。另外,输出线与输出端子206连接,向ECU等外部控制器传递输出信号。该输出线在ECU的接口电路中经由上拉电阻120与规定的电压连接。规定的上拉电阻120例如为 $1\text{k}\Omega \sim \text{数}10\text{k}\Omega$ 。在通常的动作时,为了输出反映了传感器信号等的的数据,通过控制电路202来控制负载203和204。

[0034] 在此,产生供电线108因来自外部的物理力、经年劣化等而断线的情况。图3表示从动作状态供电线断线时的电压波形。在图3中,上方的波形表示电源端子的电压,下方的波形表示输出端子的电压,表示从动作的状态到305的时刻,供电线断线时的波形。

[0035] 在供电线108断线的情况下,成为不向输出电路201供电的状态。然而,输出线在ECU侧经由上拉电阻120与规定的电压连接,所以如图2所示,电流从输出端子经由负载流入到输出电路内的电源线。此外,在负载为PMOSFET的情况下,也存在电流经由漏极与背栅之间的寄生二极管而流动的情况。输出端子的输出电阻为了驱动输出线或增强抗噪性而设计为数 $10\Omega \sim 1\text{k}\Omega$ 程度。因此,由于与上拉电阻相比为低电阻,所以输出端子电压不会成为被上拉的规定的电压,而成为中间电位(304)。

[0036] 传感器用电子电路需要故障时的诊断功能。在供电线断线而没有对传感器电子电路提供电源的情况下,需要识别为因外部电路而处于断线的状态。更具体而言,通过使输出信号成为高电平并固定为与通常不同的电位,能够识别断线状态。

[0037] 在ECU侧,在供电线断线了的情况下,为了识别是断线状态,要求输出端子电压是规定的电压。具体而言,要求输出电路的输出电阻成为高电阻,成为与连接上拉电阻的电压大致相等的上拉电压。通过成为该上拉电压,能够识别出处于供电线断线状态,但如上所述,在现有技术的电路中成为中间电位,无法识别出处于供电线断线状态。

[0038] 另外,如图3所示,在从被供给电源而传感器电路进行动作的状态起供电线断线的情况下,在输出电路的电源中蓄积有电荷,所以在电源端子中,虽然电压从电源电压(301)下降至某种程度,但下降至接地电平(303)需要相当长的时间。即,电源端子电压也成为中间电位的状态(302)。在ECU侧,需要识别供电线处于断线状态,所以需要不等待电源端子电压降低而使输出端子电压成为高电平。即,课题在于,即使在电源端子电压为中间电位的状态下,也识别出处于供电线断线状态。

[0039] 图4是本实施例中的装载有输出电路的电子电路的概略结构图。在图4中,电子电路400由负载401、晶体管402、电流生成电路403、电流电压转换电路404、电源端子111、输出端子112构成。另外,电流电压转换电路404由通过PMOS FET407、408构成的电流镜电路、电阻409、NMOS FET410、PMOS FET411构成。

[0040] 在通常的动作时,电流生成电路403使用来自电源端子111的电力来生成成为基准的电流IREF。基准电流被电流镜电路镜像,通过电阻409将电流转换为电压。动作时的控制信号VCTL成为高电平。由于该电压通过NMOS FET410而反转,所以通过低电平的信号来控制晶体管402的栅极电压,所以晶体管402导通。另外,PMOS FET411的栅极电压成为高电平,所以成为截止。

[0041] 因此,在通常动作时,将晶体管402控制为导通,通过负载401驱动输出线而从输出端子112输出信号。

[0042] 接着,对供电线断线的情况下的动作进行说明。在供电线108断线的情况下,电子电路利用在供电线断线部分的电子电路侧的电容中蓄积的电荷,在一定程度的期间内继续动作。然后,电子电路由于通过电路消耗电荷,所以电源电压降低,伴随着电源电压的降低,电路变得无法动作。输出电路在电路的动作停止时,电流的消耗量急剧减少。电路动作停止具体是指,电子电路内的电源电压下降至与纵向堆叠晶体管的级数相应的阈值电压附近的电压附近。如果电流消耗变少,则电压本身难以进一步下降。

[0043] 这样,当电子电路内的电源电压下降,电路动作停止时,作为电流生成电路403的输出的基准电流IREF的电流值减少,接近零。伴随于此,电流镜电路的输出电流也减少,电阻409中的电压降变小,控制信号VCTL成为低电平。并且,NMOS FET410的栅极电位成为低电平,所以成为截止。另外,PMOS FET411导通,所以晶体管402的栅极电压成为与输出端子电压大致相等的电压。因此,晶体管402截止,从输出端子112向电子电路内的电源线的阻抗变高,能够抑制从输出端子112向电子电路内的电源线的电流流入,所以能够抑制输出端子112的中间电位。因此,输出端子112的电位成为与在ECU107侧被上拉的电压大致相等的电压,能够识别出处于供电线断线状态。即,PMOS FET411在断线时成为用于将晶体管402的栅极端子与连接有输出端子的配线连接的开关。

[0044] 图5是本实施例中的电子电路的动作时和供电线断线时的动作波形图。在图5中,对与图3相同的功能标注相同的附图标记,并省略其说明。在图5中,上方的波形表示电源端子的电压,中段的波形表示图4中的电流IREF,下方的波形表示输出端子的电压。在动作时被提供电源电压,输出输出信号。另外,生成基准电流IREF (503),控制电压VCTL成为高电平。如果供电线断线(305),则电源端子电压因电路的电流消耗而电压降低至某种程度(502)。因此,基准电流IREF减少,大致为零(503)。伴随于此,控制电压VCTL成为低电平,晶体管402成为截止,输出端子电压成为与上拉电压大致相等的高电平的电压。

[0045] 这样,使用与电子电路内的电源线连接的电压来生成电流,使用根据该电流而变化的电压来控制晶体管,由此能够抑制供电线断线时的输出端子的中间电位,能够使输出阻抗高阻抗化,成为高电平输出。另外,通过使用电流,即使在动作中供电线断线等而电源端子电压不低于一定程度的情况下,也能够使输出端子成为高电平。

[0046] 这样,本实施例中的电子电路通过使用下拉电阻来生成控制电压VCTL,由此,即使在电源被切断的状态下也能够使电压成为接地电平。

[0047] 此外,在本实施例中,说明了负载是晶体管的情况,但不限于此,例如也可以是电阻。通过将电阻设为负载,能够使输出电阻不依赖于输出电压而成为大致一定的电阻值。另外,负载与晶体管的位置关系不限于此。

[0048] 此外,在不需要电路的动作的待机时,通过切断基准电流IREF,能够实现低消耗电力化。

[0049] 接着,对电源电压、电流镜的电流值、电阻值及其动作进行说明,但由于是一个例子,所以不限于此。将电源电压设为5V。基准电流IREF、镜像的电流和下拉电阻如以下那样设定。例如,使用10 μ A作为基准电流IREF。镜比可以是1:1,也可以具有例如4倍的增益而设为1:4。在将镜电流设为40 μ A的情况下,如果将下拉电阻设为300k Ω ,则如果在下拉电阻中

流过40uA的电流,则电压成为12V。实际上,电源电压为5V,所以PMOS FET的源极漏极间电压变低,进入非饱和区域。控制电压成为接近电源电压的小于5V程度的值。即,在通常动作时,控制电压成为与电源电压大致相等的5V。另一方面,在供电线断线时,电源端子电压下降,镜电流减少。如果将NMOS FET的阈值电压设为0.9V,则在电流减少到3 μ A程度的时刻,低于NMOS FET的阈值,NMOS FET截止。

[0050] 这样,通过设计为电流镜的输出电流与下拉电阻之积比电源电压充分高,能够在通常动作时使控制电压为高电平,能够可靠地使晶体管导通。

[0051] 电流生成电路403使用利用带隙参考电路生成等作为电流输出的电路。另外,也可以不是直接使用供给到电源端子的电压,而是将使用稳压器进行了电压转换等的电压作为电源来生成电流的电路。

[0052] 此外,本实施例的负载与晶体管的位置关系也可以相反。即,也可以在负载与电子电路内的电源线之间设置晶体管来进行控制。

[0053] 另外,对电流电压转换电路404使用电流镜和电阻的结构进行了说明,但不限于此。具体而言,例如,也可以通过使用了运算放大器和电阻的电流电压转换电路来生成控制电压。

[0054] 这样,根据本实施例,由于使用根据使用电源端子电压生成的电流的变化而变化的控制电压来控制晶体管的导通/截止,所以能够在供电线断线时适当地控制晶体管,所以能够提供在发生断线时能够输出高电位的、断线检测的精度提高的电路。

[0055] (实施例2)

[0056] 图6是本实施例中的装载有输出电路的电子电路的概略结构图。在图6中,对与图4相同的功能标注相同的附图标记,并省略其说明。在图6中,电子电路600由负载401、晶体管402、电流生成电路403、电流电压转换电路404、电源端子111、输出端子112、基板控制电路604构成。基板控制电路604由PMOS FET601、602构成。当由PMOS FET构成晶体管402时,在漏极端子与背栅端子之间、以及源极端子与背栅端子之间存在寄生二极管。因此,为了防止寄生二极管导通而流过电流,需要将晶体管402的背栅端子连接到高电位。具体而言,晶体管402的背栅端子以在动作时与电源电压连接、在供电线断线时与输出端子的输出电压连接的方式进行控制。在动作时,由于控制电压VCTLB为低电平,所以使PMOS FET601导通,将晶体管402的背栅端子与电源电压连接,保持为电源电压。另外,在供电线断线时,由于输出端子电压比电源电压高,所以使PMOS FET601截止,使PMOS FET602导通,将晶体管402的背栅端子电压与输出端子电压连接。

[0057] 另外,晶体管402的栅极电压使用利用来自电子电路内的电源线的电力来生成电流的电流生成电路403的电流,并使用由电流电压转换电路404进行了电流电压转换后的电压来进行控制。这样,通过控制晶体管402的背栅端子电压,并且使用经由了电流生成电路403、电流电压转换电路404的电压来控制栅极电压,能够控制为在供电线断线时使输出端子的电子电路成为高阻抗状态,输出高电平。

[0058] (实施例3)

[0059] 图7是本实施例中的装载有输出电路的电子电路的概略结构图。在图7中,对与图4相同的功能标注相同的附图标记,并省略其说明。在图7中,电子电路700由负载703、706、晶体管402、电流生成电路403、电流电压转换电路404、电源端子111、输出端子112构成。负载

703和706是以恒定电流驱动输出的电流镜电路。在输出用的电流镜电路中,沉(sink)侧作为负载706,由NMOS FET704和705构成,源侧作为负载703,由PMOS FET701和702构成。在沉侧和源侧分别设置电流镜电路,以一定电流驱动来驱动输出信号的上升、下降。通过进行恒定电流输出,能够适当地驱动输出负载。例如,以数mA至10mA程度的电流进行驱动。如果将输出信号的振幅设为5V,将输出电流设为5mA,则电位差为5V时的输出电阻为1k Ω 。另外,例如电位差为1V时的输出电阻为200 Ω 。该输出电阻的值比上拉电阻小。因此,在供电线断线时,需要使晶体管402成为截止或高阻抗的状态。通过由电流生成电路403生成电流,由电流电压转换电路404进行电流电压转换,控制晶体管402的栅极电压,从而在动作时将晶体管402控制为导通而成为低输出阻抗的状态,在供电线断线时将晶体管402控制为截止而成为高输出阻抗的状态。这样,在供电线断线时抑制向输出端子的电流流入,能够进行高电平输出。

[0060] (实施例4)

[0061] 图8是本实施例中的装载有输出电路的电子电路的概略结构图。在图8中,对与图4相同的功能标注相同的附图标记,并省略其说明。在图8中,与图4的不同点在于,负载801是电阻。这样,负载可以不是晶体管那样的有源元件,也可以是电阻那样的无源元件。另外,也可以是组合了晶体管和电阻的结构。

[0062] (实施例5)

[0063] 图9是本实施例中的装载有输出电路的电子电路的概略结构图。在图9中,对与图7相同的功能标注相同的附图标记,并省略其说明。在图9中,与图7的不同点在于,电流电压转换电路910由以共源共栅(Cascode)的方式连接的电流镜电路905构成。具体而言,电流镜电路905由PMOS FET901、902、903、904构成。在电源电压因共源共栅连接而降低时,PMOS FET容易成为在非饱和区域的动作,在较早的阶段被镜像的电流减少,控制电压VCTL的电位因下拉电阻而下降。伴随于此,通过控制电压VCTLB控制晶体管402的栅极电压,成为截止。

[0064] 通过这样使电流镜电路成为共源共栅连接,纵向层叠的级数变多,在供电线断线时电源端子电压下降时,能够可靠地切断电流,进行高电平输出。通过利用电流镜电路比电流生成电路403的电流供给能力更早地切断电流,能够防止电流生成电路由于从输出端子绕到电子电路内的电源线的电流而动作。

[0065] (实施例6)

[0066] 图10是本实施例中的装载有输出电路的电子电路的概略结构图。在图10中,对与图7相同的功能标注相同的附图标记,并省略其说明。在图10中,电子电路1000由负载703、706、晶体管402、控制电压生成电路1001构成。即使在供电线断线时电源端子电压不下降的情况下,通过二极管连接的PMOS FET1002使电位下降而用于控制,由此能够使控制电压VCTL的电位成为比NMOS FET410的阈值电压低的电压。因此,即使在供电线断线时电源端子电压不降低的情况下,也能够控制晶体管402的栅极电压,能够使晶体管402截止而抑制输出端子电压的中间电位。

[0067] 另外,该元件不限于PMOS FET,也可以使用恒压二极管等。或者,也可以使用电阻,使用对电源电压进行分压后的电压来进行控制。

[0068] 以上对实施例进行了说明,但本发明并不限定于上述的实施例,包含各种变形例。例如,上述的实施例是为了容易理解地说明本发明而详细说明的,并不限定于必须包括所

说明的全部结构。另外,能够将某个实施例的结构的一部分替换为其他实施例的结构,也能够某个实施例的结构上添加其他实施例的结构。另外,对于各实施例的结构的一部分,能够进行其他结构的追加、删除、置换。

[0069] 附图标记说明

[0070] 101:传感器元件;102:半导体电子电路;103:电源电路;104:模拟电路;105:处理器;106、201:输出电路;400、600、700、800、900、1000:电子电路;107:ECU;108:供电线;109:输出配线;110:接地配线;111:电源端子;112:输出端子;113:接地端子;202:控制电路;203、204、401、703、706、801:负载;402:晶体管;403:电流生成电路;404、910:电流电压转换电路;407、408、411、601、602、701、702、901、902、903、904、1002:PMOS FET;409:电阻;410、704、705:NMOS FET;604:基板控制电路;905:电流镜电路;1001:控制电压生成电路。

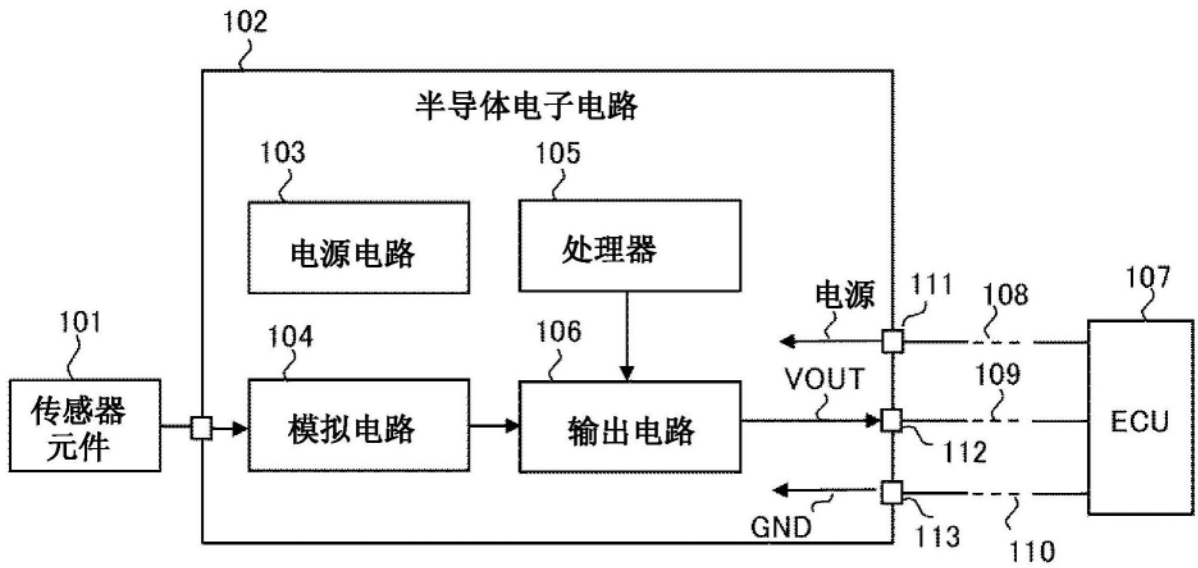


图1

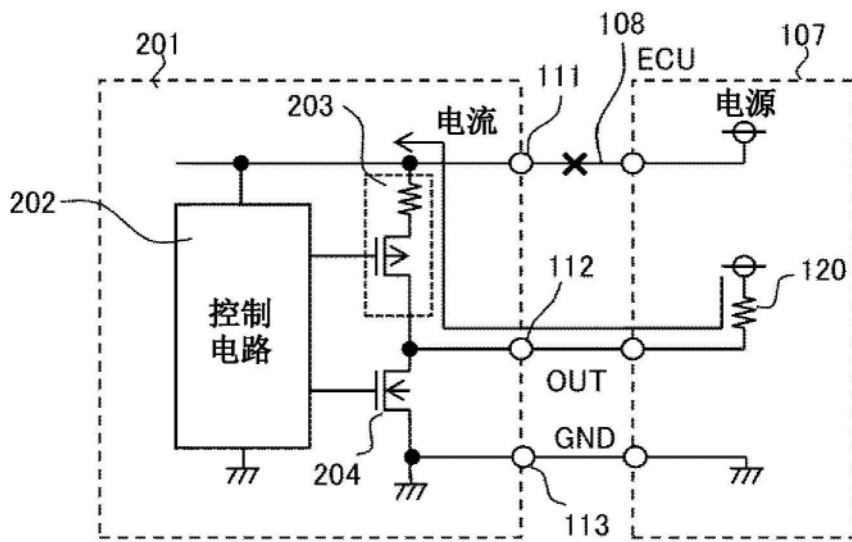


图2

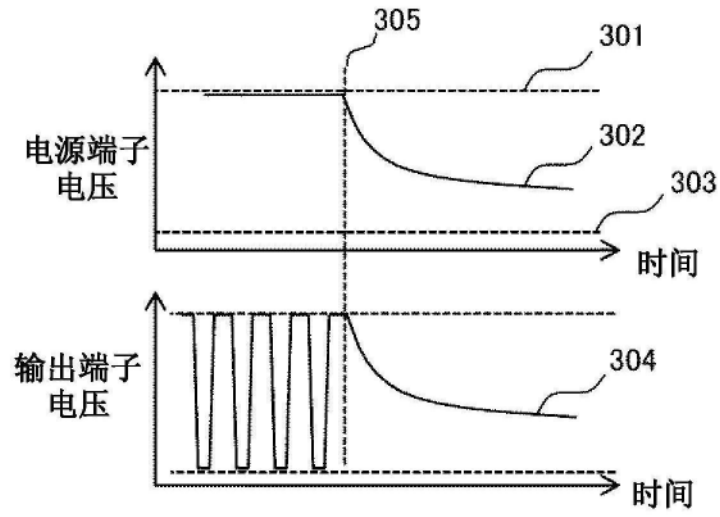


图3

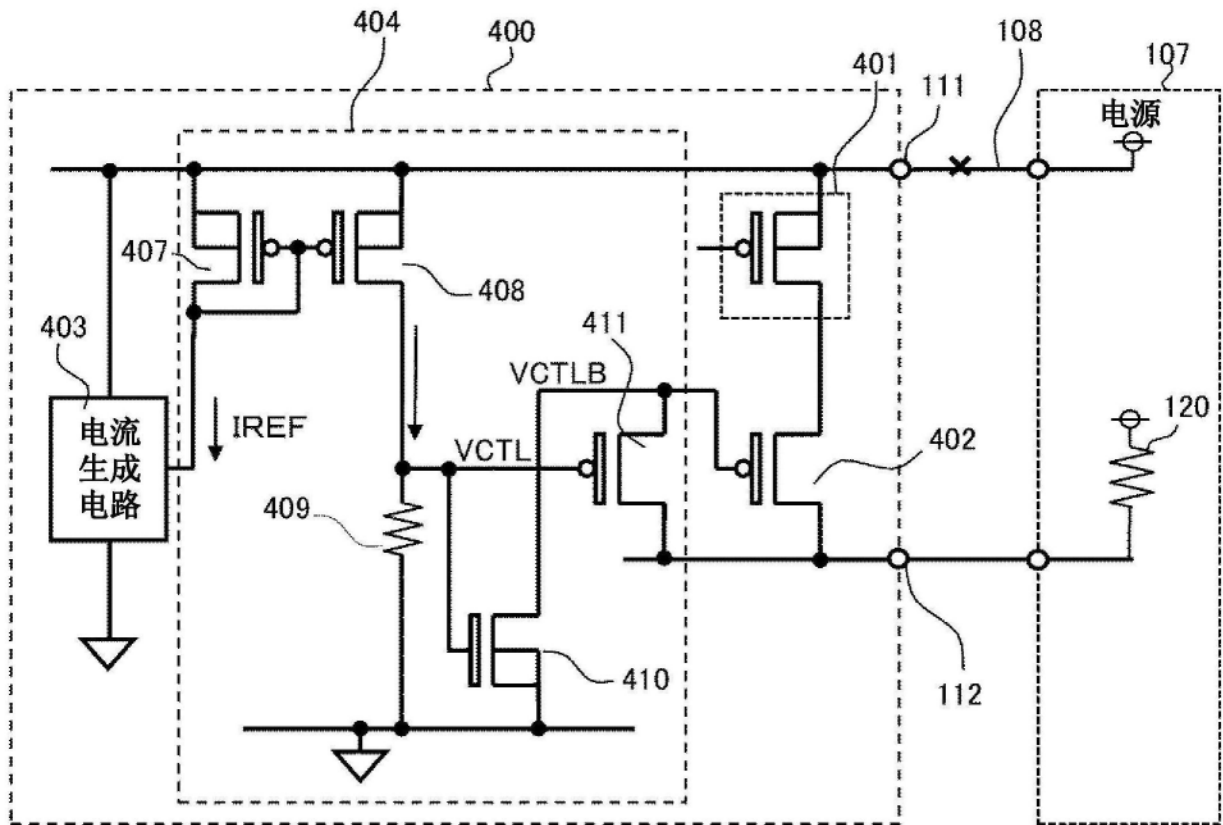


图4

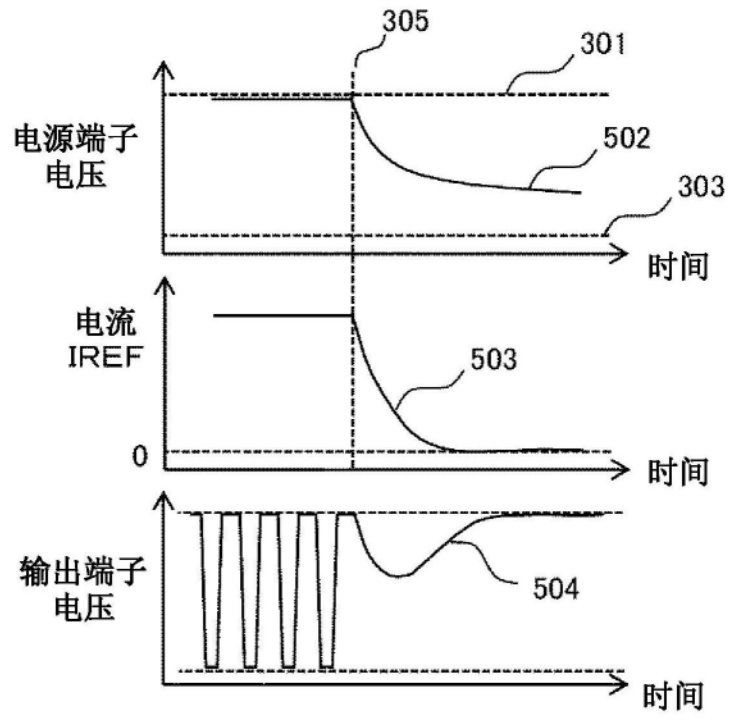


图5

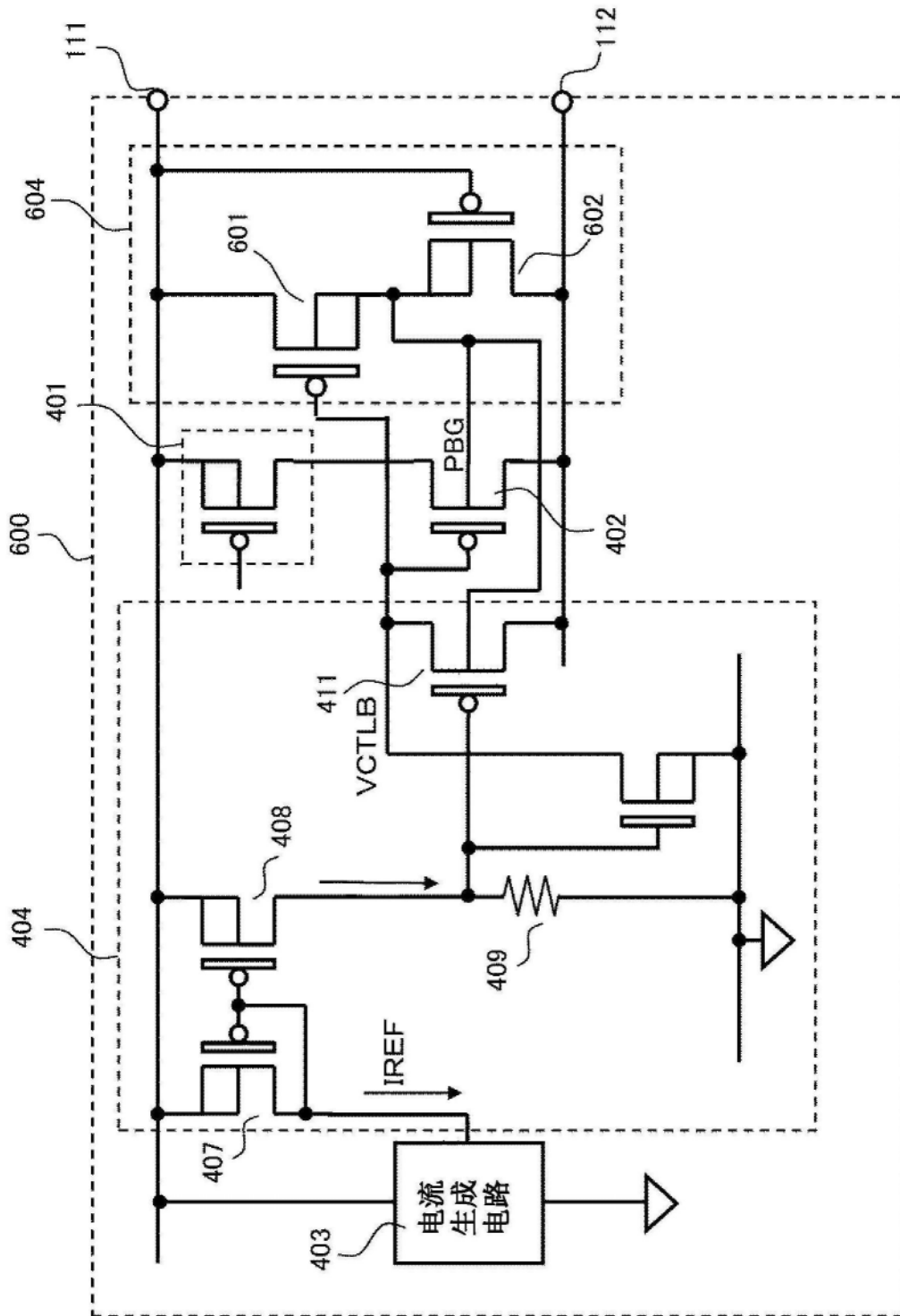


图6

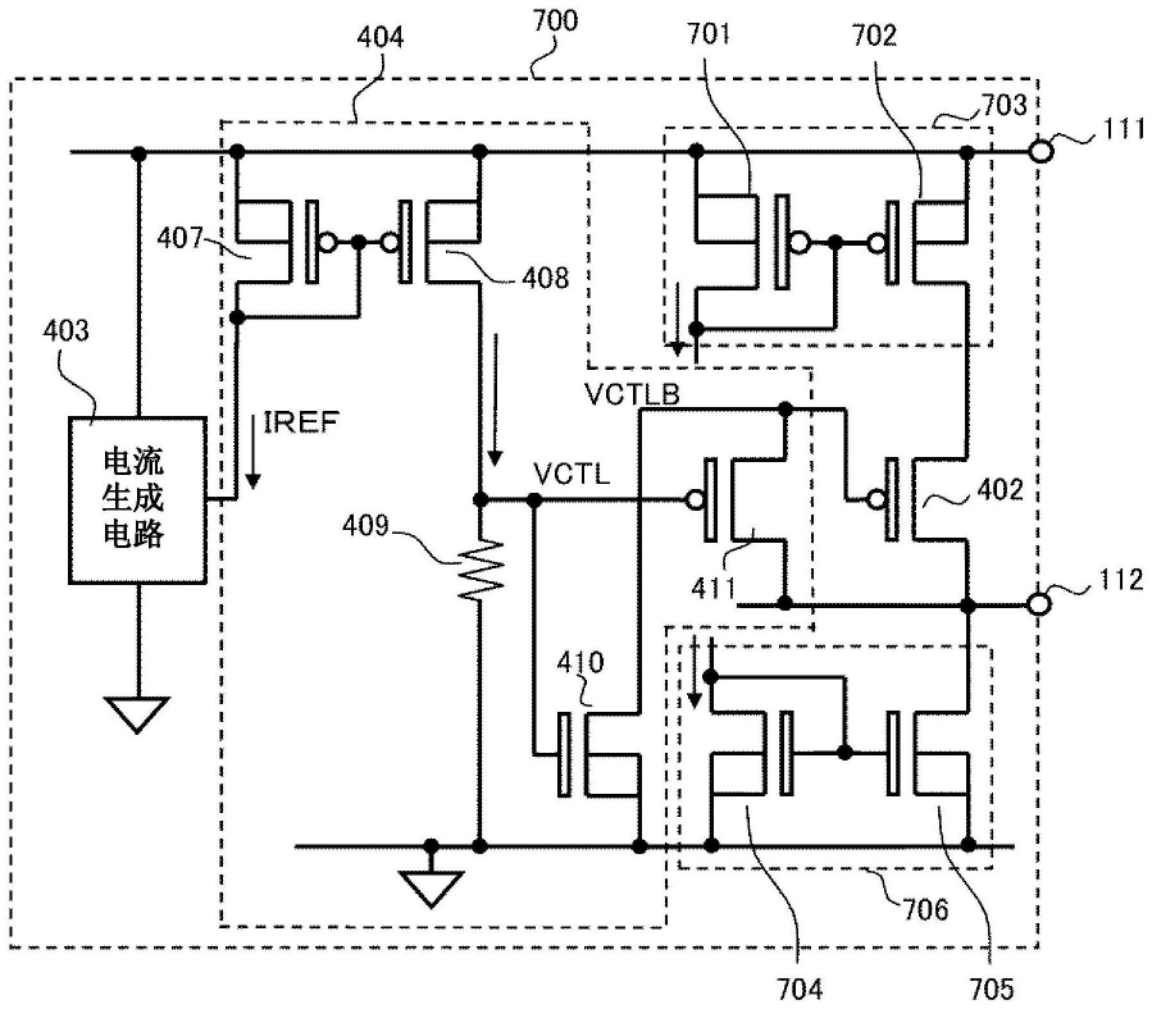


图7

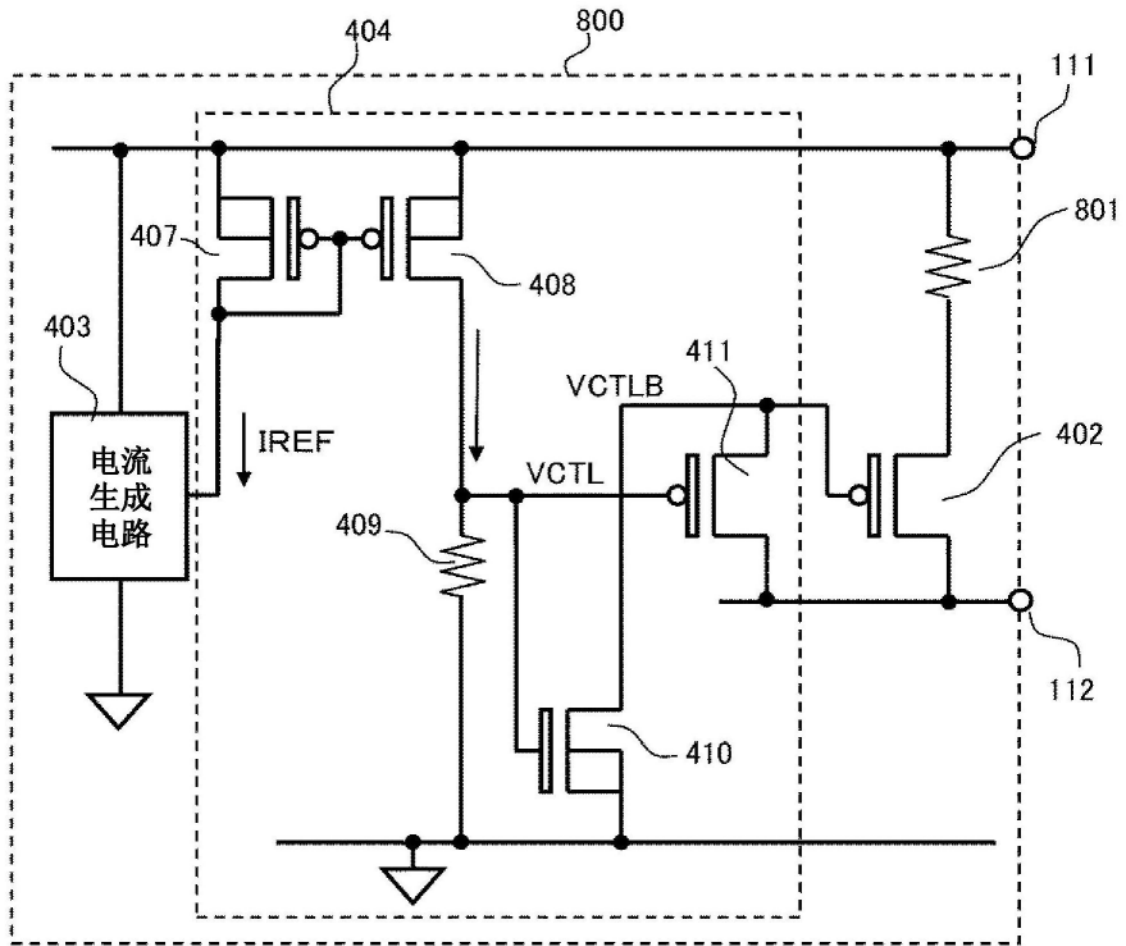


图8

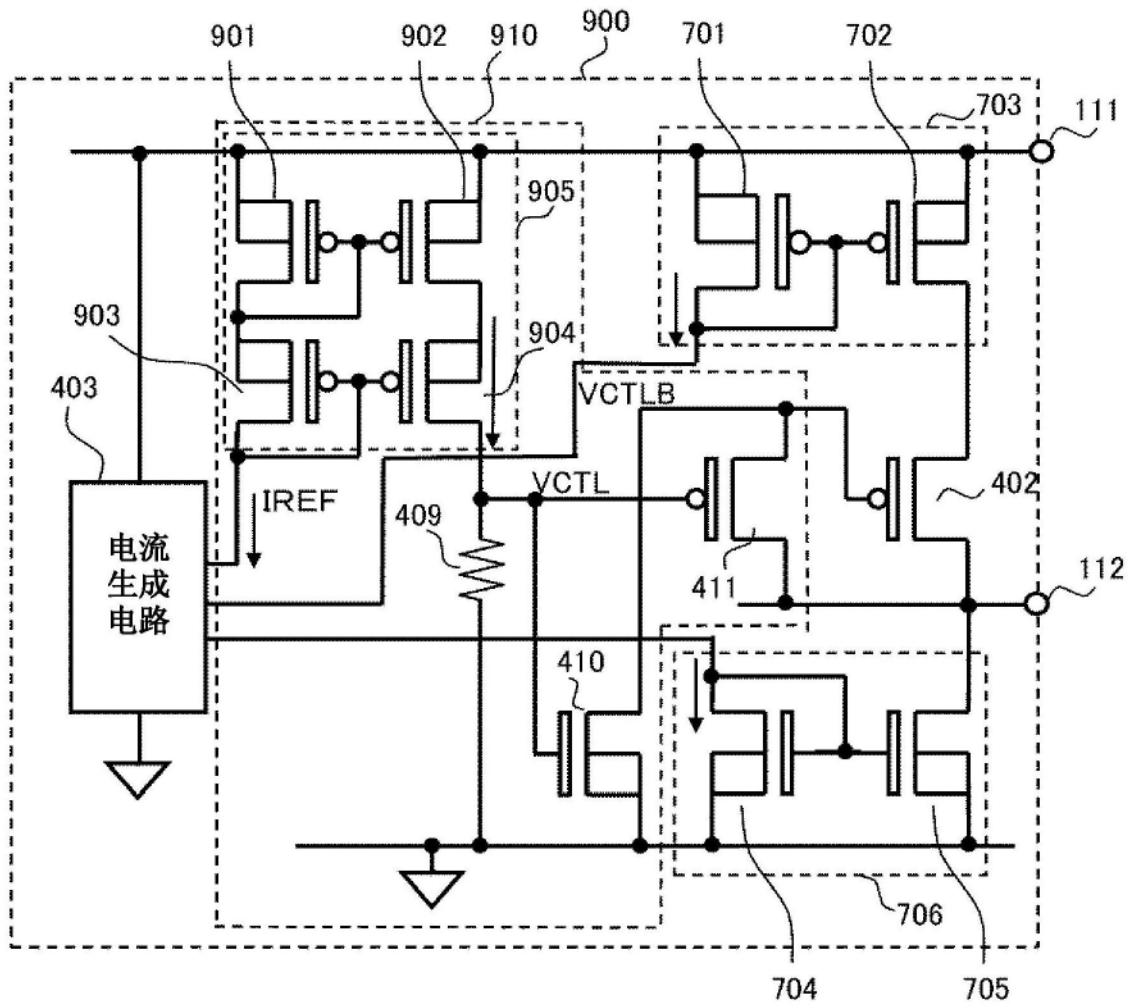


图9

