(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0067360
(43) 공개일자 2011년06월22일

(51) Int. Cl.
H03K 17/04 (2006.01) *H02M 3/155* (2006.01)
(21) 출원번호 10-2009-0123930
(22) 출원일자 2009년12월14일
심사청구일자 2009년12월14일

(71) 출원인
경상대학교산학협력단
경상남도 진주시 가좌동 900
(72) 발명자
송기남
경상남도 함안군 칠서면 구포리 133번지
이용안
경상남도 거창군 거창읍 대동리 108동 509호
한석붕
경상남도 진주시 주약동 한주럭키아파트 1-1005
(74) 대리인
송윤호, 오세준, 권혁수

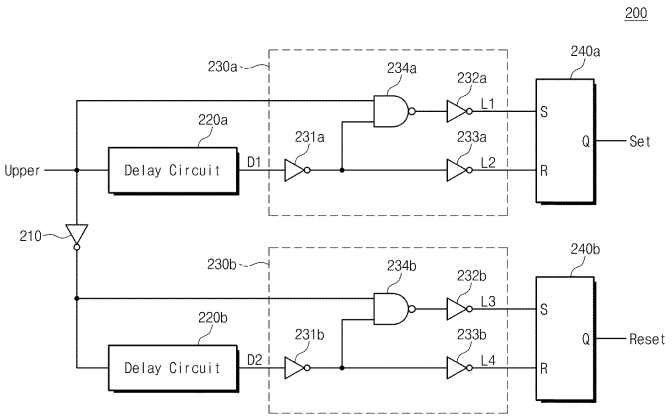
전체 청구항 수 : 총 14 항

(54) 게이트 드라이버 회로

(57) 요 약

본 발명은 공진형 하프-브리지 컨버터의 게이트 드라이버 회로(gate driver circuit)에 관한 것이다. 본 발명의 실시 예에 따른 게이트 드라이버 회로는 입력신호에 응답하여 상단 및 하단 제어신호를 출력하는 슛-스루 보호 회로; 및 상기 상단 제어신호에 응답하여 셋 신호와 리셋 신호를 출력하는 펄스 생성기를 포함한다. 여기서, 상기 펄스 생성기는 상기 상단 제어신호를 지연하여 제 1 지연신호를 출력하기 위한 제 1 지연 회로; 상기 상단 제어신호를 반전하기 위한 인버터; 및 상기 인버터의 출력신호를 지연하여 제 2 지연신호를 출력하기 위한 제 2 지연 회로를 포함한다. 이때, 상기 셋 및 리셋 신호의 펄스 폭은 상기 제 1 및 제 2 지연 회로의 지연 시간에 의해 결정된다. 본 발명의 실시 예에 따른 게이트 드라이버 회로에 의하면, 공정 및 공급전압의 변화에도 상단 및 하단 제어신호 사이의 데드타임(dead-time)과 셋 및 리셋(set, reset) 신호의 펄스 폭(pulse width)을 일정하게 유지할 수 있다.

대 표 도



특허청구의 범위

청구항 1

입력신호에 응답하여 상단 및 하단 제어신호를 출력하는 슛-스루 보호 회로; 및

상기 상단 제어신호에 응답하여 셋 신호와 리셋 신호를 출력하는 펄스 생성기를 포함하며,

상기 펄스 생성기는 상기 상단 제어신호를 지연하여 제 1 지연신호를 출력하기 위한 제 1 지연 회로;

상기 상단 제어신호의 반전신호를 지연하여 제 2 지연신호를 출력하기 위한 제 2 지연 회로를 포함하고,

상기 셋 및 리셋 신호의 펄스 폭은 상기 제 1 및 제 2 지연 회로의 지연 시간에 의해 결정되는 게이트 드라이버 회로.

청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 지연 회로는 일정한 크기의 기준 전류를 발생하는 제 1 및 제 2 베타-곱 기준 회로를 각각 포함하며,

상기 기준 전류의 크기에 따라 상기 제 1 및 제 2 지연 회로의 지연 시간이 결정되는 게이트 드라이버 회로.

청구항 3

제 2 항에 있어서,

상기 제 1 및 제 2 베타-곱 기준 회로는 제 1 및 제 2 기준 저항을 각각 포함하고,

상기 제 1 및 제 2 기준 저항의 크기에 따라 상기 기준 전류의 크기가 각각 결정되는 게이트 드라이버 회로.

청구항 4

제 3 항에 있어서,

상기 제 1 및 제 2 기준 저항의 크기는 서로 같은 게이트 드라이버 회로.

청구항 5

제 2 항에 있어서,

상기 펄스 생성기는 제 1 및 제 2 논리 연산부를 더 포함하고,

상기 제 1 논리 연산부는 상기 상단 제어신호 및 상기 제 1 지연신호에 대한 논리 연산을 수행하여 제 1 및 제 2 논리신호를 출력하고,

상기 제 2 논리 연산부는 상기 상단 제어신호의 반전신호 및 상기 제 2 지연신호에 대한 논리 연산을 수행하여 제 3 및 제 4 논리신호를 출력하는 게이트 드라이버 회로.

청구항 6

제 5 항에 있어서,

상기 펄스 생성기는 제 1 및 제 2 RS 플립-플롭을 더 포함하고,

상기 제 1 RS 플립-플롭은 상기 제 1 및 제 2 논리신호에 응답하여 상기 셋 신호를 출력하고,

상기 제 2 RS 플립-플롭은 상기 제 3 및 제 4 논리신호에 응답하여 상기 리셋 신호를 출력하는 게이트 드라이버 회로.

청구항 7

제 6 항에 있어서,

상기 제 1 및 제 2 논리 연산부는 상기 셋 및 리셋 신호의 펄스 폭이 상기 제 1 및 제 2 지연신호의 상승 시간 만큼 더 증가하도록 논리 연산을 수행하는 게이트 드라이버 회로.

청구항 8

제 6 항에 있어서,

상기 제 1 및 제 2 논리 연산부는 상기 셋 및 리셋 신호의 펄스 폭이 상기 제 1 및 제 2 지연신호의 하강 시간 만큼 더 증가하도록 논리 연산을 수행하는 게이트 드라이버 회로.

청구항 9

제 7 항에 있어서,

상기 제 1 논리 연산부는 제 1 및 제 2 논리신호 중 적어도 하나가 로직 로우 레벨이 되도록 논리 연산을 수행하고,

상기 제 2 논리 연산부는 제 3 및 제 4 논리신호 중 적어도 하나가 로직 로우 레벨이 되도록 논리 연산을 수행하는 게이트 드라이버 회로.

청구항 10

제 2 항에 있어서,

상기 슛-스루 보호 회로는 상기 상단 및 하단 제어신호 사이에 일정한 지연을 발생하기 위한 지연 회로를 포함하고,

상기 지연 회로는 일정한 크기의 기준 전류를 발생하는 베타-곱 기준 회로를 포함하며,

상기 기준 전류의 크기에 따라 상기 지연 회로의 지연 시간이 결정되는 게이트 드라이버 회로.

청구항 11

제 10 항에 있어서,

상기 베타-곱 기준 회로는 기준 저항을 포함하고,

상기 기준 저항의 크기에 따라 상기 기준 전류의 크기가 결정되는 게이트 드라이버 회로.

청구항 12

제 10 항에 있어서,

상기 입력신호는 펄스 주파수 변조(PFM) 신호 또는 펄스 폭 변조(PWM) 신호인 게이트 드라이버 회로.

청구항 13

제 10 항에 있어서,

레벨 쉬프트 회로를 더 포함하고,

상기 레벨 쉬프트 회로에 상기 셋 및 리셋 신호를 제공하는 게이트 드라이버 회로.

청구항 14

제 13 항에 있어서,

상단 파워 스위치를 구동하기 위한 상단 구동부; 및

하단 파워 스위치를 구동하기 위한 하단 구동부를 더 포함하고,

상기 레벨 쉬프트 회로의 출력신호는 상기 상단 구동부에 제공되고,

상기 하단 제어신호는 상기 하단 구동부에 제공되는 게이트 드라이버 회로.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 공진형 하프-브리지 컨버터(resonant half-bridge converter)에 관한 것으로, 좀 더 구체적으로 공진형 하프-브리지 컨버터의 게이트 드라이버 회로(gate driver circuit)에 관한 것이다.

배 경 기 술

[0002] 가전기기, 의료장비 등의 전원 장치로서 하프-브리지 컨버터(half-bridge converter) 또는 풀-브리지 컨버터(full-bridge converter)가 사용된다. 특히, 하프-브리지 컨버터는 500W 이하의 전력이 공급되는 LCD 및 PDP TV, 의료장비의 전원장치에 적합하다. 하프-브리지 컨버터는 출력단의 파워 스위치(power switch)를 구동하기 위한 게이트 드라이버 회로를 포함한다.

[0003] 게이트 드라이버 회로는 상단 구동부, 하단 구동부, 그리고 레벨 쉬프트 회로로 구분될 수 있다. 상단 구동부는 고전압을 제어하고, 상단 파워 스위치(upper side power switch)를 구동한다. 반면에, 하단 구동부는 저전압을 제어하고, 하단 파워 스위치(lower side power switch)를 구동한다. 그리고, 레벨 쉬프트 회로는 저전압의 셋(set) 및 리셋(reset) 신호를 입력받아 상단 구동부를 제어하기 위한 전압레벨로 변경하는 회로이다.

[0004] 또한, 게이트 드라이버 회로는 슛-스루 보호 회로(shoot-through protection circuit) 및 펄스 생성기(pulse generator)를 포함할 수 있다. 슛-스루 보호 회로는 상단 파워 스위치와 하단 파워 스위치가 동시에 턴 온 되는 것을 방지한다. 펄스 생성기는 레벨 쉬프트 회로의 전력소모를 줄이기 위해 짧은 펄스 폭의 셋 및 리셋 신호를 발생한다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명의 목적은 공정 및 공급전압 변화에 따른 영향을 줄이는 것에 의해 슛-스루(shoot-through) 현상을 방지하기 위한 고전압 게이트 드라이버 회로를 제공하는 데 있다.

과제 해결수단

[0006] 본 발명의 실시 예에 따른 게이트 드라이버 회로는 입력신호에 응답하여 상단 및 하단 제어신호를 출력하는 슛-스루 보호 회로; 및 상기 상단 제어신호에 응답하여 셋 신호와 리셋 신호를 출력하는 펄스 생성기를 포함한다. 여기서, 상기 펄스 생성기는 상기 상단 제어신호를 지연하여 제 1 지연신호를 출력하기 위한 제 1 지연 회로; 상기 상단 제어신호를 반전하기 위한 인버터; 및 상기 인버터의 출력신호를 지연하여 제 2 지연신호를 출력하기 위한 제 2 지연 회로를 포함한다. 이때, 상기 셋 및 리셋 신호의 펄스 폭은 상기 제 1 및 제 2 지연 회로의 지연 시간에 의해 결정된다.

[0007] 실시 예로서, 상기 제 1 및 제 2 지연 회로는 일정한 크기의 기준 전류를 발생하는 제 1 및 제 2 베타-곱 기준 회로를 각각 포함할 수 있다. 그리고, 상기 기준 전류의 크기에 따라 상기 제 1 및 제 2 지연 회로의 지연 시간이 결정된다. 이때, 상기 제 1 및 제 2 베타-곱 기준 회로는 제 1 및 제 2 기준 저항을 각각 포함하고, 상기 제 1 및 제 2 기준 저항의 크기에 따라 상기 기준 전류의 크기가 각각 결정된다. 여기서, 상기 제 1 및 제 2 기준 저항의 크기는 서로 같다.

[0008] 실시 예로서, 상기 펄스 생성기는 제 1 및 제 2 논리 연산부를 더 포함할 수 있다. 상기 제 1 논리 연산부는 상기 상단 제어신호 및 상기 제 1 지연신호에 대한 논리 연산을 수행하여 제 1 및 제 2 논리신호를 출력한다. 그리고, 상기 제 2 논리 연산부는 상기 상단 제어신호가 반전하여 전달되는 신호 및 상기 제 2 지연신호에 대한 논리 연산을 수행하여 제 3 및 제 4 논리신호를 출력한다.

[0009] 여기서, 상기 펄스 생성기는 제 1 및 제 2 RS 플립-플롭을 더 포함할 수 있다. 상기 제 1 RS 플립-플롭은 상기 제 1 및 제 2 논리신호에 응답하여 셋 신호를 출력한다. 그리고, 상기 제 2 RS 플립-플롭은 상기 제 3 및 제 4 논리신호에 응답하여 리셋 신호를 출력한다.

[0010] 또한, 상기 제 1 및 제 2 논리 연산부는 상기 셋 및 리셋 신호의 펄스 폭이 상기 제 1 및 제 2 지연신호의 상승 시간만큼 더 증가하도록 논리 연산을 수행할 수 있다.

[0011] 이와 달리, 상기 제 1 및 제 2 논리 연산부는 상기 셋 및 리셋 신호의 펄스 폭이 상기 제 1 및 제 2 지연신호의 하강 시간만큼 더 증가하도록 논리 연산을 수행할 수 있다.

[0012] 상기 제 1 논리 연산부는 제 1 및 제 2 논리신호 중 적어도 하나가 로직 로우 레벨이 되도록 논리 연산을 수행하고, 상기 제 2 논리 연산부는 제 3 및 제 4 논리신호 중 적어도 하나가 로직 로우 레벨이 되도록 논리 연산을 수행할 수 있다.

[0013] 실시 예에 있어서, 상기 슛-스루 보호 회로는 상기 상단 및 하단 제어신호 사이에 일정한 지연을 발생하기 위한 지연 회로를 포함할 수 있다. 여기서, 상기 지연 회로는 일정한 크기의 기준 전류를 발생하는 베타-곱 기준 회로를 포함할 수 있다. 이때, 상기 기준 전류의 크기에 따라 상기 지연 회로의 지연 시간이 결정된다.

[0014] 상기 베타-곱 기준 회로는 기준 저항을 포함한다. 그리고, 상기 기준 저항의 크기에 따라 상기 기준 전류의 크기가 결정된다.

[0015] 실시 예에 있어서, 상기 입력신호는 펄스 주파수 변조(PFM) 신호 또는 펄스 폭 변조(PWM) 신호일 수 있다.

[0016] 실시 예에 있어서, 레벨 쉬프트 회로를 더 포함할 수 있다. 상기 레벨 쉬프트 회로에 상기 셋 및 리셋 신호를 제공한다.

[0017] 또한, 상단 파워 스위치를 구동하기 위한 상단 구동부; 및 하단 파워 스위치를 구동하기 위한 하단 구동부를 더 포함할 수 있다. 이때, 상기 레벨 쉬프트 회로의 출력신호는 상기 상단 구동부에 제공되고, 상기 하단 제어신호는 상기 하단 구동부에 제공된다.

효 과

[0018] 본 발명의 실시 예에 따른 게이트 드라이버 회로에 의하면, 공정 및 공급전압의 변화에도 상단 및 하단 제어신호 사이의 데드타임(dead-time)과 셋 및 리셋(set, reset) 신호의 펄스 폭(pulse width)을 일정하게 유지할 수 있다. 따라서, 상단 및 하단 제어신호 사이의 데드타임(dead-time)과 셋 및 리셋 신호의 펄스 폭 변동으로 인한 슛-스루(shoot-through) 현상을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

[0019] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명한다.

[0020] 도 1은 본 발명의 실시 예에 따른 게이트 드라이버 회로를 보여주는 블록도이다. 도 1을 참조하면, 게이트 드라이버 회로는 슛-스루 보호 회로(shoot-through protection circuit, 100), 펄스 생성기(pulse generator, 200), 레벨 쉬프트 회로(level shift circuit, 300), 상단 구동부(upper side drive unit, 400), 하단 구동부(lower side drive unit, 500), 상단 파워 스위치(upper side power switch, 600) 및 하단 파워 스위치(lower side power switch, 700)를 포함한다.

[0021] 슛-스루 보호 회로(100)는 게이트 드라이버 회로의 입력신호(IN)에 응답하여 상단 제어신호(Upper) 및 하단 제어신호(Lower)를 출력한다. 이때, 입력신호(IN)로서 펄스 주파수 변조 (Pulse Frequency Modulation, PFM) 신호 또는 펄스 폭 변조(Pulse Width Modulation, PWM) 신호가 입력될 수 있다. 슛-스루 보호 회로(100)는 이하의 도 2를 참조하여 좀더 자세히 설명될 것이다.

[0022] 펄스 생성기(200)는 상단 제어신호(Upper)에 응답하여 셋 및 리셋 신호(Set, Reset)를 출력한다. 펄스 생성기(200)는 이하의 도 3을 참조하여 좀더 자세히 설명될 것이다.

[0023] 레벨 쉬프트 회로(300)는 저전압의 셋 및 리셋 신호(Set, Reset)를 입력받아 고전압의 출력신호를 발생한다. 상단 구동부(400)는 레벨 쉬프트 회로(300)의 출력신호에 응답하여 상단 파워 스위치(600)를 구동한다. 하단 구동부(500)는 하단 제어신호(Lower)에 응답하여 하단 파워 스위치(700)를 구동한다.

[0024] 상단 및 하단 파워 스위치(600, 700)는 푸시-풀(push-pull) 방식으로 동작한다. 이때, 게이트 드라이버 회로의 오동작으로 인해 상단 및 하단 파워 스위치(600, 700)가 동시에 턴 온 되는 슛-스루(shoot-through) 현상이 발생할 수 있다. 슛-스루 현상은 파워 스위치의 손상 및 게이트 드라이버 회로에 치명적인 피해를 줄 수 있다.

[0025] 게이트 드라이버 회로에서 발생하는 제어신호들의 데드타임(dead-time)과 셋 및 리셋 신호의 펄스 폭은 공정 및 공급전압의 변화로 인해 변동될 수 있다. 상기 제어신호들의 데드타임과 셋 및 리셋 신호의 펄스 폭이 변동되면 상단 및 하단 파워 스위치(600, 700)의 턴 온 되는 시점이 달라질 수 있다. 이로 인해 슛-스루 현상이 발생할 수 있다. 즉, 공정 및 공급전압의 변화로 인한 상기 제어신호들의 데드타임과 셋 및 리셋 신호의 펄스 폭의 변동은 슛-스루 현상의 주요 발생원인 중 하나이다. 따라서, 슛-스루 현상을 방지하기 위해서는 상기 제어신호들의 펄스 폭을 일정하게 유지해야 한다.

[0026] 도 2는 도 1에 도시된 슛-스루 보호 회로를 예시적으로 나타내는 회로도이다. 도 2를 참조하면, 슛-스루 보호 회로(100)는 복수의 논리 게이트(110a~110c, 120a, 120b), 제 1 지연 회로(130a) 및 제 2 지연 회로(130b)를 포함한다. 복수의 논리 게이트(110a~110c, 120a, 120b)는 플립-플롭 형태로 구성될 수 있다.

[0027] 예로서, 슛-스루 보호 회로(100)는 인버터(110a~110c)와 제 1 및 제 2 NAND 게이트(120a, 120b)에 의해 플립-플롭 형태로 구성될 수 있다. 플립-플롭 형태의 회로 구성에 있어서 NOR, AND, 그리고 OR 게이트 등 다른 종류의 논리 게이트가 사용될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0028] 게이트 드라이버 회로의 입력신호(IN)는 제 1 NAND 게이트(120a)에 전달된다. 그리고, 입력신호(IN)는 인버터(110a)에 의해 반전되어 제 2 NAND 게이트(120b)에 전달된다.

[0029] 제 1 지연 회로(130a)는 제 1 NAND 게이트(120a)의 출력단과 제 2 NAND 게이트(120b)의 입력단 사이에 연결된다. 제 2 지연 회로(130b)는 제 1 NAND 게이트(120a)의 입력단과 제 2 NAND 게이트(120b)의 출력단 사이에 연결된다.

[0030] 상단 제어신호(Upper)는 제 1 NAND 게이트(120a)의 출력신호가 인버터(110b)에 의해 반전되어 발생한다. 하단 제어신호(Lower)는 제 2 NAND 게이트(120b)의 출력신호가 인버터(110c)에 의해 반전되어 발생한다.

[0031] 결국, 슛-스루 보호 회로(100)는 입력신호(IN)에 응답하여 상단 및 하단 제어신호(Upper, Lower)를 출력한다. 이때, 상단 및 하단 제어신호(Upper, Lower)의 전압 레벨은 서로 반대이다. 또한, 제 1 및 제 2 지연 회로(130a, 130b)에 의해 상단 및 하단 제어신호(Upper, Lower) 사이의 지연 시간이 결정된다. 여기서, 상단 및 하단 제어신호(Upper, Lower) 사이의 지연 시간을 데드-타임(dead-time)이라고 한다.

[0032] 도 1의 상단 및 하단 파워 스위치(600, 700)는 슛-스루 보호 회로(100)에서 발생하는 상단 및 하단 제어신호(Upper, Lower)에 따라 턴 온 또는 턴 오프 된다. 따라서, 데드-타임이 너무 짧으면 도 1의 상단 및 하단 파워 스위치(600, 700)가 동시에 턴 온 되는 슛-스루 현상이 발생할 수 있다. 반면에, 데드-타임이 너무 길면 게이트 드라이버 회로의 전력효율이 감소할 수 있다.

[0033] 따라서, 슛-스루 현상을 방지하고 적절한 전력효율을 확보하기 위해서는 데드-타임이 일정하게 유지되어야 한다. 이는 상단 및 하단 제어신호(Upper, Lower)의 펄스 폭이 일정하게 유지되는 것을 의미한다. 상단 및 하단 제어신호(Upper, Lower)의 동작은 이하의 도 5에서 좀더 상세히 설명될 것이다.

[0034] 데드-타임은 공정 및 공급전압의 변화에 영향을 받을 수 있다. 따라서, 본 발명의 실시 예에 따른 제 1 및 제 2 지연 회로(130a, 130b)는 데드-타임을 일정하게 유지하기 위해 베타-곱 기준회로를 포함한다. 베타-곱 기준회로를 포함한 지연 회로는 이하의 도 4를 참조하여 상세히 설명될 것이다.

[0035] 도 3은 도 1에 도시된 펄스 생성기를 예시적으로 나타내는 회로도이다. 도 3을 참조하면, 펄스 생성기(200)는 인버터(210), 제 1 지연 회로(220a), 제 2 지연 회로(220b), 제 1 논리 연산부(230a), 제 2 논리 연산부(230b), 제 1 RS 플립-플롭(240a) 및 제 2 RS 플립-플롭(240b)을 포함한다.

[0036] 상단 제어신호(Upper)는 제 1 지연 회로(220a)와 제 1 논리 연산부(230a)에 각각 전달된다. 상단 제어신호(Upper)는 인버터(210)에 의해 반전되어 제 2 지연 회로(220b) 와 제 2 논리 연산부(230b)에 각각 입력된다.

[0037] 제 1 논리 연산부(230a)는 복수의 인버터(231a~233a)와 제 1 NAND 게이트(234a)를 포함한다. 상단 제어신호(Upper)는 제 1 NAND 게이트(234a)의 제 1 입력단에 전달된다. 제 1 지연 회로(220a)는 상단 제어신호(Upper)에 대한 제 1 지연신호(D1)를 출력한다. 제 1 지연신호는 인버터(231a)에 의해 반전되어 제 1 NAND 게이트(234a)의 제 2 입력단에 전달된다.

[0038] 제 1 논리 연산부(230a)는 논리 연산 결과로서 제 1 및 제 2 논리신호(L1, L2)를 출력한다. 제 1 논리신호(L1)는 제 1 NAND 게이트(234a)의 출력신호가 인버터(232a)에 의해 반전되어 발생하는 신호이다. 제 2 논리신호(L2)는 제 1 지연신호(D1)가 두 개의 인버터(231a, 233a)를 거쳐 발생하는 신호이다. 제 1 및 제 2 논리신호(L1,

L2)는 제 1 RS 플립-플롭(240a)의 셋 및 리셋 단자에 각각 전달된다.

[0039] 제 2 논리 연산부(230b)의 구성은 제 1 논리 연산부(230a)의 구성과 동일하다. 따라서, 이에 대한 구체적인 설명은 생략한다. 다만, 제 2 논리 연산부(230b)는 논리 연산 결과로서 제 3 및 제 4 논리신호(L3, L4)를 출력한다. 제 3 논리신호(L3)는 제 2 NAND 게이트(234b)의 출력신호가 인버터(232a)에 의해 반전되어 발생하는 신호이다. 제 4 논리신호(L4)는 제 2 지연신호(D2)가 두 개의 인버터(231b, 233b)를 거쳐 발생하는 신호이다. 제 3 및 제 4 논리신호(L3, L4)는 제 2 RS 플립-플롭(240b)의 셋 및 리셋 단자에 각각 전달된다.

[0040] 제 1 RS 플립-플롭(240a)은 제 1 및 제 2 논리신호(L1, L2)에 응답하여 셋 신호(Set)를 출력한다. 제 2 RS 플립-플롭(240b)은 제 3 및 제 4 논리신호(L3, L4)에 응답하여 리셋 신호(Reset)를 출력한다.

[0041] 셋 및 리셋 신호(Set, Reset)는 도 1의 레벨 쉬프트 회로(300)에 제공된다. 셋 및 리셋 신호(Set, Reset)의 펄스 폭은 제 1 및 제 2 지연 회로(220a, 220b)의 지연 시간과 제 1 및 제 2 논리 연산부(230a, 230b)의 논리 연산 결과에 의해 결정된다.

[0042] 셋 및 리셋 신호(Set, Reset)의 펄스 폭이 너무 길면 도 1의 레벨 쉬프트 회로(300)에 전류가 오랫동안 흐르므로 많은 전력소모가 발생한다. 반면에, 셋 및 리셋 신호(Set, Reset)의 펄스 폭이 너무 짧으면 도 1의 상단 구동부(400)를 제어하기 위한 충분한 시간을 확보하지 못해 오동작이 발생할 수 있다. 따라서, 전력소모를 줄이고 오동작을 방지하기 위해서는 셋 및 리셋 신호(Set, Reset)의 펄스 폭이 일정하게 유지되어야 한다.

[0043] 여기서, 제 1 및 제 2 지연 회로(220a, 220b)의 지연 시간은 공정 및 공급전압의 변화에 영향을 받을 수 있다. 따라서, 본 발명의 실시 예에 따른 제 1 및 제 2 지연 회로(220a, 220b)는 지연 시간을 일정하게 유지하기 위해 베타-곱 기준회로를 포함한다. 베타-곱 기준회로를 포함한 지연 회로는 이하의 도 4에서 상세히 설명될 것이다.

[0044] 셋 및 리셋 신호(Set, Reset)의 펄스 폭은 제 1 및 제 2 논리 연산부(230a, 230b)의 논리 연산 결과에 따라 제 1 및 제 2 지연신호(D1, D2)의 상승 시간 또는 하강 시간만큼 증가할 수 있다. 그러나, 공정변화에 의해 제 1 및 제 2 지연회로(220a, 220b)를 구성하는 MOS 특성이 달라지는 경우 제 1 및 제 2 지연신호(D1, D2)의 상승 시간과 하강 시간은 일치하지 않을 수 있다.

[0045] 셋 신호(Set)의 펄스 폭은 지연신호들(D1, D2)의 상승 시간만큼 증가하고 리셋 신호(Reset)의 펄스 폭은 지연신호들(D1, D2)의 하강 시간만큼 증가하는 경우에는 셋 및 리셋 신호(Set, Reset)의 펄스 폭은 서로 다를 수 있다. 이로 인해 게이트 드라이버 회로의 오동작이 발생할 수 있다.

[0046] 본 발명의 실시 예에 따른 제 1 및 제 2 논리 연산부(230a, 230b)는 셋 및 리셋 신호(Set, Reset)의 펄스 폭을 동일하게 유지하기 위한 논리 연산을 하도록 구성된다. 예로서, 제 1 및 제 2 논리 연산부(230a, 230b)는 셋 및 리셋 신호(Set, Reset)의 펄스 폭 모두 제 1 및 제 2 지연신호(D1, D2)의 상승 시간에만 영향을 받도록 논리 연산을 할 수 있다. 따라서, 제 1 및 제 2 지연신호(D1, D2)의 상승 시간과 하강 시간이 동일하지 않더라도 셋 및 리셋 신호(Set, Reset)의 펄스 폭은 동일하게 유지될 수 있다. 펄스 생성기(200)의 동작은 이하의 도 6에서 좀 더 상세히 설명될 것이다.

[0047] 제 1 및 제 2 RS 플립-플롭(240a, 240b)의 셋 및 리셋 단자에 로직 하이 레벨의 신호가 동시에 입력되는 경우 제 1 및 제 2 RS 플립-플롭(240a, 240b)는 불안정한 상태가 될 수 있다. 이를 방지하기 위해, 제 1 논리 연산부(230a)는 제 1 및 제 2 논리신호 중 적어도 하나가 로직 로우 레벨이 되도록 논리 연산을 수행한다. 그리고, 상기 제 2 논리 연산부(230b)는 제 3 및 제 4 논리신호 중 적어도 하나가 로직 로우 레벨이 되도록 논리 연산을 수행한다.

[0048] 도 4는 도 2 및 3에 도시된 지연 회로를 예시적으로 나타내는 회로도이다. 도 4를 참조하면, 본 발명의 실시 예에 따른 지연 회로(800)는 스타트-업 회로(Start-Up Circuit, 810), 베타-곱 기준 회로(Beta-Multiplier Reference Circuit, 820) 및 입출력부(830)를 포함한다.

[0049] 스타트-업 회로(810)는 복수의 NMOS(M1, M2) 및 부하 저항(R_L)을 포함한다. R_L은 공급전압 단자(VDD)와 M1의 게이트 사이에 연결된다. M1의 소스는 M2의 게이트와 연결된다. M2의 드레인은 M1의 게이트와 연결되고, M2의 소스는 접지(GND)와 연결된다. 스타트-업 회로(810)는 베타-곱 기준 회로(820)의 동작점이 0에 있을 때, 베타-곱 기준 회로(820)에 일정한 전류가 흐르도록 동작한다. 이로 인해, 베타-곱 기준 회로(820)는 양의 동작점에서 동작한다.

[0050] 베타-곱 기준 회로(820)는 복수의 PMOS(M3~M6), 복수의 NMOS(M7~M10) 및 기준 저항(R_{REF})을 포함한다. M3과 M4,

M5와 M6, M7과 M8, 그리고 M9와 M10은 각각 커런트 미러(currunt mirror)를 구성한다.

[0051] M3 및 M4의 소스는 공급전압 단자(VDD)에 연결되고, M3 및 M4의 게이트는 M1의 드레인에 연결된다. 또한, M9 및 M10의 게이트는 M2의 게이트에 연결된다. M9의 소스는 접지(GND)에 연결된다. 기준 저항(R_{REF})은 M10의 소스와 접지(GND) 사이에 연결된다.

[0052] 식 1은 베타-곱 기준 회로(820)에 의해 발생하는 기준 전류(I_{REF})를 나타낸다. 참고로, K는 M9에 대한 M10의 채널 폭의 비를 나타낸다. 식 1을 참조하면, 기준 전류(I_{REF})는 공급전압에 독립적이다.

수학식 1

$$I_{REF}=\frac{2}{R_{REF}^{2}KP_{n}\frac{W}{L}}\left(1-\frac{1}{\sqrt{K}}\right)^{2}$$

[0053]

[0054] 식 2는 K=4(즉, M10의 채널 폭이 M9의 채널 폭의 4 배)인 경우의 채널 컨덕턴스(g_m)를 나타낸다. 식 2를 참조하면, 채널 컨덕턴스(g_m)은 기준 저항(R_{REF})에 의해서만 결정된다. 공정변화에 의해 MOS의 특성이 변화되더라도 상대적으로 기준 저항(R_{REF})의 특성은 크게 변하지 않는다. 기준 저항(R_{REF})의 특성 변화는 트리밍(trimming) 공정에 의해 최소화할 수 있다. 따라서, 베타-곱 기준 회로(820)에 의해 공정변화에도 크기가 일정한 기준 전류(I_{REF})를 얻을 수 있다.

수학식 2

$$g_{m}=\sqrt{2KP_{n}\frac{W}{L}I_{REF}}=\frac{1}{R_{REF}}$$

[0055]

[0056] 입출력부(830)는 복수의 PMOS(M11~M14) 및 NMOS(M15~M18)를 포함한다. M11 및 M12의 게이트는 M3 및 M4의 게이트와 연결된다. M17 및 M18의 게이트는 M9 및 M10의 게이트에 연결된다.

[0057] M13 및 M15는 제 1 CMOS 인버터를 구성한다. M14 및 M15는 제 2 CMOS 인버터를 구성한다. 제 1 및 제 2 CMOS 인버터는 지연 회로(800)의 입력단(D_{IN}) 및 출력단(D_{OUT}) 사이에서 차례대로 연결된다. 따라서, 제 1 및 제 2 CMOS 인버터에 의해 지연 회로(800)의 입력신호 및 출력신호 사이에 지연이 발생한다.

[0058] M11 및 M12 또는 M17 및 M18이 턴 온 되면 제 1 및 제 2 CMOS 인버터에 기준 전류(I_{REF})가 흐른다. 지연 회로(800)의 입력신호와 출력신호 사이의 지연 시간은 제 1 및 제 2 CMOS 인버터에 흐르는 기준 전류(I_{REF})의 크기에 따라 결정된다. 기준 전류(I_{REF})의 크기가 증가하면 지연 시간은 감소하고, 기준 전류(I_{REF})의 크기가 감소하면 지연 시간은 증가한다.

[0059] 상술한 바와 같이, 베타-곱 기준 회로(820)에 의해 공정변화에도 크기가 일정한 기준 전류(I_{REF})를 얻을 수 있다. 따라서, 본 발명의 실시 예에 따른 지연 회로(800)에 의해 지연 회로(800)의 입력신호와 출력신호 사이의 지연 시간이 일정하게 유지될 수 있다.

[0060] 결과적으로, 본 발명의 실시 예에 따른 베타-곱 기준 회로(820)를 포함한 지연 회로(800)에 의해 슛-스루 방지 회로(100)에서 발생하는 상단 및 하단 제어신호(Upper, Lower)의 펄스 폭은 일정하게 유지될 수 있다.

[0061] 또한, 본 발명의 실시 예에 따른 베타-곱 기준 회로(820)를 포함한 지연 회로(800)에 의해 펄스 생성기(200)에서 발생하는 셋 및 리셋 신호(Set, Reset)의 펄스 폭을 일정하게 유지될 수 있다.

[0062] 도 5는 도 2의 슛-스루 보호 회로의 동작 특성을 설명하기 위한 타이밍도이다. 도 2 및 5를 참조하면, 상단 및 하단 제어신호(Upper, Lower)의 고전압 레벨 펄스 폭은 입력전압(IN)의 고전압 레벨 펄스 폭에 비해 데드-타임

(t_d)만큼 좁다. 또한, 상단 및 하단 제어신호(Upper, Lower)의 전압 레벨은 서로 반대이다. 만약, 공정 및 전압 변화에 의해 데드-타임(t_d)이 감소하여 상단 및 하단 제어신호(Upper, Lower)의 전압 레벨이 서로 같아지면 슛-스루 현상이 발생할 수 있다.

[0063] 상술한 바와 같이, 본 발명의 실시 예에 따른 베타-곱 기준 회로(820)를 포함한 지연 회로(800)에 의해 데드-타임(t_d)이 일정하게 유지되므로 게이트 드라이버 회로는 안정적인 동작을 할 수 있다.

[0064] 도 6은 도 3의 펄스 생성기의 동작 특성을 설명하기 위한 타이밍도이다. 도 3 및 6을 참조하면, 상단 제어신호(Upper)와 제 1 지연신호(D1) 사이의 지연 시간(이하, 제 1 지연시간이라 함)은 상단 제어신호(Upper)가 반전되어 전달되는 신호(Upper/)와 제 2 지연신호(D2) 사이의 지연시간(이하, 제 2 지연시간이라 함)은 서로 같다.

[0065] 또한, 제 1 지연신호(D1)의 상승 시간과 제 2 지연신호(D2)의 상승 시간은 서로 같다. 그리고, 제 1 지연신호(D1)의 하강 시간과 제 2 지연신호(D2)의 하강 시간은 서로 같다. 그러나, 각각의 상승 시간과 하강 시간은 서로 다를 수 있다.

[0066] 셋 신호(Set)의 펄스 폭은 제 1 지연시간에 의해 결정된다. 리셋 신호(Reset)의 펄스 폭은 제 2 지연시간에 의해 결정된다. 본 발명의 실시 예에 따른 베타-곱 기준 회로(820)를 포함한 지연 회로(800)에 의해 제 1 및 제 2 지연시간이 일정하게 유지될 수 있다.

[0067] 또한, 셋 및 리셋 신호(Set, Reset)의 펄스 폭은 각각 제 1 및 제 2 지연신호(D1, D2)의 상승 시간만큼 더 증가한다. 그러나, 도 6에 도시된 것과 달리, 셋 및 리셋 신호(Set, Reset)의 펄스 폭은 각각 제 1 및 제 2 지연신호(D1, D2)의 하강 시간만큼 더 증가할 수 있다. 이는 펄스 생성기(200)에 포함되는 제 1 및 제 2 논리 연산부(230a, 230b)의 논리 연산에 따른 결과이다.

[0068] 결론적으로, 제 1 및 제 2 논리 연산부(230a, 230b)는 셋 및 리셋 신호(Set, Reset)의 펄스 폭이 각각 제 1 및 제 2 지연신호(D1, D2)의 상승 또는 하강 시간 중 어느 하나에만 영향을 받도록 구성된다. 따라서, 제 1 및 제 2 지연신호(D1, D2)의 상승 및 하강 시간이 서로 일치하지 않더라도 셋 및 리셋 신호Set, Reset)의 펄스 폭은 서로 동일하게 유지될 수 있다.

[0069] 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 상술한 내용을 고려하여 볼 때, 만약 본 발명의 수정 및 변경이 아래의 청구항들 및 동등물의 범주 내에 속한다면, 본 발명이 이 발명의 변경 및 수정을 포함하는 것으로 여겨진다.

도면의 간단한 설명

[0070] 도 1은 본 발명의 실시 예에 따른 게이트 드라이버 회로를 보여주는 블록도이다.

[0071] 도 2는 도 1에 도시된 슛-스루 보호 회로를 예시적으로 나타내는 회로도이다.

[0072] 도 3은 도 1에 도시된 펄스 생성기를 예시적으로 나타내는 회로도이다.

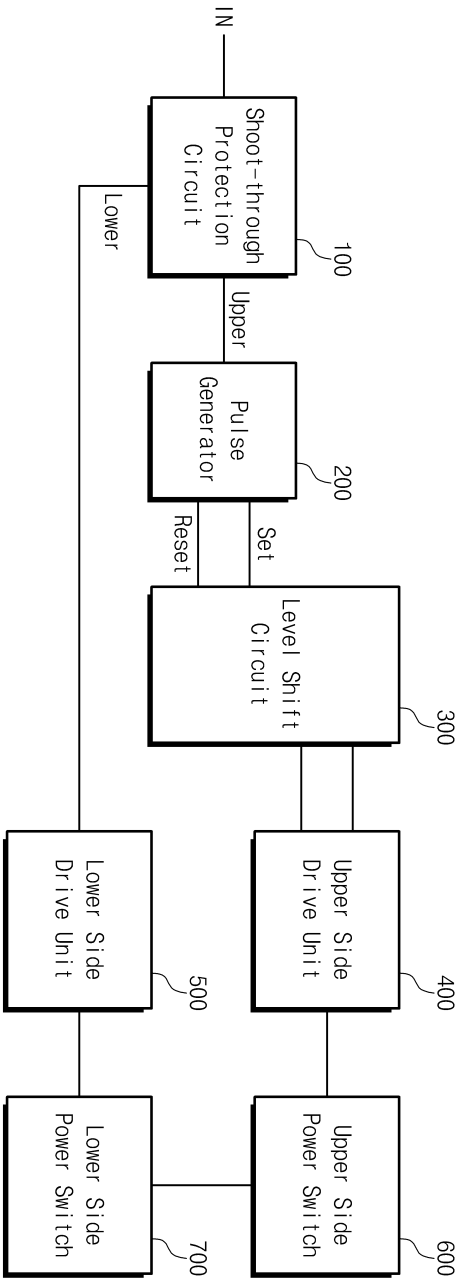
[0073] 도 4는 도 2 및 3에 도시된 지연 회로를 예시적으로 나타내는 회로도이다.

[0074] 도 5는 도 2의 슛-스루 보호 회로의 동작 특성을 설명하기 위한 타이밍도이다.

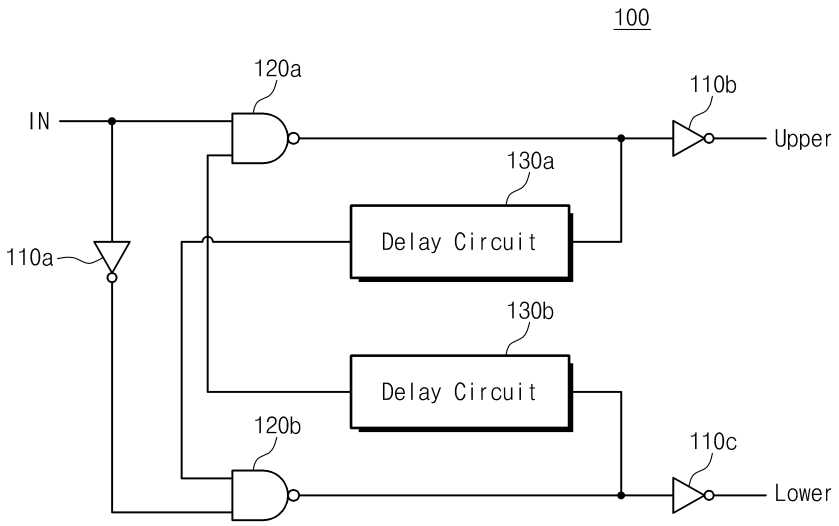
[0075] 도 6은 도 3의 펄스 생성기의 동작 특성을 설명하기 위한 타이밍도이다.

도면

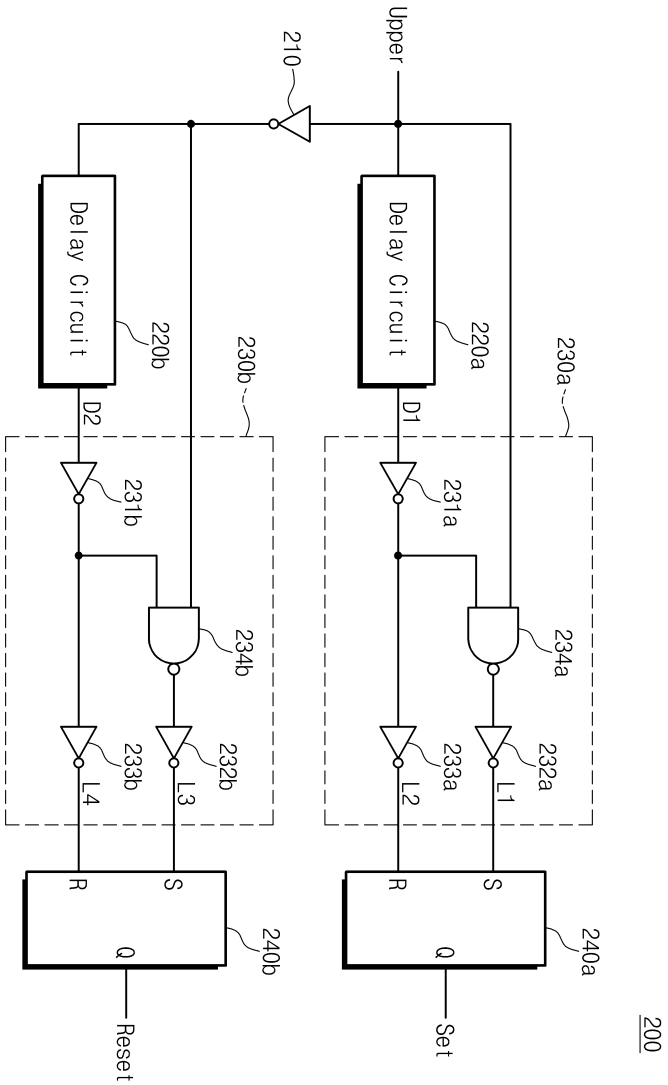
도면1


IN
Shoot-through Protection Circuit
100
Lower
Upper
Pulse Generator
200
Reset
Set
Level Shift Circuit
300
Lower Side Drive Unit
500
Upper Side Drive Unit
400
Lower Side Power Switch
700
Upper Side Power Switch
600

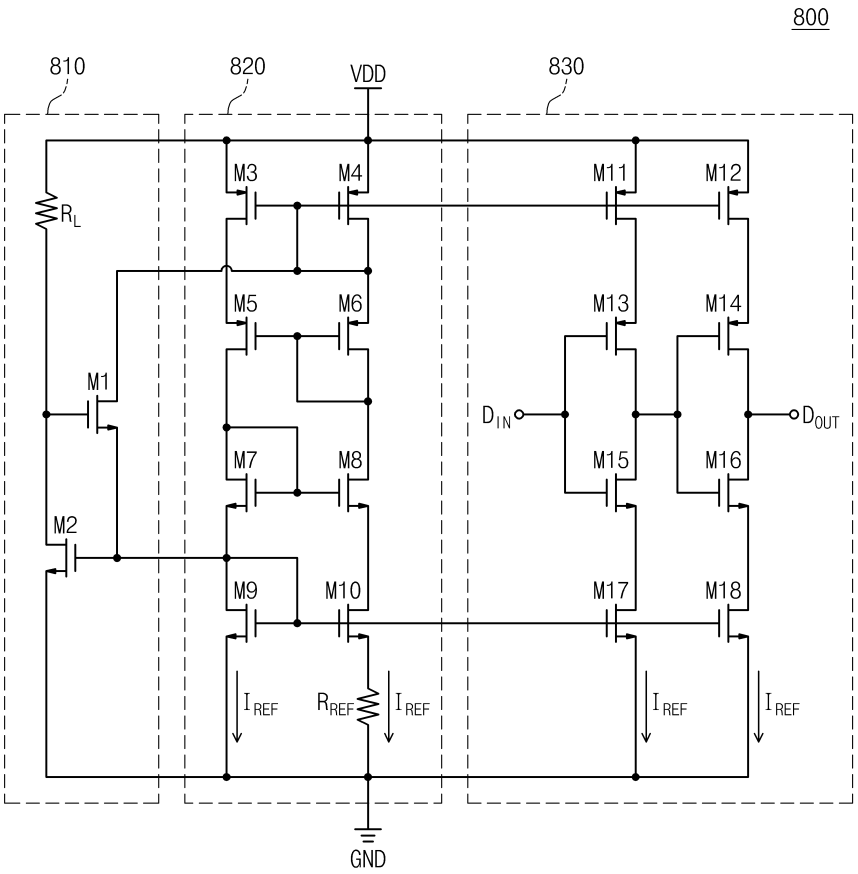
도면2


100
120a
110b
IN
Upper
130a
Delay Circuit
110a
130b
Delay Circuit
120b
110c
Lower

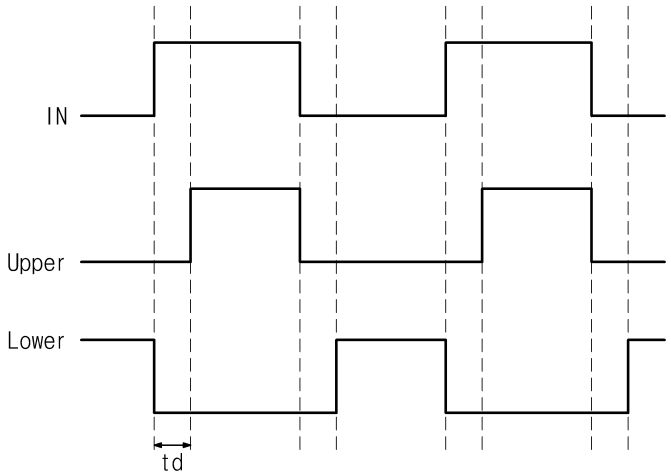
도면3


210
Upper
Delay Circuit
220b
230b
D2
231b
234b
233b
232b
L4
L3
R
S
Q
240b
Reset
Delay Circuit
220a
230a
D1
231a
234a
233a
232a
L2
L1
R
S
Q
240a
Set
200

도면4


800
810
820
VDD
830
M3
M4
M11
M12
RL
M5
M6
M13
M14
M1
DIN
DOUT
M7
M8
M15
M16
M2
M9
M10
M17
M18
IREF
RREF
IREF
IREF
IREF
GND

도면5


IN
Upper
Lower
td

도면6

