

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-500678  
(P2008-500678A)

(43) 公表日 平成20年1月10日(2008.1.10)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G11C 16/02 (2006.01)</b>	G11C 17/00 601T	5B060
<b>G06F 12/00 (2006.01)</b>	G11C 17/00 601A	5B125
<b>G06F 12/06 (2006.01)</b>	G06F 12/00 597U	
	G06F 12/06 515H	

審査請求 未請求 予備審査請求 未請求 (全 26 頁)

(21) 出願番号 特願2007-515201 (P2007-515201)  
 (86) (22) 出願日 平成17年5月20日 (2005. 5. 20)  
 (85) 翻訳文提出日 平成19年1月22日 (2007. 1. 22)  
 (86) 国際出願番号 PCT/US2005/017770  
 (87) 国際公開番号 W02005/119693  
 (87) 国際公開日 平成17年12月15日 (2005. 12. 15)  
 (31) 優先権主張番号 10/857, 532  
 (32) 優先日 平成16年5月27日 (2004. 5. 27)  
 (33) 優先権主張国 米国 (US)

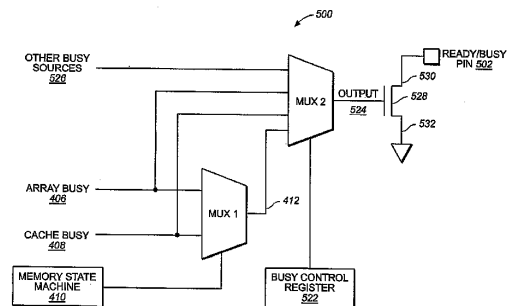
(71) 出願人 506197901  
 サンディスク コーポレイション  
 アメリカ合衆国、95035、カリフォル  
 ニア州、ミルピタス、マッカシー ブルバ  
 ード 601  
 (74) 代理人 100075144  
 弁理士 井ノ口 壽  
 (72) 発明者 スミス, ピーター ジョン  
 イギリス連邦共和国、EH22 3HA、  
 ミッドロジアン スコットランド、エスク  
 バンク、ボニーリッジ ロード 21

最終頁に続く

(54) 【発明の名称】 設定可能なレディ/ビジー制御

(57) 【要約】

メモリユニットは、コントローラによって書き込まれ得るビジー制御レジスタを含むビジー制御システムを有する。ビジー制御レジスタの内容は、メモリユニットからコントローラに信号が送られるか否かを決定し、送られるのならば複数の信号のうちのどれが送られるかを決定する。信号は、選択されたメモリユニットから自動的に送られ、選択されていないユニットからはマスクされる。



## 【特許請求の範囲】

## 【請求項 1】

メモリシステムにおいて信号線を介してメモリコントローラと通信するメモリユニットであって、

不揮発性メモリセルのバッファ付きアレイと、

前記メモリユニットからの出力信号を制御レジスタ内のデータビットに従って複数の信号から選択する制御回路であって、前記複数の信号は、前記バッファ付きメモリアレイが第 1 の状態にあるのかそれとも第 2 の状態にあるのかを示す第 1 の信号と、前記バッファ付きメモリアレイが第 3 の状態にあるのかそれとも第 4 の状態にあるのかを示す第 2 の信号とを含む制御回路と、

を備えるメモリユニット。

10

## 【請求項 2】

前記不揮発性メモリセルのバッファ付きアレイは第 1 の半導体ダイ上にあり、前記コントローラは第 2 の半導体ダイ上にある請求項 1 記載のメモリユニット。

## 【請求項 3】

前記不揮発性メモリセルのバッファ付きアレイは不揮発性メモリセルのアレイに接続されたキャッシュを含み、前記第 1 の状態はキャッシュ・レディ状態であり、前記第 2 の状態はキャッシュ・ビジー状態であり、前記第 3 の状態はアレイ・レディ状態であり、前記第 4 の状態はアレイ・ビジー状態である請求項 1 記載のメモリユニット。

## 【請求項 4】

前記複数の信号は前記メモリユニットがビジーでないことを示す第 3 の信号をさらに含み、前記第 3 の信号は、前記メモリユニットが前記コントローラによって選択されていないときに前記制御レジスタ内の 1 または複数のデータビットに応答して前記制御回路により選択される請求項 1 記載のメモリユニット。

20

## 【請求項 5】

コントローラと通信するバッファ付き不揮発性メモリアレイを有するメモリシステムであって、

コントローラと、

不揮発性メモリセルのアレイと、

前記不揮発性メモリセルのアレイにプログラムされるべきデータを保持するように前記不揮発性メモリセルのアレイに接続されたキャッシュと、

30

前記不揮発性メモリセルのアレイのレディ/ビジー状態を示す第 1 の信号と前記キャッシュのレディ/ビジー状態を示す第 2 の信号とを含む複数の信号から前記コントローラへの出力信号を選択する制御レジスタと、

を備えるメモリシステム。

## 【請求項 6】

前記信号線を介して前記コントローラと通信する 1 つ以上の付加的なバッファ付き不揮発性メモリアレイをさらに備え、1 つの付加的なバッファ付き不揮発性メモリアレイは付加的な信号を選択する付加的な制御レジスタを有する請求項 5 記載のメモリシステム。

## 【請求項 7】

コントローラへの複数の集積回路からのレディ/ビジー信号を前記コントローラによる 1 つの集積回路の選択に基いて設定する方法であって、

40

前記複数の集積回路のためにオートセレクトモードが使用可能にされているとき、前記コントローラによる前記集積回路の選択に基いて前記集積回路から前記コントローラに前記レディ/ビジー信号を送るステップと、

前記複数の集積回路のために前記オートセレクトモードが使用可能にされているとき、前記集積回路が前記コントローラによって選択されたときには前記複数の集積回路のうちの他のものからのレディ/ビジー信号が前記コントローラに送られないように前記複数の集積回路のうちの他のものからの前記レディ/ビジー信号をマスクするステップと、

を含む方法。

50

## 【請求項 8】

前記複数の集積回路のためにオートセレクトモードは、永続的に使用可能にされている請求項 7 記載の方法。

## 【請求項 9】

前記オートセレクトモードは使用禁止にされ、前記複数の集積回路のために前記オートセレクトモードが使用禁止にされているときには前記チップが選択されているか否かに関わらずにレディ/ビジー信号が前記集積回路から前記コントローラに送られる請求項 7 記載の方法。

## 【請求項 10】

集積回路からコントローラへのレディ/ビジー信号を、オートセレクト機能と前記コントローラによる前記集積回路の選択とに基いて設定する方法であって、

前記オートセレクト機能が使用可能にされていなくて前記集積回路が選択されているときに前記レディ/ビジー信号を送るステップと、

前記オートセレクト機能が使用可能にされていなくて前記集積回路が選択されていないときに前記レディ/ビジー信号を送るステップと、

前記オートセレクト機能が使用可能にされていて前記集積回路が選択されているときに前記レディ/ビジー信号を送るステップと、

前記オートセレクト機能が使用可能にされていて前記集積回路が選択されていないときに前記レディ/ビジー信号をマスクするステップと、

を含む方法。

## 【請求項 11】

前記オートセレクト機能が使用可能にされていることを制御レジスタの内容が示しているときには前記オートセレクト機能は使用可能にされ、前記制御レジスタの内容は前記コントローラによって書き込まれる請求項 10 記載の方法。

## 【請求項 12】

前記コントローラから最も新たに受信されたコマンドが前記集積回路を特定しているときに前記集積回路が選択される請求項 10 記載の方法。

## 【請求項 13】

コントローラによって外部可能化信号が前記集積回路に加えられたときに、前記集積回路は選択される請求項 10 記載の方法。

## 【請求項 14】

前記コントローラから最も新たに受信されたコマンドが前記集積回路を特定し、かつ外部可能化信号がコントローラによって前記集積回路に加えられたときに、前記集積回路は選択される請求項 10 記載の方法。

## 【請求項 15】

半導体ダイ上に形成された集積回路であって、前記集積回路は前記半導体ダイ上に無いコントローラと通信し、前記集積回路は、

第 1 の集積回路部分と、

前記コントローラによって書き込まれた内容を有する制御レジスタと、

第 2 の集積回路部分であって、前記第 1 の集積回路部分から第 1 の入力および第 2 の入力を受信して出力をピンに送り、前記出力は前記制御レジスタの前記内容に従って前記第 1 の入力および前記第 2 の入力から選択される第 2 の集積回路部分と、

を備える集積回路。

## 【請求項 16】

前記第 1 の集積回路部分はメモリアレイとキャッシュとを含み、前記第 1 の入力は前記メモリアレイの状態を示し、前記第 2 の入力は前記キャッシュの状態を示す請求項 15 記載の集積回路。

## 【請求項 17】

前記出力は、前記制御レジスタの前記内容に応答してマスクされる請求項 15 記載の集積回路。

10

20

30

40

50

## 【請求項 18】

前記出力は、前記集積回路が前記コントローラによって選択されていないときにマスクされる請求項 17 記載の集積回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本願は、集積回路に関し、特に 1 つ以上の信号線を介してコントローラと通信する不揮発性メモリのような集積回路に関する。

## 【背景技術】

## 【0002】

種々の記憶装置を含む集積回路同士は伝導性の線またはトレースを介して互いに接続可能である。集積回路同士は、或る例ではパッケージ内で互いに接続可能である。そのような接続の例が不揮発性メモリ製品において見られる。今日、特に、1 つ以上の集積回路チップ上に形成されたフラッシュ E E P R O M (電気的に消去可能でプログラム可能な読み出し専用メモリ)セルのアレイを使用する小形のファクタカードの形式で使用される商業的に成功した不揮発性メモリ製品が多数ある。普通は別の集積回路チップ上にあるが必ずしもそうでなくても良いメモリコントローラは、カードが取り外し可能に接続されたホストとインターフェイスしてカード内のメモリアレイの動作を制御する。そのようなコントローラは、通常、マイクロプロセッサと、何らかの不揮発性読み出し専用メモリ (ROM) と、揮発性ランダムアクセスメモリ (RAM) と、データのプログラミングおよび読み出しの間にデータからこのデータがコントローラを通るときに誤り訂正符号 (ECC) を計算する特別の回路のような 1 つ以上の特別の回路とを含む。商業的に入手し得るカードの幾つかは、コンパクトフラッシュ (登録商標) (CF) カード、マルチメディア (登録商標) カード (MMC)、セキュアデジタル (SD) カード、スマートメディアカード、従業員タグ (P - Tag) およびメモリスティックカードである。ホストは、パーソナルコンピュータ、ノートブック形コンピュータ、携帯用個人情報端末 (PDA)、種々のデータ通信装置、デジタルカメラ、携帯電話機、携帯用オーディオプレーヤ、自動車音響システムおよび類似のタイプの装置を含む。メモリカードの実施例の他に、このタイプのメモリは代りに種々のタイプのホストシステムに埋め込まれ得る。

## 【0003】

NOR および NAND のような 2 つの一般的メモリセルアレイ構成が商業的に使用されている。典型的な NOR アレイでは、メモリセルは列方向に延びる隣り合うビット線のソースおよびドレイン拡散の間に接続され、コントロールゲートはセルの行に沿って延びるワード線に接続される。メモリセルは、ソースおよびドレインの間のセルチャネル領域の少なくとも一部分の上に位置する少なくとも 1 つの記憶素子を含む。この記憶素子上のプログラムされたレベルの電荷がセルの動作特性を制御し、アドレス指定されたメモリセルに適切な電圧を加えることによって読み出され得る。そのようなセルの例と、メモリシステムにおけるそれらの使用と、それらを製造する方法とが、米国特許第 5,070,032 号 (特許文献 1)、第 5,095,344 号 (特許文献 2)、第 5,313,421 号 (特許文献 3)、第 5,315,541 号 (特許文献 4)、第 5,343,063 号 (特許文献 5)、第 5,661,053 号 (特許文献 6) および第 6,222,762 号 (特許文献 7) に記載されている。これらの特許と、本願で引用されている全ての特許および公開されている特許出願は、その全体が参照により援用されている。

## 【0004】

NAND アレイは、セルの列を形成するように個々のビット線と基準電位との間に 1 つ以上の選択トランジスタと共に接続された、16 個または 32 個などの 3 個以上のメモリセルの直列ストリングを利用する。ワード線は多数のこれらの列の中のセルを横断して伸びる。1 つの列の中の 1 つのセルは、プログラミング中に、ストリング中の残りのセルが容易にはオンに転換しないようにすることによって読み出されてペリファイされるので、ストリングを流れる電流はアドレス指定されたセルに蓄積されている電荷のレベルに依存

10

20

30

40

50

する。NAND構成のアレイの例とメモリシステムの一部としてのその動作とが、米国特許第5,570,315号(特許文献8)、第5,774,397号(特許文献9)、第6,046,935号(特許文献10)、および第6,522,580号(特許文献11)とに見出される。

#### 【0005】

前に引用された特許で論じられている、現在のフラッシュEEPROMアレイの電荷記憶素子は、通例、伝導性のドーパされたポリシリコン材料から通常形成される導電性フローティングゲートである。フラッシュEEPROMシステムにおいて有用な代替りのタイプのメモリセルは、電荷を不揮発性に蓄積するために伝導性フローティングゲートの代わりに不伝導性誘電物質を利用する。酸化ケイ素、窒化ケイ素および酸化ケイ素(ONO)から形成された3層誘電体が伝導性コントロールゲートと、メモリセルチャネルの上の半伝導性基板の表面との間に挿まれる。セルは、セルチャネルから窒化物に電子を注入することによってプログラムされ、ここでそれらは捉えられて、限定された領域に蓄積され、ホットホールを窒化物に注入することによって消去される。

10

#### 【0006】

多くの集積回路の用途の場合と同じく、何らかの集積回路機能を実現するために必要なシリコン基板面積を縮める圧力がフラッシュEEPROMメモリセルアレイに関しても存在する。一定のサイズのメモリカードおよび他のタイプのパッケージの記憶容量を増大させ、或いは容量を増大させかつサイズを減少させるために、一定面積のシリコン基板に蓄積され得るデジタルデータの量を増大させることが絶えず求められている。データの記憶密度を増大させる1つの方法は、1メモリセルあたりおよび/または1記憶ユニットまたは素子あたりに1ビットより多いデータを蓄積することである。これは、記憶素子電荷レベル電圧範囲のウィンドウを2つより多い状態に分割することによって達成される。そのような状態を4つ使えば各セルが2ビットのデータを記憶することを可能にし、8つの状態は1記憶素子あたりに3ビットのデータを記憶し、以下同様である。そのような多レベル論理を用いるメモリアレイは、蓄積された電荷の小さな変化からのデータの破壊に特に弱い。多状態メモリセルアレイの選択された部分は、いろいろの理由から2状態(バイナリ)で操作されても良い。

20

#### 【0007】

代表的なフラッシュEEPROMアレイのメモリセルは、一緒に消去されるセルの別々のブロックに分割される。すなわち、ブロックは消去単位であり、同時に消去可能な最小数のセルである。各ブロックは通常1ページ以上のデータを記憶し、ページとはプログラミングおよび読み出しの最小単位であるが、別々のサブアレイまたはプレーンにおいて2ページ以上が並列にプログラムされまたは読み出され得る。各ページは通常1セクタ以上のデータを記憶し、セクタのサイズはホストシステムによって定められる。1つの例であるセクタは、磁気ディスク駆動装置に関して確立されている標準規格に従って512バイトのユーザデータと、このユーザデータおよび/またはそれらが記憶されているブロックに関する数バイトのオーバーヘッド情報とを含む。そのようなメモリは、通常、各ブロック内に16ページ、32ページ或いはもっと多数のページを有するように設定され、各ページはデータの1つまたはほんの数個のホストセクタを記憶する。

30

40

#### 【0008】

ユーザデータをメモリアレイにプログラムする間およびユーザデータをメモリアレイから読み出す間の並列性の程度を高めるために、アレイは、通常、一般にプレーンと称される数個のサブアレイに分割され、データのセクタを数個のまたは全てのプレーンのうちの各々に同時にプログラムし或いはそれから同時に読み出せるように並列動作を可能にする自分自身のデータレジスタまたは他の回路を含む。単一の集積回路上のアレイを数個のプレーンに物理的に分割することができ、或いは各プレーンを別々の1つ以上の集積回路チップから形成することができる。そのようなメモリの実施例が、米国特許第5,798,968号(特許文献12)および第5,890,192号(特許文献13)に記載されている。

50

## 【0009】

メモリをさらに効率よく管理するために、数個のブロックを連結して仮想ブロックまたはメタブロックを形成することができる。すなわち、各メタブロックは、各プレーンから1つのブロックを含むように定められている。メタブロックの使用が、国際公開特許出願第W002/058074号(特許文献14)に記載されている。メタブロックは、ホスト論理ブロックアドレスによって、データをプログラムし読み出すための宛先として識別される。メタブロックの全てのブロックは同時にプログラムされ得る。そのようなメタブロックのプログラミングの単位はメタページであり、メタブロックの各ブロックからの1つのページから成る。同様に、メタブロックの全てのブロックは一緒に消去される。或る例では、メタブロックのサイズは固定されるので、メタブロックは消去の最小単位であり、メタページはプログラミングの最小単位である。そのような大きなブロックおよび/またはメタブロックで操作されるメモリシステム内のコントローラは、ホストから受信された論理ブロックアドレス(LBA)とメモリセルアレイ内の物理的ブロック番号(PBN)との間の変換を含む幾つかの機能を実行する。ブロック内の個々のページは、通常、ブロックアドレス内のオフセットによって識別される。アドレス変換は、しばしば、論理ブロック番号(LBN)と論理ページとの中間項の使用を必要とする。

10

## 【0010】

メモリセルアレイにデータを入れたり出したりするために1つ以上のレジスタを用いることができる。マルチレジスタメモリシステムの例が、米国特許第6,349,056号(特許文献15)および第6,560,143号(特許文献16)に記載されている。レジスタは、通常、メモリセルアレイの1行中のデータに等しいデータを保持する。レジスタは、一般に揮発性であり、従って電源が失われたならば、そのようなレジスタ内のデータは失われる。レジスタは、メモリアレイにプログラムされるべきデータ、またはホストへ送られるべきデータを保持するバッファまたはキャッシュとして使用され得る。

20

## 【0011】

メモリシステムは、一般に、コントローラを有する。コントローラは、コントローラインターフェイス論理を通して内部メモリに接続され、外部コンポーネントとインターフェイスするマイクロプロセッサまたはマイクロコントローラを含むことができる。プログラムメモリは、接続されているメモリユニットからデータを読み出してそのデータをホストに送り、ホストからのデータをメモリチップに書き込み、また他の多くの監視機能および制御機能を実行するメモリシステム動作を制御するためにマイクロコントローラによりアクセスされるファームウェアおよびソフトウェアを記憶する。

30

## 【0012】

集積回路は、通常、一連の処理ステップによって半導体基板上に形成される。その後、基板は個々の集積回路チップ(“ダイ”または“チップ”)に分割され、別々にパッケージ化され得る。或いは、2つ以上のチップが1つのパッケージ内に存在するようにチップをパッケージ化することができる。例えば、単一のパッケージ内により大きな記憶容量を与えるために2つ以上のメモリチップを一緒にパッケージ化することができる。これにより、複数の別々のパッケージを用いることまたは単一のチップ上により大きなメモリを形成することに代る、より安価な選択肢を提供することができる。パッケージ化は、チップを保護シェル内に封入し、チップとの通信を可能にするためにチップ上のパッドをパッケージ上のピンに電気的に接続する従来のチップのパッケージ化方法によることができる。このようにパッケージ化されたメモリチップは、不揮発性メモリシステムを含む種々の用途に使用され得る。このようなシステムは通常コントローラを含み、別のチップ上に形成され、また別にパッケージ化され得る。

40

## 【0013】

図1は、コントローラと複数のメモリユニットとを含むメモリシステムの例を示す。コントローラはホストと通信する。図1のメモリシステムは、前述した商業的に入手し得るフラッシュメモリ製品のようなメモリカード内にあり得る。或る例では、各メモリユニットは別々にパッケージ化され、パッケージはコントローラに接続される。他の例では、コ

50

ントローラとメモリユニットとは単一のパッケージと一緒にパッケージ化され得る。他の例では、2つ以上のメモリユニットと一緒にパッケージ化され、そのように形成されたパッケージはコントローラに接続されるが、別のパッケージ内にある。フラッシュメモリカードでは、個々のパッケージはプリント回路基板に搭載され、別々のパッケージのピンの間の接続線を提供する。一般に、そのような線の数を減らすのが望ましい。なぜならば、それらはメモリシステムのコストおよび複雑さを高めるからである。従って、複数のチップと一緒にパッケージ化されるとき、それらはパッケージ上の単一のピンを共有することができると共にコントローラと通信するために単一の線を共有することができる。

#### 【0014】

図2は、第2のパッケージ(パッケージ2)内の2つのメモリチップ(メモリユニット1およびメモリユニット2)と通信する1つのパッケージ(パッケージ1)内にコントローラチップを有するメモリシステムの例を示す。ここで、各メモリユニットは個々のメモリチップ上に形成されている。すなわち、メモリユニット1はメモリチップ1上に形成され、メモリユニット2はメモリチップ2上に形成されている。両方のメモリユニット1および2がパッケージ2上の共通レディ/ビジー・ピンに接続されたレディ/ビジー出力を有する。この共通ピンは共通レディ/ビジー信号線を介してコントローラチップに接続する。図示されてはいないけれども、パッケージ1とパッケージ2との間には他の多数の結線が存在し得る。レディ/ビジー・ピンは、両方のパッケージのピンの総数を減らし、従ってシステムのコストおよび複雑さを低減するために共有される。このようなシステムの1つの問題は、コントローラにより受信されたレディ/ビジー信号はメモリユニットのうちの一つがビジーであることを示すに過ぎなくて、どちらの一つであるのかを示さないことである。従って、ビジー信号が受信されたとき、どちらのメモリユニットがビジーであるのか或いは一つのみがレディであるのかどうかは分からない。

#### 【0015】

通常、信号線上の高電圧は集積回路がレディであることを示すことができ、低電圧はそれがビジーであることを示す。或る例では、集積回路全体としての状態以上の情報を知ることが望ましい。例えば、メモリアレイに接続されているキャッシュを有するメモリユニットでは、メモリアレイの状態とキャッシュの状態との両方を知るのが有益である。単一のレディ/ビジー信号では、コントローラはこの情報を入手できないかもしれない。

#### 【0016】

図3は、メモリアレイ並びに2つのレジスタ、すなわちキャッシュ(マスタデータレジスタ)およびバッファ(スレーブデータレジスタ)、を有するメモリユニットの例を示す。メモリアレイおよび接続されているレジスタは、両方のレジスタがバッファリング機能を提供するので、バッファ付きメモリアレイと見なされ得る。さらに、このメモリユニットは、コントローラと通信するメモリ制御回路を有する。コントローラとの通信は、チップイネーブル(CE)線、コマンドラッチイネーブル(CLE)線、アドレスラッチイネーブル(ALE)線、書き込みイネーブル(WE)線、読み出しイネーブル(RE)線、1組の入出力(I/O)線およびレディ/ビジー(R/B)線を含むことのある1群の線を介して行われる。このメモリユニットは、個々別々にまたは他のメモリユニットと共にパッケージ化され得る。一般に、図3に示されているもののようなメモリユニットは、1チップがメモリアレイおよびメモリ制御回路を含む1つのメモリユニットを有するように、専用メモリチップ上に形成される。コントローラからのホストデータは、メモリ制御回路によってキャッシュに、その後バッファに、その後フラッシュメモリアレイに送られ得る。これは、他のデータがバッファからフラッシュメモリアレイにプログラムされるのと同時にホストデータがキャッシュにロードされるのを可能にする。この並列性は、フラッシュメモリアレイへのデータ転送を高速化することができる。しかし、そのようなシステムからのレディ/ビジー信号は1ビットのデータを提供し得るに過ぎない。この信号は、アレイがアレイ・ビジーのような第1の状態にあるか、またはアレイ・レディのような第2の状態にあるかを表すことができる。しかし、キャッシュがビジーであるか否かのような付加的情報を知ることが有益である。

10

20

30

40

50

## 【0017】

従って、より多くの情報を単一の線に沿ってコントローラに提供することを可能にする制御システムに対するニーズがある。また、コントローラによって設定可能なシステムに対するニーズもある。他の集積回路とレディ/ビジー線を共有する個々の集積回路の状態をコントローラが判定することを可能にするシステムに対するニーズもある。

【特許文献1】米国特許第5,070,032号

【特許文献2】米国特許第5,095,344号

【特許文献3】米国特許第5,313,421号

【特許文献4】米国特許第5,315,541号

【特許文献5】米国特許第5,343,063号

10

【特許文献6】米国特許第5,661,053号

【特許文献7】米国特許第6,222,762号

【特許文献8】米国特許第5,570,315号

【特許文献9】米国特許第5,774,397号

【特許文献10】米国特許第6,046,935号

【特許文献11】米国特許第6,522,580号

【特許文献12】米国特許第5,798,968号

【特許文献13】米国特許第5,890,192号

【特許文献14】国際特許出願第WO02/058074号

【特許文献15】米国特許第6,349,056号

20

【特許文献16】米国特許第6,560,143号

【発明の開示】

## 【0018】

コントローラおよびメモリチップのような2つのコンポーネントを接続する単一の線を用いて付加的な機能を達成することを可能にするメモリ制御システムが開示される。メモリチップの何らかの状態をコントローラに示すためにレディ/ビジー線が使用される場合、メモリ制御システムは、同じ線を用いて付加的な情報を表すことを可能にすることができる。コントローラは、メモリチップにより送信される信号を設定するためにレジスタの内容をメモリチップに書き込むことができる。このようにして、コントローラは、レジスタを設定することによって、1つの範囲の可能な信号のうちからレディ/ビジー信号を選択することができる。選択された信号は、コントローラによる付加的な動作を必要とせず、メモリチップからコントローラに提供される。コントローラは、メモリチップにおける状態を判定するためにメモリチップに積極的に問い合わせなくても良い。その代わりに、コントローラは、関心対象である状態を示す信号を受動的に受信することができる。或る設計では、コントローラは、エネルギーを節約する低電力或いは“スリープ”モードでそのような信号を受動的に受信することができる。コントローラは、信号が変化するとき給電状態に戻ることができる。例えば、コントローラは、メモリユニットがビジーである間は休眠し、メモリユニットが次のコマンドのためにレディになるときに目覚める。メモリアレイとキャッシュとを有するメモリユニットでは、メモリアレイの状態とキャッシュの状態とは別々の信号によって表示され得る。コントローラは、ビジー制御レジスタの内容を設定することによって、それらの信号のうちどれをレディ/ビジー線でコントローラに送るかを選択することができる。

30

40

## 【0019】

コントローラは、特定のメモリチップからのビジー信号がマスクされて、レディ/ビジー線上の信号に影響を及ぼさないようにレジスタを設定することもできる。これは、複数のチップが同じレディ/ビジー線を共有する場合に有益である。マスクされていない1または複数のチップだけからコントローラが信号を受信するように個々のチップをマスクすることができる。このようにして、コントローラは、どのチップがそれ自体の信号をマスクしたのか、どれがそれ自体の信号をコントローラに送ったのかを明示的に識別することができる。

50



## 【 0 0 2 0 】

どのチップがそれ自体の信号をマスクすべきか、どれがそれ自体の信号を送るべきかをコントローラに個別に決定させる代わりとして、オートセレクトモードにおいてこの決定はチップのレベルで行われ得る。信号は、チップが選択されれば送信され、チップが選択されなければマスクされる。チップの選択は、この文脈では、チップを使用可能にする特定の線がアクティブであることを意味し、または、チップがコントローラコマンドによってまたはアクティブな使用可能化線とコマンドとの何らかの組み合わせによってアドレス指定されることを意味する。選択されるチップは、一般に、受信された最後のコマンドによりアドレス指定されたチップである。このシステムでは、選択されたチップだけがビジー信号を送る。1チップが選択解除されて他の一つが選択されるとき、選択解除されたチップ信号はマスクされ、選択されたチップ信号は、コントローラが別の設定変更を行うことを必要とせず自動的にコントローラに送られる。これは、1つのチップに特有のレディ/ビジー信号を数個のチップにより共有されている線を介してコントローラが受信することを可能にする。信号は、どの信号が送信されてどれがマスクされるべきかをコントローラからの別のコマンドが指定することを必要とせず、異なるチップが選択されるので、異なるチップから自動的に生じることができる。

10

## 【 発明を実施するための最良の形態 】

## 【 0 0 2 1 】

図4は、レディ/ビジー・ピン402を制御するために使用される信号制御システムについての等価回路400についての回路図を示す。マルチプレクサMUX1により受信される2つの信号、すなわちアレイ・ビジー信号406とキャッシュ・ビジー信号408と、が示されている。メモリ状態マシン410は、メモリのレディ/ビジー・ピン402を制御してどの信号がコントローラにより受信されるかを決定する出力412に信号406、408のどちらが加えられるかを決定する。一度に2つの信号、すなわちアレイ・ビジー406およびキャッシュ・ビジー408、のうちの1つだけが出力412に加えられる。状態マシン410は、出力412がメモリにより受信された最後のコマンドまたは他の何らかの要素に依存するように、動作することができる。出力412は、メモリ状態マシン410の現在の状態により決定されるので、メモリの状態を変更することなくコントローラにより直接設定することはできない。

20

## 【 0 0 2 2 】

図5は、本発明の一実施形態に従う信号制御システムについての等価回路500についての回路図を示し、レディ/ビジー信号がメモリユニットにおけるちょうど2つよりも多くの状態を表すことができるようにレディ/ビジー線を介して付加的なデータを送ることを可能にする。この制御システムは、図示された制御回路としてまたは何らかの同等の仕方を実現され得る。第1のマルチプレクサMUX1が設けられ、アレイとキャッシュの状態を各々示す入力アレイ・ビジー406とキャッシュ・ビジー408とを有する。MUX1の出力は、メモリ状態マシン410の状態に応じて前述したように選択される。従って、MUX1の出力は、前述した出力412と同等である。しかし、前の回路とは違って、図5は、MUX1の出力が第2のマルチプレクサMUX2へ進むことを示し、ビジー制御レジスタ522によって制御される。MUX2の出力524は制御システムのビジー出力になる。従って、MUX2は、前述した出力412と、このシステムによって提供される出力との間に挿入されている。これにより、ビジー制御レジスタ522の内容の改変を通して出力524を設定することを可能にする。ビジー制御レジスタ522の内容は、コントローラによって直接に改変され得る。

30

40

## 【 0 0 2 3 】

ビジー出力524は、MUX2への入力から選択され得る。MUX2への入力は、MUX1の出力412と、アレイ・ビジー406と、キャッシュ・ビジー408と他のビジー・ソース526とを含む。図5は、他のビジー・ソース526を表す単一の線を示している。しかし、他のビジー・ソース526は、メモリユニット内の複数の状態を表すMUX2への複数の入力を含み得る。従って、出力524の意味は、所望されている情報に応じ

50

て設定され得る。

【0024】

MUX2の1つの可能な出力は単にMUX1の出力である。この場合、制御回路は、あたかもMUX2が存在しないかのように動作する。従って、制御システムは、逆互換性が維持され得るように、図4の前述した制御システムとして動作するように構成され得る。

【0025】

MUX2の出力としてアレイ・ビジー406またはキャッシュ・ビジー408が選択され得る。これらもMUX1の可能な出力であるが、MUX1の出力はコントローラが変更することのできるレジスタの内容に応じて設定可能ではない。MUX1により生成される信号はメモリ状態マシン410の現在の状態に基づいて確定的に作られるが、MUX2により生成される信号はコントローラが変更しうる設定可能な仕方で作られる。このシステムでは、出力はコントローラによって直接選択され得る。その選択は、メモリユニットがコマンドを実行して動作している間に変更され得る。

10

20

30

40

50

【0026】

MUX2の出力は、ドレイン530がレディ/ビジー・ピン502に接続され、ソースが接地に接続されているトランジスタ528のゲートに進む。動作時に、レディ/ビジー・ピン502は、コントローラに接続する信号線に接続され得る。MUX2の出力が“ハイ”でビジー状態を表しているとき、トランジスタ528はオンに転換され、レディ/ビジー・ピン502の電圧は接地すなわち“ロー”にされる。MUX2の出力が“ロー”でレディ状態を表しているとき、トランジスタ528はオフに転換されてレディ/ビジー・ピン502の電圧は“ハイ”レベル、すなわち信号線に接続されている供給の電圧に上昇する。従って、トランジスタ528は、MUX2からの出力524のインバータとして働く。

【0027】

前の記述は制御回路にマルチプレクサを用いる特定の例に言及しているが、前述したような手法は特定のハードウェア構成に限定されない。前述した例は、いろいろなハードウェアを用いて実行され得るか、或いはソフトウェアを用いて達成され得る技術を説明している。図示されている制御回路は、使用され得る種々の制御システムのための等価回路と見なされて良い。制御システムは、種々の制御回路を用いて或いはソフトウェアを用いて種々に実現され得る。

【0028】

或る例では、2つ以上の制御システムが1つの共通信線に接続される。従って、図5のレディ/ビジー・ピンは、共有される信号線によって他の制御システムの他のレディ/ビジー・ピンに接続され得る。そのような線は、導電性材料の1つ以上の連続する部分から作られ得る。例えば、プリント回路基板上に形成された金属トレースは信号線または信号線の一部を形成することができる。しかし、そのような共有される線は特定の集積回路の状態を隠すことがある。たった1つの集積回路がビジーであるに過ぎないときでも、その制御システムは、対応するレディ/ビジー・ピンを“ロー”状態にするハイ出力を生じさせる。これは、接続されている信号線をローにする。その制御システムが信号線に接続されている他の全ての集積回路の状態はコントローラには分からないように隠される。これは、これらの制御システムの出力における如何なる変化もコントローラによって検出されないということを意味する。他の制御回路出力がレディからビジーに遷移しているならば、これはコントローラによっては検出され得ない。なぜならば、それは既にビジー信号を受信しているからである。従って、ホストにより受信されるビジー信号は、集積回路がビジーであることを示すだけであって、どれがそのようなかは示さない。

【0029】

本発明の一実施形態では、コントローラに必要とされる制御システム出力をマスクするためにビジー制御レジスタを使用することができる。従って、入力406, 408によってどのような状態が制御システムに対して示されていても、出力524はビジー制御レジスタ522の1つ以上のビットに応じてローに保たれ得る。このディスエーブル機能は、

コントローラが監視されるべき1つ以上の集積回路を識別し、他の集積回路を無視することを可能にする。

**【0030】**

本発明の他の実施形態では、ビジー制御レジスタによってオートセレクト機能が使用可能にされ得る。この機能は、制御システムに接続されている集積回路が選択されているか否かによって選択的に制御システムがその出力をマスクすることを可能にする。オートセレクト機能は、対応する集積回路が選択されていなければMUX2の出力524を使用禁止にする。これは、直接的コントローラ介入無しでオートセレクトモードで制御システムのレベルで自動的に行われる。従って、コントローラによってオートセレクトが使用可能にされると、制御システムはコントローラから制御システムへのさらなる入力無しでその信号を適宜送信するかまたはマスクすることができる。選択は、チップイネーブル(CE)線の状態によりまたは最後にアドレス指定された集積回路若しくはこれら2つの要素の何らかの組み合わせによって決定され得る。オートセレクトを目的としてどの基準が選択を決定するかを選択するためにビジー制御レジスタ522の付加的なビットが使用され得る。例えば、CE信号に基づく選択、最後にアドレス指定されたコマンドに基づく選択およびこれらの基準の両方に基づく選択は、3つの異なるオートセレクト可能性を提供する。オートセレクトを使用禁止にする可能性もあり、合計4個の可能性を提供する。これら4つの可能性は、例えばビット5および7などの、ビジー制御レジスタ522の2つのビットを用いて選択され得る。

10

**【0031】**

記載された制御システムを用いるメモリユニットを有するメモリシステムの例が図6に示されている。2つのメモリユニット640, 642が示されている。メモリユニット640は、レディ/ビジー制御回路646を含むメモリ制御回路644を有する。メモリユニット642はレディ/ビジー・ピン650を含むメモリ制御回路648を有する。両方のレディ/ビジー制御回路646, 650が共通信号線に接続されている。共通信号線は、他のメモリユニットにも延びることができる。オートセレクトがレディ/ビジー回路で使用可能にされている場合、その回路からのレディ/ビジー信号は、そのレディ/ビジー回路を含むメモリユニットが選択されなければマスクされる(レディ状態に保たれる)。一般に、オートセレクトは、1つのコントローラと一緒に接続されている全てのメモリユニットについて使用可能または使用禁止にされる。このようにして、コントローラによって選択されたメモリユニットのレディ/ビジー信号だけがコントローラに送られる。使用可能にされていないメモリユニットのレディ/ビジー信号はレディ/ビジー制御回路によってマスクされる。この構成では、レディ/ビジー信号はメモリユニットがビジーであることだけを示すのではなく、どの特定のメモリユニットがビジーであるのかも示す。なぜならば、一般に、一度に唯一のメモリユニットが選択されるからである。2つ以上のメモリユニットが選択され、オートセレクトが使用可能にされるならば、ビジー信号は、選択されたメモリユニットのうちいずれからも生じ得る。例えば、図6のメモリユニット(メモリユニット640, 642および信号線に接続されている任意の付加的メモリユニット)についてオートセレクトが使用可能にされている場合、メモリユニット640が選択されれば、メモリユニット640からのレディ/ビジー信号だけがコントローラにより受信される。この状態で、メモリユニット642のメモリアレイまたはキャッシュは何らかの最近のコマンドから依然としてビジーであり得る。しかし、メモリユニット642は選択されず、メモリ640が選択される。メモリユニット642にビジー状態が存在し得るが、この状態を示す信号はコントローラに送られない。代わりに、信号はメモリユニット642のレディ/ビジー制御回路650によってマスクされる。同様に、信号線652に接続されている他のメモリユニットからのビジー信号は、メモリユニットが選択されていなければ、そのレディ/ビジー制御回路によってマスクされる。

20

30

40

**【0032】**

図7は代替の実施形態を示し、この場合、どのメモリユニットとも別のレディ/ビジー制御回路760に数個のメモリユニットが接続されている。各メモリユニット762, 7

50

64は単数または複数のレディ/ビジー出力を有する(1本の線だけが示されているが、アレイ・ビジー、キャッシュ・ビジーおよび他のビジー信号のために個別の線を設けることができる)。レディ/ビジー制御回路760は前述したのと同様に動作するが、別のダイ上に位置する。レディ/ビジー制御回路760は、専用のダイ上に、または他の回路と共に1つのインターフェイスの一部として、実現され得る。この構成は、複数のメモリダイが単一のパッケージにパッケージ化される場合に使用され得る。パッケージのために唯一のレディ/ビジー・ピンが必要とされるように、複数のレディ/ビジー制御回路を有する1つのダイをパッケージに含ませることができる。通常、コントローラは別のダイ上にある。

#### 【0033】

図8は、ビジー制御レジスタ522を示す。ビジー制御レジスタは、8個のデータビットを有するものとして示されている。しかし、この例では、ビット2~5は使用されず、付加的な機能のために確保される。ビット0~1は、ビジー制御回路への4つの入力のうちのどれがコントローラに提供されるかを示す。これらの入力は、アレイ・ビジー、キャッシュ・ビジー、内部ビジー(MUX1の出力)および他のビジーを含む。“他のビジー”は1本の線として示されているが、付加的なビジー信号および付加的な線があっても良い。この理由から、より多くの入力から選択を行えるようにビット2~5が確保される。ビット6はディスエーブルビットである。ビット6が1にセットされているときには、ビジー制御回路の出力はビジー制御回路への入力に関わらずに“レディ”状態にとどまる。ビット7はオートセレクトビットである。ビット7が1にセットされているときには、ビジー制御回路の出力は、そのメモリユニットがコントローラによって選択されているか否かによる。コントローラは、そのチップに対応するチップイネーブル(CE)信号をオンに転換させることによってメモリユニットを選択することができる。しかし、複数のメモリユニットが一緒にパッケージ化される場合、それらは1つのCE線を共有することができる。従って、CE線による如何なる選択も個々のメモリユニットを十分に特定することはできない。メモリユニットは、コントローラによってコマンドで提供されるアドレスによって特定され得る。コントローラがコマンドを送るとき、個々のメモリユニットに特有のアドレスを含むことができる。受信された最後のコマンドで提供されるアドレスが、選択されたメモリユニットのアドレスであると見なされ得る。従って、コントローラがメモリユニットを選択する2つの手法が記載される。メモリシステムは、メモリユニットを特定するためにこれらの手法のいずれかまたはその2つの組み合わせを用いることができる。例えば、メモリユニットは、CE線が選択され、かつ最後のコマンドがメモリユニットのアドレスを特定したならば、選択され得る。ビジー制御レジスタのいろいろなビットの重要性は、いろいろな実施形態において一様でない。例えば、ビット2~5は図8のビジー制御レジスタにおいては削除されても良い。或る実施形態では、オートセレクトは、この機能を使用可能/使用禁止にするビットが必要でないように、永久的に使用可能にされてもよい。

#### 【0034】

図9は、図8に示されているビジー制御レジスタ522の内容についての真理値表を示す。ビジー制御回路の出力524は、“ビジー”の下側の右側列にある。線1はディスエーブル=1を示す。この状態では、ビジー制御レジスタの他の内容に関わらず、出力は0またはローにとどまる。このロー出力は、出力がレディ/ビジー線に接続されているオープンドレイントランジスタ528のゲートに達するので、レディ/ビジー・ピン502および接続されているレディ/ビジー線の電圧がハイ(レディ)にとどまることを意味する。線2~5は“選択”ビットのいろいろな値についての出力を示す。4つの出力は、図5のMUX1の出力である内部ビジー412を含む。キャッシュ・ビジー408およびアレイ・ビジー406は、キャッシュおよびアレイの状態を各々表し、別々に選択され得る。他のビジー526は、コントローラによって使用され得る任意のビジー信号であって良い。さらに、ビット2~5は、必要ならば付加的なビジー信号を選択するために、使用され得る。これらは図9の真理値表には示されていない。線6は、オートセレクト=1(オート

10

20

30

40

50

セレクトが使用可能にされている)およびダイ選択 = 0 (ダイが選択されていない)を示す。この状態における出力 0 である。なぜならば、オートセレクトが使用可能にされているときには、コントローラがダイを選択しなければ出力がマスクされるからである。ここではダイは選択されていないので出力はマスクされたままである、すなわち、0にとどまり、従ってレディ/ビジー線は影響を受けない。線 7 ~ 10 は、オートセレクト = 1 (オートセレクトが使用可能にされている)およびダイ選択 = 1 (ダイが選択されている)のときの出力を示す。この場合の出力は選択ビットによる。この場合には選択されたどのような信号も出力として供給される。なぜならば、出力がマスクされないからである。ビジー制御レジスタ 522 がメモリユニットのレディ/ビジー出力を設定する柔軟な方法を提供することが分かる。ビジー制御レジスタ 522 の内容は、レディ/ビジー信号の意味が所望の意味に設定されるように、改変され得る。ビジー信号はマスクされ得る。単一のコントローラに複数のメモリユニットが接続されている場合には、マスキングはコントローラが単一のメモリユニットを監視することを可能にすることができる。なぜならば、他の信号がマスクされるからである。これらのいろいろなオプションは、ビジー制御レジスタの内容を改変することによってコントローラにより選択され得る。

10

20

30

40

50

#### 【0035】

ビジー制御レジスタ 522 の内容は、メモリユニットのアドレスと書き込まれるべき内容とを指定するコマンドを用いてコントローラによって直接書き込まれ得る。図 10 は、メモリユニットとコントローラとを接続する複数の線を有するメモリユニットにより受信されるそのようなコマンドについてのタイミング図を示す。チップイネーブル (CE) 線上の信号は、メモリユニットの動作を可能にするために下げられる。コマンドラッチイネーブル線 (CLE) は、コマンドを I/O ポートからコマンドレジスタにラッチすることを可能にするために高められる。CLE 線がハイであるとき、コマンド (C) がコマンドレジスタに転送され得るように I/O 線 0 ~ 7 からのデータの取得を可能にするために書き込みイネーブル (WE) が下げられる。コマンド (C) は、ビジー制御書き込みのためのコマンドコードを表し、ビジー制御レジスタの内容が書き込まれることを示す。コマンドの最後に WE 線が高められる。次に、アドレス情報をアドレスレジスタにラッチすることを可能にするためにアドレスラッチイネーブル (ALE) 信号が高められる。再び、I/O 線 0 ~ 7 でのアドレスデータの転送を可能にするために WE 信号が下げられる。アドレスデータは特定のメモリユニットのアドレス (A) を含む。この場合、アドレス指定されるメモリユニットは、コントローラが更新するビジー制御レジスタを有するメモリユニットである。選択されたレジスタの内容 (S) が I/O 線 0 ~ 7 からアドレス指定されたメモリユニットのビジー制御レジスタに転送されることを可能にするために WE 信号が 3 度目に下げられる。選択されたレジスタの内容 S は、メモリユニットからのレディ/ビジー信号を設定するためにビジー制御レジスタ 522 にロードされるべきデータビットを含む。メモリユニットのレディ/ビジー出力は、レディ/ビジー制御レジスタ 522 の内容が改変されるときレディ/ビジー信号の遷移も表すように示されている。この様な結果が生じるのは、信号が第 1 の状態 (例えば、アレイ・ビジー) の表示から第 2 の状態 (例えば、キャッシュ・レディ) へ変化するからである。レディ/ビジー信号におけるこの変化は、単に、メモリユニットの状態が変化したことではなくて信号の意味が変化したことを反映しているに過ぎない。

#### 【0036】

或る例では、1つのコントローラに接続されている全てのメモリユニットのレディ/ビジー制御レジスタの内容を変更することが望ましい。そのような場合には、ビジー制御書き込みコマンドを特定のユニットに対してアドレス指定する必要はない。図 11 は、メモリユニットアドレスを指定しないビジー制御書き込みコマンドの例を示す。タイミング図は図 10 に示されているものに類似するが、コントローラによって送られるアドレスは無い。そのようなアドレス指定されていないコマンドは、コントローラに個々のメモリユニットだけが接続されている場合または CE 線が個々のメモリユニットを特定するのに充分である場合に (例えば、CE 線が共有されていない) 送信され得る。アドレス指定されて

いないコマンドは、複数のメモリユニットが1つのコントローラに接続されていてメモリユニットの全てのビジー制御レジスタの内容を同時に同じ内容を有するように設定することが望ましい場合にも使用され得る。そのようなコマンドは、全てのメモリユニットが同じレジスタ内容を受け取るように、オンのCEを有する全ての接続されているメモリユニットに同時に一斉送信される。例えば、前述したオートセレクト機能は、通常、全てのメモリユニットについて同時に使用可能にされる。そのような一斉送信されるコマンドは、各ビジー制御レジスタの内容を別々のコマンドで別々に書き込む動作と比べて時間を節約することができる。

**【0037】**

ビジー制御レジスタの内容を書き換えるコマンドは、メモリユニットがコマンドを受信できるときには何時でも送信され得る。或る実施形態では、レディ/ビジー信号はメモリユニットが1つの動作を実行している間にアレイ・ビジーからキャッシュ・ビジーへ転換され得る。メモリの設計によっては、データがメモリアレイにプログラムされている間にビジー制御レジスタを設定することが可能である。

10

**【0038】**

図12A~12Gは、図3に示されているもののようなキャッシュを有するバッファ付き不揮発性メモリアレイで本発明のいくつかの態様を使用される仕方の例を示す。図12は、キャッシュを有するバッファ付きメモリアレイにおけるデータ格納動作の連続するステップを示す。

**【0039】**

図12Aは、メモリアレイ1270、バッファ1272、キャッシュ1274およびコントローラ1276を示している。この図では、メモリアレイの隣の“R”およびキャッシュ1274の隣の“R”によって示されているようにキャッシュ1274およびメモリアレイ1270の両方がレディである。バッファ1272およびキャッシュ1274は2つのレジスタであり、各レジスタがメモリアレイにプログラムされるべきデータのページを保持する。

20

**【0040】**

図12Bではデータがコントローラ1276からキャッシュ1274に転送される。これは、メモリアレイ内のデータが格納されるべき場所を指定する書き込みコマンドのようなコントローラからのコマンドに回答して行われ得る。通常、コントローラから受信された最後のコマンドにレディ/ビジー信号が結合されるシステムでは、この状態において書き込みコマンドはキャッシュ・ビジー信号をコントローラに供給させる。これはキャッシュが利用可能になったならば直ちにコントローラが他のデータもキャッシュに送れるようにするためである。図12Bは、データがコントローラ1276からキャッシュ1274に転送されることを示している。そのような操作に必要なとされる時間は、キャッシュ1274に格納されるデータの量による。それは一般に1ページのデータである。単一のセクタのデータを保持するページのためには、約10マイクロ秒が必要とされ得る。メタブロックを用いる設計の場合のように、メモリユニットが複数のセクタを並列にプログラムする場合、キャッシュ1274はおそらく1セクタよりはるかに大きくなり得る。例えば、1つのメタブロックが16個のブロックを含む場合、1つのメタページは16セクタのデータを含み得る。従って、キャッシュ1274も16セクタのデータを保持する。16セクタのデータを転送するために必要な時間は約160マイクロ秒である。この動作中、キャッシュ1274の隣の“R”によって示されているようにキャッシュ1274はレディであって、コントローラ1276がデータを送り続けることを可能にする。文字“R”および“B”は、図12の全体において、隣の部品の状態をレディ(R)またはビジー(B)として示す。メモリアレイ1270はこのときレディ状態にとどまっている。なぜならば、データがアレイに書き込まれないからである。キャッシュ1274へのデータ転送が完了したとき、キャッシュ1274はビジー状態である。なぜならば、それはデータを含んでいて、コントローラ1276からそれ以上のデータを受け入れることができないからである。

30

40

50

## 【0041】

図12Cは、キャッシュ1276からバッファ1272へのデータの転送を示す。これは割合に迅速な動作であって、3マイクロ秒未満で行われ得る。このステップの間、キャッシュ1274はビジーのままであり、メモリアレイ1270はレディのままである。

## 【0042】

図12Dは、バッファ1272に転送されたデータがメモリアレイ1270に引き渡されることを示す。このステップでは、メモリアレイ1270は、書き込まれるので、ビジーである。しかし、キャッシュ1274は、キャッシュ1274内にあったデータがバッファ1272への転送を完了したならば、レディになる。このレディ状態は、もっと多くのデータもキャッシュ1274に送れるように、コントローラ1276に信号され得る。この時点では、データの転送をなるべく早く開始できるように、キャッシュ・レディ/ビジー信号はコントローラにとって重要である。

10

## 【0043】

図12Eは、前のステップから直ちに続き、メモリアレイ1270へのデータのプログラミングと並行してデータがキャッシュ1274に送られることを示す。この同時動作は、コントローラ1276からメモリアレイ1270へのより高速のデータ転送を可能にすることができる。メモリアレイ1270へのデータのプログラミングは、約150マイクロ秒から1000マイクロ秒を必要とする割合に低速の動作であるので、この時間中に他の動作を実行することは全体としての動作速度にとっておそらく重要である。このステップ中は、メモリアレイはビジーであるがキャッシュ1274はレディである。プログラミングのために高度の並行性が用いられる場合（例えば、メタブロックが使用される場合）、メモリアレイ1270へのプログラミングはキャッシュ1274へのデータの転送より高速であり得る。しかし、一般にキャッシュ1274への転送が先に完了する。

20

## 【0044】

図12Fは、キャッシュ1274を満たすように全てのデータがコントローラ1276から転送された後の状態を示す。キャッシュ1274はデータを含み、従ってビジー状態にある。メモリアレイ1270へのデータのプログラミングは、この図では続行中であるとして示されている。この例では、メモリアレイ1270へのプログラミングは、キャッシュ1274へのデータ転送が終了した後も続行される。しかし、他の例では、これら2つの動作は同時に終了するかも知れず、或いはメモリアレイ1270のプログラミングが先に終了するかもしれない。

30

## 【0045】

図12Gは、メモリアレイ1270およびキャッシュ1274へのデータの書き込みの完了後の状態を示す。この段階でメモリアレイ1270はレディである。なぜならば、それは最早データをプログラムするビジーではないからである。キャッシュ1274はビジーである。なぜならば、そこにデータが既に格納されているのでコントローラ1276から新しいデータを受け入れることができないからである。

## 【0046】

図12Hは、図12Cの場合と同様にキャッシュ1274からバッファ1272へのデータの転送を示す。この段階では、追加のデータがコントローラ1276により供給され得るので、サイクルは図12Dに示されているステップに戻る。コントローラがデータを供給している間は、図12D～12Gに示されているステップが複数回反復され得る。

40

## 【0047】

図12Iは、図12Hにおけるキャッシュ1274からバッファ1272へのデータの転送の完了後の状態を示す。ここでは、書き込み動作が進行中なので、メモリアレイ1270はビジーである。キャッシュ1274は、他のデータを受け入れることができるので、レディである。しかし、この場合にはコントローラ1276はメモリアレイ1270に格納されるべきデータをそれ以上持っていない。従って、キャッシュ1274はレディ状態にとどまり続け、メモリアレイ1270はデータが書き込まれている間はビジー状態にとどまる。

50

## 【0048】

通常、レディ/ビジー線を介してコントローラ1270に送られる信号は、メモリアレイの状態またはキャッシュの状態のいずれかを示す。図12A~12Hに関して記載されたような書き込みシーケンスの間、レディ/ビジー線は一般にキャッシュ1274がそれ以上のデータを受け入れる準備ができていることを示す信号を送る。この信号は、レディ信号がコントローラにより受信されたならば直ちにそれ以上のデータを送信し得るように、選択される。書き込みシーケンス中、コントローラにとってはキャッシュ1274の状態に関する情報は一般にメモリアレイ1270の状態に関する情報よりも重要である。しかし、図12Hに示されている段階では、キャッシュ1274の状態ではなくてメモリアレイ1270の状態を知ることの方が望ましい。なぜならば、キャッシュ1274に送るべきデータがそれ以上は無く、従ってキャッシュ1274の状態は必要とされないからである。メモリアレイ1270がレディになるまで、コントローラ1276は書き込み動作のような他の動作を開始することはできない。なぜならば、メモリアレイがレディになるまでは、プログラムされていないデータが依然としてバッファ1272内にあるからである。

10

## 【0049】

或るメモリシステムでは状態レジスタが設けられ、それはメモリシステムの部分の状態を示す。図12Iは状態レジスタ1278を示し、これは、メモリアレイ1270がレディであるのかビジーであるのかを示し、またキャッシュ1274がレディであるのかビジーであるのかを示す。状態レジスタは通常メモリユニットの部分である。それは、コントローラが能動的に内容を読む場合、コントローラによってポーリングされ得る。しかし、メモリユニットにおける状態をコントローラに知らせるこの方法は理想的ではない。ポーリングはかなりの電力を必要とし得る。また、低消費電力モードを有するコントローラでは、ポーリング動作を実行するためにコントローラを十分に給電される状態に保つことが必要であり得る。図12Iに示されている状態では、コントローラ1276は、メモリアレイ1270がビジー状態からレディ状態に変化するまで、状態レジスタ1278に繰り返しポーリングする必要がある。

20

## 【0050】

本発明の1つの実施形態では、コントローラ1270はメモリユニットからレディ/ビジー線でどの信号が送られるかを選択することができる。図12A~Iに示されている状態では、これはおそらく一定の利点を有することができる。図12A~12Eに示されているプロセスステップについて、キャッシュ1274がどの状態であるのかを示す信号をコントローラ1276が受信するのが有利であり得る。これはコントローラがデータをメモリユニットに迅速に送ることを可能にする。なぜならば、キャッシュ1274がレディになったならば直ちに追加のデータが送られるからである。しかし、メモリユニットに送られるべき追加のデータをコントローラ1276が持っていない図12Iに示されている状態では、コントローラ1276はキャッシュ1274の状態を知る必要はない。この段階で、メモリアレイ1270の状態が、レディ/ビジー線で送られる出力として選択され得る。この選択は、ビジー制御レジスタ522の内容を変更することによってコントローラ1276により行われ得る。

30

40

## 【0051】

或る設計では、コントローラは、コントローラによる電力消費が低減される低消費電力または“スリープ”モードを有することができる。コントローラがそのような低消費電力モードで費やす時間が長いほど少ない電力が消費される。従って、動作と動作の間、或いは直接的なコントローラ関与を必要としない何らかの動作がメモリユニットにより実行されている間を含む可能な時に、コントローラを低電力消費モードにすることができる。或る例では、レディ/ビジー信号のような信号線の変化に応じてコントローラを全出力モードに戻すことができる。すなわち、コントローラが次の動作を実行する時間になった時にコントローラを“目覚めさせる”ことができる。例えば、図12Iにおいて、アレキ・ビジー信号がレディ/ビジー線でコントローラに送られるようにビジー制御レジスタの内容

50



を変化させるコマンドをコントローラは送ることができる。すると、コントローラは、レディ/ビジー線でレディ信号が受信されるまでスリープモードに入ることができる。これは、状態レジスタに繰り返しポーリングすることと比べて大幅に電力を節約することができる。またコントローラにおいて実行しやすい。そのような電力節約は、バッテリー電力に依存し、従って限られた電力供給を有するデジタルカメラおよびMP3プレーヤーのような携帯可能な装置で使用されるメモリシステムのためには特に重要である。

【0052】

前述した例は、取り外し可能なメモリカードに見られるようなキャッシュを有するバッファ付き不揮発性メモリに関連する。しかし、本発明のいろいろな態様は他の用途において他の集積回路にも適用され得る。揮発性メモリ製品を含む他の記憶装置は、同様の手法を用いて単一の線からより大きな機能性を達成することができる。ノンメモリの用途も、前述したような手法を用いることができる。

10

【0053】

前の説明は特定の実施形態についての十分な記述であるが、種々の改変、代替の構成および同等物を使用することができる。従って、前述した記述および図解は、請求項によって定義される本発明の範囲を限定するものと介されるべきではない。

【図面の簡単な説明】

【0054】

【図1】従来技術のメモリシステムを示す。

【図2】従来技術の単一のレディ/ビジー・ピンを共有する2つのメモリユニットと通信するコントローラチップを示す。

20

【図3】従来技術のメモリユニットを示す。

【図4】メモリ状態マシンの現在の状態に基づいて出力を選択する制御システムを示す。

【図5】本発明の実施形態に従う制御システムを示す。

【図6】図5に示されている制御回路を有するメモリユニットを伴うメモリシステムを示す。

【図7】レディ/ビジー制御回路を有するメモリシステムの他の例を示す。

【図8】レジスタの内容を含む図5のビジー制御レジスタのより詳細な図を示す。

【図9】図8のビジー制御レジスタの内容についての真理値表を示す。

【図10】図8のビジー制御レジスタの内容を書き込むコマンドについてのタイミング図を示す。

30

【図11】図8に示されているもののような1つ以上のビジー制御レジスタの内容を書き込む代わりにコマンドについてのタイミング図を示す。

【図12】図12Aはメモリアレイ、バッファ、キャッシュおよびコントローラを有するメモリシステムの例を示し、図12Bはコントローラからキャッシュへデータが転送される図12Aのメモリシステムを示し、図12Cはキャッシュからバッファへデータが転送される図12Bのメモリシステムを示し、図12Dはバッファからメモリアレイへデータが転送される図12Cのメモリシステムを示し、図12Eはバッファからメモリアレイへのデータの転送と並行してコントローラからキャッシュへデータが転送される図12Dのメモリシステムを示し、図12Fはコントローラからキャッシュへのデータの転送の完了後であるが、図12Eのアレイへのバッファからのデータの転送の完了前の、図12Eのメモリシステムを示し、図12Gはバッファからアレイへのデータの転送の完了後の図12Fのメモリシステムを示し、図12Hはキャッシュからバッファへデータが転送されている間の図12Gのメモリシステムを示し、図12Iはデータがバッファからメモリアレイへ転送され、それ以上のデータがコントローラからキャッシュへ送られず、メモリアレイがビジーであるか否かを判定するためにコントローラが状態レジスタにポーリングする、図12Hのメモリシステムを示す。

40

【 図 1 】

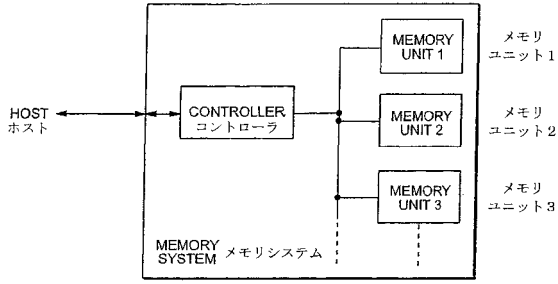


FIG. 1

【 図 2 】

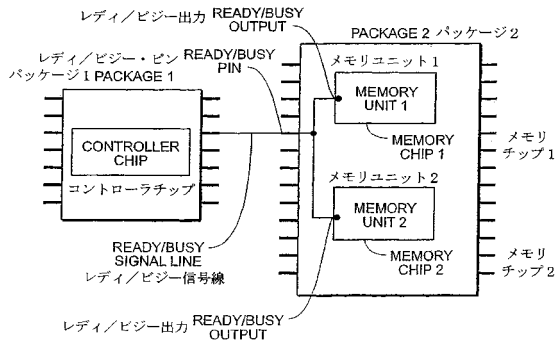


FIG. 2

【 図 5 】

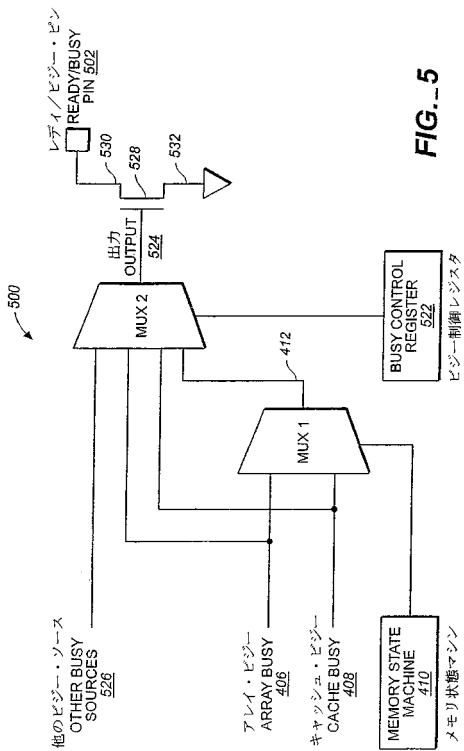


FIG. 5

【 図 3 】

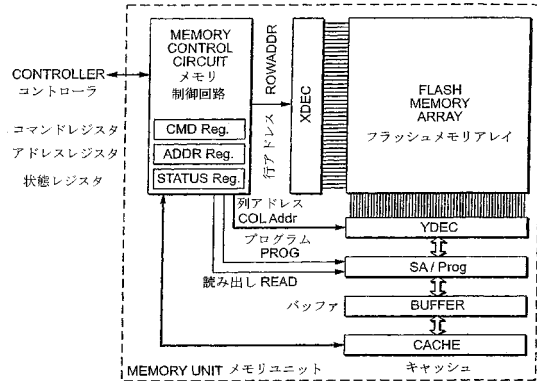


FIG. 3

【 図 4 】

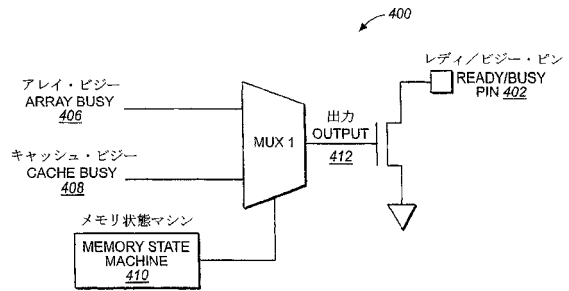


FIG. 4

【 図 6 】

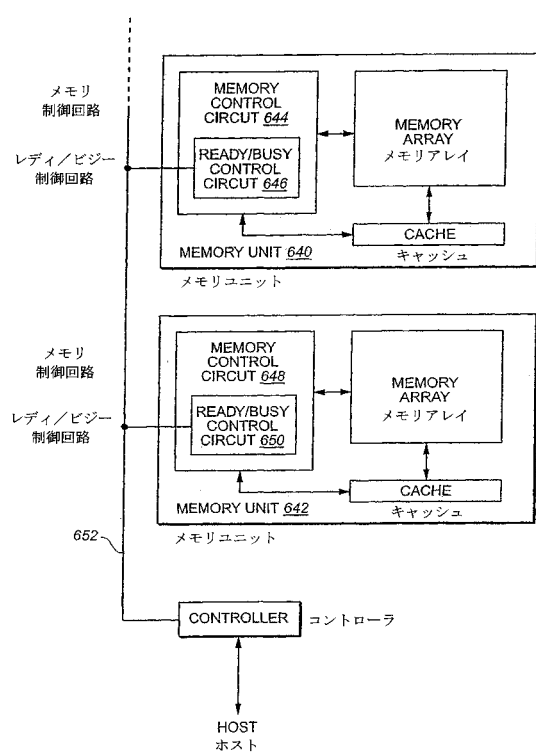


FIG. 6

【 図 7 】

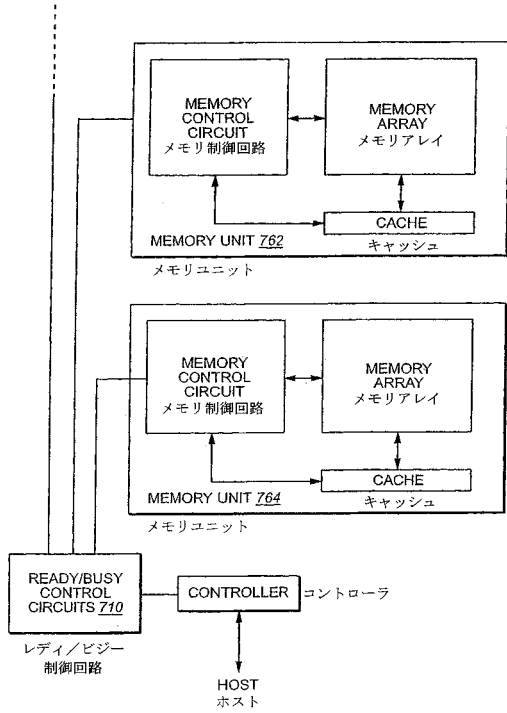


FIG.\_7

【 図 8 】

7	6	5	4	3	2	1	0
AUTO	DISABLE	X	X	X	X	SELECT	
オート	ディス ユーブル					522 選択	

FIG.\_8

【 図 9 】

ライン	ディセレクト	オート	ディスユーブル	選択	出力
LINE 1	DisSelected	AUTO	DISABLE	SELECT	OUTPUT 524
線 1	X	X	1	XX	0
線 2	X	0	0	00	Internal Busy 412
線 3	X	0	0	01	Cache Busy 408
線 4	X	0	0	10	Array Busy 406
線 5	X	0	0	11	Other Busy 526
線 6	0	0	0	XX	0
線 7	1	1	0	00	Internal Busy 412
線 8	1	1	0	01	Cache Busy 408
線 9	1	1	0	10	Array Busy 406
線 10	1	1	0	11	Other Busy 526

FIG.\_9

【 図 10 】

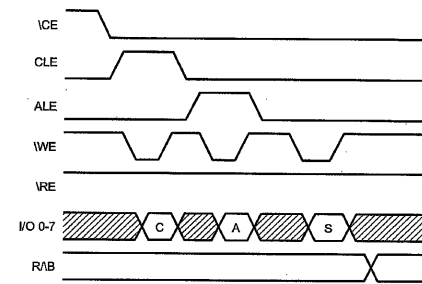


FIG.\_10

【 図 11 】

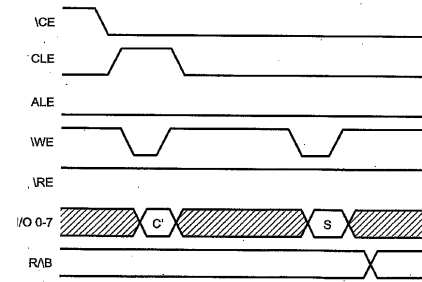


FIG.\_11

【 図 1 2 】

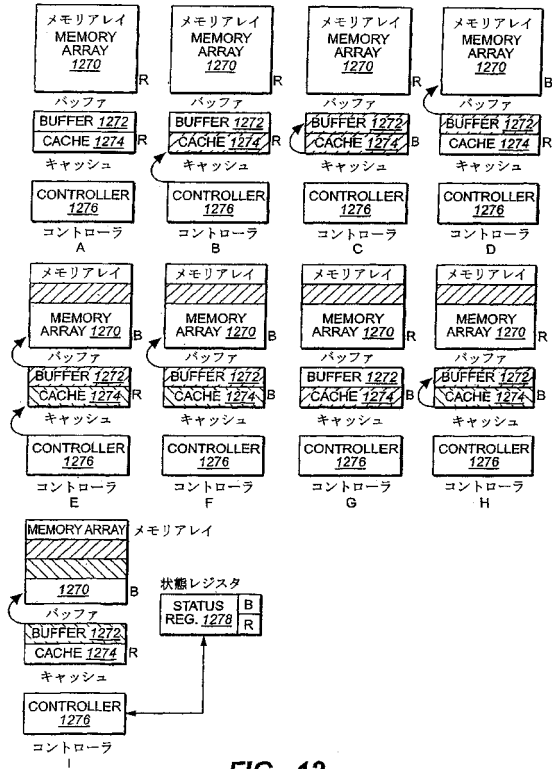


FIG. 12

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/US2005/017770

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> G11C16/10 G06F13/16		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) G11C G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2001/018724 A1 (SUKEGAWA HIROSHI) 30 August 2001 (2001-08-30)	1,7,8
Y	paragraphs '0042!', '0043!', '0055!'; '0059!; claim 8	2,15,17, 18
X	US 5 574 850 A (FANDRICH ET AL) 12 November 1996 (1996-11-12)	1
Y	column 3, line 26 - line 40  column 4, line 53 - line 64; figures 1,2	2,15,17, 18
A	US 5 428 579 A (ROBINSON ET AL) 27 June 1995 (1995-06-27) the whole document	1
Y	US 5 623 686 A (HALL ET AL) 22 April 1997 (1997-04-22) column 2, line 2 - line 6	2,15,17, 18
-/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
*A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		
*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual completion of the international search  2 January 2006		Date of mailing of the international search report  18.01.2006
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer  Ramcke, T

5

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/US2005/017770

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2002/141238 A1 (PASTERNAK JOHN H) 3 October 2002 (2002-10-03) paragraph '0040!	2,15,17, 18
A	EP 1 304 619 A (STMICROELECTRONICS LIMITED) 23 April 2003 (2003-04-23) paragraph '0029!	3,5,6
A	EP 0 707 267 A (INTERNATIONAL BUSINESS MACHINES CORPORATION) 17 April 1996 (1996-04-17) column 6, line 43 - column 7, line 42	3,5,6
A	EP 0 874 368 A (SONY CORPORATION) 28 October 1998 (1998-10-28) column 18, line 10 - line 23	4
A	US 5 513 138 A (MANABE ET AL) 30 April 1996 (1996-04-30) column 5, line 50 - line 67	4
A	US 2004/057297 A1 (JANG CHEOL-UNG ET AL) 25 March 2004 (2004-03-25) paragraphs '0004!, '0009! - '0012!	9-14
A	US 2003/103392 A1 (MATSUSHITA TORU ET AL) 5 June 2003 (2003-06-05) paragraph '0088!	9-14

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US2005/017770**Box II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1.  As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.
  
2.  As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
  
3.  As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- The additional search fees were accompanied by the applicant's protest.
- No protest accompanied the payment of additional search fees.

International Application No. PCT/US2005 /017770

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1,2,7,8,15-18

Claims 2 and 15-18: Array of non volatile memory cells is on a first semiconductor die and the controller is on a second semiconductor die

2. claims: 3,5,6

The four conditions are cache ready or busy and array ready or busy

3. claim: 4

Indicating that the memory unit is not busy when it is not selected

4. claims: 9-14

Autoselect mode may be disabled



## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US2005/017770

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2001018724	A1	30-08-2001	JP 2001167586 A	22-06-2001
US 5574850	A	12-11-1996	NONE	
US 5428579	A	27-06-1995	NONE	
US 5623686	A	22-04-1997	US 5606710 A US 5613144 A US 5566344 A US 5581779 A US 5598573 A	25-02-1997 18-03-1997 15-10-1996 03-12-1996 28-01-1997
US 2002141238	A1	03-10-2002	DE 10296331 T0 GB 2388692 A JP 2004526239 T TW 550571 B WO 02067269 A2	24-12-2003 19-11-2003 26-08-2004 01-09-2003 29-08-2002
EP 1304619	A	23-04-2003	US 2004030839 A1	12-02-2004
EP 0707267	A	17-04-1996	JP 3230645 B2 JP 8194586 A US 6397348 B1	19-11-2001 30-07-1996 28-05-2002
EP 0874368	A	28-10-1998	US 2002059305 A1	16-05-2002
US 5513138	A	30-04-1996	JP 3330187 B2 JP 6324937 A	30-09-2002 25-11-1994
US 2004057297	A1	25-03-2004	JP 2004046854 A	12-02-2004
US 2003103392	A1	05-06-2003	NONE	

## フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 ゴロベッツ, セルゲイ アナトリエヴィッチ  
イギリス連邦共和国、E H 9 3 E S、エディンバラ ミッドロジアン、ブラックフォード アベ  
ニュー 9 2、1 エフ 1

Fターム(参考) 5B060 CD15

5B125 BA01 CA01 CA08 DB11 DE06 DE17 EA07 EK01 EK07 FA02  
FA04