

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 29/00

(11) 공개번호 특1997-0051460
(43) 공개일자 1997년07월29일

(21) 출원번호	특1996-0073472
(22) 출원일자	1996년12월27일
(30) 우선권 주장	579,525 1995년12월27일 미국(US)
(71) 출원인	루센트 테크놀로지스 인코포레이티드 엘리 와이스
(72) 발명자	미합중국, 뉴저지 07974-0636, 머레이 힐, 마운틴 애비뉴 600 누게할리 샘패스 제이앤티 미합중국, 뉴저지 07933, 질레트, 프레스톤 드라이브 135 제프리 씨 라게리어스
(74) 대리인	미합중국, 뉴저지 07076, 스코치 플레인즈, 와인딩 브록 웨이 2 이병호, 최달용

심사청구 : 없음

(54) 오류 허용 정보 저장 방법 및 장치

요약

본 발명에 따른 장치 및 방법은 메모리에 저장하고자 한 정보를 나타내는 신호의 순서를 순열로 배치한다. 신호에 번호매기기는 정보 또는 데이터가 순열로 배치된 순서로 저장될 때 기존의 또는 메모리에서 발생할 수 있는 오류 또는 결함을 더욱 허용하도록 메모리에 저장시 또는 그에 앞서 순열로 배치된다.

대표도

도1

명세서

[발명의 명칭]

오류 허용 정보 저장 방법 및 장치

[도면의 간단한 설명]

제1도는 본 발명의 실예가 되는 실시예에 따른 오류 허용 정보 저장 장치를 제공하는 회로를 도시하는 블록도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

M×N 저장 사이트로 한정할 수 있는 최소한의 하 영역을 갖는 장애 정보를 오류 허용 저장하는 방법에 있어서, 최소한의 하나가 연속 시간에 다수의 비트를 가지며 상기M×N 사이트중 각각의 하나에 저장하기 적합한 그룹으로 상기 정보를 분할하는 단계와, 순열로 배치된 순서로 상기 다수의 비트를 배열하는 단계와, 상기 저장 매체의 상기 영역중 불인접 사이트를 점유하는, 상기 순열로 배치된 순서로 상기 다수의 비트를 저장하는 단계를 포함하는 것을 특징으로 하는 오류 허용 정보 저장 방법.

청구항 2

제1항에 있어서, 상기 저장 매체로부터 상기 저장된 다수의 비트를 검색하는 단계와, 비순열의 순서인 상기 검색된 다수의 비트를 재배열 하므로써 상기 연속 시간 순서로 상기 그룹중 최소한의 하나를 재구성하는 단계를 포함하는 것을 특징으로 하는 오류 허용 정보 저장 방법.

청구항 3

제2항에 있어서, 상기 메모리로부터 상기 그룹중 상기 최소한의 하나를 재구성하는 상기 단계는 상기 메모리에 일차원 오류가 존재함에도 불구하고 상기 연속 시간 순서로 비트를 재구성하는 단계를 포함하는 것을 특징으로 하는 오류 허용 정보 저장방법.

청구항 4

제2항에 있어서, 상기 메모리로부터 상기 그룹중 상기 최소한의 하나를 재구성하는 단계가 상기 메모리에 2차원 오류가 존재함에도 불구하고 상기 연속 시간 순서로, 비순상 연속 비트를 재구성하는 단계를 포함하는 것을 특징으로 하는 오류 허용 정보 저장 방법.

청구항 5

제1항에 있어서, 순열로 배치된 순서로 상기 다수의 비트를 저장하는 상기 단계가 상기 $M \times N$ 저장 사이트의 다른 열 및 행에 상기 그룹중 상기 최소한의하나의 연속 비트를 저장하는 것을 특징으로 하는 오류 허용정보 저장방법.

청구항 6

제1항에 있어서, M 및 N 은 동일 차원인 것을 특징으로 하는 오류 허용 정보 저장 방법.

청구항 7

디지털 신호를 오류허용 저장하는 회로에 있어서, $M \times N$ 저장 사이트로 한정할 수 있는 최소한의 한영역을 갖는 저장 매체와, $M \times N$ 과 동일한 S 연속비트로 상기 디지털 신호를 시간 순서 배열 하는 수단과, 상기 S 비트를 상기 저장 매체에 저장하는 수단을 포함하는 상기 저장 매체를 액세스하는 수단과, 상기 S 비트를 상기 저장 매체에 저장하는 수단을 포함하는 상기 저장 매체를 액세스하는 수단과 상기 S 연속 비트의 상기 시간순서를 순열로 배치하는 펄류테이터(permutator)를 포함하여, 상기 펄류테이터는 순열로 배치되는 순서로 상기 저장 매체에 상기 S 비트를 저장하도록 액세스하는 상기 수단과 협력하도록 구성되며 여기서 상기 S 연속 비트의 이웃 비트는 상기 저장 매체의 불이웃 저장 사이트 저장되는 것을 특징으로 하는 오류 허용 저장 회로.

청구항 8

제7항에 있어서, 상기 펄류테이터는 임의의 이웃하는 비트 사이의 적어도 2의 맨하탄 거리로 정의되는 순서로 상기 S 연속 비트를 순열로 배치하는 것을 특징으로 하는 오류 허용 저장 회로.

청구항 9

제7항에 있어서, 상기 저장 매체에 저장된 상기 S 비트를 검색하고 상기 S 연속 비트의 상기 시간 순서를 재구성하기 위한 상기 순열로 배치된 순서를 디코딩하는 디코더를 포함하는 것을 특징으로 하는 오류 허용 저장 회로.

청구항 10

제7항에 있어서, 상기 펄류테이터는 상기 $M \times N$ 저장 사이트의 다른 행 및 열에 이웃 비트를 저장하는 순서로 상기 S 연속 비트를 순열로 배치하는 것을 특징으로 하는 오류 허용 저장 회로.

청구항 11

제7항에 있어서, 상기 M 및 N 은 상기 동일한 차원인 것을 특징으로 하는 오류 허용 저장 회로.

청구항 12

$M \times N$ 저장 사이트를 갖는 저장 매체상에 정보를 오류 허용 저장하는 방법에 있어서, 상기 정보를 다수의 신호로 분할하는 단계와, 여기서 각각의 신호는 상기 $M \times N$ 저장 사이트중 하나에 저장하기 적합하고, 상기 다수의 신호는 연속시간순서이며, 순서열로 배치된 순서로 상기 다수의 신호를 배열하는 단계와, 연속 신호가 상기 $M \times N$ 저장 사이트의 다른 행 및 열에 저장되는 상기 순열로 배치된 순서로 다수의 신호를 저장하는 단계를 포함하는 것을 특징으로 하는 오류 허용 정보 저장 방법.

청구항 13

제12항에 있어서, 상기 저장 단계는 최소 2의 맨하탄 거리를 갖는 각각의 저장 사이트에 연속 신호를 저장하는 단계를 더 포함하는 것을 특징으로 하는 오류 허용 정보 저장 방법.

청구항 14

제12항에 있어서, 상기 $M \times N$ 저장 사이트에 저장된 신호를 판독하는 단계와, 상기 연속시간 순서로 상기 메모리로부터 판독된 상기 신호를 비순열로 배치하는 단계를 포함하는 것을 특징으로 하는 오류 허용 정보 저장 방법.

청구항 15

제12항에 있어서, M 및 N 은 동일한 차원인 것을 특징으로 하는 오류 허용 정보 저장 방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

