Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 942149

(61) Дополнительное к авт. свид-ву –

(22) Заявлено 16.07.80 (21) 2961158/18-24

с присоединением заявки № –

(23) Приоритет –

Опубликовано 07.07.82. Бюллетень №25

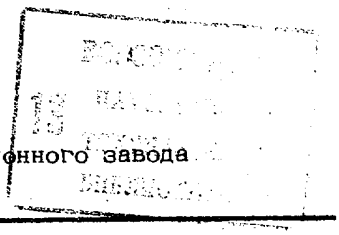
Дата опубликования описания 09.07.82

(51) М. Кл.[3] G11 C 11/34

(53) УДК 681.327.6 (088.8)

(72) Автор изобретения И. И. Климас

(71) Заявитель Конструкторское бюро Шяуляйского телевизионного завода



(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

1

Изобретение относится к вычислительной технике и может быть использовано для запоминания информации в телевизионных системах.

Известно запоминающее устройство, содержащее тиристор, коммутирующие транзисторы и резисторы [1].

Недостатком известного устройства является неудовлетворительное быстродействие из-за ограниченной скорости включения и выключения тиристоров, большое количество элементов в ячейке памяти.

Цель изобретения – повышение быстродействия устройства.

Поставленная цель достигается тем, что в запоминающем устройстве, содержащем ячейку памяти, состоящую из коммутирующего р-n-р-транзистора, база которого через нагрузочный резистор соединена с эмиттером и шиной питания, блок сброса, кнопочный переключатель, первый вывод которого соединен с шиной

2

питания, и общую шину, в ячейку памяти введены переключающий n-р-n-транзистор и два дополнительных нагрузочных резистора, первый вывод первого из которых подключен к коллектору коммутирующего р-n-р-транзистора, второй – к базе переключающего n-р-n-транзистора и первому выводу второго дополнительного нагрузочного резистора, второй вывод которого подключен к общей шине, а коллектор переключающего n-р-n-транзистора подключен к базе коммутирующего р-n-р-транзистора, блок сброса выполнен из двух переключающих транзисторов одинакового типа проводимости и четырех нагрузочных и одного суммирующего резисторов, причем база первого переключающего транзистора подключена к коллектору второго переключающего транзистора и через первый нагрузочный резистор к шине питания, эмиттеры переключающих транзисторов и первый вывод суммирующего резистора подклю-

чены к общей шине, коллектор первого переключающего транзистора подключен через второй нагрузочный резистор к эмиттеру переключающего транзистора ячейки памяти, база второго переключающего транзистора подключена к второму выводу суммирующего резистора и через третий нагрузочный резистор к коллектору коммутирующего транзистора ячейки памяти, второму выводу кнопочного переключателя и первому выводу четвертого нагрузочного резистора, второй вывод которого подключен к общей шине.

На чертеже представлена принципиальная электрическая схема запоминающего устройства.

Запоминающее устройство состоит из ряда ячеек 1 памяти и блок 2 сброса. Каждая ячейка 1 памяти содержит коммутирующий транзистор 3, база которого через резистор 4 соединена с эмиттером и шиной 5 питания. Коллектор через два последовательно соединенных резистора 6 и 7 подключен к общей шине 8. Общая точка соединения этих резисторов соединена с базой переключающего транзистора 9.

Блок 2 сброса состоит из двух транзисторов 10 и 11 n – p – n типа, резисторов 12 и 13, суммирующего резистора 14, нагрузочного резистора 15, кнопочного переключателя 16, нагрузочного резистора 17.

Запоминающее устройство работает следующим образом.

В исходном состоянии после включения напряжения питания ячейки памяти закрыты. Закрыты транзисторы 3 и 9 всех ячеек памяти, транзистор 11 закрыт, а транзистор 10 открыт. При нажатии кнопки переключателя 16 первой ячейки закорачиваются выводы коллектор–эмиттер транзистора 3 этой ячейки, открывается транзистор 9 этой ячейки и его коллекторный ток открывает транзистор 3, который остается открытым и после отпускания кнопки. Так как напряжение на эмиттерном переходе транзистора 11 недостаточно, транзистор 11 закрыт, а транзистор 10 открыт. При нажатии любой другой кнопки 16 через резистор 14 протекает суммарный ток резистора 17 ранее включенной ячейки 1 и резистора 17 ячейки 1, кнопка которой нажата. Напряжение перехода база–эмиттер транзистора 11 превышает напряжение отпирания, транзистор 11 открывается, транзистор 10 закрывается, в результате чего цепь эмиттерных токов транзисторов 9 оказывается разорванной, и первая ячейка памяти, кнопка которой не нажата, отключается, а вторая ячейка памяти, кнопка которой нажата, включается.

Введение в запоминающее устройство транзисторов взамен тиристоров позволяет повысить быстродействие устройства, уменьшить количество выводов устройства. Отсутствие конденсаторов в устройстве позволяет изготовить его в интегральном исполнении.

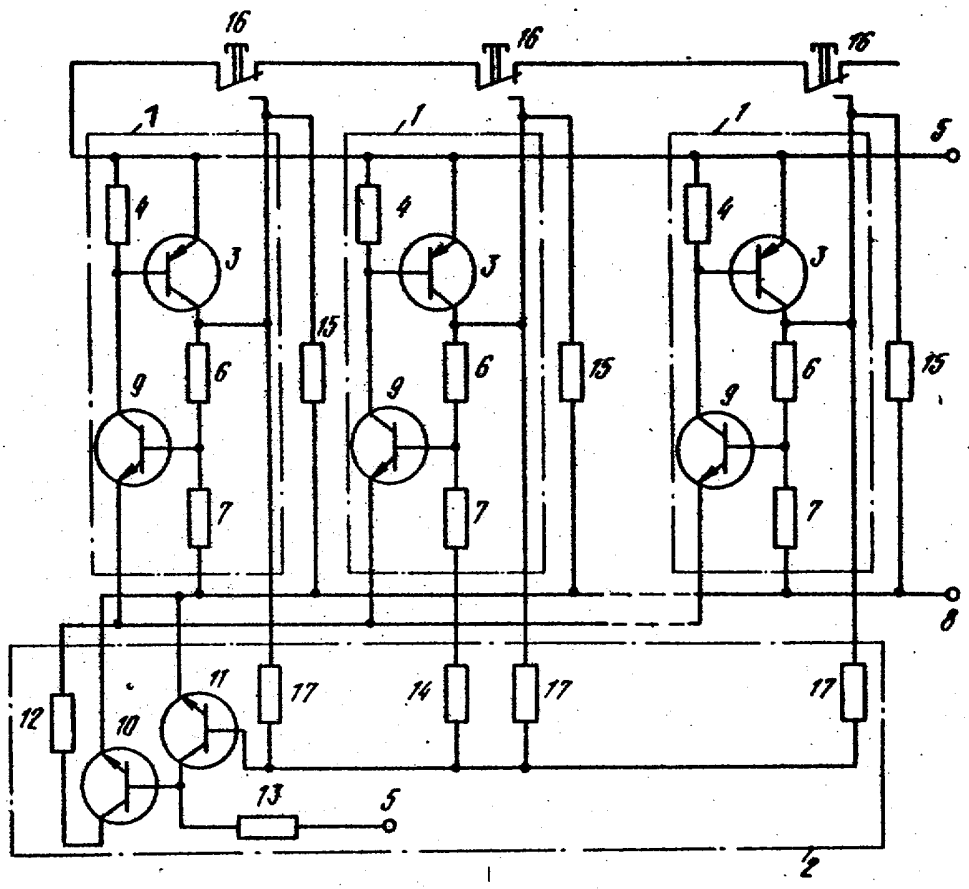
Формула изобретения

Запоминающее устройство, содержащее ячейку памяти, состоящую из коммутирующего p – n – p –транзистора, база которого через нагрузочный резистор соединена с эмиттером и шиной питания, блок сброса, кнопочный переключатель, первый вывод которого соединен с шиной питания, и общую шину, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия устройства, в ячейку памяти введены переключающий n – p – n –транзистор и два дополнительных нагрузочных резистора, первый вывод первого из которых подключен к коллектору коммутирующего p – n – p –транзистора, второй – к базе переключающего n – p – n –транзистора и первому выводу второго дополнительного нагрузочного резистора, второй вывод которого подключен к общей шине, а коллектор переключающего n – p – n –транзистора подключен к базе коммутирующего p – n – p –транзистора, блок сброса выполнен из двух переключающих транзисторов одинакового типа проводимости и четырех нагрузочных и одного суммирующего резисторов, причем база первого переключающего транзистора подключена к коллектору второго переключающего транзистора и через первый нагрузочный резистор к шине питания, эмиттеры переключающих транзисторов и первый вывод суммирующего резистора подключены к общей шине, коллектор первого переключающего транзистора подключен через второй нагрузочный резистор к эмиттеру переключающего транзистора ячейки памяти, база второго переключающего транзистора подключена к второму выводу суммирующего резистора и через третий нагрузочный резистор к коллектору коммутирующего тран-

зистора ячейки памяти, второму выводу кнопочного переключателя и первому выводу четвертого нагрузочного резистора, второй вывод которого подключен к общей шине.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 631986, кл. G11 C 11/34, 1978 (прототип).



Составитель В. Костин
Редактор С. Юско Техред Т.Маточка Корректор Г. Огар
Заказ 4853/46 Тираж 622 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4