

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-5501
(P2017-5501A)

(43) 公開日 平成29年1月5日(2017.1.5)

(51) Int.Cl.
H03F 3/189 (2006.01)

F I
H03F 3/189

テーマコード(参考)
5J500

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願2015-117488 (P2015-117488)
(22) 出願日 平成27年6月10日 (2015.6.10)

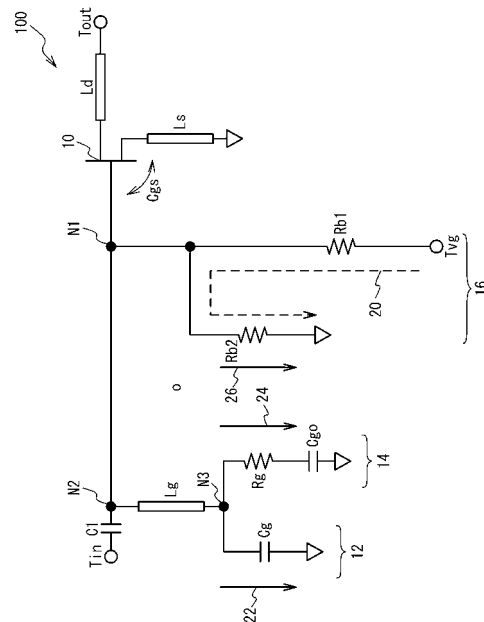
(71) 出願人 000002130
住友電気工業株式会社
大阪府大阪市中央区北浜四丁目5番33号
(74) 代理人 100087480
弁理士 片山 修平
(72) 発明者 川崎 健
神奈川県横浜市栄区田谷町1番地 住友電
気工業株式会社 横浜製作所内
Fターム(参考) 5J500 AA04 AC93 AF14 AH12 AH25
AH29 AK68 AS13 LV07 LV08

(54) 【発明の名称】 電子回路

(57) 【要約】 (修正有)

【課題】実装面積を小さくする電子回路を提供する。
【解決手段】入力端子 T_{in} に接続された制御端子と、基準電位に接続された第1端子と、出力端子 T_{out} に接続された第2端子と、を有するトランジスタ10と、一端が前記制御端子と入力端子との間のノード $N2$ に、他端が基準電位に接続された第1キャパシタ C_g を有する第1フィルタ回路12と、一端が前記ノードに接続された第1抵抗 R_g と、一端が第1抵抗の他端に他端が基準電位に接続された第2キャパシタ C_g と、を有する。前記ノードと基準電位との間で第1フィルタ回路と並列に接続された第2フィルタ回路14と、一端が前記ノードに他端がバイアス端子 T_{vg} に接続された第2抵抗 R_b1 と、一端が前記ノードに他端が基準電位に接続された第3抵抗 R_b2 と、を有する第3フィルタ回路16と、を具備する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

入力端子に接続された制御端子と、基準電位に接続された第 1 端子と、出力端子に接続された第 2 端子と、を有するトランジスタと、

一端が前記制御端子と前記入力端子との間のノードに他端が基準電位に接続された第 1 キャパシタを有する第 1 フィルタ回路と、

一端が前記ノードに接続された第 1 抵抗と、一端が前記第 1 抵抗の他端に他端が基準電位に接続された第 2 キャパシタと、を有し、前記ノードと前記基準電位との間で前記第 1 フィルタ回路と並列に接続された第 2 フィルタ回路と、

一端が前記ノードに他端がバイアス端子に接続された第 2 抵抗と、一端が前記ノードに他端が基準電位に接続された第 3 抵抗と、を有する第 3 フィルタ回路と、
を具備する電子回路。

10

【請求項 2】

高周波数帯域における前記第 1 フィルタ回路のインピーダンスは、前記高周波数帯域における前記第 2 フィルタ回路および前記第 3 フィルタ回路のインピーダンスより低く、

前記高周波数帯域より周波数が低い低周波数帯域における前記第 3 フィルタ回路のインピーダンスは、前記低周波数帯域における前記第 1 フィルタ回路および前記第 2 フィルタ回路のインピーダンスより低く、

前記高周波数帯域より周波数が低く前記低周波数帯域より周波数が高い中間周波数帯域における前記第 2 フィルタ回路のインピーダンスは、前記中間周波数帯域における前記第 1 フィルタ回路および前記第 3 フィルタ回路のインピーダンスより低い請求項 1 に記載の電子回路。

20

【請求項 3】

一端が前記ノードに接続され、他端が前記第 1 キャパシタの一端と前記第 1 抵抗の一端とに共通に接続された分布定数線路を具備する請求項 1 または 2 に記載の電子回路。

【請求項 4】

前記トランジスタは F E T であり、前記第 1 端子はソースであり、前記第 2 端子はドレインであり、前記制御端子はゲートである請求項 1 から 3 のいずれか一項に記載の電子回路。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は電子回路に関し、例えばトランジスタを備える電子回路に関する。

【背景技術】

【0002】

例えば通信分野では信号を増幅するパワーアンプや低雑音アンプが用いられる。これらの増幅回路においては、トランジスタの制御端子にバイアス回路および整合回路を設ける（例えば特許文献 1）。これにより、増幅回路は、所望の増幅帯域の信号を増幅する。

【先行技術文献】

【特許文献】

40

【0003】

【特許文献 1】特開平 8 - 1 6 2 8 5 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

増幅回路は、増幅帯域以外の帯域の信号を抑圧する。特に増幅帯域が高周波数帯域の場合、増幅回路が高周波数帯域より低い周波数の信号を抑圧する。これにより、低周波数帯域における増幅回路の安定性が向上する。増幅回路には、トランジスタの制御端子のバイアス電圧を外部から調整し、ゲイン等を調整することがある。しかし、制御端子のバイアス電圧を外部から調整し、かつ低周波数帯域において安定性を得ようとする、例えば大

50

きなキャパシタを用いることになる。これにより、実装面積が大きくなってしまふ。

【0005】

本電子回路は、上記課題に鑑みなされたものであり、実装面積を小さくすることを目的とする。

【課題を解決するための手段】

【0006】

本発明の一実施形態に係る電子回路は、入力端子に接続された制御端子と、基準電位に接続された第1端子と、出力端子に接続された第2端子と、を有するトランジスタと、一端が前記制御端子と前記入力端子との間のノードに他端が基準電位に接続された第1キャパシタを有する第1フィルタ回路と、一端が前記ノードに接続された第1抵抗と、一端が前記第1抵抗の他端に他端が基準電位に接続された第2キャパシタと、を有し、前記ノードと前記基準電位との間で前記第1フィルタ回路と並列に接続された第2フィルタ回路と、一端が前記ノードに他端がバイアス端子に接続された第2抵抗と、一端が前記ノードに他端が基準電位に接続された第3抵抗と、を有する第3フィルタ回路と、を具備する。

10

【発明の効果】

【0007】

本電子回路によれば、実装面積を小さくすることができる。

【図面の簡単な説明】

【0008】

【図1】図1は、比較例1に係る電子回路の回路図である。

20

【図2】図2は、実施例1に係る電子回路の回路図である。

【図3】図3は、実施例2に係る電子回路の回路図である。

【発明を実施するための形態】

【0009】

[本願発明の実施形態の説明]

最初に本願発明の実施形態の内容を列記して説明する。

本願発明は、入力端子に接続された制御端子と、基準電位に接続された第1端子と、出力端子に接続された第2端子と、を有するトランジスタと、一端が前記制御端子と前記入力端子との間のノードに他端が基準電位に接続された第1キャパシタを有する第1フィルタ回路と、一端が前記ノードに接続された第1抵抗と、一端が前記第1抵抗の他端に他端が基準電位に接続された第2キャパシタと、を有し、前記ノードと前記基準電位との間で前記第1フィルタ回路と並列に接続された第2フィルタ回路と、一端が前記ノードに他端がバイアス端子に接続された第2抵抗と、一端が前記ノードに他端が基準電位に接続された第3抵抗と、を有する第3フィルタ回路と、を具備する電子回路である。第2抵抗および第3抵抗を有する第3フィルタが低周波数信号を抑圧する。これにより、バイアス端子と基準電位との間に大きなキャパシタを用いなくてもよい。このため、実装面積を小さくでき、かつバイアス端子に入力される信号の帯域を広くできる。

30

【0010】

高周波数帯域における前記第1フィルタ回路のインピーダンスは、前記高周波数帯域における前記第2フィルタ回路および前記第3フィルタ回路のインピーダンスより低く、前記高周波数帯域より周波数が低い低周波数帯域における前記第3フィルタ回路のインピーダンスは、前記低周波数帯域における前記第1フィルタ回路および前記第2フィルタ回路のインピーダンスより低く、前記高周波数帯域より周波数が低く前記低周波数帯域より周波数が高い中間周波数帯域における前記第2フィルタ回路のインピーダンスは、前記中間周波数帯域における前記第1フィルタ回路および前記第3フィルタ回路のインピーダンスより低いことが好ましい。これにより、第1フィルタ回路は、高周波数帯域において入力端子と制御端子とのインピーダンスを整合させる整合回路として機能する。第2フィルタ回路は入力端子に入力した中間周波数信号を基準電位に除去する整合回路として機能する。第3フィルタ回路は、入力端子に入力した低周波数信号を基準電位に除去する整合回路として機能する。よって、電子回路の安定性を向上できる。

40

50

【 0 0 1 1 】

一端が前記ノードに接続され、他端が前記第 1 キャパシタの一端と前記第 1 抵抗の一端とに共通に接続された分布定数線路を具備することが好ましい。これにより、第 1 フィルタ回路と分布定数線路とにより、高周波数帯域において、入力端子と制御端子とのインピーダンスを整合させることができる。

【 0 0 1 2 】

前記トランジスタは F E T であり、前記第 1 端子はソースであり、前記第 2 端子はドレインであり、前記制御端子はゲートであることが好ましい。これにより、F E T を有する増幅回路の実装面積を削減できる。

【 0 0 1 3 】

[比較例 1]

F E T のゲートバイアス電圧を外部から調整可能な増幅回路を比較例 1 として説明する。ゲートバイアス電圧を調整することで増幅回路のゲインを制御できる。例えば準ミリ波帯域またはミリ波帯域のように 2 0 G H z 以上の信号を増幅する高周波増幅回路では、増幅帯域である高周波数帯域より周波数の低い帯域における安定性が問題となる。

【 0 0 1 4 】

図 1 は、比較例 1 に係る電子回路の回路図である。図 1 に示すように、電子回路 1 1 0 は、F E T 1 0 を有する増幅回路である。F E T 1 0 のソースは分布定数線路 L_s を介しグランドに電氣的に接続されている。ゲートは入力端子 T_{in} に電氣的に接続されている。ドレインは分布定数線路 L_d を介し出力端子 T_{out} に電氣的に接続されている。分布定数線路 L_s および L_d は、それぞれ F E T 1 0 のソースおよびドレインの整合回路である。

【 0 0 1 5 】

F E T 1 0 のゲートと入力端子 T_{in} との間のノード N_2 は、分布定数線路 L_g およびキャパシタ C_g を直列に介しグランドに電氣的に接続されている。分布定数線路 L_g とキャパシタ C_g との間のノード N_3 は抵抗 R_g および R_o を介しバイアス端子 T_{vg} に電氣的に接続されている。抵抗 R_g と R_o との間のノードとグランドとの間にキャパシタ C_{g1} 、 C_{g2} および C_{g3} がそれぞれ並列に接続されている。入力端子 T_{in} とノード N_2 との間にはキャパシタ C_1 が直列に接続されている。キャパシタ C_1 は主に D C カットキャパシタとして機能する。

【 0 0 1 6 】

電子回路 1 1 0 は、入力端子 T_{in} に入力した高周波数信号を増幅して出力端子 T_{out} から出力する。バイアス端子 T_{vg} にバイアス電圧 V_g を印加する。これにより、F E T 1 0 のゲートに印加されるゲートバイアス電圧を制御できる。

【 0 0 1 7 】

キャパシタ C_g は矢印 2 2 のように入力端子 T_{in} に入力した高周波数信号を通過させる。これにより、分布定数線路 L_g とキャパシタ C_g とは高周波数信号に対し整合回路として機能する。よって、増幅回路は高周波数帯域（例えば 5 0 G H z 以上）において安定に増幅動作できる。

【 0 0 1 8 】

バイアス端子 T_{vg} に印加された電圧 V_g は抵抗 R_o および R_g を介し F E T 1 0 のゲートにゲートバイアス電圧として供給される。高周波数帯域より低い周波数（例えば 5 0 G H z 未満）の信号ではキャパシタ C_g はオープンである。そこで、キャパシタ C_{g1} から C_{g3} を設ける。 C_{g1} から C_{g3} は、矢印 2 8 のように高周波数帯域より低い周波数の信号を通過させる。これにより、入力端子 T_{in} から入力された低い周波数の信号をグランドに除去できる。よって、増幅回路は高周波数帯域より低い周波数帯域（例えば 5 0 G H z 未満）を抑圧する。これにより、増幅回路は低い周波数帯域において安定に動作できる。

【 0 0 1 9 】

しかしながら、キャパシタ C_{g1} から C_{g3} が D C (Direct Current) 近くから例えば

10

20

30

40

50

50 GHzまでの信号に対し機能するためには、キャパシタ C_{g1} から C_{g3} としてそれぞれ10 pF、100 pFおよび0.1 μ Fを用いる。このように大きなキャパシタは外付けとなる。

【0020】

また、ゲートバイアス電圧の帯域は抵抗 R_g とキャパシタ C_g またはFET10のソースゲートキャパシタンス C_{gs} との時定数により制限される。さらに、ゲートバイアス電圧の帯域は抵抗 R_o とキャパシタ C_{g1} から C_{g3} のトータルキャパシタンス C_{total} により制限される。例えば、有効なゲートバイアス電圧の帯域は $f = V_{g1} / (2 \cdot R_o \cdot C_{total})$ 以下となる。

【0021】

このように、比較例1では、大きなキャパシタを用いる。これにより実装面積が大きくなる。またゲートバイアス電圧の帯域が大きなキャパシタにより制限される。

【実施例1】

【0022】

図2は、実施例1に係る電子回路の回路図である。図2に示すように、電子回路100は、FET10およびフィルタ回路12、14および16を備える。入力端子 T_{in} とノード $N2$ の間にはキャパシタ $C1$ が直列に接続されている。フィルタ回路12（第1フィルタ）はキャパシタ C_g （第1キャパシタ）を有する。キャパシタ C_g の一端は分布定数線路 L_g を介しノード $N2$ に他端はグランド（基準電位）に接続されている。フィルタ回路14（第2フィルタ回路）は抵抗 R_g （第1抵抗）およびキャパシタ C_{g0} （第2キャパシタ）を有している。抵抗 R_g の一端は分布定数線路 L_g を介しノード $N2$ に接続されている。キャパシタ C_{g0} の一端は抵抗 R_g の他端に他端はグランドに接続されている。分布定数線路 L_g の一端はノード $N2$ に他端はノード $N3$ に接続されている。フィルタ回路16（第3フィルタ回路）は抵抗 R_{b1} （第2抵抗）および R_{b2} （第3抵抗）を有する。抵抗 R_{b1} の一端はノード $N1$ に他端はバイアス端子 T_{vg} に接続されている。抵抗 R_{b2} の一端はノード $N1$ に他端はグランドに接続されている。

【0023】

電子回路の増幅帯域を高周波数帯域とする。低周波数帯域を高周波数帯域より周波数の低い帯域とする。中間周波数帯域を高周波数帯域より周波数が低く低周波数帯域より周波数が高い帯域とする。高周波数帯域、中間周波数帯域および低周波数帯域内の信号をそれぞれ高周波数信号、中間周波数信号および低周波数信号とする。高周波数帯域は例えば50 GHz以上である。中間周波数帯域は例えば1 GHz以上かつ50 GHz未満である。低周波数帯域は例えば1 GHz未満である。高周波数帯域、中間周波数帯域および低周波数帯域は、上記の例以外に任意に設定できる。

【0024】

フィルタ回路12は、矢印22のように入力端子 T_{in} から入力した信号のうち高周波数信号を最もグランドに通過させる。フィルタ回路14は、矢印24のように入力端子 T_{in} から入力した信号のうち中間周波数信号を最もグランドに通過させる。フィルタ回路16は、矢印26のように入力端子 T_{in} から入力した信号のうち低周波数信号を最もグランドに通過させる。

【0025】

まず、フィルタ回路16がバイアス回路として機能することを説明する。バイアス端子 T_{vg} に電圧 V_g が印加されると、バイアス端子 T_{vg} からグランドに矢印20のように電流が流れる。ゲートバイアス電圧として、抵抗 R_{b1} と R_{b2} とで分割された電圧がFET10のゲートに印加される。これにより、入力端子 T_{in} が無負荷になった場合にもゲートバイアス電圧が高くなることを抑制できる。このように、抵抗 R_{b1} および R_{b2} はブリーダ抵抗として機能する。抵抗 R_{b1} および R_{b2} は任意に設定できるが、低周波数において安定とするため、抵抗 R_{b1} と R_{b2} との並列抵抗は小さいことが好ましい。例えば抵抗 R_{b1} と R_{b2} は数k以下が好ましい。

【0026】

10

20

30

40

50

次に、フィルタ回路 12、14 および 16 が整合回路として機能することを説明する。以下の説明では、 R_g 、 R_{b1} および R_{b2} の抵抗値をそれぞれ R_g 、 R_{b1} および R_{b2} とし、キャパシタ C_g および C_{g0} のキャパシタンスを C_g および C_{g0} とする。信号の周波数を f とする。このとき、フィルタ回路 12 のインピーダンス Z_{12} は $1 / (2 \cdot f \cdot C_g)$ である。フィルタ回路 14 のインピーダンス Z_{14} は $R_g + 1 / (2 \cdot f \cdot C_{g0})$ である。フィルタ回路 16 のインピーダンス Z_{16} のインピーダンスは R_{b1} または R_{b2} 程度である。

【0027】

フィルタ回路 12 と分布定数線路 L_g とは、高周波数帯域においてノード N_2 から FET 10 のゲートをみたインピーダンスとノード N_2 から入力端子 T_{in} をみたインピーダンスを整合させる。これにより、高周波数帯域において、所望の増幅特性を得ることができる。フィルタ回路 14 および 16 は、それぞれ入力端子 T_{in} に入力した信号のうち中間周波数信号および低周波数信号をグランドに通過させる。これにより、高周波数帯域より低い帯域（中間周波数帯域および低周波数帯域）で増幅回路が不安定になることを抑制する。

10

【0028】

高周波数帯域において、各フィルタ回路 12、14 および 16 のインピーダンスの関係が $Z_{16} \gg Z_{14} > Z_{12}$ となるようにする。これにより、入力端子 T_{in} から入力した高周波数信号に対しては主にインピーダンス Z_{12} が主に見える。これにより、分布定数線路 Z_g とキャパシタ C_g とにより、高周波数信号に対して FET 10 への入力インピーダンスを整合させることができる。

20

【0029】

低周波数帯域において、インピーダンスの関係が Z_{12} 、 $Z_{14} \gg Z_{16}$ となる。これにより、入力端子 T_{in} から入力した低周波数信号には抵抗 R_{b1} と R_{b2} との並列抵抗が主に見える。入力端子 T_{in} に入力した低周波数信号は抵抗 R_{b1} と R_{b2} の並列回路で低周波数信号を除去する。これにより、抵抗 R_{b1} または R_{b2} は低周波数信号に対する安定化回路として機能する。

【0030】

中間周波数帯域において、インピーダンスの関係が $Z_{16} \gg Z_{12} > Z_{14}$ となる。これにより、入力端子 T_{in} から入力した中間周波数信号にはインピーダンス Z_{14} が主に見える。これにより、入力端子 T_{in} に入力した中間周波数信号が除去され、増幅回路が安定化する。抵抗 R_g は例えば 10 から 100 とする。

30

【0031】

実施例 1 によれば、フィルタ回路 16 は入力端子 T_{in} から入力した低周波数信号を除去する制御回路の機能とゲートにゲートバイアス電圧を印加するバイアス回路の機能を有する。これにより、実装面積を削減できる。また、フィルタ回路 16 は抵抗 R_{b1} と抵抗 R_{b2} とを用い低周波数信号を除去する。さらに、フィルタ回路 12 で除去できない中間周波数信号を除去するため、フィルタ回路 14 を設ける。フィルタ回路 14 は低周波数信号を除去しなくともよいため、キャパシタ C_{g0} を小さくできる。

【0032】

このように、高周波数帯域より周波数の低い帯域を低周波数帯域と中間周波数帯域とに分けて考える。入力端子 T_{in} から入力した低周波数信号をキャパシタを用いないフィルタ回路 16 で除去する。フィルタ回路 16 で除去できない中間周波数信号をキャパシタ C_{g0} を有するフィルタ回路 14 で除去する。これにより、比較例 1 のような大きなキャパシタ C_{g1} から C_{g3} が不要となる。よって、実装面積が抑制できる。また、大きなキャパシタ C_{g1} から C_{g3} に起因したゲートバイアス電圧の帯域の制限を抑制できる。

40

【0033】

フィルタ回路 12、14 および 16 を上記のように機能させるためには、フィルタ回路 12、14 および 16 におけるノード N_1 または N_2 とグランドとの間のインピーダンスを以下の関係とすることが好ましい。高周波数帯域におけるフィルタ回路 12 のインピー

50

ダンス Z_{12} は、フィルタ回路14および16のインピーダンス Z_{14} および Z_{16} より低い。低周波数帯域におけるフィルタ回路16のインピーダンス Z_{16} は、フィルタ回路12および14のインピーダンス Z_{12} および Z_{14} より低い。中間周波数帯域におけるフィルタ回路14のインピーダンス Z_{14} は、フィルタ回路12および16のインピーダンス Z_{12} および Z_{16} より低い。

【0034】

さらに、高周波数帯域において、フィルタ回路12を整合回路として機能させるため、分布定数線路 L_g が設けられていることが好ましい。ノード N_1 と N_2 は共通に設けられていてもよいし、ノード N_1 と N_2 との間に線路が形成されていてもよい。

【実施例2】

【0035】

実施例2は実施例1の具体例である。図3は、実施例2に係る電子回路の回路図である。図3に示すように、電子回路102において、入力端子 T_{in} とノード N_2 との間にキャパシタ C_1 および分布定数線路 L_1 が直列に接続されている。分布定数線路 L_d と出力端子 T_{out} との間に分布定数線路 L_2 、 L_3 およびキャパシタ C_3 が直列に接続されている。分布定数線路 L_d と L_2 との間のノードとグランドとの間に分布定数線路 L_4 とキャパシタ C_2 が直列に接続されている。分布定数線路 L_4 とキャパシタ C_2 との間のノードにドレインバイアス端子 T_{vd} が接続されている。分布定数線路 L_2 と L_3 との間のノードに分布定数線路 L_5 がオープンスタブとして接続されている。

【0036】

キャパシタ C_1 から C_3 は主にDCカットキャパシタとして機能する。分布定数線路 L_1 は分布定数線路 L_g およびキャパシタ C_g とともにゲート整合回路として機能する。分布定数線路 L_2 から L_5 は分布定数線路 L_d とともにドレイン整合回路として機能する。分布定数線路 L_4 は高周波信号を遮断するチョークとしても機能する。

【0037】

表1は、実施例2に用いられる分布定数線路の線路長、キャパシタの容量値、抵抗の抵抗値、トランジスタのフィン幅、フィン数等の例を示す。分布定数線路は特性インピーダンスを50Ωとしている。FTE10はAlGaAsとInGaAsを用いたHEMT (High Electron Mobility Transistor) である。FET10のゲート長は0.1μmである。ゲート幅が50μmのフィンガーを6本用いている。

【表1】

分布定数線路	L_g	L_s	L_d	L_1	L_2	L_3	L_4	L_5
長さ [μm]	110	40	100	160	100	200	110	20
抵抗	R_g	R_{b1}	R_{b2}					
抵抗値 [kΩ]	0.1	2.0	2.0					
分布定数線路	C_g	C_{go}	C_1	C_2	C_3			
容量値 [pF]	1.2	4.3	0.35	2.0	0.35			

【0038】

実施例2によれば、57GHzから66GHzを増幅帯域とし、ゲートバイアス電圧を外部から制御可能で、かつ安定な増幅回路を提供できる。フィルタ回路12は、57GHz以上かつ66GHz以下の高周波数信号に対し、インピーダンス整合のための整合回路として機能する。フィルタ回路14は、入力端子 T_{in} に入力した1GHz以上かつ50GHz未満の中間周波数信号を除去する。フィルタ回路16は、入力端子 T_{in} の入力した1GHz未満の低周波数信号を除去する。

【0039】

実施例1および2において、トランジスタとしてFET、第1端子としてソース、第2端子としてドレイン、および制御端子としてゲートを例に説明したが、トランジスタはパ

10

20

30

40

50

イポーラトランジスタであり、第1端子はエミッタ、第2端子はコレクタ、および制御端子はベースでもよい。

【0040】

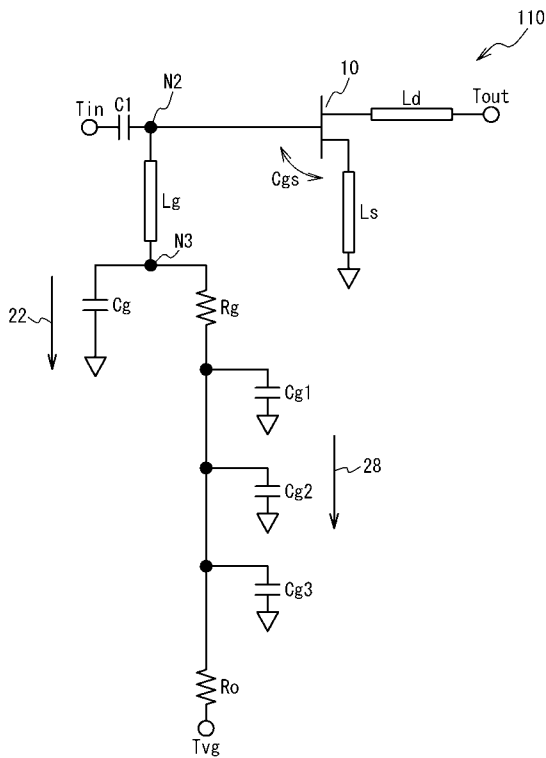
今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した意味ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【0041】

- 10 FET
- 12 - 16 フィルタ回路
- 20 - 28 矢印

【図1】



【図2】

