

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5793460号
(P5793460)

(45) 発行日 平成27年10月14日 (2015. 10. 14)

(24) 登録日 平成27年8月14日 (2015. 8. 14)

(51) Int.Cl.
H03K 5/14 (2014.01)

F I
H03K 5/14

請求項の数 7 (全 11 頁)

(21) 出願番号	特願2012-82010 (P2012-82010)	(73) 特許権者	000005223
(22) 出願日	平成24年3月30日 (2012. 3. 30)		富士通株式会社
(65) 公開番号	特開2013-211786 (P2013-211786A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成25年10月10日 (2013. 10. 10)	(73) 特許権者	514315159
審査請求日	平成26年12月2日 (2014. 12. 2)		株式会社ソシオネクスト
			神奈川県横浜市港北区新横浜2丁目10番23
		(74) 代理人	100090273
			弁理士 國分 孝悦
		(72) 発明者	久保寺 和昌
			神奈川県横浜市港北区新横浜二丁目10番23 富士通マイクロソリューションズ株式会社内
最終頁に続く			

(54) 【発明の名称】 可変遅延回路

(57) 【特許請求の範囲】

【請求項 1】

1 段目の単位遅延回路の第 1 入力端子に入力信号が入力されるとともに、 i 段目 (i は自然数) の単位遅延回路の第 1 出力端子と ($i + 1$) 段目の単位遅延回路の第 1 入力端子とが接続され、 i 段目の単位遅延回路の第 2 入力端子と ($i + 1$) 段目の単位遅延回路の第 2 出力端子とが接続されている複数の単位遅延回路と、

1 段目の前記単位遅延回路の第 2 出力端子から出力された信号が入力され、入力された当該信号を遅延設定に係る遅延設定情報に応じて正転又は反転して出力する出力回路とを備え、

前記複数の単位遅延回路には、第 1 の単位遅延回路及び第 2 の単位遅延回路をそれぞれ 1 以上含み、

前記第 1 の単位遅延回路は、
前記遅延設定情報のうち当該第 1 の単位遅延回路に対応する前記遅延設定情報が第 1 の状態のときに前記第 2 入力端子から入力された信号を出力し、第 2 の状態のときに前記第 1 入力端子から入力された信号を出力する第 1 のセレクタと、

前記第 1 のセレクタの出力を反転し前記第 2 出力端子を介して出力する第 1 のインバータとを有するとともに、

前記第 1 入力端子と前記第 1 出力端子とが接続され、
前記第 2 の単位遅延回路は、
前記第 1 入力端子から入力された信号を反転し前記第 1 出力端子を介して出力する第 2

10

20

のインバータと

前記遅延設定情報のうち当該第2の単位遅延回路に対応する前記遅延設定情報が前記第1の状態のときに前記第2入力端子から入力された信号を前記第2出力端子を介して出力し、前記第2の状態のときに前記第2のインバータの出力を前記第2出力端子を介して出力する第2のセレクタとを有することを特徴とする可変遅延回路。

【請求項2】

前記第1の単位遅延回路及び前記第2の単位遅延回路が交互に配置されていることを特徴とする請求項1記載の可変遅延回路。

【請求項3】

前記出力回路は、入力された信号を正転して出力する遅延時間及び入力された信号を反転して出力する遅延時間を調整し遅延差を低減する遅延調整回路を有することを特徴とする請求項1又は2記載の可変遅延回路。

10

【請求項4】

前記遅延調整回路は、前記複数の単位遅延回路による遅延時間の前記遅延設定情報に応じた変化量の差を調整することを特徴とする請求項3記載の可変遅延回路。

【請求項5】

前記第1の単位遅延回路の数と前記第2の単位遅延回路の数が同数であることを特徴とする請求項1～4の何れか1項に記載の可変遅延回路。

【請求項6】

前記第1の単位遅延回路及び前記第2の単位遅延回路がそれぞれ複数個ずつ交互に配置されていることを特徴とする請求項1記載の可変遅延回路。

20

【請求項7】

前記遅延調整回路は、入力された信号を正転して出力する遅延時間及び入力された信号を反転して出力する遅延時間を、入力される制御信号に基づいて調整することを特徴とする請求項3記載の可変遅延回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、遅延量が可変の可変遅延回路に関する。

【背景技術】

30

【0002】

可変遅延回路は、信号の入出力間の遅延量を調整することが可能な回路である。図8は、従来の可変遅延回路の構成例を示す図である。図8に示す可変遅延回路は、複数の単位遅延回路100が直列に接続されている。単位遅延回路100の各々は、インバータ101、102及びセレクタ103を有する。

【0003】

単位遅延回路100は、入力される遅延設定信号SDLYの論理値が“0”のときには、第1入力端子に入力される信号をインバータ101を介して第1出力端子から出力し、第2入力端子に入力される信号をセレクタ103及びインバータ102を介して第2出力端子から出力する。また、単位遅延回路100は、入力される遅延設定信号SDLYの論理値が“1”のときには、第1入力端子に入力される信号をインバータ101、セレクタ103、及びインバータ102を介して第2出力端子から出力する。

40

【0004】

図8に示す可変遅延回路において、入力信号SINが1段目の単位遅延回路100の第1入力端子に入力され、出力信号SOUTが1段目の単位遅延回路100の第2出力端子から出力される。また、i段目の単位遅延回路100の第1出力端子と(i+1)段目の単位遅延回路100の第1入力端子とが接続され、i段目の単位遅延回路100の第2入力端子と(i+1)段目の単位遅延回路100の第2出力端子とが接続されている。i段目の単位遅延回路100には、遅延設定信号SDLY[i]が入力される。ここで、iは添え字であり、i=1～nの自然数である。

50

【 0 0 0 5 】

このようにして複数の単位遅延回路 1 0 0 を直列に接続し、遅延設定信号 S D L Y [1 : n] に従って信号の入出力間のインバータ数を制御することで、可変遅延回路は、入出力間の遅延量を調整することが可能である。なお、図 8 に示した可変遅延回路における遅延時間の分解能は、単位遅延回路 1 0 0 の固有遅延によって決定される。

【 0 0 0 6 】

ここで、図 8 に示したような可変遅延回路において、遅延段数を維持しつつ信号を高速化した場合には、より高い遅延時間の分解能、すなわち単位遅延回路の遅延時間が短いことが必要となる。例えば、単位遅延回路 1 0 0 は、インバータ 1 0 1、1 0 2 のサイズを大きくすることで遅延時間を短くすることができるが、部品面積が増大してしまう。また、インバータ 1 0 1、1 0 2 のサイズを大きくするにしても、そのサイズはテクノロジーに依存し、遅延時間を短くするにはデバイス特性としての限界がある。単位遅延回路 1 0 0 が有するインバータを、インバータ 1 0 1 又はインバータ 1 0 2 のどちらか一つにして遅延時間を短くすることも考えられるが、インバータが入力側又は出力側の一方に集中し、インバータがない側で波形が劣化してしまう。この波形の劣化により遅延時間が変わってしまい、可変遅延回路において遅延段数に応じた遅延時間の直線性がなくなる。

【 0 0 0 7 】

また、遅延時間 t_1 のバッファと遅延時間 t_2 ($t_1 < t_2 < t_1 \times 2$) のセレクトを所定数備える遅延回路において、入力信号を通過させるバッファとセレクトの数を変更することで、遅延時間の分解能を ($t_2 - t_1$) とする技術が提案されている (特許文献 1 参照)。複数の遅延素子が直列に接続され、信号を通過させる遅延素子の数を切り替えることで遅延時間を調整する第 1 の遅延回路と、第 1 の遅延回路の遅延素子での遅延時間で割り切れない遅延時間を持つ遅延素子を有する第 2 の遅延回路とを組み合わせることで、第 1 の遅延回路だけの場合よりも遅延時間の分解能を高める技術が提案されている (特許文献 2 参照)。また、論理反転型の 2 入力セレクトを多段接続して、奇数番目のセレクトに入力信号の反転信号を入力し、偶数番目のセレクトに入力信号の正転信号を入力し、入力信号がセレクトを通過する段数を切り替えることで遅延時間を調整し、かつ信号のデューティ比を保つ技術が提案されている (特許文献 3 参照)。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開 2 0 0 5 - 5 0 2 3 5 号公報

【 特許文献 2 】 特開 2 0 0 9 - 1 0 7 3 7 号公報

【 特許文献 3 】 特開 2 0 0 1 - 2 8 2 3 8 1 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

本発明の目的は、部品面積の増大や信号波形の劣化がなく、遅延時間の分解能が高められた可変遅延回路を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 0 】

可変遅延回路の一態様は、 i 段目 (i は自然数) の単位遅延回路の第 1 出力端子と ($i + 1$) 段目の単位遅延回路の第 1 入力端子とが接続され、 i 段目の単位遅延回路の第 2 入力端子と ($i + 1$) 段目の単位遅延回路の第 2 出力端子とが接続されている複数の単位遅延回路と、1 段目の単位遅延回路の第 2 出力端子から出力された信号を、遅延設定情報に応じて正転又は反転して出力する出力回路とを備える。複数の単位遅延回路には、第 1 の単位遅延回路及び第 2 の単位遅延回路を含む。第 1 の単位遅延回路は、対応する遅延設定情報が第 1 の状態のときに第 2 入力端子から入力された信号を出力し、第 2 の状態のときに第 1 入力端子から入力された信号を出力するセレクト、及び当該セレクトの出力を反転し第 2 出力端子を介して出力するインバータを有するとともに、第 1 入力端子及び第 1

10

20

30

40

50

出力端子が接続されている。また、第2の単位遅延回路は、第1入力端子から入力された信号を反転し第1出力端子を介して出力するインバータ、及び対応する遅延設定情報が第1の状態のときに第2入力端子から入力された信号を第2出力端子を介して出力し、第2の状態のときに当該インバータの出力を第2出力端子を介して出力するセクタを有する。

【発明の効果】

【0011】

開示の可変遅延回路は、各々が1つのインバータ及び1つのセクタを有し、回路構成が異なる第1の単位遅延回路及び第2の単位遅延回路を含む複数の単位遅延回路を直列に接続することで、部品面積の増大や信号波形の劣化をさせることなく、遅延時間の分解能を高めることができる。

10

【図面の簡単な説明】

【0012】

【図1】本発明の実施形態における可変遅延回路の構成例を示す図である。

【図2】本実施形態における可変遅延回路での入出力を説明するための図である。

【図3】本実施形態における可変遅延回路の遅延設定と遅延時間の関係を示す図である。

【図4】本実施形態における可変遅延回路での遅延時間及びその変化を説明するための図である。

【図5】本実施形態における排他的論理和演算回路を模式的に示す図である。

【図6】本実施形態における遅延調整回路の一例を示す図である。

20

【図7】本実施形態における遅延調整回路の他の例を示す図である。

【図8】従来の可変遅延回路の構成例を示す図である。

【発明を実施するための形態】

【0013】

以下、本発明の実施形態を図面に基づいて説明する。

図1は、本発明の一実施形態における可変遅延回路の構成例を示す図である。本実施形態における可変遅延回路は、回路構成が異なる第1の単位遅延回路10A及び第2の単位遅延回路10Bを単位遅延回路として有する。

【0014】

第1の単位遅延回路10Aは、図1(A)に示すように1つのインバータ11A及び1つのセクタ12Aを有する。セクタ12Aは、第1入力端子が第1の単位遅延回路10Aの第2入力端子DIN2Aに接続され、第2入力端子が第1の単位遅延回路10Aの第1入力端子DIN1Aに接続されている。セクタ12Aは、制御端子が第1の単位遅延回路10Aの制御信号入力端子SEL Aに接続されている。セクタ12Aは、制御端子より入力される信号の論理値が“0”のときには第1入力端子に入力される信号を出力し、制御端子より入力される信号の論理値が“1”のときには第2入力端子に入力される信号を出力する。インバータ11Aは、入力端子がセクタ12Aの出力端子に接続され、出力端子が第1の単位遅延回路10Aの第2出力端子DOU T 2 Aに接続されている。また、第1の単位遅延回路10Aにおいては、第1入力端子DIN1Aと第1出力端子DOU T 1 Aとが接続されている。

30

40

【0015】

第1の単位遅延回路10Aは、制御信号入力端子SEL Aより入力される信号の論理値が“0”のときには、第2入力端子DIN2Aに入力される信号を、セクタ12A及びインバータ11Aを介して反転して第2出力端子DOU T 2 Aから出力する。一方、第1の単位遅延回路10Aは、制御信号入力端子SEL Aより入力される信号の論理値が“1”のときには、第1入力端子DIN1Aに入力される信号を、セクタ12A及びインバータ11Aを介して反転して第2出力端子DOU T 2 Aから出力する。また、第1の単位遅延回路10Aは、第1入力端子DIN1Aに入力される信号を第1出力端子DOU T 1 Aから出力する。

【0016】

50

第2の単位遅延回路10Bは、図1(B)に示すように1つのインバータ11B及び1つのセクタ12Bを有する。インバータ11Bは、入力端子が第2の単位遅延回路10Bの第1入力端子DIN1Bに接続され、出力端子が第2の単位遅延回路10Bの第1出力端子DOU1Bに接続されている。セクタ12Bは、第1入力端子が第2の単位遅延回路10Bの第2入力端子DIN2Bに接続され、第2入力端子がインバータ11Bの出力端子に接続され、出力端子が第2の単位遅延回路10Bの第2出力端子DOU2Bに接続されている。セクタ12Bは、制御端子が第2の単位遅延回路10Bの制御信号入力端子SELBに接続されている。セクタ12Bは、制御端子より入力される信号の論理値が“0”のときには第1入力端子に入力される信号を出力し、制御端子より入力される信号の論理値が“1”のときには第2入力端子に入力される信号を出力する。

10

【0017】

第2の単位遅延回路10Bは、制御信号入力端子SELBより入力される信号の論理値が“0”のときには、第2入力端子DIN2Bに入力される信号を、セクタ12Bを介して第2出力端子DOU2Bから出力する。一方、第2の単位遅延回路10Bは、制御信号入力端子SELBより入力される信号の論理値が“1”のときには、第1入力端子DIN1Bに入力される信号を、インバータ11B及びセクタ12Bを介して反転して第2出力端子DOU2Bから出力する。また、第2の単位遅延回路10Bは、第1入力端子DIN1Bに入力される信号をインバータ11Bを介して反転して第1出力端子DOU1Bから出力する。

【0018】

20

本実施形態における可変遅延回路は、図1(C)に示すように直列に接続された複数の単位遅延回路10A、10B及び出力回路20を有する。複数の単位遅延回路10A、10Bは、 i 段目の単位遅延回路の第1出力端子と $(i+1)$ 段目の単位遅延回路の第1入力端子とが接続され、 i 段目の単位遅延回路の第2入力端子と $(i+1)$ 段目の単位遅延回路の第2出力端子とが接続されている。また、入力信号SINが1段目の単位遅延回路10Aの第1入力端子に入力される。 i 段目の単位遅延回路10A、10Bの制御信号入力端子SELA、SELBには、遅延設定情報である遅延設定信号SDLY[i]が入力される。なお、 i は添え字であり、 $i=1\sim n$ の自然数である。

【0019】

ここで、可変遅延回路が有する第1の単位遅延回路10Aの数と第2の単位遅延回路10Bの数は、同数あるいは略同数であることが望ましい。図1(C)に示す例において、複数の単位遅延回路10A、10Bは、信号波形の劣化による単位遅延回路の遅延時間の不均衡を防止するために、第1の単位遅延回路10A及び第2の単位遅延回路10Bをそれぞれ1つずつ交互に配置している。このように単位遅延回路10A、10Bを交互に配置することで、信号が通過する経路において前段側から後段側に信号が伝達される経路と後段側から前段側に信号が伝達される経路とで遅延設定によらず負荷が均一となり、信号波形の劣化を抑制することができる。また、2つの単位遅延回路10A、10Bを信号が通過する経路上に少なくとも1つのインバータ11A、11Bが存在することとなり、信号波形の劣化を抑制することができる。

30

【0020】

40

出力回路20は、1段目の単位遅延回路10Aの第2出力端子から出力される信号SDO及び遅延設定情報である遅延設定信号SDLY[1:n]が入力される。出力回路20は、遅延設定信号SDLY[1:n]をデコードし、デコード結果に応じて信号SDOを正転又は反転して出力信号SOUTとして出力する。本実施形態では、単位遅延回路10A、10Bが1つのインバータ11A、11B及び1つのセクタ12A、12Bを有するために、遅延設定信号SDLY[1:n]により指定される遅延段数が奇数であるか偶数であるかによって信号SDOの論理値が異なる。そこで、出力回路20は、遅延段数が奇数である場合には信号SDOを反転して出力信号SOUTとして出力し、遅延段数が偶数である場合には信号SDOを正転して出力信号SOUTとして出力する。

【0021】

50

例えば、出力回路 20 は、図 1 (C) に示すようにデコーダ 21 及び排他的論理和演算回路 (EX - OR 回路) 22 を有する。デコーダ 21 は、遅延設定信号 S D L Y [1 : n] をデコードする。デコーダ 21 は、遅延設定信号 S D L Y [1 : n] をデコードした結果、遅延段数が奇数である場合には論理値 “ 1 ” の信号 S D E C を出力し、遅延段数が偶数である場合には論理値 “ 0 ” の信号 S D E C を出力する。EX - OR 回路 22 は、遅延回路出力である信号 S D O 及びデコーダ 21 からの信号 S D E C が入力され、それを排他的論理和演算した結果を信号 S O U T として出力する。

【 0 0 2 2 】

本実施形態における可変遅延回路は、遅延段数を k 段 (k は $1 \sim n$ の自然数) とする場合には、遅延設定信号 S D L Y [1 : n] において遅延設定信号 S D L Y [1] ~ S D L Y [$k - 1$] が “ 0 ” に設定され、遅延設定信号 S D L Y [k] が “ 1 ” に設定される。そして、 k 段目の単位遅延回路 10 A、10 B において折り返されるように信号が伝達される。例えば遅延段数を 2 段とする場合には遅延設定信号 S D L Y [1 : n] が “ 010000 ... ” に設定され、2 段目の単位遅延回路 10 B において折り返されるように信号が伝達される。また、例えば遅延段数を 3 段とする場合には遅延設定信号 S D L Y [1 : n] が “ 001000 ... ” に設定され、3 段目の単位遅延回路 10 A において折り返されるように信号が伝達される。

【 0 0 2 3 】

以上のように本実施形態によれば、単位遅延回路 10 A、10 B を 1 つのインバータ 11 A、11 B 及び 1 つのセクタ 12 A、12 B で構成することにより、可変遅延回路における遅延時間の分解能を高めることができる。また、図 2 に入力信号 S I N、信号 S D E C、S D O、及び出力信号 S O U T の論理関係を示すように、本実施形態では出力回路 20 が、遅延回路出力である信号 S D O を遅延設定信号 S D L Y [1 : n] に応じて正転又は反転して出力する。これにより、単位遅延回路 10 A、10 B を 1 つのインバータ 11 A、11 B 及び 1 つのセクタ 12 A、12 B で構成しても、入出力される信号の論理値を合致させることができる。

【 0 0 2 4 】

なお、図 1 に示した本実施形態における可変遅延回路においては、単位遅延回路 10 A、10 B の回路構成が異なるため、単位遅延回路 10 A、10 B の遅延時間が若干異なる。つまり、遅延設定信号 S D L Y [1 : n] により設定される遅延段数が奇数であるか偶数であるかで遅延時間の変化が異なることが考えられる。図 3 に一例を示すように遅延段数のある偶数値から 1 増加した奇数値に変化させた場合には遅延時間が T d A 増加し、遅延段数のある奇数値から 1 増加した偶数値に変化させた場合には遅延時間が T d B 増加することで、遅延設定に応じた傾きが不連続となる。

【 0 0 2 5 】

図 4 (A) ~ 図 4 (C) を参照して、遅延設定信号 S D L Y [1 : n] により設定される遅延段数に応じた遅延時間及びその変化量について説明する。図 4 (A) に示すように、入力信号 S I N が入力されるバッファ 31 の入力端子から 2 段目の単位遅延回路 10 B のインバータ 32 の入力端子までの遅延時間を t_{ib0} とする。また、バッファ 31 の入力端子から 1 段目の単位遅延回路 10 A のセクタ 33 を介してインバータ 34 の入力端子までの遅延時間を t_{ib1} とする。インバータ 34 の入力端子から出力信号 S D O を出力するバッファ 35 の入力端子までの遅延時間を t_{ob} とする。

【 0 0 2 6 】

また、図 4 (B) に示すように、 m 段目 (m は $2 \sim (n - 2)$ の自然数) の単位遅延回路 10 B のインバータ 36 の入力端子から ($m + 2$) 段目の単位遅延回路 10 B のインバータ 37 の入力端子までの遅延時間を t_{we0} とする。インバータ 36 の入力端子から ($m + 1$) 段目の単位遅延回路 10 A のセクタ 38 を介してインバータ 39 の入力端子までの遅延時間を t_{we1} とする。また、インバータ 36 の入力端子から m 段目の単位遅延回路 10 B のセクタ 40 及び ($m - 1$) 段目の単位遅延回路 10 A のセクタ 41 を介してインバータ 42 の入力端子までの遅延時間を t_{we2} とする。インバータ 39 の入力

10

20

30

40

50

端子からセクタ 4 0 及びセクタ 4 1 を介してインバータ 4 2 の入力端子までの遅延時間を t_{ew0} とする。

【 0 0 2 7 】

前述のように遅延時間 t_{ib0} 、 t_{ib1} 、 t_{ob} 、 t_{we0} 、 t_{we1} 、 t_{we2} 、 t_{ew0} を各経路について規定すると、遅延設定信号 $SDLY[1:n]$ により設定される遅延段数に応じた遅延時間及びその変化量は、図 4 (C) に示すようになる。つまり、ある奇数の値から 1 増加した偶数の値に変化させた場合には、遅延時間が $TdA (= t_{we1} + t_{ew0} - t_{we2})$ 増加する。また、ある偶数の値から 1 増加した奇数の値に変化させた場合には、遅延時間が $TdB (= t_{we0} + t_{we2} - t_{we1})$ 増加する。

【 0 0 2 8 】

ここで、図 1 (C) に示した出力回路 2 0 が有する EX - OR 回路 2 2 を模式的に示すと、図 5 (A) のようにセクタ 5 1 及びインバータ 5 2 で示される。図 5 (A) において、SDO は遅延回路出力として 1 段目の単位遅延回路 1 0 A の第 2 出力端子から出力された信号であり、SDEC はデコーダ 2 1 の出力である。図 5 (A) から明らかなようにインバータ 5 2 を介するか否かによって、セクタ 5 1 の入力端子までの遅延時間 t_{p0} 、 t_{p1} に差が生じる。すなわち、信号 SDO を反転出力するか、正転出力するかに応じて、EX - OR 回路 2 2 内部で遅延差が生じることとなる。そこで、本実施形態では、図 5 (B) に示すように遅延調整回路 5 3 を設けて、信号 SDO を反転出力する経路の遅延時間 dt_{p1} 及び正転出力する経路の遅延時間 dt_{p0} の差がなくなるように各経路の遅延時間を調整する。これにより、遅延設定に応じた遅延時間の差を低減することができる。

【 0 0 2 9 】

さらには、遅延調整回路 5 3 は、前述した遅延設定信号 $SDLY[1:n]$ により設定される遅延段数に応じた遅延時間の変化量 TdA 、 TdB を考慮した遅延時間の調整を行うようにしても良い。すなわち、EX - OR 回路 2 2 自体が元々持つ遅延差に応じた調整量に加え、信号 SDO の正転出力経路の遅延時間 dt_{p0} に TdA に相当する遅延時間を含ませ、信号 SDO の反転出力経路の遅延時間 dt_{p1} に TdB に相当する遅延時間を含ませるようにする。このようにすることで遅延設定に応じた遅延時間の変化量を一定にすることができ、良好な遅延制御を行うことができる。

【 0 0 3 0 】

図 6 は、遅延調整回路 5 3 の一例を示す図である。図 6 に示す例において、遅延調整回路 5 3 は、信号 SDO の正転出力経路に設けたバッファ 6 1 及び信号 SDO の反転出力経路に設けたインバータ 6 2、6 3 を有する。例えば、バッファ 6 1 を介した信号 SDO の正転出力経路の遅延時間を TdA とし、インバータ 5 2、6 2、6 3 を介した信号 SDO の反転出力経路の遅延時間を TdB とするように、遅延調整回路 5 3 のバッファ 6 1、インバータ 6 2、6 3 を設計することで遅延設定に応じた遅延時間の変化量を一定にすることができる。

【 0 0 3 1 】

図 7 は、遅延調整回路 5 3 の他の例を示す図である。図 7 に示す遅延調整回路 5 3 は、外部からの制御信号 $DCTL1$ 、 $DCTL2$ により遅延時間を調整できるようにするものである。遅延調整回路 5 3 は、信号 SDO の正転出力経路に並列に接続され、制御信号 $DCTL1$ により制御されるバッファ 7 1 - 1、7 1 - 2、7 1 - 3 を有する。また、遅延調整回路 5 3 は、信号 SDO の反転出力経路に並列に接続され、制御信号 $DCTL2$ により制御されるバッファ 7 2 - 1、7 2 - 2、7 2 - 3 を有する。制御信号 $DCTL1$ によりバッファ 7 1 - 1 ~ 7 1 - 3 を駆動制御することで、信号 SDO の正転出力経路の遅延時間が制御でき、制御信号 $DCTL2$ によりバッファ 7 2 - 1 ~ 7 2 - 3 を駆動制御することで、信号 SDO の反転出力経路の遅延時間が制御できる。図 7 に示した遅延調整回路 5 3 は、例えば、温度や電源等をモニタして、その状態で何ら制御を行っていないときの出力回路 2 0 の遅延量がわかる回路が可変遅延回路の外部にあるような場合に用いて好適である。モニタされた温度や電源等に応じて、制御信号 $DCTL1$ 、 $DCTL2$ により外

10

20

30

40

50

部から制御をかけることで、信号 S D O の正転出力経路及び反転出力経路のそれぞれの遅延時間を適切に制御することが可能になる。

【 0 0 3 2 】

なお、前述した本実施形態における可変遅延回路は、第 1 の単位遅延回路 1 0 A 及び第 2 の単位遅延回路 1 0 B をそれぞれ 1 つずつ交互に接続するようにしているが、これに限定されるものではない。遅延設定信号 S D L Y [1 : n] により設定される遅延段数の増加に応じて、遅延時間が増加するような接続であれば、第 1 の単位遅延回路 1 0 A 及び第 2 の単位遅延回路 1 0 B の接続方法及び数は任意である。例えば、第 1 の単位遅延回路 1 0 A 及び第 2 の単位遅延回路 1 0 B を複数個ずつ交互に接続するようにしても良い。また、例えば、前段側に第 1 の単位遅延回路 1 0 A を配置し後段側に第 2 の単位遅延回路 1 0 B を配置した組と、前段側に第 2 の単位遅延回路 1 0 B を配置し後段側に第 1 の単位遅延回路 1 0 A を配置した組とを交互に接続するようにしても良い。

10

【 0 0 3 3 】

なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

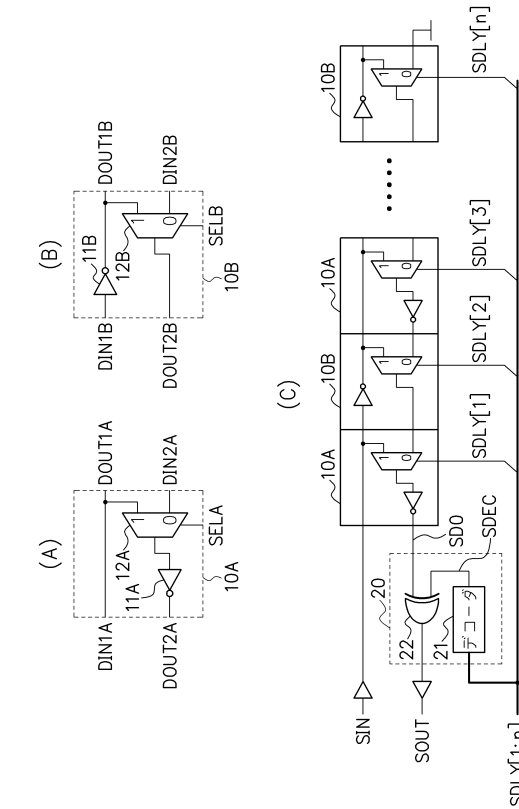
【 符号の説明 】

【 0 0 3 4 】

- 1 0 A 第 1 の単位遅延回路
- 1 0 B 第 2 の単位遅延回路
- 1 1 A、1 1 B インバータ
- 1 2 A、1 2 B セレクタ
- 2 0 出力回路
- 2 1 デコーダ
- 2 2 排他的論理和演算回路 (E X - O R 回路)

20

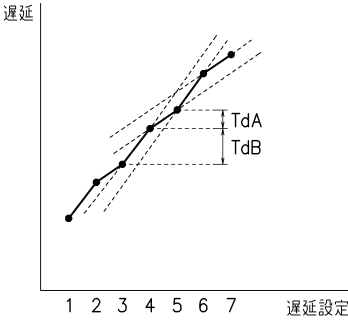
【図 1】



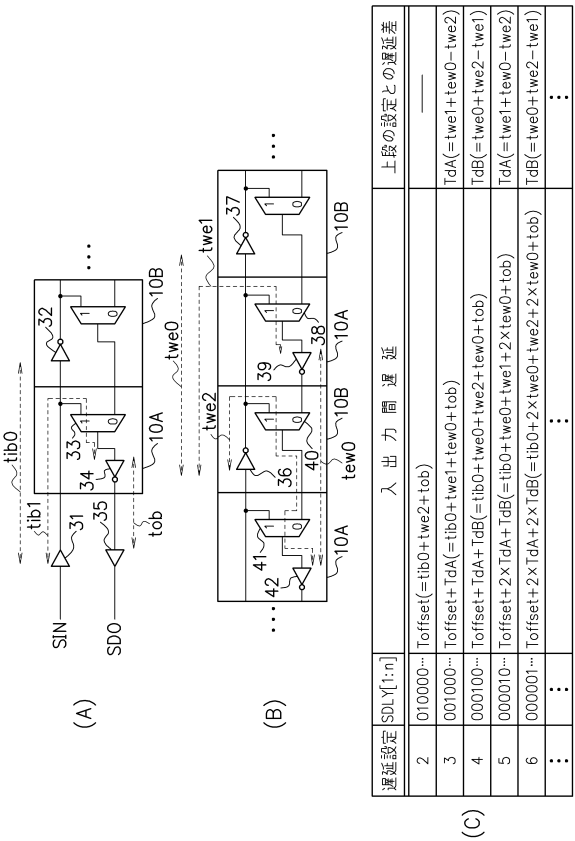
【図 2】

SIN	SDEC	SD0	SOUT
0	0	0	0
1	(正転)	1	1
0	1	1	0
1	(反転)	0	1

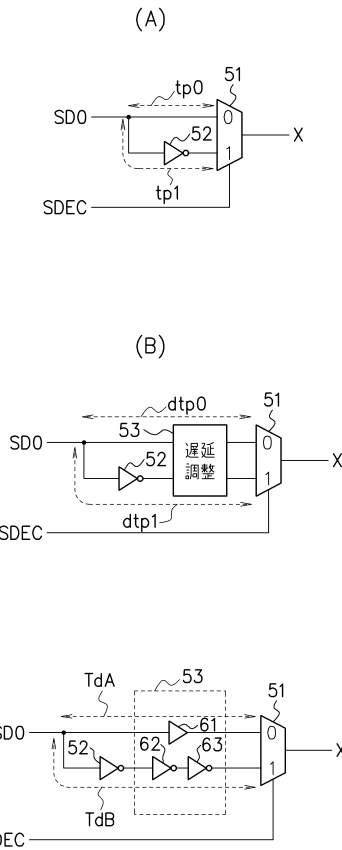
【図 3】



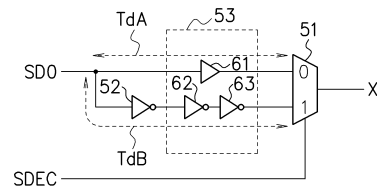
【図 4】



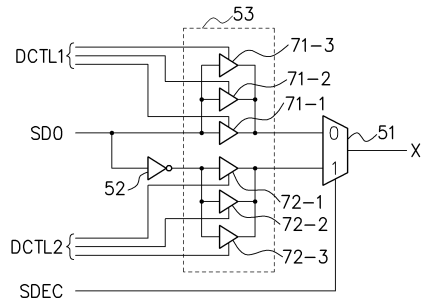
【図 5】



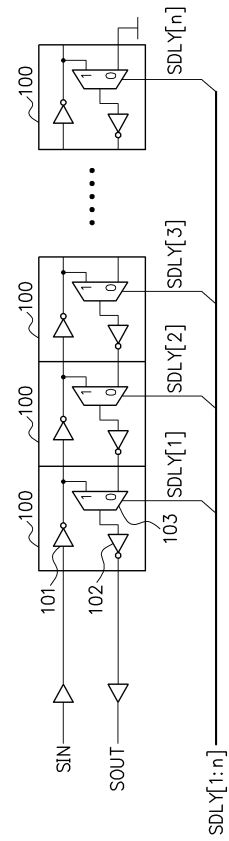
【図 6】



【図 7】



【図 8】



フロントページの続き

- (72)発明者 金山 靖隆
神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内
- (72)発明者 藤岡 真樹
神奈川県横浜市港北区新横浜二丁目10番23 富士通マイクロソリューションズ株式会社内
- (72)発明者 三宅 啓史
神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内

審査官 白井 亮

- (56)参考文献 特開2007-097179(JP,A)
特開2007-166623(JP,A)
特開平10-322178(JP,A)
特開2002-158566(JP,A)
特開2006-314108(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03K 5/14