

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年12月28日(28.12.2023)



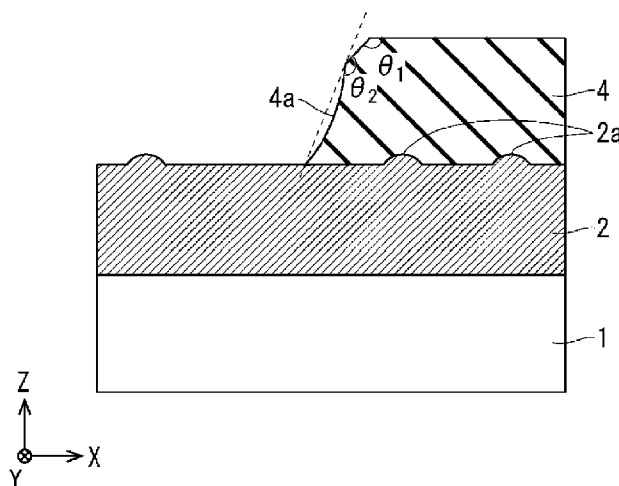
(10) 国際公開番号

WO 2023/248670 A1

- (51) 国際特許分類:
H01L 29/872 (2006.01) H01L 25/18 (2023.01)
H01L 21/329 (2006.01) H01L 29/47 (2006.01)
H01L 25/07 (2006.01)
- (21) 国際出願番号: PCT/JP2023/018941
- (22) 国際出願日: 2023年5月22日(22.05.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-100048 2022年6月22日(22.06.2022) JP
- (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 中田 和成 (NAKATA Kazunari); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区域見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: SEMICONDUCTOR DEVICE, POWER CONVERSION DEVICE, AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、電力変換装置、および、半導体装置の製造方法



(57) Abstract: The description of the present application discloses a technology for enhancing the reliability of a semiconductor device. A semiconductor device according to the technology disclosed in the description of the present application is provided with: a semiconductor layer; a first electrode layer which covers a part of the upper surface of the semiconductor layer; and an insulating film which covers another part of the upper surface of the semiconductor layer and a part of the upper surface of the first electrode layer. With respect to this semiconductor device, the arithmetic mean roughness of the upper surface of the insulating film is lower than the arithmetic mean roughness of the interface between the insulating film and the first electrode layer.

(57) 要約: 本願明細書に開示される技術は、半導体装置の信頼性を高めるための技術である。本願明細書に開示される技術に関する半導体装置は、半導体層と、前記半導体層の上面の一部を覆う第1の電極層と、前記半導体層の上面の他の一部と、前記第1の電極層の上面の一部とを覆う絶縁膜とを備えるものである。そして、前記絶縁膜の上面の算術平均粗さが、前記絶縁膜と前記第1の電極層の間の界面の算術平均粗さよりも小さい。

WO 2023/248670 A1

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：

半導体装置、電力変換装置、および、半導体装置の製造方法

技術分野

[0001] 本願明細書に開示される技術は、半導体装置の信頼性を高める技術に関するものである。

背景技術

[0002] たとえば特許文献1に示されるような半導体装置、特に、絶縁ゲート型バイポーラトランジスタ (insulated gate bipolar transistor、すなわち、IGBT)、金属-酸化膜-半導体電界効果トランジスタ (metal-oxide-semiconductor field-effect transistor、すなわち、MOSFET)、または、ショットキーバリアダイオード (Schottky barrier diode、すなわち、SBD) などの電力用半導体装置は、産業用モータまたは自動車用モータなどのインバータ回路、大容量サーバーの電源装置、または、無停電電源装置などの半導体スイッチとして広く使われている。近年では、半導体装置の電流密度を上げることで、半導体装置の小型化を図り、半導体装置の製造コストの低減が進んでいる。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-50358号公報

発明の概要

発明が解決しようとする課題

[0004] 半導体装置の電流密度が高くなると、構成要素の動作時の温度も上がるため、非動作時との温度差が増加する。そのため、半導体装置を構成する保護絶縁膜を取り囲む電極層またはモールド樹脂から、それぞれの構成要素の線膨張係数の違いに起因して熱膨張と熱収縮とで受ける応力によって、半導体

装置の外部との絶縁性能を担保するための保護絶縁膜に剥離またはクラックなどが発生する場合がある。この場合、半導体装置の絶縁性能が不十分なものとなり、半導体装置の信頼性が損なわれるという問題がある。

[0005] 本願明細書に開示される技術は、以上に記載されたような問題を鑑みてなされたものであり、半導体装置の信頼性を高めるための技術である。

課題を解決するための手段

[0006] 本願明細書に開示される技術の第1の態様である半導体装置は、半導体層と、前記半導体層の上面の一部を覆う第1の電極層と、前記半導体層の上面の他の一部と、前記第1の電極層の上面の一部とを覆う絶縁膜とを備え、前記絶縁膜の上面の算術平均粗さが、前記絶縁膜と前記第1の電極層の間の界面の算術平均粗さよりも小さい。

発明の効果

[0007] 本願明細書に開示される技術の少なくとも第1の態様によれば、保護絶縁膜の下部の構成要素との接続が、保護絶縁膜の上部の構成要素との接続に比べて強固なものにすることができるため、動作時などの保護絶縁膜の剥離を抑制することができる。このような構成によれば、半導体装置の信頼性を高めることができる。

[0008] また、本願明細書に開示される技術に関連する目的と、特徴と、局面と、利点とは、以下に示される詳細な説明と添付図面とによって、さらに明白となる。

図面の簡単な説明

[0009] [図1]実施の形態に記載される製造方法によって製造された、半導体装置の構成の例を概略的に示す図である。

[図2]実施の形態に記載される製造方法によって製造された、半導体装置の構成の例を概略的に示す図である。

[図3]実施の形態に記載される製造方法によって製造された、半導体装置の構成の例を概略的に示す図である。

[図4]実施の形態に関するSiC-SBDの製造工程の例を示すフローチャー

トである。

[図5]実施の形態に関するSiC-SBDの製造工程の例を示す断面図である

。

[図6]実施の形態に関するSiC-SBDの製造工程の例を示す断面図である

。

[図7]実施の形態に関するSiC-SBDの製造工程の例を示す断面図である

。

[図8]実施の形態に関するSiC-SBDの製造工程の例を示す断面図である

。

[図9]実施の形態に関するSiC-SBDの製造工程の例を示す断面図である

。

[図10]実施の形態に関するSiC-SBDの製造工程の例を示す断面図である。

[図11]実施の形態に関するSiC-SBDの製造工程の例を示す断面図である。

[図12]実施の形態に関するSiC-SBDの製造工程の例を示す断面図である。

[図13]実施の形態における、半導体装置の表面電極および保護絶縁膜の近傍の構成を拡大して示す図である。

[図14]算術平均粗さの定義を示す図である。

[図15]保護絶縁膜の上下面の算術平均粗さの比と、10万回のパワーサイクル試験を行った後の保護絶縁膜の剥離率との関係を示す図である。

[図16]保護絶縁膜の上面の端部に形成された頂点のうち、最も小さな角度を有する頂点に着目し、保護絶縁膜の上下面の算術平均粗さの比率を0.7とした場合の、頂点の角度とクラックの発生率との関係を示す図である。

[図17]実施の形態に記載される製造方法によって製造された、半導体装置の構成の例を概略的に示す図である。

[図18]実施の形態に記載される製造方法によって製造された、半導体装置の

構成の例を概略的に示す図である。

[図19]実施の形態に記載される製造方法によって製造された、半導体装置の構成の例を概略的に示す図である。

[図20]実施の形態に関するSiC-SBDの製造工程の例を示すフローチャートである。

[図21]図20におけるステップST06までが完了した半導体装置の構造の例を示す断面図である。

[図22]めっき前処理およびめっき処理の例を示すフローチャートである。

[図23]ジンケート処理の変形例を示すフローチャートである。

[図24]ジンケート処理の変形例を示すフローチャートである。

[図25]半導体装置の構造の例を示す図である。

[図26]半導体装置の構造の例を示す図である。

[図27]半導体装置の構造の例を示す図である。

[図28]半導体装置の構造の例を示す図である。

[図29]表面電極-表面電極間の界面と表面電極-保護絶縁膜間の界面との差と、組み立て試験後の不良率との関係を示す図である。

[図30]実施の形態に関する電力変換装置が適用された電力変換システムの構成を概略的に示す図である。

[図31]実施の形態に記載される製造方法によって製造された、半導体装置の構成の例を概略的に示す図である。

[図32]実施の形態に記載される製造方法によって製造された、半導体装置の構成の例を概略的に示す図である。

[図33]実施の形態に記載される製造方法によって製造された、半導体装置の構成の例を概略的に示す図である。

発明を実施するための形態

[0010] 以下、添付される図面を参照しながら実施の形態について説明する。以下の実施の形態では、技術の説明のために詳細な特徴なども示されるが、それらは例示であり、実施の形態が実施可能となるためにそれらすべてが必ずし

も必須の特徴ではない。

- [0011] なお、図面は概略的に示されるものであり、説明の便宜のため、適宜、構成の省略、または、構成の簡略化などが図面においてなされるものである。また、異なる図面にそれぞれ示される構成などの大きさおよび位置の相互関係は、必ずしも正確に記載されるものではなく、適宜変更され得るものである。また、断面図ではない平面図などの図面においても、実施の形態の内容を理解することを容易にするために、ハッチングが付される場合がある。
- [0012] また、以下に示される説明では、同様の構成要素には同じ符号を付して図示し、それらの名称と機能とについても同様のものとする。したがって、それらについての詳細な説明を、重複を避けるために省略する場合がある。
- [0013] また、本願明細書に記載される説明において、ある構成要素を「備える」、「含む」または「有する」などと記載される場合、特に断らない限りは、他の構成要素の存在を除外する排他的な表現ではない。
- [0014] また、本願明細書に記載される説明において、「第1の」または「第2の」などの序数が使われる場合があっても、これらの用語は、実施の形態の内容を理解することを容易にするために便宜上使われるものであり、実施の形態の内容はこれらの序数によって生じ得る順序などに限定されるものではない。
- [0015] また、本願明細書に記載される説明において、「…軸正方向」または「…軸負方向」などの表現は、図示される…軸の矢印に沿う方向を正方向とし、図示される…軸の矢印とは反対側の方向を負方向とするものである。
- [0016] また、本願明細書に記載される説明において、等しい状態であることを示す表現、たとえば、「同一」、「等しい」、「均一」または「均質」などは、特に断らない限りは、厳密に等しい状態であることを示す場合と、公差または同程度の機能が得られる範囲において差が生じている場合とを含むものとする。
- [0017] また、本願明細書に記載される説明において、「上」、「下」、「左」、「右」、「側」、「底」、「表」または「裏」などの特定の位置または方向

を意味する用語が使われる場合があっても、これらの用語は、実施の形態の内容を理解することを容易にするために便宜上使われるものであり、実施の形態が実際に実施される際の位置または方向とは関係しないものである。

[0018] また、本願明細書に記載される説明において、「…の上面」または「…の下面」などと記載される場合、対象となる構成要素の上面自体または下面自体に加えて、対象となる構成要素の上面または下面に他の構成要素が形成された状態も含むものとする。すなわち、たとえば、「Aの上面に設けられるB」と記載される場合、AとBとの間に別の構成要素「C」が介在することを妨げるものではない。

[0019] <第1の実施の形態>

以下、本実施の形態に関する半導体装置、および、半導体装置の製造方法について説明する。

[0020] <半導体装置の構成について>

図1、図2および図3は、本実施の形態に記載される製造方法によって製造された、半導体装置の構成の例を概略的に示す図である。図1の例では、SiC-ショットキーバリアダイオード(SBD)が示されている。

[0021] 図1は、SiC-SBDの平面図である。図1に示されるように、中央の通電領域には表面電極2が形成されており、その周囲には、周囲との絶縁性を担保するための保護絶縁膜4が形成されている。

[0022] 図2は、図1の破線で示されたA-A'断面に対応する断面図である。表面導通型の電力用半導体装置では、図2のZ軸方向に電流が流れる。半導体基板1の上面に対して表面電極2が設けられ、半導体基板1の下面に対して裏面電極3が設けられる。そして、表面電極2および裏面電極3それぞれが、ワイヤーまたははんだ付けなどの適切な手段によって外部への配線がなされる。また、表面電極2の外周部には、チップ外周部分での放電による半導体装置の絶縁不良を抑制するために、保護絶縁膜4が設けられている。

[0023] 図3は、図2の破線で囲まれた領域の拡大図である。半導体基板1の上面に表面電極2が形成されており、さらに表面電極2の上面に、保護絶縁膜4

が形成されている。保護絶縁膜4の上面の算術平均粗さは、保護絶縁膜4と表面電極2との間の界面（すなわち、保護絶縁膜4の下面）の算術平均粗さに比べて小さくなっている。保護絶縁膜4の上端には、複数の頂点が設けられている。

[0024] <半導体装置の製造方法について>

図4は、本実施の形態に関するSiC-SBDの製造工程の例を示すフローチャートである。また、図5から図12は、本実施の形態に関するSiC-SBDの製造工程の例を示す断面図である。以下、図5から図12を参照しつつ、SiC-SBDの製造工程を具体的に説明する。

[0025] 図5に示されるように、n型のSiCの基板5のZ軸正方向側に位置する第1の主面（以下、表面と表記）上に、n型のSiCからなるドリフト層6を、第1層目のエピタキシャル膜として形成した後、ドリフト層6の上面に接触するように、ドリフト層6の成長温度よりも低い成長温度の下でのエピタキシャル結晶成長法によって、ドリフト層7を第2層目のエピタキシャル膜として形成する（図4のステップSTO1に対応）。

[0026] 次に、図6に示されるように、ドリフト層7の上面に、熱酸化法または化学気相成長などの堆積法によって、層間絶縁膜8を形成する。

[0027] その後、図7に示されるように、写真製版を用いて、レジストなどより成るマスク（ここでは、図示しない）を形成した後、プラズマによるドライエッチングまたは薬液を用いるウェットエッチングなどによって、不要な領域の層間絶縁膜8を除去し、さらに、プラズマアッシングまたはウェット処理などによって、上記のマスクを除去する。

[0028] また、層間絶縁膜8に対向するドリフト層7においては、SiC-SBDの所望の耐圧が得られるよう、p型の不純物としてはボロン（B）またはアルミニウム（Al）、n型の不純物としてはリン（P）または窒素（N）などを用いて、適宜、イオン注入および活性化などの不純物層の形成がなされる。

[0029] 次に、フッ化水素酸を含むウェット処理またはアンモニアと過酸化水素水

との混合液、硫酸と過酸化水素水との混合液、または、塩酸と過酸化水素水との混合液による洗浄などを適宜行った上で、ドリフト層7に接触するように、ショットキー電極層9を形成する（図4のステップSTO2に対応）。

[0030] この際、電極材料としては、チタン（Ti）、ニッケル（Ni）、イリジウム（Ir）または白金（Pt）など、適宜選択することができる。その後、外周領域の余剰部分に形成された電極材料を、写真製版によるパターンニングとプラズマまたは薬液を用いるエッチングとによって取り除き、ドリフト層7とショットキー電極層9との電氣的接続を確実に得るために、必要に応じて熱処理を施す。そうすることによって、図8に示されるような断面構造が得られる。

[0031] 次に、図9に示されるように、アルミニウム、アルミニウムとシリコンとからなるアルミ合金、または、ニッケルなどを用いて、スパッタ法または蒸着法などによって表面電極2を形成する。その後、写真製版によるパターンニングとプラズマまたは薬液を用いるエッチングとによって取り除く。その後、たとえば、150℃以上、かつ、400℃以下で、15分以上加熱することによって、表面電極2の表面に凹凸を形成することができる（図4のステップSTO3に対応）。表面電極2は、ドリフト層6およびドリフト層7の上面の一部において、ショットキー電極層9、層間絶縁膜8などを介して形成される。

[0032] その後、図10に示されるように保護絶縁膜4を形成する。保護絶縁膜4の材料としては、ポリイミドまたはシリコーン樹脂が好ましく、これらの材料をスピニング、写真製版およびエッチング技術を用いたり、インクジェットによる塗布技術を用いたりすることで、SiC-SBDの表面側の最外周に、保護絶縁膜4が形成される（図4のステップSTO4に対応）。保護絶縁膜4は、ドリフト層7の上面のうち、表面電極2に覆われていない部分を覆う。また、保護絶縁膜4は、表面電極2の上面の一部を覆う。

[0033] 保護絶縁膜4を形成した後は、酸素およびアルゴンを含むプラズマを用いて表面処理によって、保護絶縁膜4の上面に複数の頂点を形成する。その際

、半導体装置の外周側の保護絶縁膜4の上面についても複数の頂点を形成すると、信頼性はさらに向上する。

[0034] 保護絶縁膜4の上面（上端）に複数の頂点を形成する方法としては、インクジェットによる塗布技術を複数回繰り返したり、その後、250℃以上の加熱処理を加えたりするなど、適宜、好適な加工方法が選択可能である。

[0035] 次に、たとえば、200℃以上、かつ、400℃以下、より好ましくは、たとえば、250℃以上、かつ、380℃以下の熱処理を行うことで、保護絶縁膜4の斜面を、後述の図13に例が示されるような円弧上の形状とする。なお、上記の表面電極2を形成した後の熱処理を、保護絶縁膜4の形成後の熱処理と兼ねることも可能である。

[0036] その後、図11に示されるように、通電時の損失を低減するために、SiCの基板5の下面側から、たとえば、アルミナ砥粒またはダイヤモンド砥粒によって構成された研削砥石を用いる機械加工によって、SiCの基板5を薄板化（薄肉化）する（図4のステップST05に対応）。なお、SiCの基板5の薄板化（薄肉化）は必要に応じて省略することができる。

[0037] その後、裏面電極3を、チタン、チタン合金、アルミニウム、アルミニウムとシリコンとからなるアルミ合金、または、ニッケルなどを用いて形成する（図4のステップST06に対応）。裏面電極3については、はんだ付けの際に、電極材料の酸化を防ぐために、裏面電極3の最表面に、金、白金、銀、または、パラジウムを含む銀合金などによる酸化防止膜を形成してもよい。

[0038] その後、半導体ウエハに形成された複数の半導体装置について、ダイシング装置を用いて個片化して、図1、図2および図3に例が示されるような半導体装置を得る。

[0039] そして、図12に例示されるように、上記のようにして製造された半導体装置10は、たとえば、半導体装置10の上面および下面が、それぞれリードフレーム12に対して、たとえば、はんだ11およびワイヤー13を用いて接続された後、モールド樹脂14によって封止されて、半導体モジュール

が完成する。

[0040] 図13は、本実施の形態における、半導体装置10の表面電極2および保護絶縁膜4の近傍の構成を拡大して示す図である。また、図14は、算術平均粗さの定義を示す図である。図14に示されるように、表面粗さの定義（JIS B 0601:1994、JIS B 0031:1994）より、算術平均粗さ R_a は、粗さ曲線400からその平均線401の方向に基準長さだけを抜き取り、この抜き取り部分の平均線の方向をX軸、縦倍率の方向をY軸として、図中の式によって求めることができる。

[0041] 発明者らは、島津製作所製の原子間力顕微鏡（atomic force microscope、すなわち、AFM）・SPM-9600を用いて1mmのラインスキャンを行い、上記の粗さ曲線400を取得した後、算術平均粗さ R_a を算出した。なお、算術平均粗さ R_a の算出にあたっては、上記の方法に限らず、触針式の段差・表面粗さ計、または、非接触で測定可能なレーザー顕微鏡など、任意の方法を選択することができる。

[0042] 図13においては、保護絶縁膜4の上面の算術平均粗さが、保護絶縁膜4と表面電極2との間の界面（すなわち、保護絶縁膜4の下面）の算術平均粗さに比べて小さい。図13では、表面電極2の上面に複数の凸部2aが形成されており、これが、保護絶縁膜4と表面電極2との間の界面の算術平均粗さが大きくなる一因となっている。

[0043] また、図13においては、保護絶縁膜4の上面の端部に頂点が複数形成されている。具体的には、保護絶縁膜4の上面の端部が傾斜面となっており、傾斜面上端に形成される頂点が鈍角である角度 θ_1 を有し、傾斜面の下端に形成される頂点が鈍角である角度 θ_2 を有している。

[0044] また、保護絶縁膜4の側面の稜線4aが、上面の端部（具体的には、傾斜面の下端に形成される頂点）から下面の端部（頂点）に引かれる直線に比べて凹型の形状となる。

[0045] 発明者らは、図12に示された構造を有する半導体モジュールに対し、半導体装置の通電状態と非通電状態とを繰り返すパワーサイクル試験を行った

- 。
- [0046] 保護絶縁膜 4 は、上面側からはモールド樹脂 1 4 との間の線膨張係数の差によって、下面側からは表面電極 2 との間の線膨張係数の差によって、それぞれ熱膨張または熱収縮による応力を受ける。
- [0047] 図 1 5 は、保護絶縁膜 4 の上下面の算術平均粗さの比と、10 万回のパワーサイクル試験を行った後の保護絶縁膜 4 の剥離率との関係を示す図である。図 1 5 において、縦軸が保護絶縁膜 4 の剥離率を示し、横軸が保護絶縁膜 4 の上下面の算術平均粗さの比率（上面の算術平均粗さ／下面の算術平均粗さ）を示す。
- [0048] 図 1 5 によれば、保護絶縁膜 4 の上下面の算術平均粗さの比率（上面の算術平均粗さ／下面の算術平均粗さ）を 0.9 以下とすることで、保護絶縁膜 4 がモールド樹脂 1 4 から受ける応力に対して、保護絶縁膜 4 と表面電極 2 との間の密着力を十分なものとすることができる。そのために、保護絶縁膜 4 の剥離を抑制することができる。
- [0049] 上記の試験を行った後の半導体モジュールを開封して解析すると、保護絶縁膜 4 の最も鋭角な角部において、クラックが発生していることを確認した。
- 。
- [0050] 図 1 6 は、保護絶縁膜 4 の上面の端部に形成された頂点のうち、最も小さな角度を有する頂点に着目し、保護絶縁膜 4 の上下面の算術平均粗さの比率（上面の算術平均粗さ／下面の算術平均粗さ）を 0.7 とした場合の上記のパワーサイクル試験において、頂点の角度とクラックの発生率との関係を示す図である。図 1 6 において、縦軸は保護絶縁膜 4 のクラックの発生率を示し、横軸は保護絶縁膜 4 の上面の端部に形成された頂点のうち、最も小さな角度を有する頂点の角度 $[\theta]$ を示す。また、図 1 6 においては、上記の頂点が 1 つ（すなわち、最も小さな角度を有する頂点のみ）の場合を白抜き丸印で表し、上記の頂点が 2 つの場合を黒い三角印で表し、上記の頂点が 3 つの場合を黒い四角印で表す。
- [0051] 図 1 6 によれば、保護絶縁膜 4 の上面の端部に形成された頂点の角度を 9

0度以上にすることで、モールド樹脂14から受ける応力を緩和することができる。また、保護絶縁膜4の上面の端部に複数の頂点を形成することで、保護絶縁膜4に発生するクラックを低減させることができることが分かる。

[0052] また、発明者らの検証によって、図13に例が示されるように、保護絶縁膜4の上面の頂点から下面の頂点へ向けて引かれた直線に対して、保護絶縁膜4の側面の稜線4aが後退している（凹形状である）と、保護絶縁膜4のクラック抑制に好適であることが分かった。

[0053] <第2の実施の形態>

本実施の形態に関する半導体装置、および、半導体装置の製造方法について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

[0054] <半導体装置の構成について>

図17、図18および図19は、本実施の形態に記載される製造方法によって製造された、半導体装置の構成の例を概略的に示す図である。図1の例では、SiC-ショットキーバリアダイオード（SBD）が示されている。

[0055] 図17は、SiC-SBDの平面図である。図17に示されるように、中央の通電領域には表面電極2が形成されており、その周囲には、周囲との絶縁性を担保するための保護絶縁膜4が形成されている。図1に示される場合との相違点は、表面電極2の上面の一部を覆って、表面電極15が形成される点である。

[0056] 図18は、図17の破線で示されたA-A'断面に対応する断面図である。表裏導通型の電力用半導体装置では、図18のZ軸方向に電流が流れる。図18では、図2に示される構成と比較して表面電極15が形成されているため、電力用半導体装置の上面側で、はんだを用いる外部への配線接続が可能となり、大電流の通電にも対応可能となっている。

[0057] 図19は、図18の破線で囲まれた領域の拡大図である。半導体基板1の

上面に表面電極 2 が形成されており、さらに表面電極 2 の上面に、保護絶縁膜 4 および表面電極 1 5 が形成されている。保護絶縁膜 4 の上面の算術平均粗さは、保護絶縁膜 4 と表面電極 2 との間の界面の算術平均粗さに比べて小さくなっている。また、保護絶縁膜 4 の上端には、複数の頂点が設けられている。また、表面電極 2 と表面電極 1 5 との間の界面は、表面電極 2 と保護絶縁膜 4 との間の界面よりも下方に位置する。

[0058] <半導体装置の製造方法について>

図 20 は、本実施の形態に関する SiC-SBD の製造工程の例を示すフローチャートである。また、図 5 から図 12 は、本実施の形態に関する SiC-SBD の製造工程の例を示す断面図である。以下、図 5 から図 12 を参照しつつ、SiC-SBD の製造工程を具体的に説明する。

[0059] 図 20 におけるステップ ST01 からステップ ST06 については、図 4 におけるステップ ST01 からステップ ST06 と同様の内容であるため、説明を省略する。

[0060] 図 21 は、図 20 におけるステップ ST06 までは完了した半導体装置の構造の例を示す断面図である。

[0061] 次に、半導体装置の表面に、めっき法を用いて電極を形成する（図 20 のステップ ST07 およびステップ ST08 に対応）。ウエハ上の Al または Al 合金電極に、一般的に知られた脱脂および酸洗いをした後めっき処理を行っても、ウエハ上の Al または Al 合金（以下、Al または Al 合金を、Al 合金とも示す）の表面には、強固な有機物残渣と酸化膜とが形成されているため、Al 合金とめっき金属との間で金属拡散が生じず、強固な付着力を有するめっき層を形成することはできない。

[0062] そのため、本工程では、ウエハ上での Al 合金電極へのめっき処理について、プラズマクリーニング、脱脂、酸洗い、ジンケート処理、めっきの順番に実施する。なお、それぞれの工程の間には十分な水洗時間を確保し、前の工程の処理液または残渣が次工程に持ち込まれないようにする必要がある。

[0063] 以下、図 22 を参照しつつ、めっき前処理およびめっき処理の概略を説明

する。ここで、図22は、めっき前処理およびめっき処理の例を示すフローチャートである。

[0064] まず、たとえばプラズマを利用して、めっき前処理としての表面活性化処理を行う（図22のステップST11に対応）。ここで、プラズマを利用するプラズマクリーニングは、Al合金電極上に焼きついてしまっている、一般的なめっき前処理で除去することができない有機物残渣を、プラズマを使って酸化分解するか叩き出すかすることによって、Al合金電極の表面を清浄化する処理である。

[0065] 次に、めっき前処理としての脱脂処理および酸洗浄を行う（図22のステップST12およびステップST13に対応）。脱脂処理は、Al合金表面に残留している軽度の有機物汚染または酸化膜を除去するために行う処理である。また、酸洗浄は、Al合金表面を中和し、さらに、Al合金の表面をエッチングして面を荒らして後工程での処理液の反応性を高め、めっきの付着力を向上させる処理である。

[0066] 次に、めっき前処理としてのジンケート処理を行う（図22のステップST14に対応）。その後、めっき処理を行うことで、強固な付着力を有するめっき膜を成膜する。具体的には、無電解Niめっき処理を行った後、無電解Auめっき処理を行う（図22のステップST15およびステップST16に対応）。

[0067] ここで、ジンケート処理について説明する。ジンケート処理とは、Al合金の表面に、Alの酸化膜を除去しつつ亜鉛（Zn）の皮膜を形成する処理である。具体的には、Znがイオンとして溶解している水溶液にAl合金を浸漬すると、Znの方がAlよりも標準酸化還元電位が貴であるため、Alがイオンとして溶解する。そして、この際に生じた電子によってZnイオンがAl合金の表面で電子を受け取り、Alの表面にZnの皮膜を形成する。また、この際にAlの酸化膜も除去される。

[0068] 図23および図24は、ジンケート処理の変形例を示すフローチャートである。

- [0069] 図23では、まず、プラズマクリーニングなどの表面活性化処理を行う（図23のステップST21に対応）。次に、脱脂処理および酸洗浄を行う（図23のステップST22およびステップST23に対応）。
- [0070] 次に、第1ジンケート処理を行う（図23のステップST24に対応）。そして、ジンケート剥離（図23のステップST25に対応）を行った後で、再度、第2ジンケート処理を行う（図23のステップST26に対応）。
- [0071] その後、めっき処理を行うことで、強固な付着力を有するめっき膜を成膜する。具体的には、無電解Niめっき処理を行った後、無電解Auめっき処理を行う（図23のステップST27およびステップST28に対応）。
- [0072] 図24では、まず、プラズマクリーニングなどの表面活性化処理を行う（図24のステップST31に対応）。次に、脱脂処理および酸洗浄を行う（図24のステップST32およびステップST33に対応）。
- [0073] 次に、第1ジンケート処理を行う（図24のステップST34に対応）。そして、ジンケート剥離（図24のステップST35に対応）を行った後で、再度、第2ジンケート処理を行う（図24のステップST36に対応）。さらに、ジンケート剥離（図24のステップST37に対応）を行った後で、再度、第3ジンケート処理を行う（図24のステップST38に対応）。
- [0074] その後、めっき処理を行うことで、強固な付着力を有するめっき膜を成膜する。具体的には、無電解Niめっき処理を行った後、無電解Auめっき処理を行う（図24のステップST39およびステップST40に対応）。
- [0075] 図23および図24に例が示されるように、ジンケート処理とジンケート剥離とを繰り返すと、Znで被覆されたAl合金が濃硝酸に浸漬されてZnが溶解するとともに、Al表面に薄くて均一なAl酸化物皮膜が形成される。そして、再度Al合金がZn処理液に浸漬されてAl合金表面がZnで被覆され、かつ、Alの酸化膜が除去される。
- [0076] このような操作によって、Al合金表面の酸化膜層は薄くなるとともに平滑となる。上記の操作の回数を増やすほどAlの表面は均一になり、めっき膜の出来映えも向上するが、生産性を考慮すると、図23に示されたジンケ

ート処理を2回、または、図24に示されたジンケート処理を3回が望ましい。

[0077] このように、多くとも3回までのジンケート処理およびジンケート剥離を行うことで、表面電極2と表面電極15との間の界面が、表面電極2と保護絶縁膜4との間の界面に比べて、下方に位置しているように界面を形成することができる。なお、このような下方に位置する界面を形成する際に、図22に示された表面活性化処理（ステップST11に対応）を併用することもできる。

[0078] 図25、図26、図27および図28は、上記のようなフローで製造された半導体装置の構造の例を示す図である。また、図27は、図26の破線で囲まれた領域の拡大図である。図27では、保護絶縁膜4と表面電極2との間の界面を基準面にして、基準面よりも下方に位置する表面電極15と表面電極2との間の界面までの距離をdと定義する。

[0079] そして、発明者らは、図28に例が示されるように、半導体装置10の上面および下面それぞれを、はんだ11を介してリードフレーム12に接合し、さらに、モールド樹脂14で封止する半導体モジュールの組み立て試験を行った。

[0080] なお、上記の組み立て試験では、加速試験として、はんだ付けプロセスを3回繰り返して、保護絶縁膜4に対して、表面電極2、表面電極15、はんだ11またはリードフレーム12からの応力が、より加わる状況とした。

[0081] 図29は、表面電極2－表面電極15間の界面と表面電極2－保護絶縁膜4間の界面との差と、組み立て試験後の不良率との関係を示す図である。図29においては、縦軸が組み立て試験後の半導体モジュールの不良率を示し、横軸が表面電極2－表面電極15間の界面と表面電極2－保護絶縁膜4間の界面との差[nm]を示す。なお、図29において、横軸がマイナスとなっている部分は、表面電極2－保護絶縁膜4間の界面に対して、表面電極2－表面電極15間の界面が突出していることを示している。

[0082] 図29によれば、表面電極2－表面電極15間の界面と、表面電極2－保

護絶縁膜4間の界面との差を10nm以上とすることで、組み立て試験後の半導体モジュールの不良率を抑制することができる。

[0083] なお、上記の組み立て試験を行った後の不良であった半導体モジュールを解析すると、保護絶縁膜4の剥がれによる絶縁不良が発生していた。よって、表面電極2－保護絶縁膜4間の界面に対して、表面電極2－表面電極15間の界面が下方に位置することで、保護絶縁膜4に対する応力が緩和され、組み立て試験後の半導体モジュールの不良率を抑制しているといえる。

[0084] <第3の実施の形態>

本実施の形態に関する電力変換装置、および、電力変換装置の製造方法について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

[0085] <電力変換装置の構成について>

本実施の形態は、第1の実施の形態および第2の実施の形態に関する半導体装置を電力変換装置に適用したものである。本実施の形態に関する電力変換装置は、特定の電力変換装置に限定されるものではないが、以下、本実施の形態に関する電力変換装置が三相のインバータに適用される場合について説明する。

[0086] 図30は、本実施の形態に関する電力変換装置200が適用された電力変換システムの構成を概略的に示す図である。図30に示される電力変換システムは、電源100と、電力変換装置200と、負荷300とを備える。

[0087] 電源100は、直流電源であり、電力変換装置200に直流電力を供給する。電源100は種々の電源で構成することが可能であり、たとえば、直流系統、太陽電池、蓄電池で構成されてもよいし、交流系統に接続された整流回路またはAC/DCコンバータで構成されてもよい。また、電源100は、直流系統から出力される直流電力を所定の電力に変換するDC/DCコンバータによって構成されてもよい。

[0088] 電力変換装置200は、電源100と負荷300との間に接続された三相

のインバータである。電力変換装置200は、電源100から供給された直流電力を交流電力に変換し、それを負荷300に供給する。電力変換装置200は、主変換回路201と、制御回路203とを含む。主変換回路201は、入力された直流電力を交流電力に変換し、当該交流電力を出力する。制御回路203は、主変換回路201を制御する制御信号を主変換回路201に出力する。

[0089] 負荷300は、電力変換装置200から供給された交流電力によって駆動される三相の電動機である。なお、負荷300は特定の用途に限られるものではなく、各種電気機器に搭載された電動機であり、たとえば、ハイブリッド自動車、電気自動車、鉄道車両、エレベータ、または、空調機器向けの電動機として用いられる。

[0090] 以下、電力変換装置200の詳細を説明する。主変換回路201は、スイッチング素子および還流ダイオードを備えている（ここでは、図示しない）。スイッチング素子がスイッチングすることによって、主変換回路201は、電源100から供給される直流電力を交流電力に変換し、それを負荷300に供給する。主変換回路201の具体的な回路構成には種々の構成があるが、本実施の形態に関する主変換回路201は2レベルの三相フルブリッジ回路であり、6つのスイッチング素子とそれぞれのスイッチング素子に逆並列された6つの還流ダイオードとから構成することができる。主変換回路201のスイッチング素子および還流ダイオードの少なくともいずれかは、上記の第1の実施の形態、第2の実施の形態およびそれらの変形例のいずれかに関する半導体装置202が適用されている。6つのスイッチング素子は2つのスイッチング素子ごとに直列接続され上下アームを構成し、それぞれの上下アームはフルブリッジ回路のそれぞれの相（U相、V相、W相）を構成する。そして、それぞれの上下アームの出力端子、すなわち、主変換回路201の3つの出力端子は、負荷300に接続される。

[0091] 主変換回路201は、それぞれのスイッチング素子を駆動する駆動回路（図示なし）を備えている。駆動回路は、主変換回路201のスイッチング素

子を駆動する駆動信号を生成し、主変換回路201のスイッチング素子の制御電極に供給する。具体的には、駆動回路は、後述する制御回路203からの制御信号にしたがい、スイッチング素子をオン状態にする駆動信号と、スイッチング素子をオフ状態にする駆動信号とを、それぞれのスイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子のしきい値電圧以上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子のしきい値電圧以下の電圧信号（オフ信号）である。

[0092] 制御回路203は、負荷300に所望の電力が供給されるように、主変換回路201のスイッチング素子を制御する。具体的には、制御回路203は、負荷300に供給すべき電力に基づいて、主変換回路201のそれぞれのスイッチング素子がオン状態となるべき時間（オン時間）を算出する。たとえば、制御回路203は、出力すべき電圧に応じてスイッチング素子のオン時間を変調するパルス幅変調（PWM）制御によって主変換回路201を制御することができる。そして、制御回路203は、それぞれの時点において、オン状態となるべきスイッチング素子にはオン信号が出力され、オフ状態となるべきスイッチング素子にはオフ信号が出力されるように、制御回路203は、主変換回路201が備える駆動回路に制御指令（制御信号）を出力する。駆動回路は、この制御信号にしたがい、それぞれのスイッチング素子の制御電極にオン信号またはオフ信号を駆動信号として出力する。

[0093] <電力変換装置の製造方法について>

電力変換装置200の製造方法は、次の工程を有している。上記の第1の実施の形態、第2の実施の形態またはそれらの変形例において説明された製造方法によって、半導体装置202が製造される。この半導体装置202を有する主変換回路201が形成される。また制御回路203が形成される。これにより電力変換装置200が形成される。主変換回路201が形成される際に、たとえば、図12に示されるように、半導体装置10の裏面電極3がんだ11を介してリードフレーム12に接合され、表面電極2がワイヤ

ー 13 を介してリードフレーム 12 に接合される。

[0094] 本実施の形態によれば、主変換回路 201 を構成する半導体装置 202 の少なくとも 1 つとして、第 1 の実施の形態、第 2 の実施の形態に関する半導体装置 202 が用いられる。これによって、半導体装置 202 の動作時および非動作時における周辺部材からの応力に起因した不具合を抑制することができる。これにより主変換回路 201 の信頼性が高められる。よって電力変換装置 200 の信頼性を高めることができる。

[0095] なお、本実施の形態では、2 レベルの三相インバータに半導体装置 202 を適用する例が説明されたが、本実施の形態は、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態では、電力変換装置が 2 レベルの電力変換装置であるとされたが、3 レベルなどのマルチレベルの電力変換装置であっても構わない。また、単相負荷に電力を供給する場合には、単相のインバータに上記電力変換装置を適用しても構わない。また、直流負荷などに電力を供給する場合には、DC/DC コンバータまたは AC/DC コンバータに上記電力変換装置を適用することも可能である。

[0096] また、本実施の形態に関する電力変換装置は、上述した負荷が電動機の場合に限定されるものではなく、たとえば、放電加工機、レーザー加工機、誘導加熱調理器および非接触器給電システムのいずれかの電源装置として用いることもでき、さらには太陽光発電システムまたは蓄電システムなどのパワーコンディショナーとして用いることも可能である。

[0097] <第 4 の実施の形態>

以下、本実施の形態に関する半導体装置、および、半導体装置の製造方法について説明する。

[0098] <半導体装置の構成について>

図 1、図 2 および図 3 1 は、本実施の形態に記載される製造方法によって製造された、半導体装置の構成の例を概略的に示す図である。図 1 の例では、SiC-ショットキーバリアダイオード (SBD) が示されている。

[0099] 図31は、図2の破線で囲まれた領域に対応する断面図である。図3に示される場合との相違点は、保護絶縁膜40の側面部分において、凹部40aが設けられている点である。

[0100] 半導体基板1の上面に表面電極2が形成されており、さらに表面電極2の上面に、保護絶縁膜40が形成されている。保護絶縁膜40の上面の算術平均粗さは、保護絶縁膜40の側面の算術平均粗さに比べて小さくなっている。保護絶縁膜40の側面の算術平均粗さは、保護絶縁膜40と表面電極2との間の界面（すなわち、保護絶縁膜40の下面）の算術平均粗さに比べて小さくなっている。また、保護絶縁膜40の上端には、複数の頂点が設けられている。

[0101] <半導体装置の製造方法について>

図4は、本実施の形態に関するSiC-SBDの製造工程の例を示すフローチャートである。図4に示すフローチャートにおいて、表面電極の形成（ステップST03）まで、対応する断面図の図5から図9までは、第1の実施の形態と共通であるため、その説明を省略する。

[0102] その後、図10に示されるように保護絶縁膜4（本実施の形態では保護絶縁膜40）を形成する。保護絶縁膜の材料としては、ポリイミドまたはシリコーン樹脂が好ましく、これらの材料をスピンコーティング、写真製版およびエッチング技術を用いたり、インクジェットによる塗布技術を用いたりすることで、SiC-SBDの表面側の最外周に、保護絶縁膜が形成される（図4のステップST04に対応）。保護絶縁膜4（本実施の形態では保護絶縁膜40）は、ドリフト層7の上面のうち、表面電極2に覆われていない部分を覆う。また、保護絶縁膜は、表面電極2の上面の一部を覆う。

[0103] 保護絶縁膜40を形成した後は、例えば、バッチ式のプラズマ処理装置を用いて、酸素およびアルゴンを含むプラズマによる表面処理を行うことで、保護絶縁膜40の上面に複数の頂点を形成するとともに、保護絶縁膜40の側面に凹部40aを形成する。本実施の形態においても、半導体装置の外周側の保護絶縁膜40の上面についても複数の頂点と、保護絶縁膜40の側面

に凹凸（凹部40a）を形成すると、信頼性はさらに向上する。

[0104] その後、第1の実施の形態と同じく、SiCの基板5を薄板化（薄肉化）する（図4のステップST05に対応）工程以降を経て、図1、図2および図31に例が示されるような半導体装置を得る。

[0105] このように作製された半導体装置を、図12に示された構造を有する半導体モジュールに組み立てた場合において、半導体装置の通電状態と非通電状態とを繰り返すパワーサイクル試験を行った場合、保護絶縁膜40は、上面側からはモールド樹脂14との間の線膨張係数の差によって、下面側からは表面電極2との間の線膨張係数の差によって、それぞれ熱膨張または熱収縮による応力を受ける。

[0106] このような場合において、本実施の形態では、保護絶縁膜40の上面の算術平均粗さは、保護絶縁膜40の側面の算術平均粗さに比べて小さく、保護絶縁膜40の側面の算術平均粗さは、保護絶縁膜40と表面電極2との間の界面（すなわち、保護絶縁膜40の下面）の算術平均粗さに比べて小さくなっている。そのため、保護絶縁膜40がモールド樹脂14から受ける応力に対して、保護絶縁膜40と表面電極2との間に加わる外力を、第1の実施の形態に比べて緩和することができるため、保護絶縁膜40の剥離を抑制することができる。

[0107] <第5の実施の形態>

以下、本実施の形態に関する半導体装置、および、半導体装置の製造方法について説明する。

[0108] <半導体装置の構成について>

図1、図32および図33は、本実施の形態に記載される製造方法によって製造された、半導体装置の構成の例を概略的に示す図である。図1の例では、SiC-ショットキーバリアダイオード（SBD）が示されている。

[0109] 図32は、図33の破線で囲まれた領域に対応する断面図である。図3に示される場合との相違点は、保護絶縁膜41の上面において、傾斜部41bが設けられている点である。

[0110] <半導体装置の製造方法について>

図4は、本実施の形態に関するSiC-SBDの製造工程の例を示すフローチャートである。図4に示すフローチャートにおいて、表面電極の形成（ステップST03）まで、対応する断面図の図5から図9までは、第1の実施の形態と共通であるため、その説明を省略する。

[0111] その後、図10に示されるように保護絶縁膜4（本実施の形態では保護絶縁膜41）を形成する。保護絶縁膜の材料としては、ポリイミドまたはシリコン樹脂が好ましく、これらの材料をスピコーティング、写真製版およびエッチング技術を用いたり、インクジェットによる塗布技術を用いたりすることで、SiC-SBDの表面側の最外周に、保護絶縁膜が形成される（図4のステップST04に対応）。保護絶縁膜4（本実施の形態では保護絶縁膜41）は、ドリフト層7の上面のうち、表面電極2に覆われていない部分を覆う。また、保護絶縁膜は、表面電極2の上面の一部を覆う。

[0112] 保護絶縁膜41を形成した後は、例えば、バッチ式のプラズマ処理装置を用いて、酸素およびアルゴンを含むプラズマによる表面処理を行うことで、保護絶縁膜41の上面に複数の頂点を形成する。その際、半導体装置の外周側の保護絶縁膜41の上面についても複数の頂点を形成すると、信頼性はさらに向上する。

[0113] その後、250℃以上、かつ、350℃以下の熱処理を行うことで、保護絶縁膜41の上面について、図32および図33に示されるように、半導体基板に平行な面（すなわち、保護絶縁膜41の上面）に対して θ_3 の角度を有する（すなわち、傾斜する）傾斜部41bを設けることができる。

[0114] 次に、第1の実施の形態と同じく、SiCの基板5を薄板化（薄肉化）する（図4のステップST05に対応）工程以降を経て、図1、図32および図33に例が示されるような半導体装置を得る。

[0115] このように作製された半導体装置を、図12に示された構造を有する半導体モジュールに組み立てた場合において、半導体装置の通電状態と非通電状態とを繰り返すパワーサイクル試験を行った場合、保護絶縁膜41の端部の

厚みが、保護絶縁膜 4 1 の中央部に比べて厚くなっているために、半導体装置がモールド樹脂 1 4 から受ける応力に対して、保護絶縁膜 4 1 の端部が変形することによって応力を吸収することができる。そのため、保護絶縁膜 4 1 に発生するクラックを抑制することができる。

[0116] <以上に記載された複数の実施の形態によって生じる効果について>

次に、以上に記載された複数の実施の形態によって生じる効果の例を示す。なお、以下の説明においては、以上に記載された複数の実施の形態に例が示された具体的な構成に基づいて当該効果が記載されるが、同様の効果が生じる範囲で、本願明細書に例が示される他の具体的な構成と置き換えられてもよい。すなわち、以下では便宜上、対応づけられる具体的な構成のうちのいずれか 1 つのみが代表して記載される場合があるが、代表して記載された具体的な構成が対応づけられる他の具体的な構成に置き換えられてもよい。

[0117] また、当該置き換えは、複数の実施の形態に跨ってなされてもよい。すなわち、異なる実施の形態において例が示されたそれぞれの構成が組み合わせられて、同様の効果が生じる場合であってもよい。

[0118] 以上に記載された実施の形態によれば、半導体装置は、半導体層と、第 1 の電極層と、絶縁膜とを備える。ここで、半導体層は、たとえば、ドリフト層 6 またはドリフト層 7 などに対応するものである。また、第 1 の電極層は、たとえば、表面電極 2 などに対応するものである。また、絶縁膜は、たとえば、保護絶縁膜 4 などに対応するものである。表面電極 2 は、ドリフト層 6、ショットキー電極層 9などを介して、ドリフト層 7 の上面の一部を覆う。保護絶縁膜 4 は、ドリフト層 6、ショットキー電極層 9などを介して、ドリフト層 7 の上面の他の一部を覆う。また、保護絶縁膜 4 は、表面電極 2 の上面の一部を覆う。ここで、保護絶縁膜 4 の上面の算術平均粗さが、保護絶縁膜 4 と表面電極 2 の間の界面の算術平均粗さよりも小さい。

[0119] このような構成によれば、保護絶縁膜 4 の上部の構成要素との接触面積が、保護絶縁膜 4 の下部の構成要素との接触面積に対して小さいものとなる。そのため、保護絶縁膜 4 の下部の構成要素との接続が、保護絶縁膜 4 の上部

の構成要素との接続に比べて強固なものにすることができるため、動作時などの保護絶縁膜4の剥離を抑制することができる。このような構成によれば、半導体装置の信頼性を高めることができる。

[0120] なお、上記の構成に本願明細書に例が示された他の構成を適宜追加した場合、すなわち、上記の構成としては言及されなかった本願明細書中の他の構成が適宜追加された場合であっても、同様の効果を生じさせることができる。

[0121] また、以上に記載された実施の形態によれば、保護絶縁膜4の上面の端部が傾斜面である。そして、傾斜面の上端に形成される頂点および傾斜面の下端に形成される頂点が、ともに鈍角である。このような構成によれば、傾斜面の上下端に複数の頂点を有することで、周囲から保護絶縁膜4に加わる応力を分散することができる。また、それぞれの頂点の角度を90度以上とすることで、頂点に加わる力を低減することができるため、保護絶縁膜4に亀裂が生じることを抑制することができる。

[0122] また、以上に記載された実施の形態によれば、半導体装置は、表面電極2の一部を覆う第2の電極層を備える。ここで、第2の電極層は、たとえば、表面電極15などに対応するものである。保護絶縁膜4は、表面電極2の一部を覆う。また、表面電極15と表面電極2の間の界面が、保護絶縁膜4と表面電極2の間の界面よりも下方に位置する。このような構成によれば、保護絶縁膜4が表面電極15から受ける力を軽減することができる。そのため、保護絶縁膜4の剥離を抑制することができる。

[0123] また、以上に記載された実施の形態によれば、保護絶縁膜4の側面の稜線4aが、凹形状である。このような構成によれば、保護絶縁膜4のクラックの発生を抑制することができる。

[0124] また、以上に記載された実施の形態によれば、上記の半導体装置を有し、かつ、入力される電力を変換して出力する主変換回路201と、主変換回路201を制御するための制御信号を主変換回路201に出力する制御回路203とを備える。このような構成によれば、保護絶縁膜4の上部の構成要素

との接触面積が、保護絶縁膜4の下部の構成要素との接触面積に対して小さいものとなる。そのため、保護絶縁膜4の下部の構成要素との接続が、保護絶縁膜4の上部の構成要素との接続に比べて強固なものにすることができるため、動作時などの保護絶縁膜4の剥離を抑制することができる。このような構成によれば、半導体装置を有する電力変換装置の信頼性を高めることができる。

[0125] 以上に記載された実施の形態によれば、半導体装置の製造方法において、ドリフト層6の上面の一部を覆って、表面電極2を形成する。そして、ドリフト層6の上面の他の一部と、表面電極2の上面の少なくとも一部とを覆って、保護絶縁膜4を形成する。ここで、保護絶縁膜4の上面の算術平均粗さが、保護絶縁膜4と表面電極2の間の界面の算術平均粗さよりも小さい。

[0126] このような構成によれば、保護絶縁膜4の上部の構成要素との接触面積が、保護絶縁膜4の下部の構成要素との接触面積に対して小さいものとなる。そのため、保護絶縁膜4の下部の構成要素との接続が、保護絶縁膜4の上部の構成要素との接続に比べて強固なものにすることができるため、動作時などの保護絶縁膜4の剥離を抑制することができる。このような構成によれば、半導体装置の信頼性を高めることができる。

[0127] また、以上に記載された実施の形態によれば、電力変換装置の製造方法において、上記の製造方法で製造される半導体装置を有し、かつ、入力される電力を変換して出力する主変換回路201を設ける。そして、主変換回路201を制御するための制御信号を主変換回路201に出力する制御回路203を設ける。このような構成によれば、保護絶縁膜4の上部の構成要素との接触面積が、保護絶縁膜4の下部の構成要素との接触面積に対して小さいものとなる。そのため、保護絶縁膜4の下部の構成要素との接続が、保護絶縁膜4の上部の構成要素との接続に比べて強固なものにすることができるため、動作時などの保護絶縁膜4の剥離を抑制することができる。このような構成によれば、半導体装置の動作時および非動作時における周辺部材からの応力に起因した不具合を抑制することができる。これにより主変換回路の信頼

性が高められ、電力変換装置の信頼性を高めることができる。

[0128] <以上に記載された複数の実施の形態の変形例について>

以上に記載された複数の実施の形態では、それぞれの構成要素の材質、材料、寸法、形状、相対的配置関係または実施の条件などについても記載する場合があるが、これらはすべての局面においてひとつの例であって、限定的なものではないものとする。

[0129] したがって、例が示されていない無数の変形例と均等物とが、本願明細書に開示される技術の範囲内において想定される。たとえば、少なくとも1つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも1つの実施の形態における少なくとも1つの構成要素を抽出し、他の実施の形態における構成要素と組み合わせる場合が含まれるものとする。

[0130] また、以上に記載された少なくとも1つの実施の形態において、特に指定されずに材料名などが記載された場合は、矛盾が生じない限り、当該材料に他の添加物が含まれた、たとえば、合金などが含まれるものとする。

[0131] また、矛盾が生じない限り、以上に記載された実施の形態において「1つ」の構成要素が備えられる、と記載された場合に、当該構成要素が「1つ以上」備えられていてもよいものとする。

[0132] さらに、以上に記載された実施の形態におけるそれぞれの構成要素は概念的な単位であって、本願明細書に開示される技術の範囲内には、1つの構成要素が複数の構造物から成る場合と、1つの構成要素がある構造物の一部に対応する場合と、さらには、複数の構成要素が1つの構造物に備えられる場合とを含むものとする。

[0133] また、以上に記載された実施の形態におけるそれぞれの構成要素には、同一の機能を発揮する限り、他の構造または形状を有する構造物が含まれるものとする。

[0134] また、本願明細書における説明は、本技術に関連するすべての目的のために参照され、いずれも、従来技術であると認めるものではない。

[0135] 以下、本開示の諸態様を付記としてまとめて記載する。

[0136] (付記 1)

半導体層と、
前記半導体層の上面の一部を覆う第 1 の電極層と、
前記半導体層の上面の他の一部と、前記第 1 の電極層の上面の一部とを覆う絶縁膜とを備え、
前記絶縁膜の上面の算術平均粗さが、前記絶縁膜と前記第 1 の電極層の間の界面の算術平均粗さよりも小さい、
半導体装置。

[0137] (付記 2)

付記 1 に記載の半導体装置であり、
前記絶縁膜の上面の端部が傾斜面であり、
前記傾斜面上端に形成される頂点および前記傾斜面下端に形成される頂点が、ともに鈍角である、
半導体装置。

[0138] (付記 3)

付記 1 または 2 に記載の半導体装置であり、
前記絶縁膜が、前記第 1 の電極層の一部を覆い、
前記第 1 の電極層の一部を覆う第 2 の電極層をさらに備え、
前記第 2 の電極層と前記第 1 の電極層の間の界面が、前記絶縁膜と前記第 1 の電極層の間の界面よりも下方に位置する、
半導体装置。

[0139] (付記 4)

付記 1 から 3 のうちのいずれか 1 つに記載の半導体装置であり、
前記絶縁膜の側面の稜線が、凹形状である、
半導体装置。

[0140] (付記 5)

付記 1 から 4 のうちのいずれか 1 つに記載の半導体装置を有し、かつ、入

力される電力を変換して出力する主変換回路と、

前記主変換回路を制御するための制御信号を前記主変換回路に出力する制御回路とを備える、

電力変換装置。

[0141] (付記6)

前記半導体層の上面の一部を覆って、第1の電極層を形成し、

前記半導体層の上面の他の一部と、前記第1の電極層の上面の少なくとも一部とを覆って、絶縁膜を形成し、

前記絶縁膜の上面の算術平均粗さが、前記絶縁膜と前記第1の電極層の間の界面の算術平均粗さよりも小さい、

半導体装置の製造方法。

[0142] (付記7)

半導体層と、

前記半導体層の上面の一部を覆う第1の電極層と、

前記半導体層の上面の他の一部と、前記第1の電極層の上面の一部とを覆う絶縁膜とを備え、

前記絶縁膜の上面の算術平均粗さが、前記絶縁膜の側面の算術平均粗さよりも小さく、

前記絶縁膜の側面の算術平均粗さが、前記絶縁膜と前記第1の電極層の間の界面の算術平均粗さよりも小さい、

半導体装置。

[0143] (付記8)

半導体層と、

前記半導体層の上面の一部を覆う第1の電極層と、

前記半導体層の上面の他の一部と、前記第1の電極層の上面の一部とを覆う絶縁膜とを備え、

前記絶縁膜の上面の算術平均粗さが、前記絶縁膜の側面の算術平均粗さよりも小さく、

前記絶縁膜の側面の算術平均粗さが、前記絶縁膜と前記第1の電極層の間の界面の算術平均粗さよりも小さい、
半導体装置の製造方法。

[0144] (付記9)

付記1から4、7のうちのいずれか1つに記載の半導体装置であり、
前記絶縁膜の上面に、前記上面に対して傾斜する傾斜部が設けられる、
半導体装置。

符号の説明

[0145] 1 半導体基板、2 表面電極、2a 凸部、3 裏面電極、4 保護絶縁膜、4a 稜線、5 基板、6 ドリフト層、7 ドリフト層、8 層間絶縁膜、9 ショットキー電極層、10 半導体装置、11 はんだ、12 リードフレーム、13 ワイヤー、14 モールド樹脂、15 表面電極、40 保護絶縁膜、40a 凹部、41 保護絶縁膜、41b 傾斜部、100 電源、200 電力変換装置、201 主変換回路、202 半導体装置、203 制御回路、300 負荷、401 平均線。

請求の範囲

- [請求項1] 半導体層と、
前記半導体層の上面の一部を覆う第1の電極層と、
前記半導体層の上面の他の一部と、前記第1の電極層の上面の一部とを覆う絶縁膜とを備え、
前記絶縁膜の上面の算術平均粗さが、前記絶縁膜と前記第1の電極層の間の界面の算術平均粗さよりも小さい、
半導体装置。
- [請求項2] 請求項1に記載の半導体装置であり、
前記絶縁膜の上面の端部が傾斜面であり、
前記傾斜面の上端に形成される頂点および前記傾斜面の下端に形成される頂点が、ともに鈍角である、
半導体装置。
- [請求項3] 請求項1または2に記載の半導体装置であり、
前記絶縁膜が、前記第1の電極層の一部を覆い、
前記第1の電極層の一部を覆う第2の電極層をさらに備え、
前記第2の電極層と前記第1の電極層の間の界面が、前記絶縁膜と前記第1の電極層の間の界面よりも下方に位置する、
半導体装置。
- [請求項4] 請求項1から3のうちのいずれか1つに記載の半導体装置であり、
前記絶縁膜の側面の稜線が、凹形状である、
半導体装置。
- [請求項5] 請求項1から4のうちのいずれか1つに記載の半導体装置を有し、
かつ、入力される電力を変換して出力する主変換回路と、
前記主変換回路を制御するための制御信号を前記主変換回路に出力する制御回路とを備える、
電力変換装置。
- [請求項6] 半導体層の上面の一部を覆って、第1の電極層を形成し、

前記半導体層の上面の他の一部と、前記第1の電極層の上面の少なくとも一部とを覆って、絶縁膜を形成し、

前記絶縁膜の上面の算術平均粗さが、前記絶縁膜と前記第1の電極層の間の界面の算術平均粗さよりも小さい、

半導体装置の製造方法。

[請求項7]

半導体層と、

前記半導体層の上面の一部を覆う第1の電極層と、

前記半導体層の上面の他の一部と、前記第1の電極層の上面の一部とを覆う絶縁膜とを備え、

前記絶縁膜の上面の算術平均粗さが、前記絶縁膜の側面の算術平均粗さよりも小さく、

前記絶縁膜の側面の算術平均粗さが、前記絶縁膜と前記第1の電極層の間の界面の算術平均粗さよりも小さい、

半導体装置。

[請求項8]

半導体層と、

前記半導体層の上面の一部を覆う第1の電極層と、

前記半導体層の上面の他の一部と、前記第1の電極層の上面の一部とを覆う絶縁膜とを備え、

前記絶縁膜の上面の算術平均粗さが、前記絶縁膜の側面の算術平均粗さよりも小さく、

前記絶縁膜の側面の算術平均粗さが、前記絶縁膜と前記第1の電極層の間の界面の算術平均粗さよりも小さい、

半導体装置の製造方法。

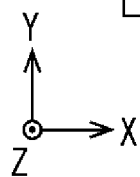
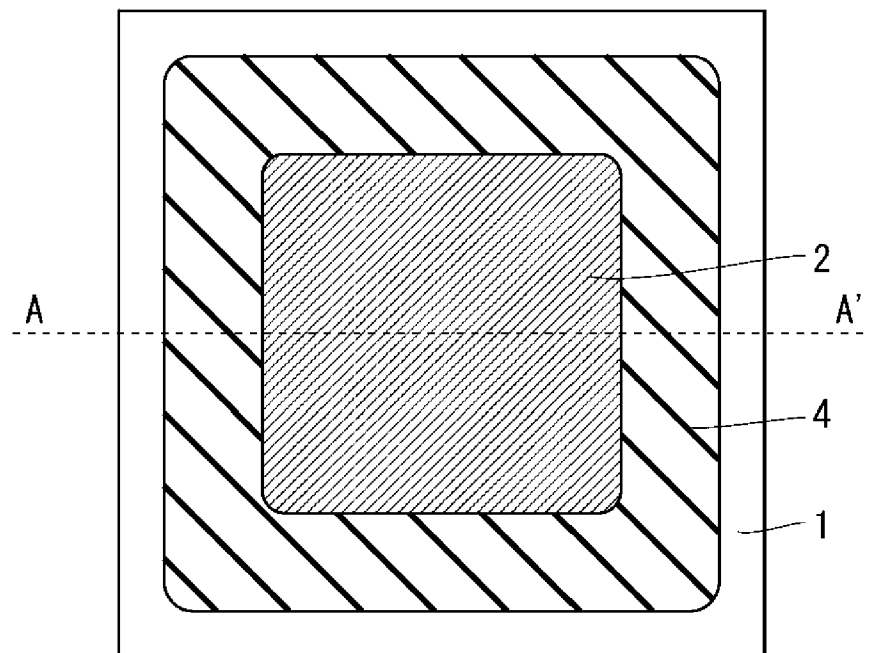
[請求項9]

請求項1から4、7のうちのいずれか1つに記載の半導体装置であり、

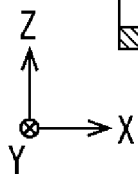
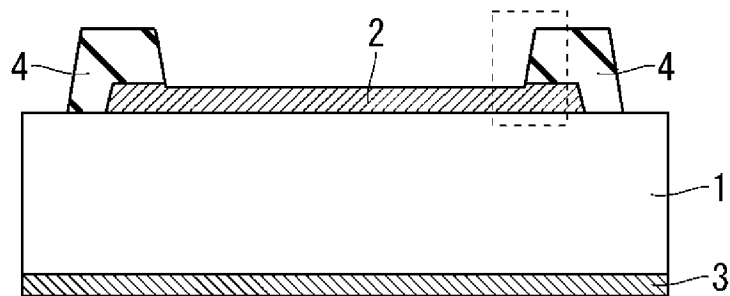
前記絶縁膜の上面に、前記上面に対して傾斜する傾斜部が設けられる、

半導体装置。

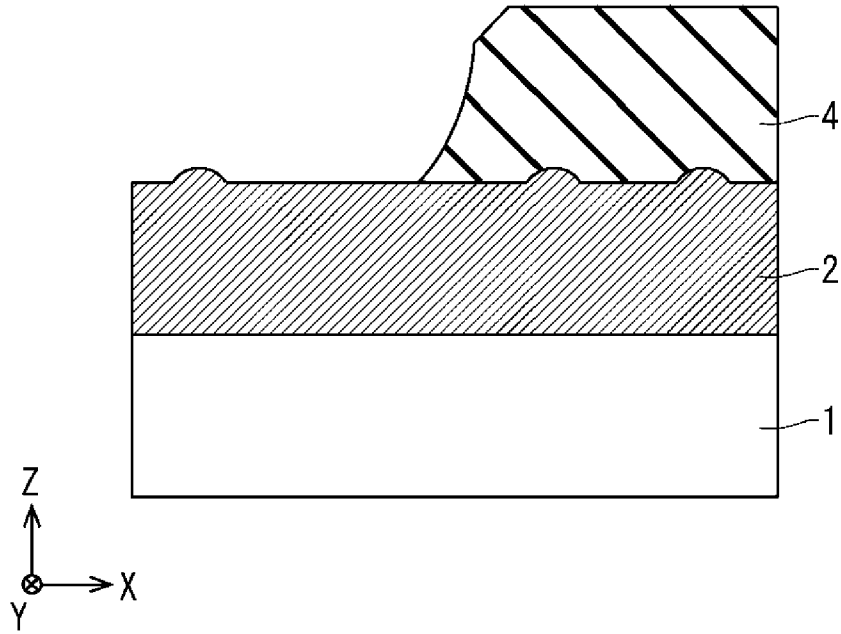
[図1]



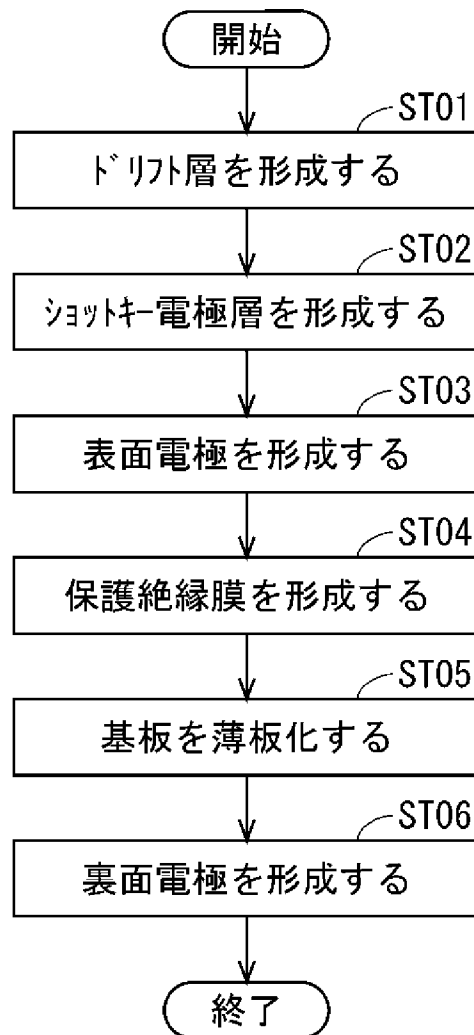
[図2]



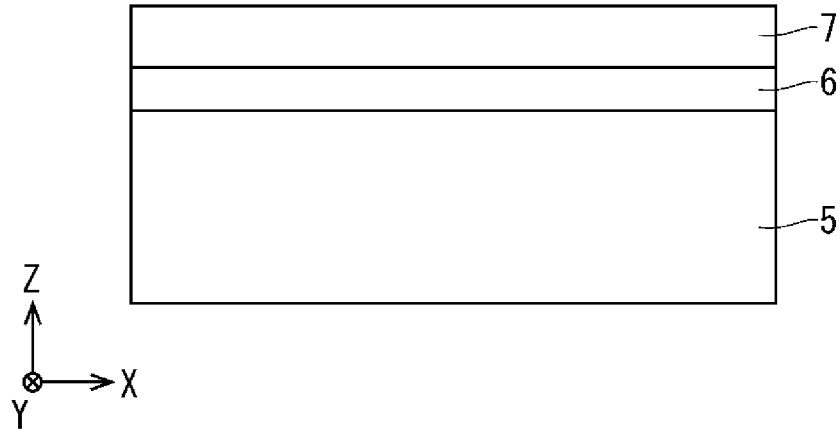
[図3]



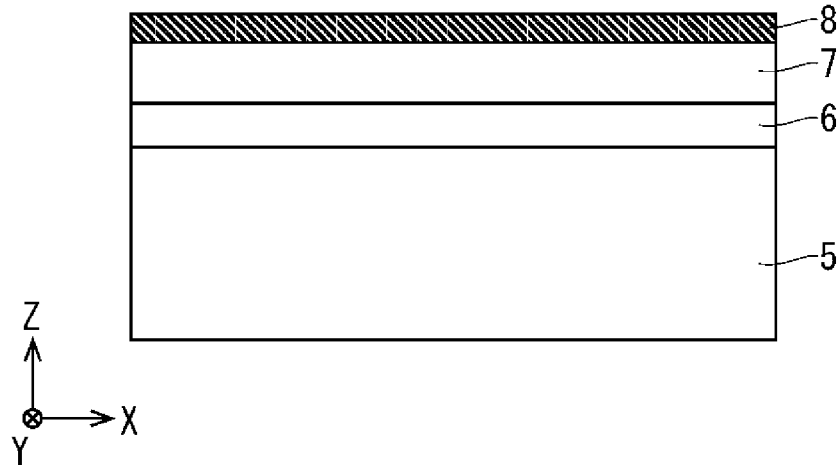
[図4]



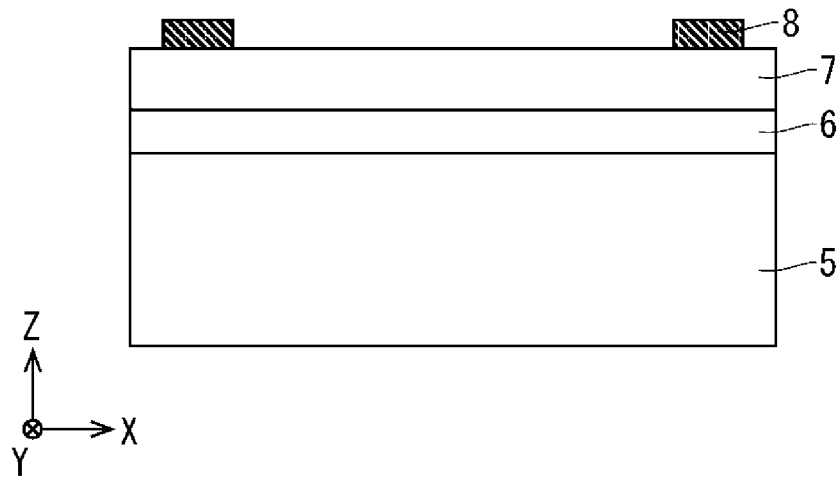
[図5]



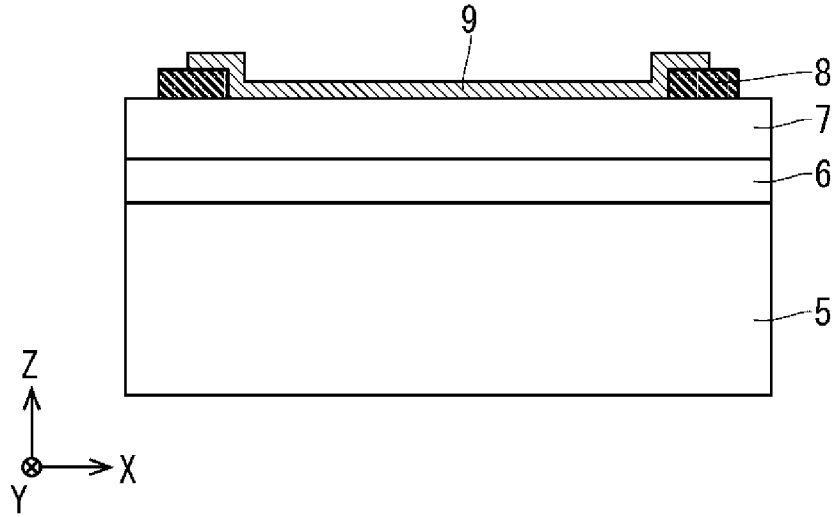
[図6]



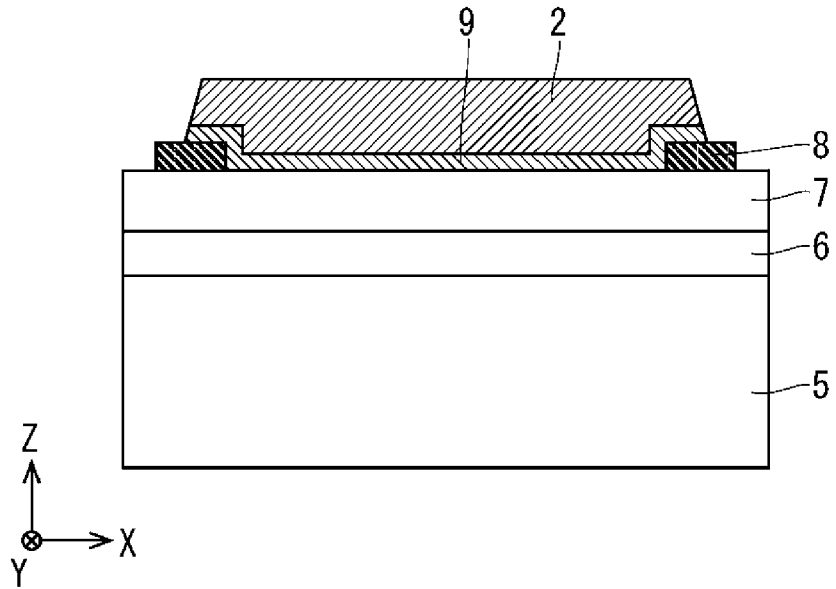
[図7]



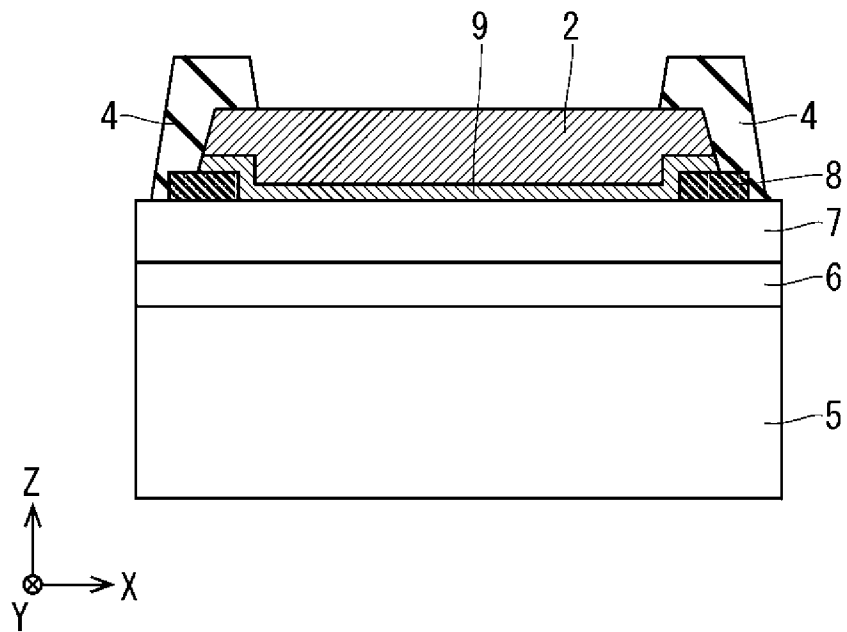
[図8]



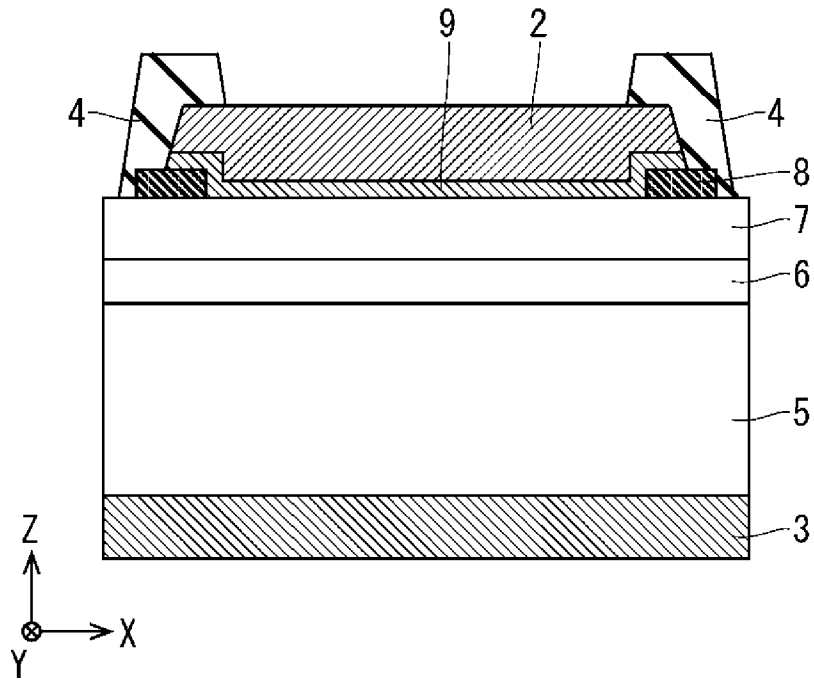
[図9]



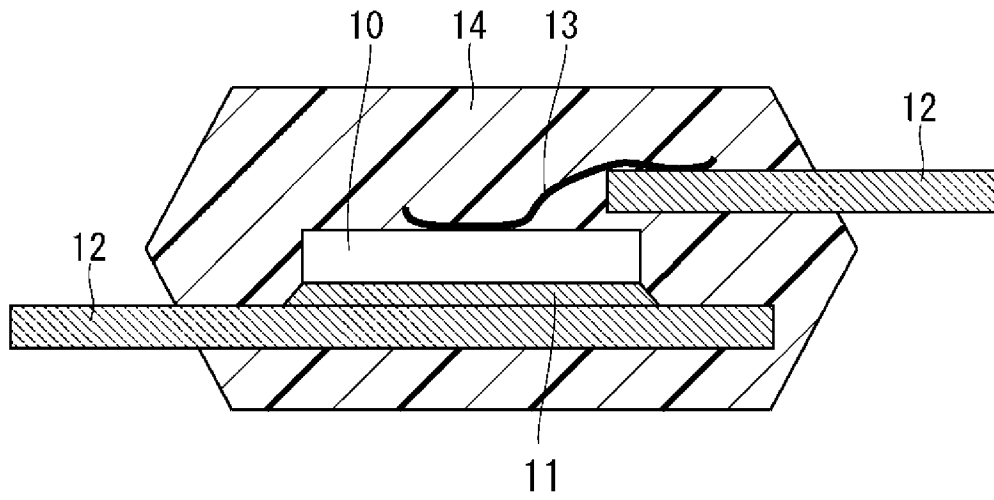
[図10]



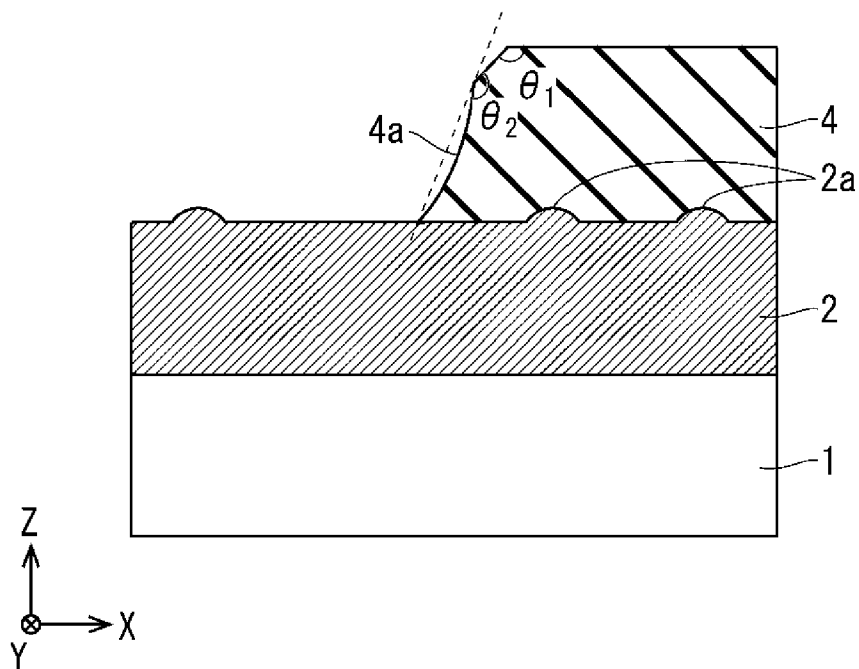
[図11]



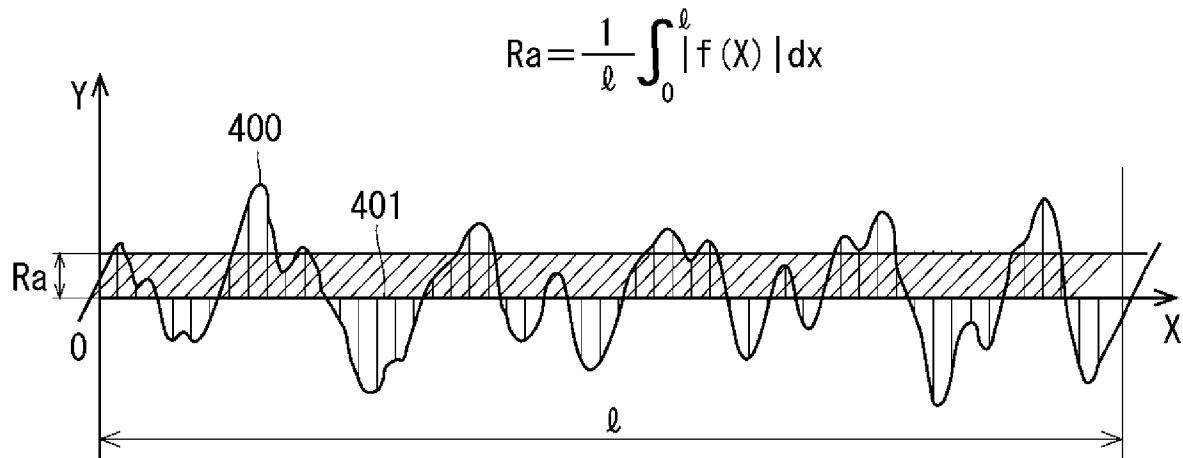
[図12]



[図13]

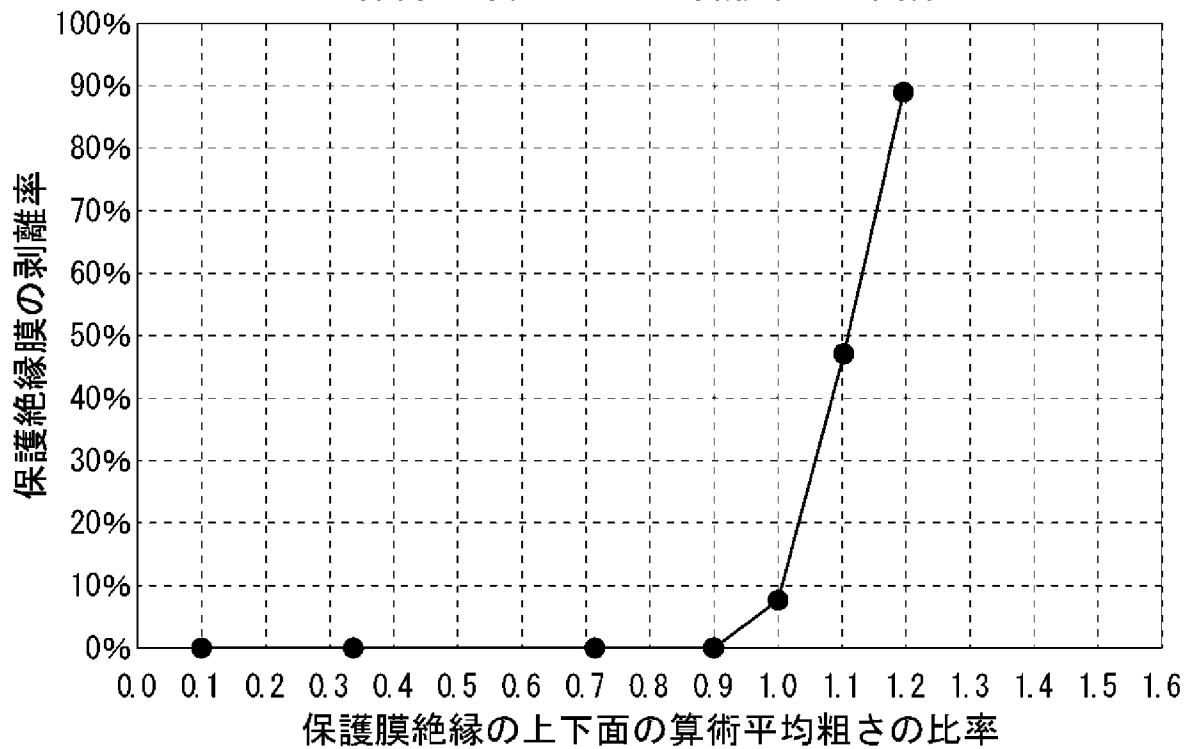


[図14]

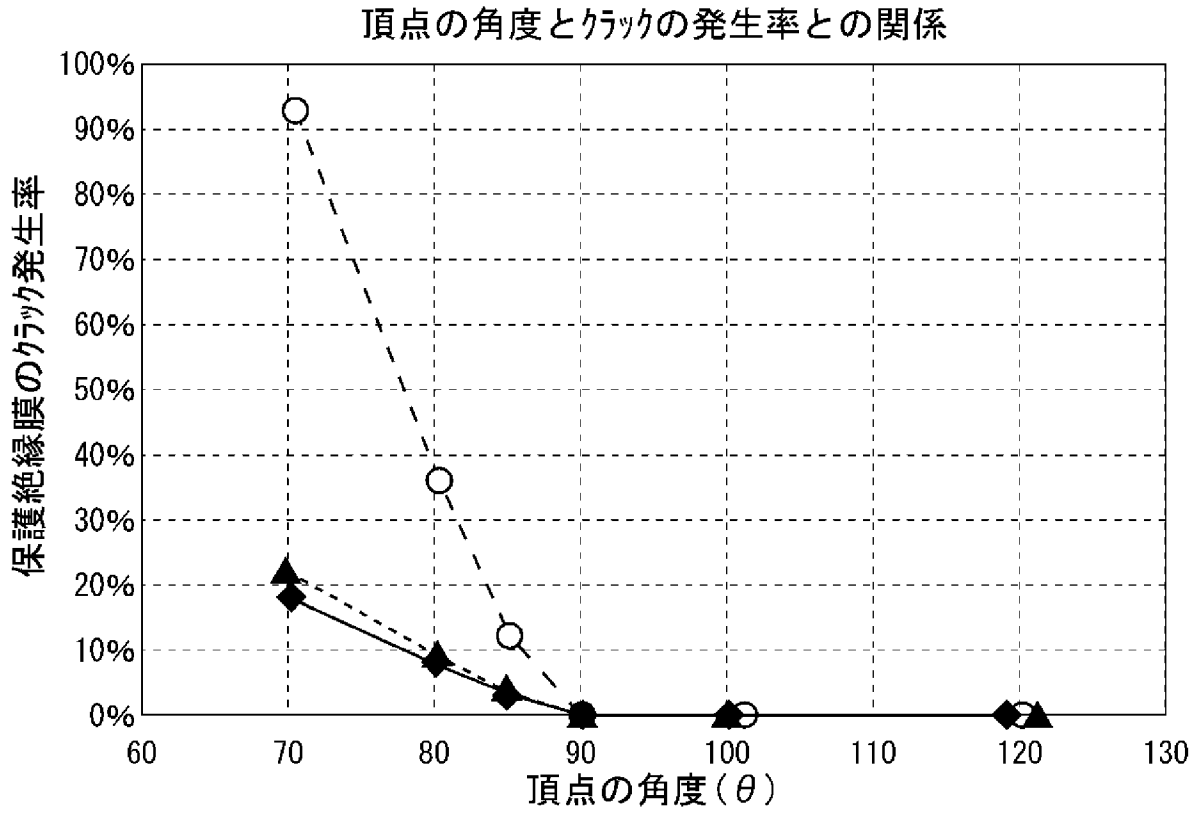


[図15]

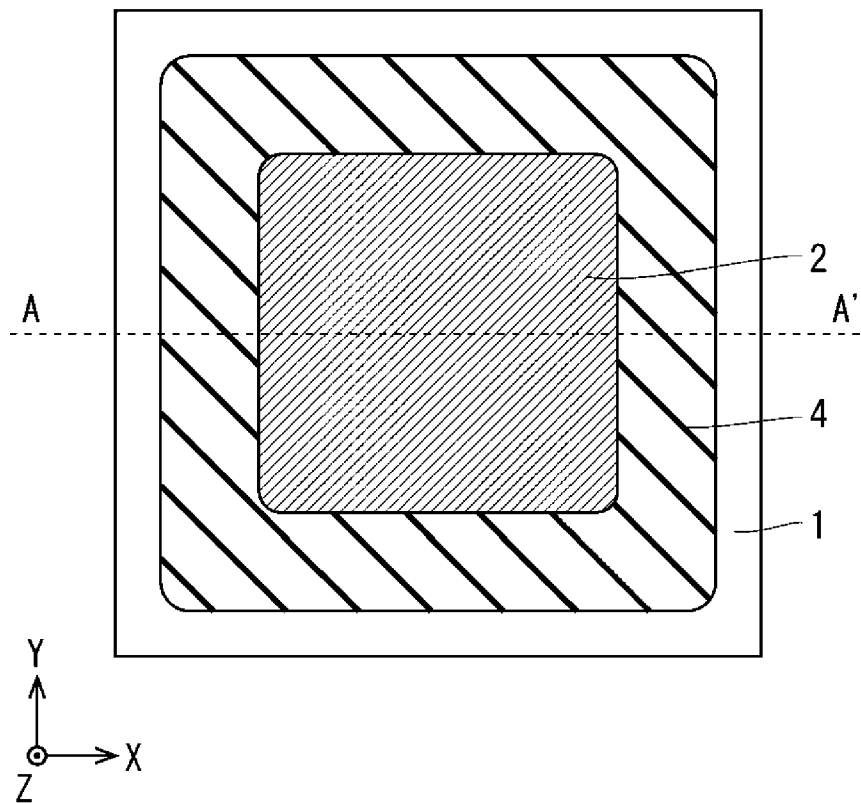
算術平均粗さの比と剥離率との関係



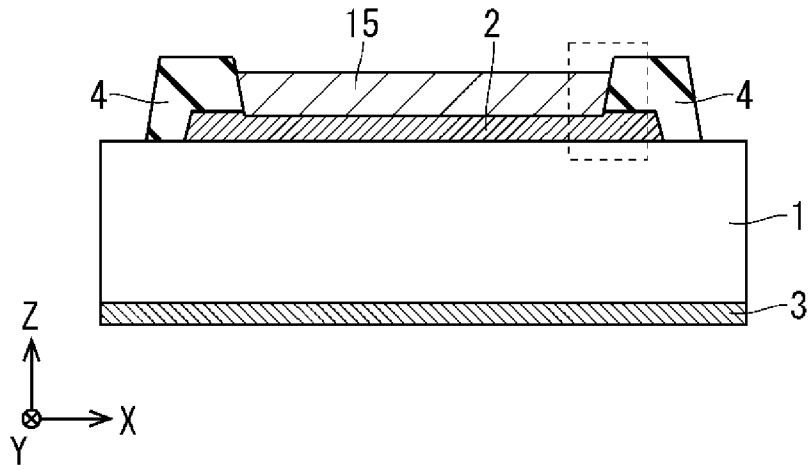
[図16]



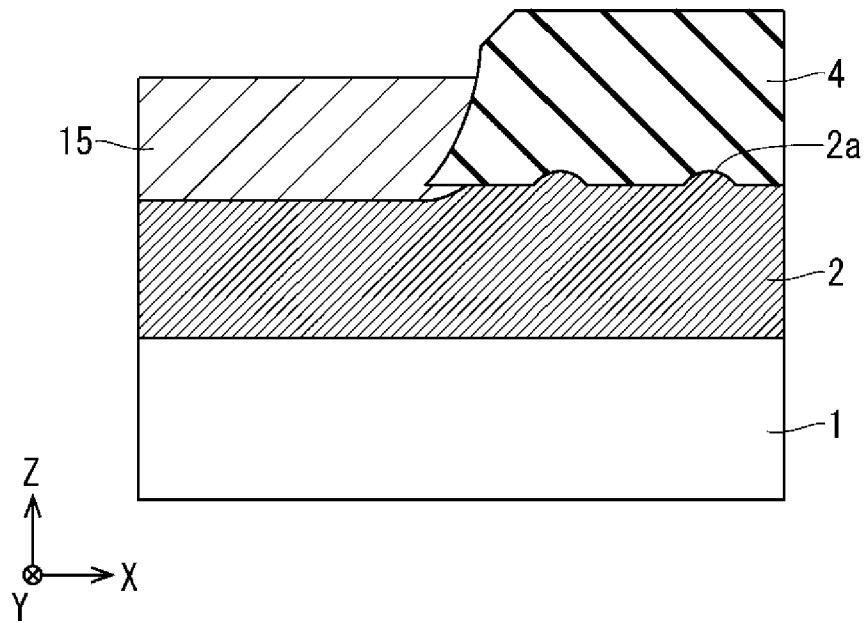
[図17]



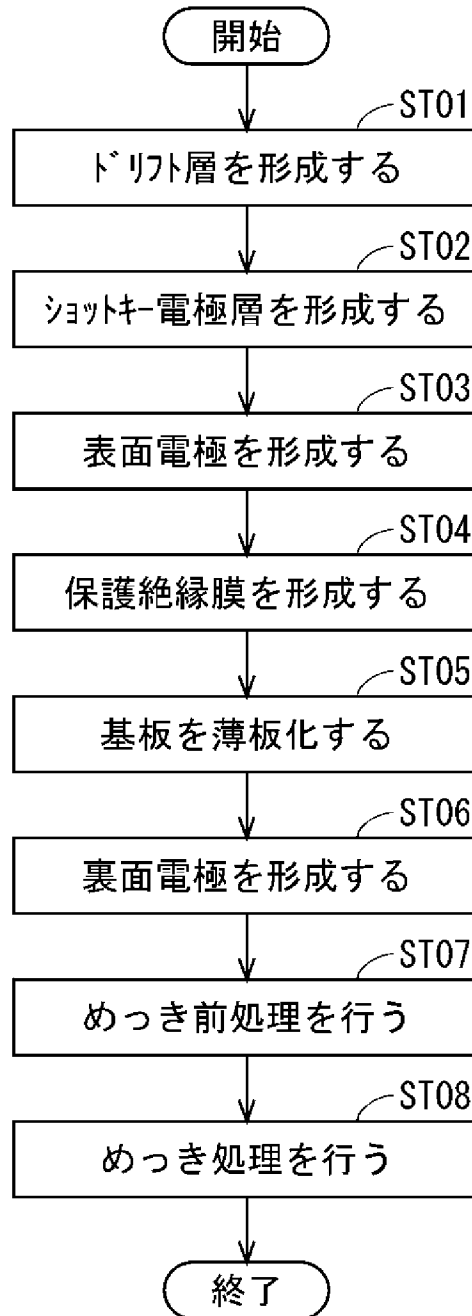
[図18]



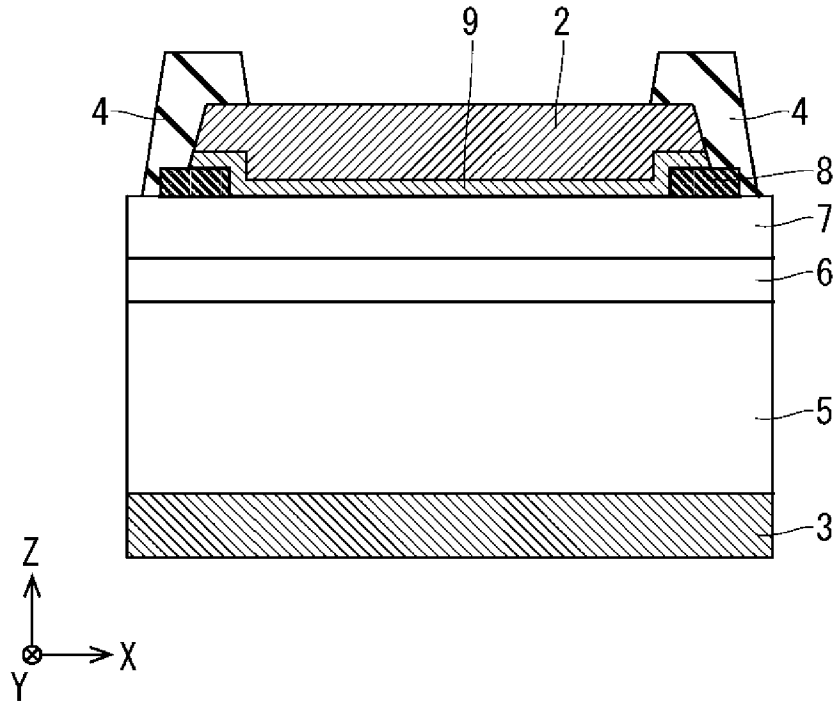
[図19]



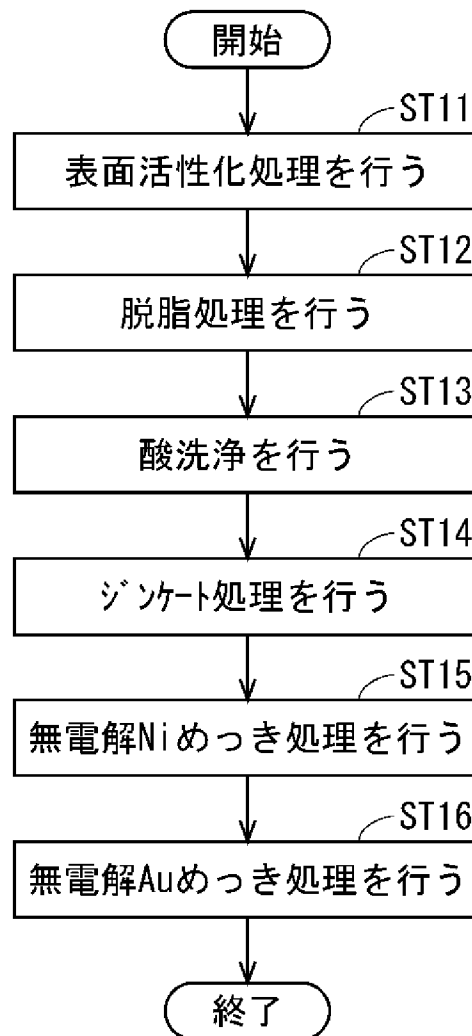
[図20]



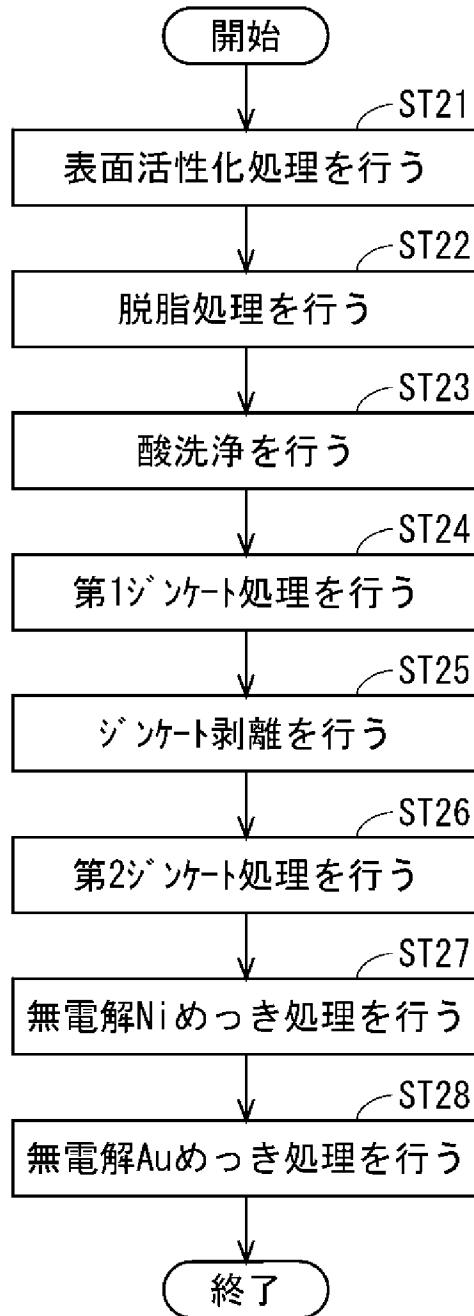
[図21]



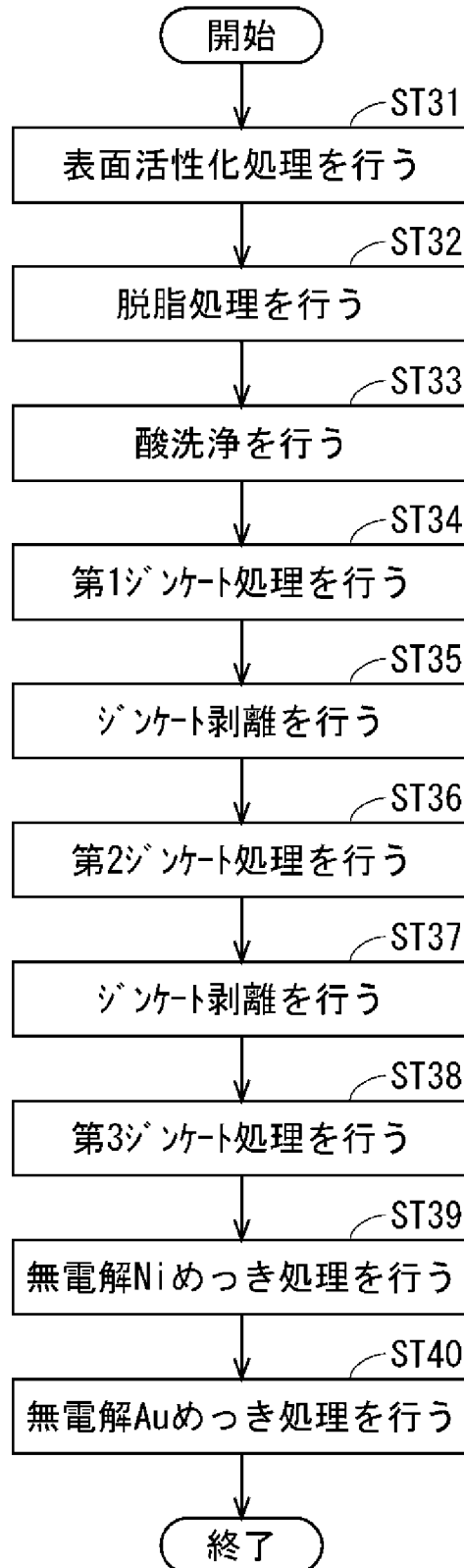
[図22]



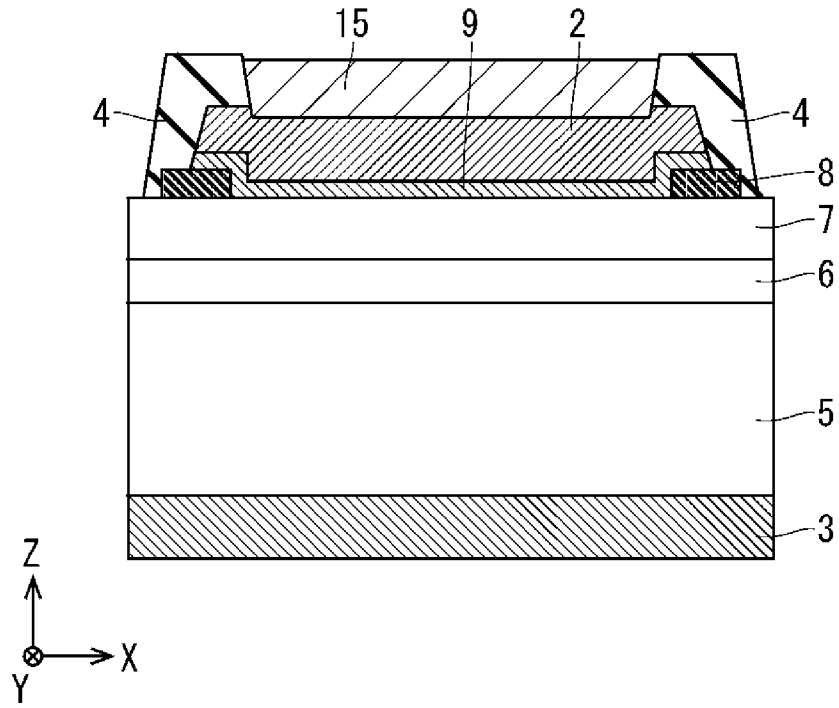
[図23]



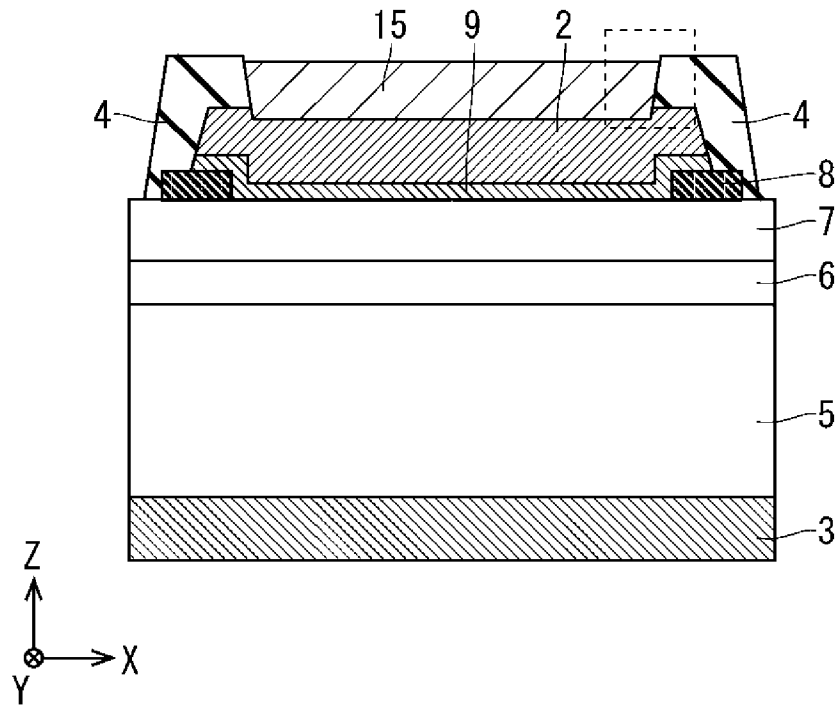
[図24]



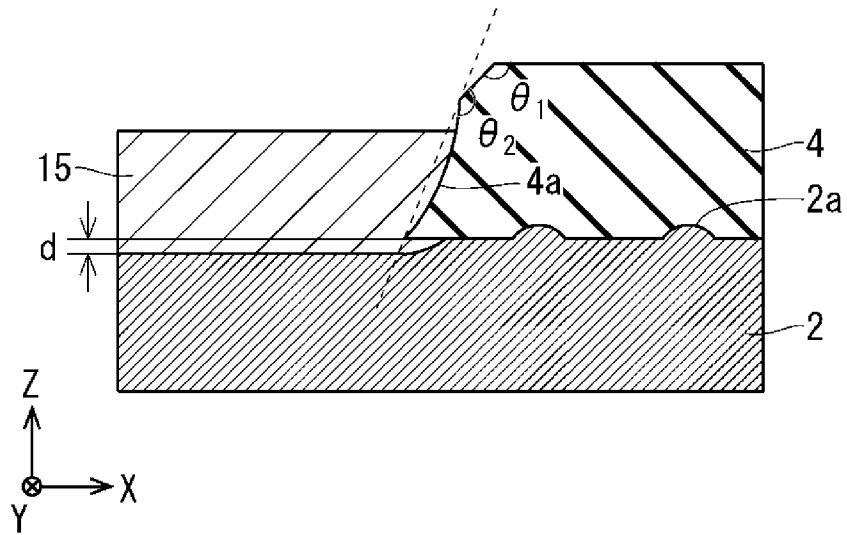
[図25]



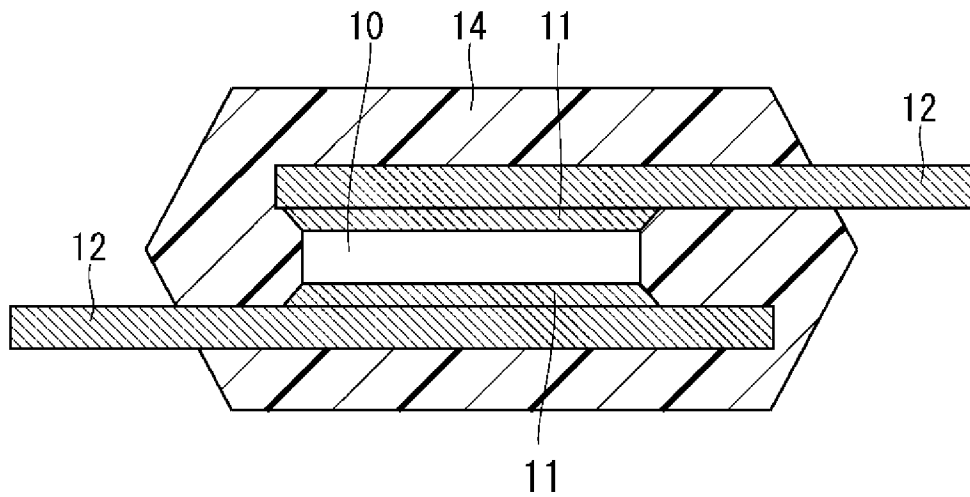
[図26]



[図27]

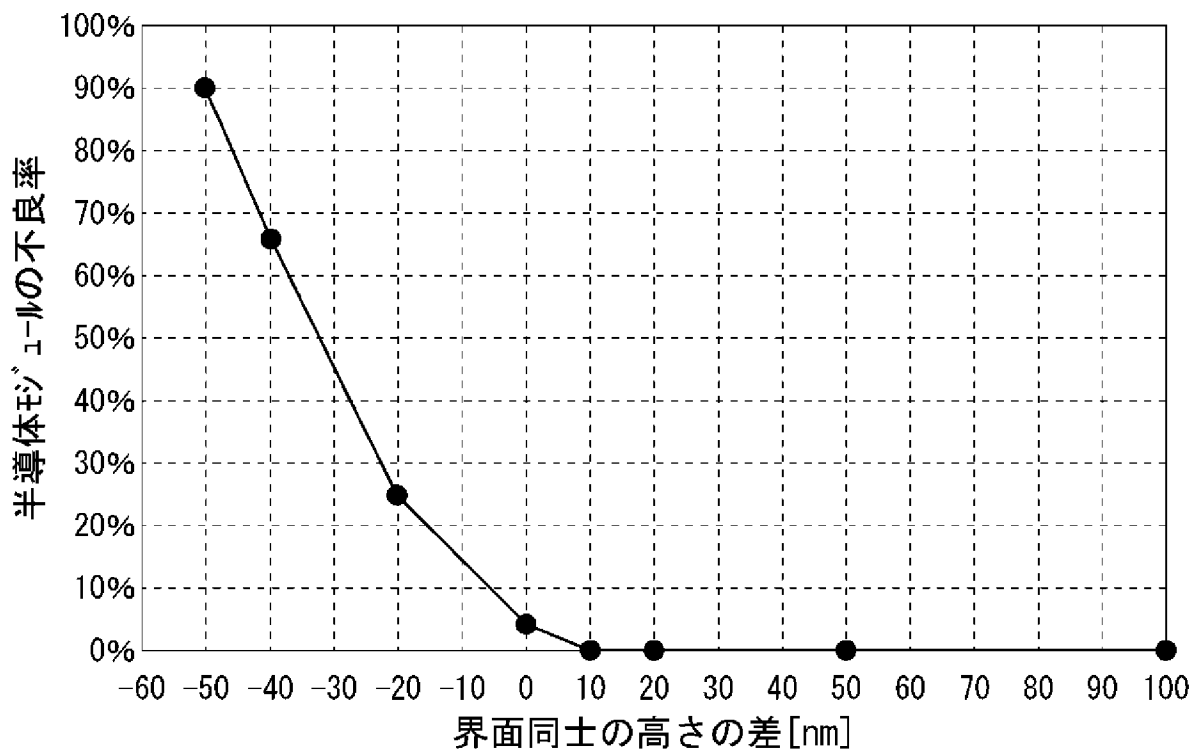


[図28]

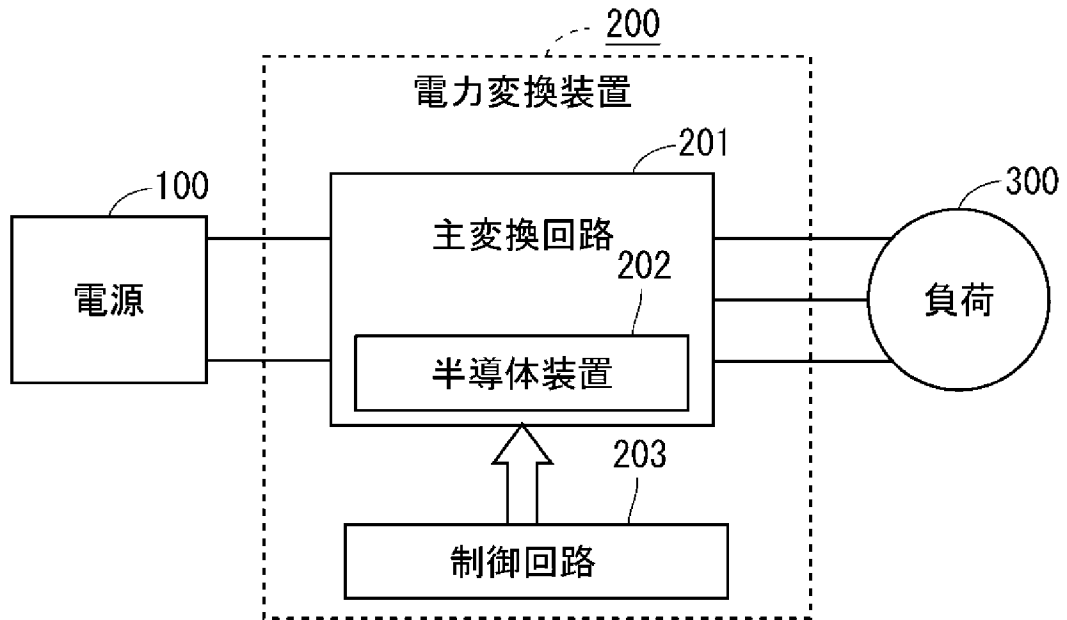


[図29]

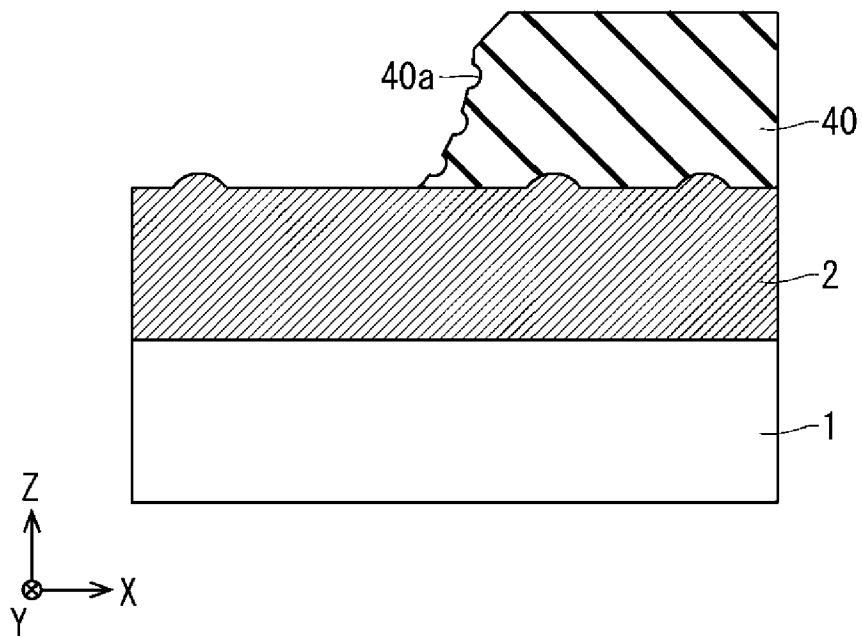
界面同士の高さの差と不良率との関係



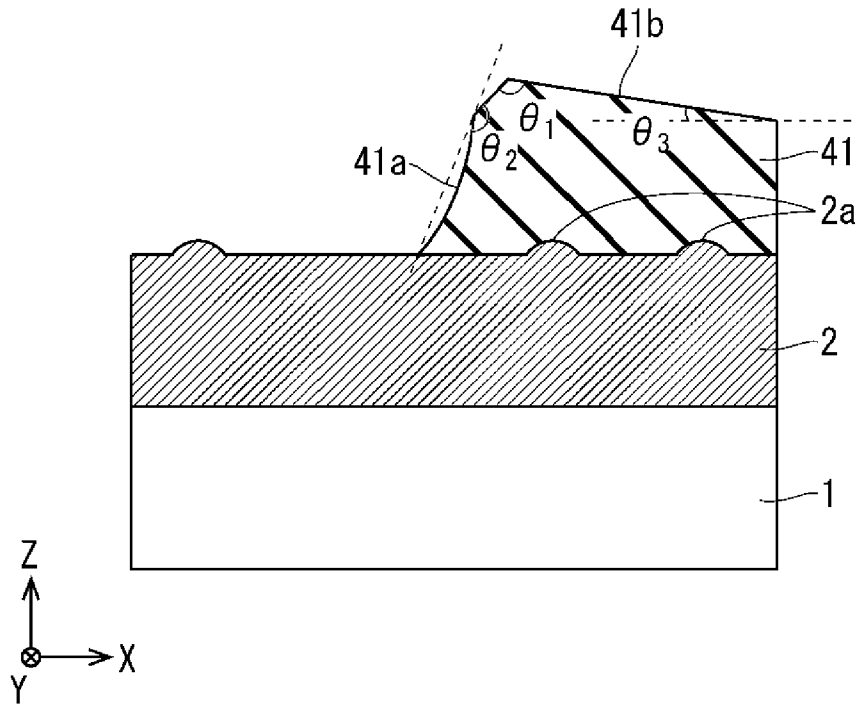
[図30]



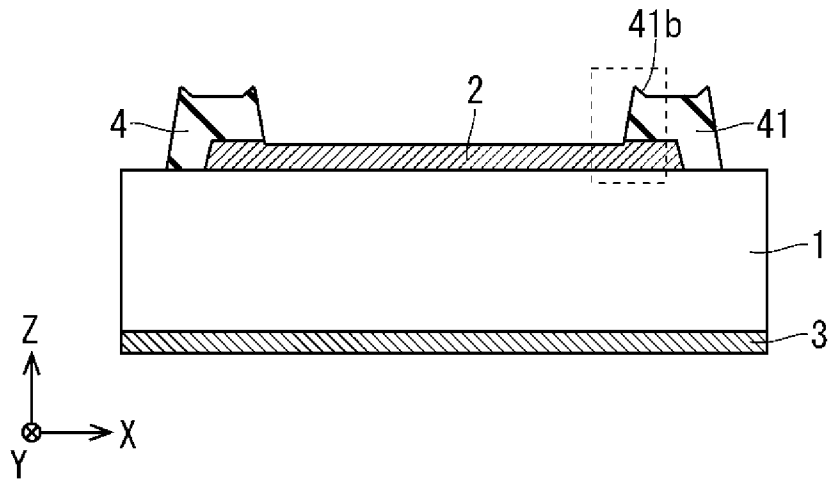
[図31]



[図32]



[図33]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/018941

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/872</i> (2006.01)i; <i>H01L 21/329</i> (2006.01)i; <i>H01L 25/07</i> (2006.01)i; <i>H01L 25/18</i> (2023.01)i; <i>H01L 29/47</i> (2006.01)i FI: H01L29/86 301F; H01L25/04 C; H01L29/48 F; H01L29/86 301D; H01L29/86 301P; H01L29/86 301E; H01L29/86 301M		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/872; H01L21/329; H01L25/07; H01L25/18; H01L29/47		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2021/033664 A1 (MURATA MANUFACTURING CO., LTD.) 25 February 2021 (2021-02-25)	1-9
A	JP 2018-117026 A (FUJI ELECTRIC CO., LTD.) 26 July 2018 (2018-07-26)	1-9
A	JP 2006-351943 A (TOPPAN PRINTING CO., LTD.) 28 December 2006 (2006-12-28)	1-9
A	JP 2004-48639 A (MURATA MANUFACTURING CO., LTD.) 12 February 2004 (2004-02-12)	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 02 August 2023		Date of mailing of the international search report 15 August 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2023/018941

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2021/033664	A1	25 February 2021	US	2022/0115336	A1	
				DE	112020002238	T5	
				CN	114008767	A	

JP	2018-117026	A	26 July 2018	US	2018/0204779	A1	
				CN	108336036	A	

JP	2006-351943	A	28 December 2006	(Family: none)			

JP	2004-48639	A	12 February 2004	US	2003/0132683	A1	
				EP	1326332	A2	
				KR	10-0477851	B1	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/872(2006.01)i; H01L 21/329(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2023.01)i; H01L 29/47(2006.01)i FI: H01L29/86 301F; H01L25/04 C; H01L29/48 F; H01L29/86 301D; H01L29/86 301P; H01L29/86 301E; H01L29/86 301M</p>																	
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/872; H01L21/329; H01L25/07; H01L25/18; H01L29/47</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2023年																
日本国実用新案登録公報	1996 - 2023年																
日本国登録実用新案公報	1994 - 2023年																
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 2021/033664 A1 (株式会社村田製作所) 25.02.2021 (2021 - 02 - 25)</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>JP 2018-117026 A (富士電機株式会社) 26.07.2018 (2018 - 07 - 26)</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>JP 2006-351943 A (凸版印刷株式会社) 28.12.2006 (2006 - 12 - 28)</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>JP 2004-48639 A (株式会社村田製作所) 12.02.2004 (2004 - 02 - 12)</td> <td>1-9</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	WO 2021/033664 A1 (株式会社村田製作所) 25.02.2021 (2021 - 02 - 25)	1-9	A	JP 2018-117026 A (富士電機株式会社) 26.07.2018 (2018 - 07 - 26)	1-9	A	JP 2006-351943 A (凸版印刷株式会社) 28.12.2006 (2006 - 12 - 28)	1-9	A	JP 2004-48639 A (株式会社村田製作所) 12.02.2004 (2004 - 02 - 12)	1-9
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
A	WO 2021/033664 A1 (株式会社村田製作所) 25.02.2021 (2021 - 02 - 25)	1-9															
A	JP 2018-117026 A (富士電機株式会社) 26.07.2018 (2018 - 07 - 26)	1-9															
A	JP 2006-351943 A (凸版印刷株式会社) 28.12.2006 (2006 - 12 - 28)	1-9															
A	JP 2004-48639 A (株式会社村田製作所) 12.02.2004 (2004 - 02 - 12)	1-9															
<p>国際調査を完了した日</p> <p>02.08.2023</p>	<p>国際調査報告の発送日</p> <p>15.08.2023</p>																
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>岩本 勉 5F 9355</p> <p>電話番号 03-3581-1101 内線 3516</p>																

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/018941

引用文献			公表日	パテントファミリー文献			公表日
WO	2021/033664	A1	25.02.2021	US	2022/0115336	A1	
				DE	112020002238	T5	
				CN	114008767	A	
JP	2018-117026	A	26.07.2018	US	2018/0204779	A1	
				CN	108336036	A	
JP	2006-351943	A	28.12.2006	(ファミリーなし)			
JP	2004-48639	A	12.02.2004	US	2003/0132683	A1	
				EP	1326332	A2	
				KR	10-0477851	B1	