



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 733110

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 05.10.77 (21) 2528043/18-21

с присоединением заявки № —

(23) Приоритет —

Опубликовано 05.05.80. Бюллетень № 17

Дата опубликования описания 05.05.80

(51) М. Кл.²
Н 03 К 23/02

(53) УДК 621.374.
33 (088.8)

(72) Автор.
изобретения

В. А. Грехнев

(71) Заявитель

(54) ДЕЛИТЕЛЬ ЧАСТОТЫ ИМПУЛЬСОВ НА ДВЕНАДЦАТЬ

1

Изобретение относится к импульсной технике.

Известен делитель частоты, содержащий четыре разряда, каждый разряд которого состоит из триггера памяти, коммутационного триггера и элемента И-НЕ, причем в первых трех разрядах единичный выход триггера памяти соединен с единичным входом коммутационного триггера, нулевой выход которого соединен с единичным входом триггера памяти данного разряда, с нулевыми входами всех триггеров всех предыдущих разрядов и со входом элемента И-НЕ предыдущего разряда, нулевой выход триггера памяти четвертого разряда соединен с нулевыми и входами коммутационных триггеров второго и четвертого разрядов, выход элемента И-НЕ первого разряда соединен с обоими входами коммутационного триггера второго разряда и с единичным входом коммутационного триггера четвертого разряда, выход элемента И-НЕ второго разряда соединен с нулевым входом коммутационного триггера третьего разряда, выход элемента И-НЕ четвертого разряда соединен с единичными входами триггера

2

памяти и коммутационного триггера разряда, а также с нулевыми входами всех триггеров первого и второго разрядов, единичный выход коммутационного триггера четвертого разряда соединен с нулевыми входами триггеров памяти первого и четвертого разрядов, с нулевыми входами коммутационных триггеров первого и второго разрядов и со входом элемента И-НЕ первого разряда [1].

Данный делитель не обеспечивает достаточной надежности деления частоты импульсов на двенадцать.

Наиболее близок по технической сущности к предлагаемому делитель частоты, содержащий четыре разряда, каждый из которых содержит триггер памяти, коммутационный триггер и элемент И-НЕ, причем в первых двух разрядах единичный выход триггера памяти соединен с единичным входом коммутационного триггера, единичный выход которого соединен со входом элемента И-НЕ, а нулевой выход соединен с единичным входом триггера памяти, единичный выход коммутационного триггера третьего разряда и нулевой

выход коммутационного триггера второго разряда соединены с нулевыми входами коммутационных триггеров, триггеров памяти и со входами элементов И-НЕ всех предыдущих разрядов, нулевой выход коммутационного триггера третьего разряда соединен с единичным входом триггера памяти этого разряда, с нулевыми входами триггеров памяти и коммутационных триггеров всех предыдущих разрядов, а также со входом элемента И-НЕ второго разряда; нулевой выход триггера памяти четвертого разряда соединен с нулевым входом коммутационного триггера этого же разряда, единичный выход которого соединен с нулевыми входами триггеров памяти первого, 15 третьего и четвертого разрядов, с нулевыми входами коммутационных триггеров всех предыдущих разрядов и со входом элемента И-НЕ третьего разряда, выход элемента И-НЕ первого разряда соединен с нулевым входом коммутационного триггера второго разряда, выход элемента И-НЕ второго разряда соединен с обоими входами коммутационного триггера третьего разряда, а выход элемента И-НЕ 20 третьего разряда соединен с единичным входом коммутационного триггера четвертого разряда [2].

Этот делитель недостаточно надежен.

Цель изобретения — повышение надежности делителя.

Поставленная цель достигается тем, что в делителе частоты, содержащем три межразрядных элемента И-НЕ, четыре разряда, каждый из которых состоит из триггера памяти и коммутационного триггера, выполненных на 35 элементах И-НЕ, причем в первых двух разрядах единичный выход триггера памяти соединен с единичным входом коммутационного триггера, единичный выход которого соединен со входом первого межразрядного элемента И-НЕ, 40 а нулевой выход соединен с единичным входом триггера памяти, единичный выход коммутационного триггера третьего разряда и нулевой выход коммутационного триггера второго разряда соединены с нулевыми входами коммутационных триггеров, триггеров памяти и со входами межразрядных элементов И-НЕ всех предыдущих разрядов, нулевой выход коммутационного триггера третьего разряда соединен с единичным входом триггера памяти 50 этого разряда, с нулевыми входами триггеров памяти и коммутационных триггеров всех предыдущих разрядов, а также со входом второго межразрядного элемента И-НЕ; нулевой выход триггера памяти четвертого разряда соединен с нулевым входом коммутационного триггера этого же разряда, единичный выход которого соединен с нулевыми входами триггеров памяти первого, третьего и четвертого

разрядов, с нулевыми входами коммутационных триггеров всех предыдущих разрядов и со входом третьего межразрядного элемента И-НЕ; выход первого межразрядного элемента И-НЕ соединен с нулевым входом коммутационного триггера второго разряда, выход второго межразрядного элемента И-НЕ соединен с обоими входами коммутационного триггера третьего разряда, а выход третьего межразрядного 10 элемента И-НЕ — с единичным входом коммутационного триггера четвертого разряда, выход первого межразрядного элемента И-НЕ соединен с единичным входом коммутационного триггера третьего разряда, нулевой выход триггера памяти третьего разряда — со входом третьего межразрядного элемента И-НЕ, выход которого соединен с нулевым входом коммутационного триггера третьего разряда, единичный выход этого триггера соединен с единичным входом коммутационного триггера четвертого разряда, а нулевой выход — с единичными входами триггера памяти и коммутационного триггера четвертого разряда.

Структурная электрическая схема описываемого делителя приведена на чертеже.

Описываемый делитель содержит четыре разряда 1-4, в состав которых входят коммутационные триггеры на элементах И-НЕ 5-12 и триггеры памяти на элементах И-НЕ 13-20, межразрядные элементы И-НЕ 21-23. 30 Входной сигнал подается на пину 24.

Принцип работы делителя заключается в следующем.

В исходном состоянии все триггеры памяти находятся в нулевом состоянии, а тактового импульса, поступающего по пине 24, нет, он равен логическому нулю. В этом случае на выходах элементов И-НЕ 21, 22, 23, 6, 8, 10, 12 — логический нуль, на выходах остальных элементов И-НЕ — логическая единица, поэтому с приходом первого тактового импульса срабатывает только элемент И-НЕ 19, устанавливая триггер памяти первого разряда 1 в единичное состояние.

После окончания действия тактового импульса на выходе элемента И-НЕ 23 появляется логическая единица. С приходом следующего тактового импульса срабатывает элемент И-НЕ 17, устанавливая триггер памяти второго разряда 2 в единичное состояние, а триггер памяти первого разряда 1 — в нулевое состояние. С приходом третьего тактового импульса срабатывает снова элемент И-НЕ 19, поскольку на выходах элементов И-НЕ 13, 21-23 логические нули. 55

По окончании действия тактового импульса на выходе элемента И-НЕ 23 появляется логическая единица, а поскольку и триггер памяти второго разряда 2 находится в единич-

ном состоянии, на выходе элемента И-НЕ 22 — также логическая единица. Следовательно, с приходом четвертого тактового импульса срабатывает элемент И-НЕ 16, устанавливая триггер памяти третьего разряда 3 в единичное состояние, а триггеры памяти младших разрядов 1, 2 — в нулевое. Наличие связи с выхода элемента И-НЕ 16 на выходы элементов И-НЕ 14, 17, 19, 22, 23 препятствует неправильной работе делителя.

Аналогичным образом, с приходом пятого тактового импульса триггер памяти первого разряда 1 устанавливается в единичное состояние, с приходом шестого тактового импульса он возвращается в нулевое состояние, а в единичное состояние устанавливается триггер второго разряда 2. После окончания действия шестого тактового импульса на выходе элемента И-НЕ 22 появляется сигнал, равный логической единице. Поскольку на выходе элемента И-НЕ 21 — также сигнал, равный логической единице, с приходом седьмого тактового импульса срабатывает элемент И-НЕ 15, устанавливая триггер памяти четвертого разряда 4 в единичное состояние, а триггеры памяти остальных разрядов — в нулевое состояние. Далее счет продолжается аналогичным образом до тех пор, пока после прихода одиннадцатого тактового импульса в делителе не установится код 1100. При этом на выходах элементов И-НЕ 21 и 13 появляется логическая единица. С приходом двенадцатого тактового импульса элемент И-НЕ 4 устанавливает делитель в исходное состояние.

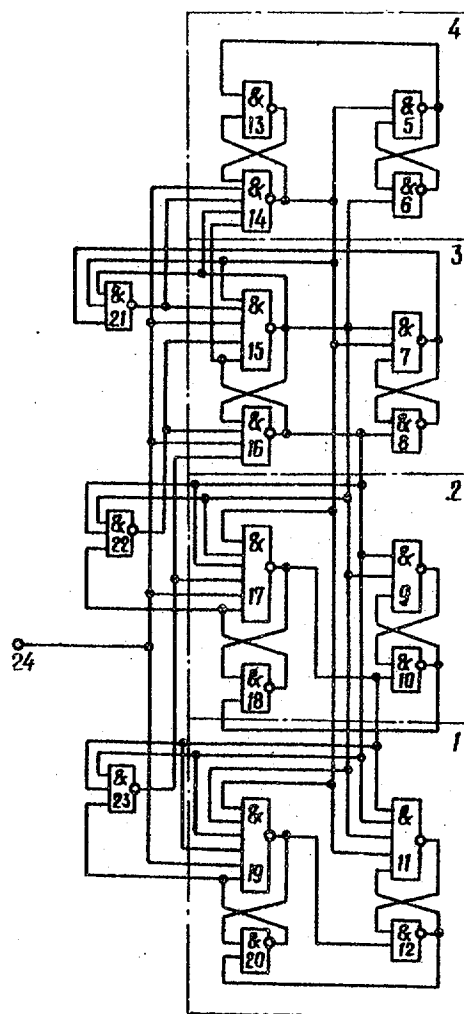
Формула изобретения

Делитель частоты импульсов на двенадцать, содержащий три межразрядных элемента И-НЕ, четыре разряда, каждый из которых состоит из триггера памяти и коммутационного триггера, выполненных на элементах И-НЕ, причем в первых двух разрядах единичный выход триггера памяти соединен с единичным входом коммутационного триггера, единичный выход которого соединен со входом первого межразрядного элемента И-НЕ, а нулевой выход соединен с единичным входом триггера памяти, единичный выход коммутационного триггера

гера третьего разряда и нулевой выход коммутационного триггера второго разряда соединены с нулевыми входами коммутационных триггеров, триггеров памяти и со входами межразрядных элементов И-НЕ всех предыдущих разрядов, нулевой выход коммутационного триггера третьего разряда соединен с единичным входом триггера памяти этого разряда, с нулевыми входами триггеров памяти и коммутационных триггеров всех предыдущих разрядов, а также со входом второго межразрядного элемента И-НЕ, нулевой выход триггера памяти четвертого разряда соединен с нулевым входом коммутационного триггера этого же разряда, единичный выход которого соединен с нулевыми входами триггеров памяти первого, третьего и четвертого разрядов, с нулевыми входами коммутационных триггеров всех предыдущих разрядов и со входом третьего межразрядного элемента И-НЕ, выход первого межразрядного элемента И-НЕ соединен с нулевым входом коммутационного триггера второго разряда, выход второго межразрядного элемента И-НЕ соединен с обоими входами коммутационного триггера третьего разряда, а выход третьего межразрядного элемента И-НЕ соединен с единичным входом коммутационного триггера четвертого разряда, о т л и ч а ю щ и й с я тем, что, с целью повышения его надежности, выход первого межразрядного элемента И-НЕ соединен с единичным входом коммутационного триггера третьего разряда, нулевой выход триггера памяти третьего разряда соединен со входом третьего межразрядного элемента И-НЕ, выход которого соединен с нулевым входом коммутационного триггера третьего разряда, единичный выход этого триггера соединен с единичным входом коммутационного триггера четвертого разряда, а нулевой выход — с единичными входами триггера памяти и коммутационного триггера четвертого разряда.

Источники информации,

- принятые во внимание при экспертизе
1. Авторское свидетельство СССР № 506131, кл. Н 03 К 23/02, 14.02.74.
 2. Авторское свидетельство СССР по заявке № 2424199/18-21, кл. Н 03 К 23/02, 03.12.76.



Редактор Б. Федотов

Составитель А. Артюх
Техред М. Петко

Корректор Ю. Макаренко

Заказ 1768/47

Тираж 995

Подписное

ЦНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4